

公告本

申請日期	90.10.12
案 號	90125240
類 別	401C 21/00

A4
C4

536726

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體裝置及其製造方法
	英 文	A SEMICONDUCTOR DEVICE AND A METHOD OF MANUFACTURING THE SAME
二、發明人	姓 名	1.清水 昭博 2.大木 長斗司 3.野中 裕介 4.一瀬 勝彦
	國 籍	1-4均日本
住、居所		1,2均日本國東京都小平市上水本町五丁目22番1號日立超愛爾・愛斯・愛系統股份有限公司內 3,4均日本國東京都千代田區丸內一丁目5番1號新九大樓日立製作所股份有限公司知的財產權本部內
三、申請人	姓 名 (名 稱)	1.日商日立製作所股份有限公司 HITACHI, LTD. 2.日商日立超愛爾・愛斯・愛系統股份有限公司 HITACHI ULSI SYSTEMS CO., LTD.
	國 籍	1,2均日本
住、居所 (事務所)		1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國東京都小平市上水本町5丁目22番1號
	代 表 人 姓 名	1.庄山 悅彦 ETSUHIKO SHOYAMA 2.小切間 正彦 MASAHIKO OGIRIMA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年11月22日 特願2000-356497 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

技術領域

本發明係關於一種半導體裝置及其製造方法，特別是關於一種在相同基板上有效應用於具有n通道導電型MISFET及p通道導電型MISFET之半導體裝置及其製造技術者。

背景技術

搭載於半導體裝置之場效電晶體已知有稱為MISFET (Metal Insulator Semiconductor Field Effect Transistor)之絕緣閘極型場效電晶體。該MISFET因為具有容易高積體化之特徵，故廣泛作為構成積體電路之電路元件。

MISFET姑且不論為n通道導電型及p通道導電型，一般成為具有通道形成區域、閘極絕緣膜、閘極、源極區域以及汲極區域等之構成。閘極絕緣膜係設置於半導體基板之電路形成面(一主面)之元件形成區域，例如以氧化矽膜加以形成。閘極係在半導體基板之電路形成面之元件形成區域上介存閘極絕緣膜而設，例如以降低電阻值之雜質所導入的多結晶矽膜加以形成。通道形成區域設於與閘極相對向之半導體基板的區域(閘極正下方)。源極以及汲極區域以設於通道形成區域之通道長方向之兩側的半導體區域(雜質擴散區域)加以形成。

此外，在MISFET中，閘極絕緣膜由氧化膜組成者，一般稱為MOSFET (Metal Oxide Semiconductor Field Effect Transistor)。又，所謂通道形成區域係結合源極區域與汲極區域之電流通路(通道)所形成之區域。

發明之概述

五、發明說明(2)

然而，在 $0.1\ \mu\text{m}$ 標準時代之超微細 CMIS (Complementary MIS) 製程中，因為新材料的導入及 MISFET 之短通道效果抑制等理由使低溫化進步。這是因為緣件中容易殘留起因於製程之殘留應力。起因於製程之殘留應力作用於半導體基板之電路形成面之表層部，亦即 MISFET 之通道形成區域。

在一般的 CMIS (互補型 MIS) 製程中，例如在半導體基板之電路形成面上形成層間絕緣膜時，在 n 通道導電型 MISFET 及 p 通道導電型 MISFET 上使用相同材料之結果，在相同的晶片中作用於 MISFET 之通道形成區域的應力約相同。又，一般藉由製程的步驟，可謀求作用於 n 通道導電型 MISFET 及 p 通道導電型 MISFET 之通道形成區域的應力降低。

又，就相對於通道形成區域之應力之電晶體的特性之變化而言，在與汲極電流 (I_d) 流動的方向(閘極長度方向)相同的方向施加應力時，已知：

(1) n 通道導電型 MISFET 之汲極電流因壓縮應力減少，因引拉應力增加。

(2) p 通道導電型 MISFET 之汲極電流因壓縮應力增加，因引拉應力減少。

然而，其變化頂多不過在幾個 % 以下(文獻：IEEE TRANSACTIONS ON ELECTRON DEVICES. VOL.38. NO.4. APRIL 1991 p898至p900參照)。這是因為例如在閘極長度尺寸為 $1\ \mu\text{m}$ 之長度尺寸的製程世代中，可進行相當高溫長時間之退火。

五、發明說明 (3)

本發明者等檢討上述技術之結果，發現以下之問題點。

已知將MISFET之閘極長度微細化至 $0.1\ \mu\text{m}$ 附近，當低溫化製程時增大殘留應力，且通道形成區域之應力對電晶體特性產生之影響變得相當大。

例如，已知在形成MISFET之後改變兼做層間絕緣膜的自行對準(Selfalign)連接用之電漿CVD氮化膜(藉由電漿CVD法形成之氮化膜)之形成條件時，膜中的應力從壓縮方向向引拉方向產生大的變化，因應於此，MISFET之電晶體特性亦產生大的變化。將此顯示於圖2之汲極電流的層間絕緣膜應力依存性。然而，圖中應力之值不僅顯現MISFET之通道形成區域的內部應力，亦從覆膜厚的晶圓之翹曲換算求出層間絕緣膜自身之值。

應力所造成的影響，雖與上述文獻有相同之傾向，惟其大小為10至20%，即增大一位數以上。再者，在n通道導電型MISFET與p通道導電型MISFET上因應膜的應力，明顯顯示汲極電流的增減為相反方向。

從而，改變層間絕緣膜等之形成條件並改變內部應力的大小時，顯示n通道導電型MISFET及p通道導電型MISFET之汲極電流相反的动作，且具有所謂無法同時使兩元件之汲極電流提昇之問題。

又，再者，在 $0.1\ \mu\text{m}$ 標準以下時，該應力產生的汲極電流的變動將達±10至20%以上，以致產生所謂n通道導電型MISFET及p通道導電型MISFET之汲極電流的平衡變化的問題。

五、發明說明(4)

本發明之目的係提供一種可謀求提昇n通道導電型場效電晶體及p通道導電型場效電晶體之電流驅動能力的技術。

本發明之另一目的係提供一種在n通道導電型場效電晶體及p通道導電型場效電晶體中，控制一方的電晶體之電流驅動能力的降低，提昇另一方之電晶體的電流驅動能力之技術。

本發明之上述及其他目的與新穎的特徵，依據本說明說之敘述及所添附之圖示可知。

在本申請案中所揭示之發明中，若簡要說明代表性的概要，則如下述。

(1)一種半導體裝置，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，其特徵在於，

上述n通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力；

上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力。

(2)一種半導體裝置，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，其特徵在於，

五、發明說明 (5)

上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力時，上述p通道導電型場效電晶體之通道形成區域產生的壓縮應力較上述n通道導電型場效電晶體之通道形成區域產生的壓縮應力大。

(3)一種半導體裝置，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，其特徵在於，

在上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力時，上述n通道導電型場效電晶體之通道形成區域產生的引拉應力較上述p通道導電型場效電晶體之通道形成區域產生的引拉應力大。

(4)一種半導體裝置，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，其特徵在於，

在上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜以及在上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜中至少具有一方之膜。

(5)如上方案(4)之半導體裝置，

五、發明說明(6)

其中上述膜為氮化矽系之膜為以下之膜：以LP-CVD (Low Pressure-Chemical Vapor Deposition：減壓氣相化學成長)法覆膜之氮化矽(例如 Si_3N_4)膜、以電漿CVD法覆膜之氮化矽(例如 Si_3N_4)膜、以及以葉片熱CVD法覆膜之氮化矽(例如 Si_3N_4)膜等。

(6)如上方案(4)之半導體裝置，

其中在上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜，係以在上述半導體基板一主面上覆蓋上述n通道導電型場效電晶體的方式形成之膜；

上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜，係以在上述半導體基板一主面上覆蓋上述p通道導電型場效電晶體的方式形成之膜。

(7)如上方案(4)之半導體裝置，

其中上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜係形成於上述n通道導電型場效電晶體之閘極或上述閘極側壁之側壁空間；

上述p通道導電型場效電晶體之通道形成區域產生引拉應力之膜係形成於上述p通道導電型場效電晶體之閘極或上述閘極側壁之側壁空間。

(8)一種半導體裝置之製造方法，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

五、發明說明(7)

其係在形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之後，於上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜以及上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜中，至少包括形成一方之膜的步驟。

(9)如上方案(8)之半導體裝置，其中上述膜為氮化矽膜。

(10)一種半導體裝置之製造方法，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

其係形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之步驟；

在上述半導體基板一主面之第1區域及第2區域上形成在上述p通道導電型場效電晶體之通道形成區域上產生壓縮應力之絕緣膜的步驟；

在上述半導體基板一主面之第2區域之上絕緣膜上選擇性導入雜質，以緩和上述n通道導電型場效電晶體之通道形成區域所產生之壓縮應力的步驟。

(11)一種半導體裝置之製造方法，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形

五、發明說明(8)

成區域者，

其係形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之步驟；

在上述半導體基板一主面之第1區域及第2區域上形成在上述p通道導電型場效電晶體之通道形成區域上產生引拉應力之絕緣膜的步驟；

在上述半導體基板一主面之第2區域之上述絕緣膜上選擇性導入雜質，以緩和上述n通道導電型場效電晶體之通道形成區域所產生之引拉應力的步驟。

以下說明本發明之重點部分的構成。

本發明的重點係將作用於n通道導電型場效電晶體及p通道導電型場效電晶體個別之通道形成區域應力的方向或大小控制在個別的汲極電流增加的方向者。例如以下所述。

- 1) 以n通道導電型場效電晶體及p通道導電型場效電晶體變更在半導體基板一主面上所形成之膜的材料，俾使對於n通道導電型場效電晶體之通道形成區域作用引拉應力，對於p通道導電型場效電晶體之通道形成區域作用壓縮應力。
- 2) 在壓縮應力作用於n通道導電型場效電晶體以及p通道導電型場效電晶體之通道形成區域時，變更在半導體基板一主面上所形成之膜的材料，俾使作用於n通道導電型場效電晶體之通道形成區域的壓縮應力小於p通道導電型場效電晶體之通道形成區域的壓縮應力。
- 3) 在引拉應力作用於n通道導電型場效電晶體以及p通道導電型場效電晶體之通道形成區域時，變更在半導體基板一

五、發明說明(9)

主面上所形成之膜的材料，俾使作用於n通道導電型場效電晶體之通道形成區域的引拉應力小於p通道導電型場效電晶體之通道形成區域的引拉應力。

根據上述方案，比起以一般製程形成的n通道導電型場效電晶體以及p通道導電型場效電晶體，更可同時增加n通道導電型場效電晶體以及p通道導電型場效電晶體之汲極電流。又，亦可某範圍內自由設定n通道導電型場效電晶體以及p通道導電型場效電晶體之汲極電流比。

亦即，分別對n通道導電型場效電晶體之通道形成區域供給引拉應力，對p通道導電型場效電晶體之通道形成區域供給壓縮應力的結果，如圖2所示，因應作用於n通道導電型場效電晶體以及p通道導電型場效電晶體之通道形成區域的應力大小，在n通道導電型場效電晶體以及p通道導電型場效電晶體同時增加汲極電流。

又，由於可個別控制作用於n通道導電型場效電晶體以及p通道導電型場效電晶體之通道形成區域之應力，因此可自由控制n通道導電型場效電晶體以及p通道導電型場效電晶體之汲極電流比。

此外，在此就幾個用語加以定義。

作用於場效電晶體之通道形成區域之引拉應力，即所謂在通道形成區域為矽(Si)時，Si的晶格常數大於平衡狀態之應力。

作用於場效電晶體之通道形成區域之壓縮應力，即所謂在通道形成區域為矽(Si)時，Si的晶格常數小於平衡狀態之

五、發明說明 (10)

應力。

膜所具有的引拉應力，即所謂在場效電晶體之通道形成區域產生引拉應力之應力。

膜所具有的壓縮應力，即所謂在場效電晶體之通道形成區域產生壓縮應力之應力。

從而，本發明之主旨係通道形成區域之矽原子的原子間距離在n通道導電型場效電晶體與p通道導電型場效電晶體相異，換言之，即畸變的大小不同，再者，矽原子間的距離係n通道導電型場效電晶體之通道形成區域大於上述p通道導電型場效電晶體之通道形成區域。

圖面之簡要說明

圖1係表示本發明實施型態之半導體裝置的概略構成之模式剖視圖。

圖2係表示電流驅動能力與膜應力之關係特性圖。

圖3係用以製造圖1之半導體裝置的製程((a)、(b)及(c)為模式剖視圖)。

圖4係用以製造本發明實施型態2之半導體裝置的製程((a)、(b)、(c)及(d)為模式剖視圖)。

圖5係用以製造本發明實施型態3之半導體裝置的製程((a)、(b)及(c)為模式剖視圖)。

圖6係用以製造本發明實施型態4之半導體裝置的製程((a)、(b)及(c)為模式剖視圖)。

圖7係表示本發明實施型態5之半導體裝置的概略構成之模式剖視圖。

五、發明說明 (11)

圖8係表示本發明實施型態6之半導體裝置的概略構成之模式剖視圖。

圖9係表示本發明實施型態7之半導體裝置的概略構成之模式剖視圖。

圖10係表示本發明實施型態8之半導體裝置的概略構成之模式剖視圖。

圖11係在本發明之實施型態3之半導體裝置的製造中，顯示傾斜佈植步驟之模式剖視圖。

發明之實施型態

以下，參照圖面詳細說明本發明之實施型態。此外，在用以說明發明之實施型態的全圖中，具有相同功能者附註相同符號，並省略其重複之說明。

(實施型態1)

在本實施型態中，說明將本發明應用於具有電源電壓為1至1.5 V、閘極長為0.1至0.14 μm 左右之互補型MISFET之半導體裝置之例。

圖1係表示本發明實施型態之半導體裝置的概略構成之模式剖視圖。圖2係表示電流驅動能力與膜應力之關係特性圖。圖3係用以製造圖1之半導體裝置的製程((a)、(b)及(c)為模式剖視圖)。在圖1及圖3中，朝向左側為n通道導電型MISFET，右側為p通道導電型MISFET。

如圖1所示，本實施型態之半導體裝置例如係以由單結晶係組成之p型矽基板1構成主體作為半導體基板。p型矽基板1之電路形成面(一主面)係具有第1元件形成區域及第2元件

五、發明說明 (12)

形成區域，該第1元件形成區域及第2元件形成區域係藉由元件間絕緣分離區域即例如淺槽隔離(SGI: Shallow Groove Isolation)區域4互相劃分。第1元件形成區域形成有p型井區域2及n通道導電型MISFET，第2元件形成區域形成有n型井區域3及p通道導電型MISFET。淺槽隔離區域4在p型矽基板1之電路形成面形成淺槽，然後，在淺槽的內部選擇性埋入絕緣膜(例如氧化膜)而形成。

n通道導電型MISFET主要係形成具有通道形成區域、閘極絕緣膜5、閘極6、側壁空間9、源極區域及汲極區域之構成。源極區域及汲極區域係形成具有n型半導體區域(擴張區域)7及n型半導體區域10之構成。n型半導體區域7相對於閘極6之側壁自行整合而形成，n型半導體區域10相對於設置於閘極6側壁之側壁空間9自行整合而形成。n型半導體區域10比n型半導體區域7形成更高濃度之雜質濃度。

通道型導電型MISFET主要係形成具有通道形成區域、閘極絕緣膜5、閘極6、側壁空間9、源極區域及汲極區域之構成。源極區域及汲極區域係形成具有p型半導體區域(擴張區域)8及p型半導體區域11之構成。p型半導體區域8相對於閘極6之側壁自行整合而形成，n型半導體區域10相對於設置於閘極6側壁之側壁空間9自行整合而形成。p型半導體區域11比p型半導體區域8形成更高濃度之雜質濃度。

閘極6、n型半導體區域10及p型半導體區域11的各個表面上形成有用以謀求低電阻化之矽化物層(金屬·半導體反應層)12。在p型矽基板1之電路形成面上形成例如由氧化矽

五、發明說明 (13)

膜組成之層間絕緣膜15。

在n通道導電型 MISFET與層間絕緣膜15之間形成有作為在p型矽基板1的電路形成面產生引拉應力之第1氮化膜，亦即氮化矽膜13。在p通道導電型 MISFET與層間絕緣膜15之間形成有作為在p型矽基板1的電路形成面產生壓縮應力之第2氮化膜，亦即氮化矽膜14。在本實施型態中，氮化矽膜13在p型矽基板1的電路形成面上以覆蓋n通道導電型 MISFET之方式選擇性形成，氮化矽膜14在p型矽基板1的電路形成面上以覆蓋p通道導電型 MISFET之方式選擇性形成。

氮化矽膜13及14係以例如電漿CVD法加以形成。該氮化矽膜13及14藉著改變其形成條件(反應氣體、壓力、溫度及高頻電力)，可控制在p型矽基板1之電路形成面產生的應力。在本實施型態中，氮化矽膜13例如將膜形成時之高頻電力設為300至400 W之低電力化，以將p型矽基板1之電路形成面產生的應力控制在引拉方向者。氮化矽膜14係將例如膜形成時之高頻電力設定為600至700 W之高電力，而將p型矽基板1之電路形成面上所產生之應力向壓縮方向控制者。

如此，由於所形成的氮化矽膜13存在有+700至+800 Mpa左右的引拉應力，且氮化矽膜14存在有-900至-1000 Mpa左右的壓縮應力，因此在n通道導電型 MISFET之通道形成區域產生引拉應力，在p通道導電型 MISFET之通道形成區域產生壓縮應力。結果，如圖2所示，與未覆蓋氮化矽膜13極

五、發明說明 (14)

14之情況比較，n通道導電型MISFET之汲極電流提昇10至15%，p通道導電型MISFET之汲極電流提昇15至20%。此外，上述的應力如上所述，主要係施加於與通道型成區域之汲極電流(I_d)流動的方向(閘極長度方向)相同之方向。

繼之，使用圖3說明本實施型態1之半導體裝置的製造方法。

首先，準備具有比電阻 $10\ \Omega\text{ cm}$ 之單結晶矽組成的p型矽基板1(以下簡稱為p型基板)，之後，在p型基板1之電路形成面選擇性形成p型井區域2及n型井區域3。

繼之，在p型基板1之電路形成面形成淺槽隔離區域4作為區隔第1元件形成區域及第2元件形成區域(活性區域)之元件間分離區域。該淺槽隔離區域4在p型基板1的電路形成面形成淺槽(例如300 [nm]左右深度之溝)，然後，在在p型基板1的電路形成面上例如以CVD法形成由氧化矽膜組成的絕緣膜，之後，藉由CMP(化學機械研磨：Chemical Mechanical Polishing)法進行平坦化，俾使僅在淺槽的內部殘留絕緣膜而形成。

然後，進行熱處理以在p型基板1之電路形成面之元件形成區域形成例如由厚度2至3 nm左右之氧化矽膜組成的閘極絕緣膜5，之後，在p型基板1之電路形成面上的全面以CVD法形成例如厚度150至200 nm左右厚度的多結晶矽膜，再於多結晶矽膜上進行圖案化以形成閘極6。多結晶矽膜在沉積中或沉積後導入降低電阻值之雜質。

繼而，在未形成閘極6之p型井區域2的部分以離子佈植法

五、發明說明 (15)

選擇性導入作為雜質之砷(As)，以形成一對之n型半導體區域(擴張區域) 7，之後，在未形成閘極6之n型井區域3的部分以離子佈植法選擇性導入作為雜質之氟化硼(BF₂)，以形成一對之p型半導體區域(擴張區域) 8。n型半導體區域7之形成係以光阻遮罩覆蓋pMIS形成區域之狀態進行。又，p型半導體區域8之形成係以光阻遮罩覆蓋nMIS形成區域之狀態進行。砷的導入係以加速能源1至5 KeV、劑量1至 $2 \times 10^{15}/\text{cm}^2$ 的條件進行。又，氟化硼的導入係以加速能源1至5 KeV、劑量1至 $2 \times 10^{15}/\text{cm}^2$ 的條件進行。將到此為止的步驟顯示於圖3(a)。

繼而，如圖3(b)所示，在閘極6之側壁形成例如閘極長度方向之膜厚50至70 nm左右的側壁空間9。側壁空間9以CVD法在p型基板1之電路形成面上全面形成例如由氧化矽膜或是氮化矽膜組成的絕緣膜，然後，在絕緣膜上藉由進行RIE (Reactive Ion Etching)等異方性蝕刻加以形成。

然後，在未形成閘極6及側壁空間9之p型井區域2的部分以離子佈植法選擇性導入雜質例如砷(As)，以形成一對n型半導體區域10，而後，在未形成閘極6及側壁空間9之n型井區域3的部分以離子佈植法選擇性導入雜質例如氟化硼(BF₂)，以形成一對p型半導體區域11。n型半導體區域10之形成係以利用光阻遮罩覆蓋pMIS形成區域之狀態進行。砷的導入係以加速能源35至45 KeV、劑量2至 $4 \times 10^{15}/\text{cm}^2$ 的條件進行。又，氟化硼的導入係以加速能源40至50 KeV、劑量2至 $4 \times 10^{15}/\text{cm}^2$ 的條件進行。

五、發明說明 (16)

在該步驟中，形成有n型半導體區域7及n型半導體區域10組成的源極以及汲極區域。又，形成有p型半導體區域8及p型半導體區域11組成的源極以及汲極區域。

繼之，在除去自然氧化膜並露出閘極6以及半導體區域(10, 11)之表面後，在包括上述表面上的p型基板1之電路形成面上之全面以濺鍍法形成高融點金屬膜例如鎳(Co)膜，然後，進熱處理，在使閘極6之矽(Si)與鎳(Co)膜之鎳反應並在閘極6的表面形成矽化物(CoSi_x)層12，並使半導體區域(10, 11)之矽(Si)與鎳(Co)膜之鎳反應並在半導體區域表面形成矽化物(CoSi_x)層12；之後，將形成有矽化物層12之區域外的未反應的鎳膜予以選擇性的除去，其後進行熱處理並活性化矽化物層12。

然後，在p型基板1的電路形成面上之全面以電漿CVD法形成絕緣膜，例如100至120 nm左右厚度的氮化矽膜13。氮化矽膜13之形成例如係以高頻電力設為350至400 W，或是反應室內壓力300至350 Torr之條件進行。

繼之，使用光蝕刻技術對氮化膜13進行圖案化，如圖3(c)所示，形成選擇性覆蓋n通道導電型MISFET之氮化膜13。亦即，除去p通道導電型MISFET之通道形成區域上之氮化膜13。如此形成之氮化膜13係可選擇性在n通道導電型MISFET之通道形成區域產生引拉之應力。

然後，在p型基板1之電路形成面上之全面，以電漿CVD法形成絕緣膜，例如100 nm左右膜厚之氮化矽膜14。氮化矽膜14之形成例如以高頻電力600至700 W或是反應室內壓

五、發明說明 (17)

力5至10 Torr的條件進行。

繼之，使用光蝕刻技術對氮化膜14進行圖案化，如圖3(c)所示，形成選擇性覆蓋p通道導電型MISFET之氮化膜14。亦即，除去p通道導電型MISFET之通道形成區域上之氮化膜14。如此形成之氮化膜14係可選擇性在p通道導電型MISFET之通道形成區域產生壓縮應力。

在p型基板1的電路形成面上之全面上以電漿CVD法形成例如由氧化矽膜組成之層間絕緣膜15，之後，以CMP法平坦化層間絕緣膜15之表面。此後，以週知的技術形成連接孔以及金屬配線層而完成。

就氮化矽膜13以及14的加工方法而言，使用等方性乾蝕刻及濕蝕刻。在使用異方性乾蝕刻時，於閘極段差部殘留氮化矽膜，亦可使應力的效果減弱。

在本實施型態1中，由於以直接連接於閘極6之氮化矽膜控制應力，因此效率最佳。尤其是在源極區域及汲極區域之雜質活性化等高溫熱處理結束之後，由於形成應力控制用之氮化矽膜，因此約可照原樣殘存有膜應力。再者，在提昇電流驅動能力之同時，由於可除去寬的隔離膜區域等之氮化矽膜，因此可降低隔離膜區域之寄生電容。氮化矽膜與氧化矽膜比較其介電率較高。

此外，在本實施型態1中，亦可省略氮化矽膜14。當然，雖使p通道導電型MISFET之電流驅動能力提昇的效果變小，惟可簡略其製造步驟。又，氮化矽膜13亦可以葉片熱CVD法形成，俾使氮化矽膜13及14同時產生壓縮應力或引

五、發明說明 (18)

拉應力，其應力大小相異亦可。

要言之，本實施型態1之重點係在n通道導電型及p通道導電型MISFET中，將至少一方之通道型成區域上產生應力的方向及大小改變至汲極電流增加的方向。

又，在本實施型態1中，設定氮化矽膜13的厚度時，可防止氮化矽膜14在加工時之溢流蝕刻產生的膜減。此外，兩膜的膜厚並無任何規定。

再者，改變氮化矽膜的形成方法作為改變膜應力之方法除了改變上述實施型態之高頻電力的方法之外，列舉有下述之方法：

- 1) 改變原料氣體的方法：在形成氮化矽膜13時使用 SiH_4 、 NH_3 及 N_2 ，在形成氮化矽膜14時除去 NH_3 使用 SiH_4 及 N_2 。
- 2) 改變形成溫度的方法：使氮化矽膜13形成時的溫度高於氮化矽膜14之形成溫度。
- 3) 改變壓力的方法：使氮化矽膜13形成時的壓力高於氮化矽膜14之形成壓力。

當然，亦可複合上述任一組合。主要在引拉氮化矽膜13形成時之應力側，將氮化矽膜14設在壓縮應力側為重要。

又，使用葉片熱CVD法之氮化膜的形成方法，愈降低膜形成時之壓力或愈提高溫度可在引拉側使膜應力應用於氮化矽膜13。

(實施型態2)

本實施型態2係以簡略化上述實施型態1之製造步驟為目標者。圖4係用以製造本發明實施型態2之半導體裝置的製

五、發明說明 (19)

程((a)、(b)、(c)及(d)為模式剖視圖)。

如圖4(a)所示，以與上述實施型態1相同的製程，形成n通道導電型及p通道導電型MISFET及矽化物層12。

繼之，在p型基板1之電路形成面上全面以電漿CVD法形成絕緣膜，例如100至120 nm左右膜厚之氮化矽膜13。氮化矽膜13之形成例如以高頻電力350至400 W的條件進行。

然後，在p型基板1之電路形成面上全面以電漿CVD法形成氧化矽膜13A之絕緣膜。該氧化矽膜13A為P-TEOS或O₃-TEOS氧化膜。

使用光蝕刻技術對氧化膜13A及氮化矽膜13依序進行圖案化，如圖4(b)所示，形成選擇性覆蓋n通道導電型MISFET之氧化膜13A及氮化矽膜13。亦即，除去p通道導電型MISFET之通道形成區域上之氧化膜13A及氮化矽膜13。如此形成之氮化膜13係可選擇性在n通道導電型MISFET之通道形成區域產生引拉之應力。

繼之，如圖4(c)所示，在p型基板1之電路形成面上全面以電漿CVD法形成絕緣膜，例如100 nm左右膜厚之氮化矽膜14。氮化矽膜14之形成例如以高頻電力600至700 W的條件進行。

使用光蝕刻技術對氮化膜14進行圖案化，如圖4(d)所示，形成選擇性覆蓋n通道導電型MISFET之氮化矽膜14。亦即，除去p通道導電型MISFET之通道形成區域上之氮化矽膜14。如此形成之氮化膜14係可選擇性在p通道導電型MISFET之通道形成區域產生壓縮應力。在該步驟中，氧化

五、發明說明 (20)

矽膜13A成為加工氮化矽膜14時之蝕刻擋片。亦即，可抑制氮化矽膜14加工時之溢流蝕刻產生氮化矽膜13之薄膜化。

次之，如圖4(d)所示，在p型基板1的電路形成面上之全面以電漿CVD法形成例如由氧化矽膜組成之層間絕緣膜15，之後，以CMP法平坦化層間絕緣膜15之表面。此後，以週知的技術形成連接孔以及金屬配線層而完成。

根據本實施型態2，再加上上述實施型態1之功效，可大幅提升氮化矽膜14的加工控制性。結果，可均一且薄膜化氮化矽膜13及14之膜厚。

(實施型態3)

在本實施型態中，就應用本發明在電源電壓為1至1.5 V，閘極長為0.1至0.14 μm 左右之互補型MISFET之半導體裝置之例加以說明。

本實施型態3係以簡略化上述實施型態1之製造步驟為目標者。圖5係用以製造本發明實施型態3之半導體裝置的製程((a)、(b)及(c)係模式剖視圖)。在圖5中，朝向左側為n通道導電型MISFET，右側為p通道導電型MISFET。

如圖5(a)所示，以與上述實施型態1相同的製程，形成n通道導電型及p通道導電型MISFET及矽化物層12之後，在p型基板1之電路形成面上全面以電漿CVD法形成絕緣膜，其係在p通道導電型MISFET之通道形成區域產生壓縮應力之氮化矽膜16。而氮化矽膜16之形成例如以高頻電力350至400 W的條件進行。

繼之，覆蓋p通道導電型MISFET上，且在p型基板1之電

五、發明說明 (21)

路形成面上形成n通道導電型MISFET上具有開口之光阻膜，之後，如圖5(b)所示，使用光阻膜R作為雜質導入用遮罩，在從光阻膜露出之氮化矽膜16中，以離子佈植法導入Ar、Ge、Si、As、Sb、In及BF₂等雜質。此外，圖中之符號17係導入上述雜質之氮化矽膜。

然後，除去光阻膜R，之後，如圖5(c)所示，在p型基板1的電路形成面上之全面上以電漿CVD法形成例如由氧化矽膜組成之層間絕緣膜15，之後，以CMP法平坦化層間絕緣膜15之表面。此後，以週知的技術形成連接孔以及金屬配線層而完成。

如此所獲得之p通道導電型MISFET上之氮化矽膜16具有-800至-1000 Mpa之壓縮應力，並於p通道導電型MISFET之通道形成區域產生壓縮應力。另外，n通道導電型MISFET上之氮化矽膜17的應力明顯緩和，約成為零的狀態。亦即，可緩和n通道導電型MISFET之通道形成區域之壓縮應力。結果，與未覆蓋氮化矽膜16時之情況相比，p通道導電型MISFET之汲極電流上升15至20%。此時，n通道導電型MISFET之汲極電流雖然應用高壓縮應力之氮化矽膜16，但卻沒有降低。

這是因為藉由離子佈植的衝擊破壞氮化矽膜16之結晶性的緣故。從而，觀察氮化矽膜之剖面可知殘留有已破壞之痕跡。此外，在本實施型態中，雖僅將雜質導入n通道導電型MISFET上之氮化矽膜，惟若有明確的緩和效果之差，雜質本身意可為n及p通道導電型MISFET上之兩方。然而，此

五、發明說明 (22)

時必須n通道導電型MISFET上之氮化矽膜中的雜質量大，或藉由離子佈植所破壞的區域大。又，該破壞區域的大小，亦即應力緩和效果不僅左右導入之雜質的濃度，亦使能量的大小變大。例如，在本實施型態中，導入n通道導電型MISFET上之氮化矽膜中的雜質之能量即使僅大於p通道導電型MISFET上之氮化矽膜中所導入之雜質的能量，亦可獲得相同的功效。此外，期望所導入的雜質大部分存在氮化矽膜16中。這是因為離子佈植的損傷有對下部的MISFET造成不良影響之情況的緣故。

又，在本實施型態中，在氮化矽膜16的覆膜及選擇性離子佈植步驟後，到元件完成為止之間的熱處理步驟以700℃為最高溫。若為低於該程度之熱處理，則因離子佈植所破壞之氮化矽膜再結晶的情況大致上沒有。從而，離子佈植後的應力之狀態作為殘留應力在元件完成後大致上亦可維持。

根據本實施型態3，藉由對氮化矽膜16佈植雜質之離子佈植，因為可緩和或使膜中的應力逆向，即使以本方式亦可獲得與實施型態1相同的功效。藉此，與上述實施型態1比較，由於氮化矽膜之覆膜步驟一次完成，因此可省略第2氮化矽膜之覆膜步驟與其加工步驟，可簡略化製造步驟。當然，藉由離子佈植感變膜應力亦可在p通道導電型MISFET側。此時，p型基板1之電路形成面上的全面上形成氮化矽膜，用以在產生引拉至在n通道導電型MISFET上之通道形成區域氮化矽膜之應力後，僅以離子佈植法選擇性導入上

五、發明說明 (23)

述雜質至p通道導電型MISFET上之氮化矽膜。又，就離子佈植於氮化矽膜中之離子種類(雜質)而言，幾比較重的離子以低濃度離子佈植可獲得本效果，因效率佳，故無限定為哪一種離子。

又，就本實施型態之應力緩和用的離子佈植而言，對於矽基板(晶圓)雖顯示應用垂直的離子佈植之情況，惟如圖11(模式剖視圖)所示，亦可應用傾斜離子佈植。此時，覆蓋MISFET之閘極之氮化矽膜16之閘極側壁部分(段差部分)亦可導入雜質。結果，可更獲得應力緩和效果。

(實施型態4)

本實施型態4係本發明之實施型態1之半導體裝置之製造方法的變形例。使用圖6((a)、(b)及(c)係模式剖視圖)加以說明。

如圖6(a)所示，以與上述實施型態1相同的製程，形成n通道導電型及p通道導電型MISFET及矽化物層12。

繼之，在p型基板1之電路形成面上全面以電漿CVD法形成絕緣膜，例如100至120 nm左右膜厚之氮化矽膜13。氮化矽膜13之形成例如以高頻電力350至400 W的條件進行。

然後，使用光蝕刻技術對氮化矽膜13進行圖案化，如圖6(b)所示，形成選擇性覆蓋n通道導電型MISFET之氮化矽膜13。亦即，除去p通道導電型MISFET之通道形成區域上之氮化矽膜13。如此形成之氮化膜13係可選擇性在n通道導電型MISFET之通道形成區域產生引拉之應力。

繼之，如圖6(c)所示，在p型基板1之電路形成面上全面

五、發明說明 (24)

以電漿CVD法形成絕緣膜，例如100至120 nm左右膜厚之氮化矽膜14。氮化矽膜14之形成例如以高頻電力600至700 W的條件進行。

在p型基板1的電路形成面上之全面上以電漿CVD法形成例如由氧化矽膜組成之層間絕緣膜15，之後，以CMP法平坦化層間絕緣膜15之表面。此後，以週知的技術形成連接孔以及金屬配線層而完成。

在本實施型態4中，在p通道導電型MISFET上僅存在有氮化矽膜14。另外，n通道導電型MISFET上存在有氮化矽膜13及氮化矽膜14。結果，p通道導電型MISFET之通道形成區域雖產生大的壓縮應力，惟可緩和在n通道導電型MISFET之通道形成區域產生的應力。在本實施型態中，與未覆蓋氮化矽膜時之情況相比，p通道導電型MISFET之汲極電流上升15至20%。此時，n通道導電型MISFET之汲極電流大致上沒有變化。

此外，主要增加n通道導電型MISFET之汲極電流時，先選擇性在p通道導電型MISFET上形成氮化矽膜14，之後，全面形成氮化矽膜13。

將本實施型態之步驟與第1及第2實施型態比較時，可省略以光蝕刻除去之步驟n通道導電型MISFET之氮化矽膜14。結果，可較第1及第2實施型態簡略步驟。

此外，在本實施型態中，藉著改變氮化矽膜13及14之膜厚及改變其膜應力之大小，亦可同時提昇n通道導電型及p通道導電型MISFET之汲極電流。例如，在上述實施型態

五、發明說明 (25)

中，藉由將氮化矽膜13之膜厚設為130至150 nm，然後將氮化矽膜14之膜厚設為50至80 nm，亦不會因氮化矽膜14減小n通道導電型MISFET之汲電流提高效果。

(實施型態5)

圖7係表示本發明實施型態5之半導體裝置的概略構成之模式剖視圖，圖中23係具有引拉應力之塗布氧化膜(SOG (Spin On Glass)膜)。

本實施型態5之半導體裝置係作為控制應力之膜及構造者，組合上述應用例中任一例者。例如，如圖7所示，在包含閘極6正上方之p型基板1的電路形成面全面上形成具有自行整合連接製程用之壓縮應力之氮化矽膜19，之後，在氮化矽膜19上形成具有引拉應力之SOG膜23，然後，在SOG膜23進行圖案，選擇性在n通道導電型MISFET上殘留SOG膜23者。在n通道導電型MISFET側上，以SOG膜23之引拉應力消去氮化矽膜19的壓縮應力。

(實施型態6)

圖8係表示本發明實施型態6之半導體裝置的概略構成之模式剖視圖，圖中20係由具有壓縮應力之氮化矽膜組成的側壁空間，21係具有應力之閘極，22係具有壓縮應力之閘極。

本實施型態6之半導體裝置如圖8所示，係控制上述應力之膜且改變構造之半導體裝置，其係用以控制應力並組合：將上述實施型態1之側壁空間9變更為由具有壓縮應力之氮化矽膜組成的側壁空間20，又，將閘極6變更為由具有引拉應力之材料的閘極21，又，將閘極6變更為由具有壓縮

五、發明說明 (26)

應力之材料的閘極22 (包括構造變更)者。

例如，用以控制上述應力之膜且改變構造者，係以閘極6之材料變更的組合控制應力時之例，列舉有一側的閘極6特別導入多的雜質(Ge, Si)。又，閘極6為聚金屬構造亦可。

又，用以控制應力之膜且改變構造者，亦可n通道導電型MISFET及p通道導電型MISFET改變絕緣膜亦可。例如，n通道導電型MISFET及p通道導電型MISFET中任一個應用氮化矽膜與氧化矽膜之積層膜等。

(實施型態7)

圖9係表示本發明實施型態7之半導體裝置的概略構成之模式剖視圖。本實施型態之半導體裝置如圖9所示，用以控制應力之膜且改變構造者，與上述實施型態1相同雖應用層間絕緣膜的一部份之氮化矽膜，惟不僅在n通道導電型MISFET之閘極6上直接形成具有引拉應力之氮化矽膜13，在p通道導電型MISFET之閘極6上直接形成具有壓縮應力之氮化矽膜14，並於平坦化層間絕緣膜15的表面之後，在n通道導電型MISFET之閘極6上形成具有引拉應力之氮化矽膜24，在p通道導電型MISFET之閘極6上形成具有引拉應力之氮化矽膜25者。

如此構成時，一側的氮化矽膜之除去變為容易。

(實施型態8)

圖10係表示本發明實施型態8之半導體裝置的概略構成之模式剖視圖。

本實施型態8之半導體裝置係成為SOI (Silicon On

五、發明說明 (27)

Insulator) 基板 30 之 SOI 構造。SOI 基板 30 係例如成為具有支持基板 30A、在該支持基板 30A 上設置之絕緣層 30B 及設置於該絕緣層 30B 上之半導體層 30C 之構成。支持基板 30A 係例如由單結晶矽組成之 p 型矽基板所形成，絕緣層 30B 例如以氧化膜矽膜形成，半導體層 30C 例如以單結晶矽組成之 p 型半導體形成。半導體層 30C 分割為複數個元件形成部，在各元件形成部形成有 n 通道導電型 MISFET 或 p 通道導電型 MISFET。在 n 通道導電型 MISFET 所形成之半導體層 30C 之元件形成部形成 p 型井區域，在 p 通道導電型 MISFET 所形成之半導體層 30C 之元件形成部形成 n 型井區域。

由於 SOI 構造之半導體層 30C 的厚度薄，因此更增加應力的效果。又，在 SOI 構造時，可藉由改變絕緣層 (埋入層) 30B 的厚度或在絕緣層 30B 選擇性導入雜質進行應力控制。結果，在享受本發明的功效之同時，可享受 SOI 構造之優點。

又，在包含 SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory) 及快閃等之記憶體產品中，至少在其記憶單元之周邊電路或邏輯電路部分應用本發明之構造，更可獲得高性能之記憶體產品。

以上，雖依據上述實施型態具體說明根據本發明者所研創之發明，惟本發明並不限定於上述實施型態者，在不脫離其要旨之範圍內當然可作種種變更。

若簡單說明根據本說明書中所揭示之發明中具代表性之發明所獲得的功效，則如下述。

五、發明說明 (28)

根據本發明，可謀求提昇n通道導電型場效電晶體及p通道導電型場效電晶體之電流驅動能力。

又，根據本發明，在n通道導電型場效電晶體及p通道導電型場效電晶體中，可謀求控制一側之電晶體降低電流驅動能力，且另一側之電晶體提昇電流驅動能力。

而且，由於可個別控制作用在n通道導電型場效電晶體及p通道導電型場效電晶體之通道形成區域之應力，因此亦可在某範圍內自由設定n通道導電型場效電晶體及p通道導電型場效電晶體之汲極電流比設定。

產業上利用之可能性

如上所述，有關本發明之半導體裝置係應用於具有n通道導電型場效電晶體及p通道導電型場效電晶體之半導體裝置為有益，又，應用於記憶體IC (Integrated Circuit)、邏輯IC或是具有記憶功能及邏輯功能之混成IC等之半導體產品為有用。

四、中文發明摘要（發明之名稱：半導體裝置及其製造方法）

本發明係提供一種半導體裝置，其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，其特徵為在上述n通道導電型場效電晶體之通道形成區域產生的內部應力與上述p通道導電型場效電晶體之通道形成區域產生的內部應力各自相異。上述n通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力；上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力。

英文發明摘要（發明之名稱：A SEMICONDUCTOR DEVICE AND A METHOD OF MANUFACTURING THE SAME）

半導體基板の一主面の第1の領域にチャネル形成領域が構成されたnチャネル導電型電界効果トランジスタと、前記半導體基板の一主面の第1の領域と異なる第2の領域にチャネル形成領域が構成されたpチャネル導電型電界効果トランジスタとを有する半導體装置であって、前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力と、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力とが、各々で異なっている。前記nチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は引張り応力であり、前記pチャネル導電型電界効果トランジスタのチャネル形成領域に発生する内部応力は圧縮応力である。

圖1

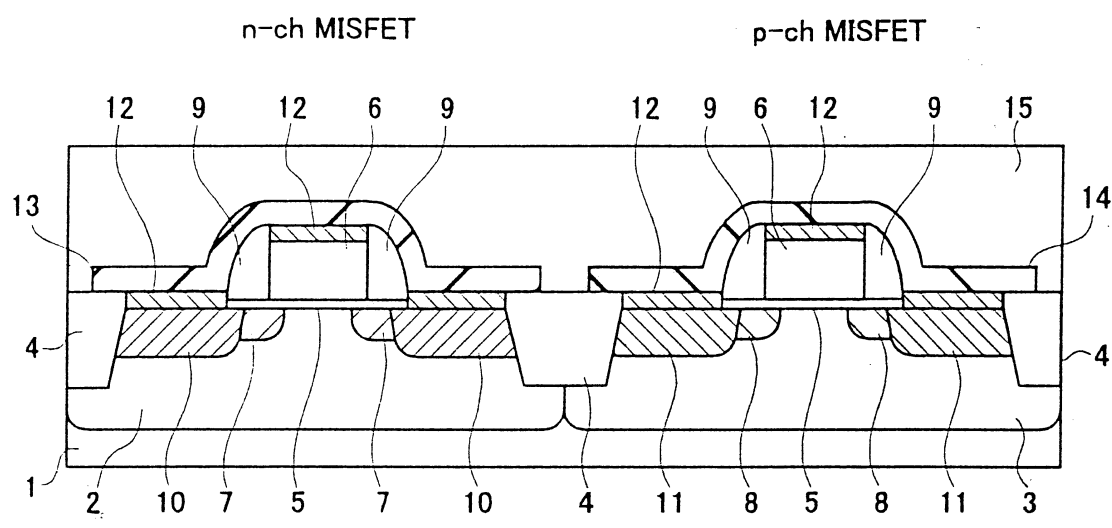


圖2

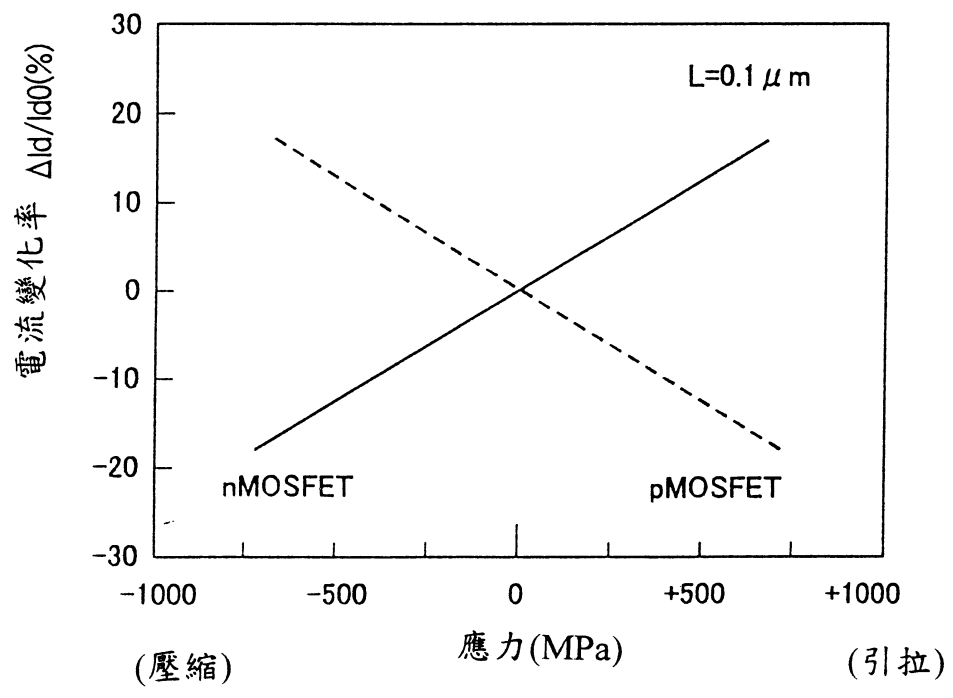


圖 3

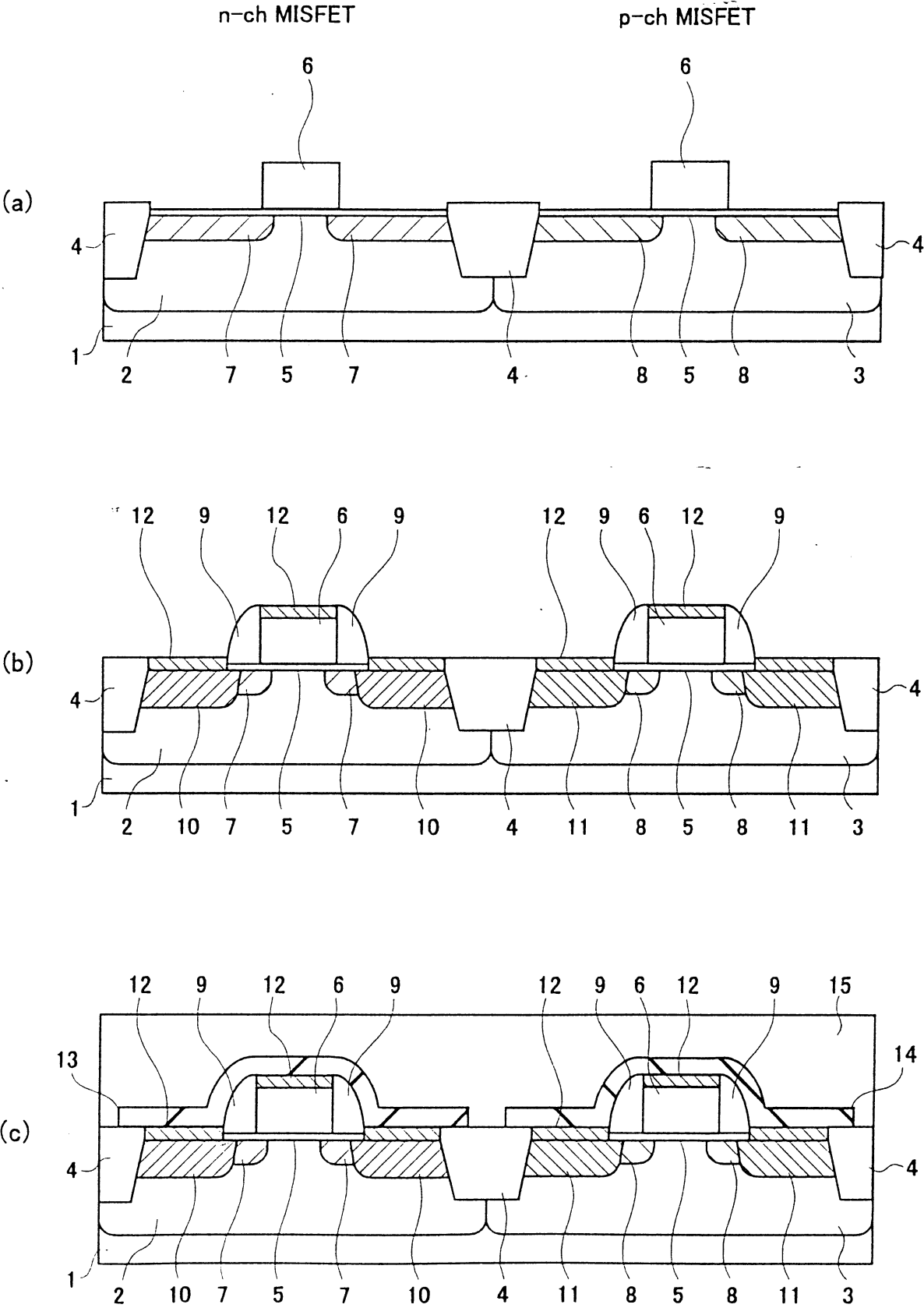


圖 4

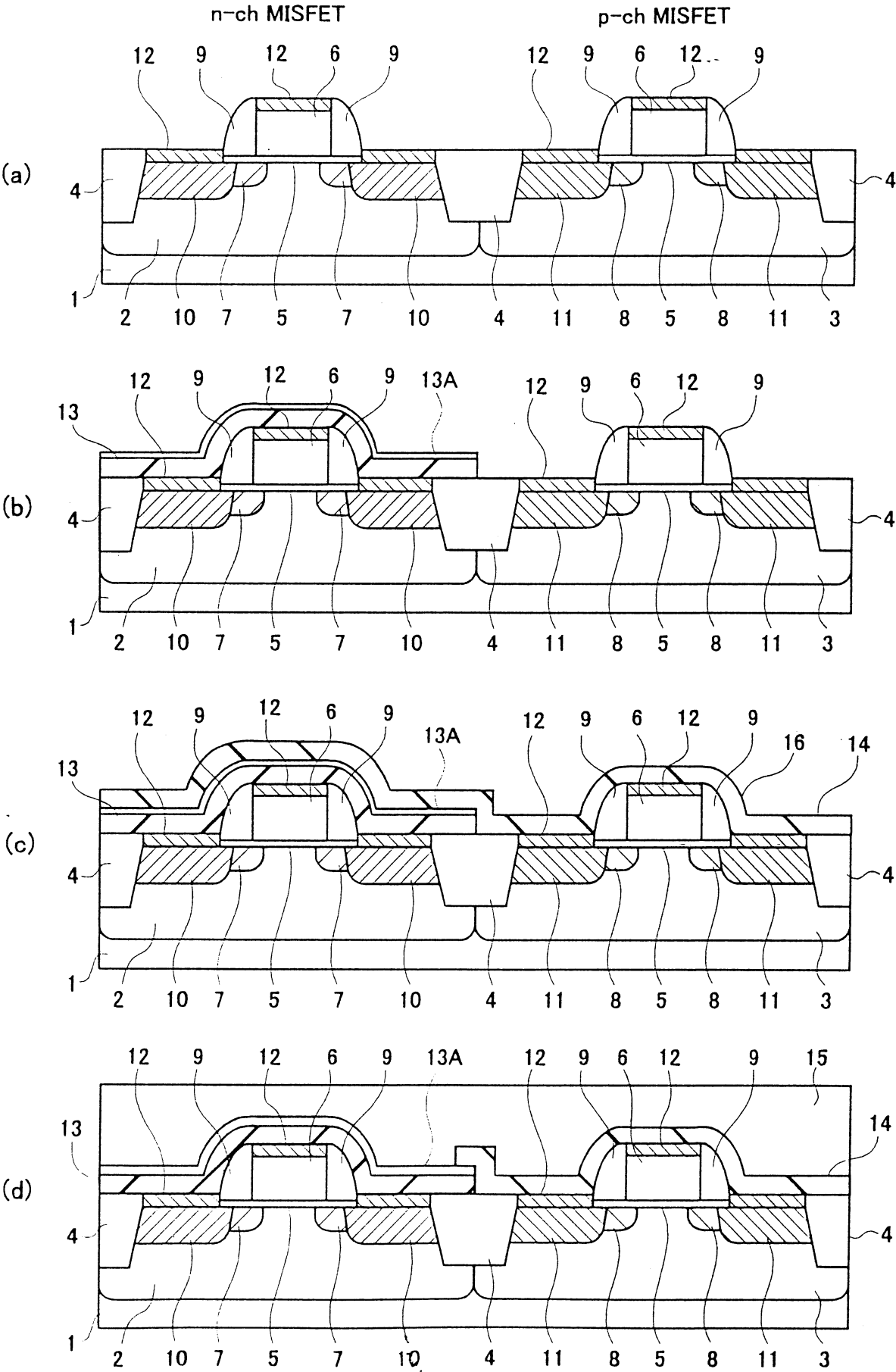


圖5

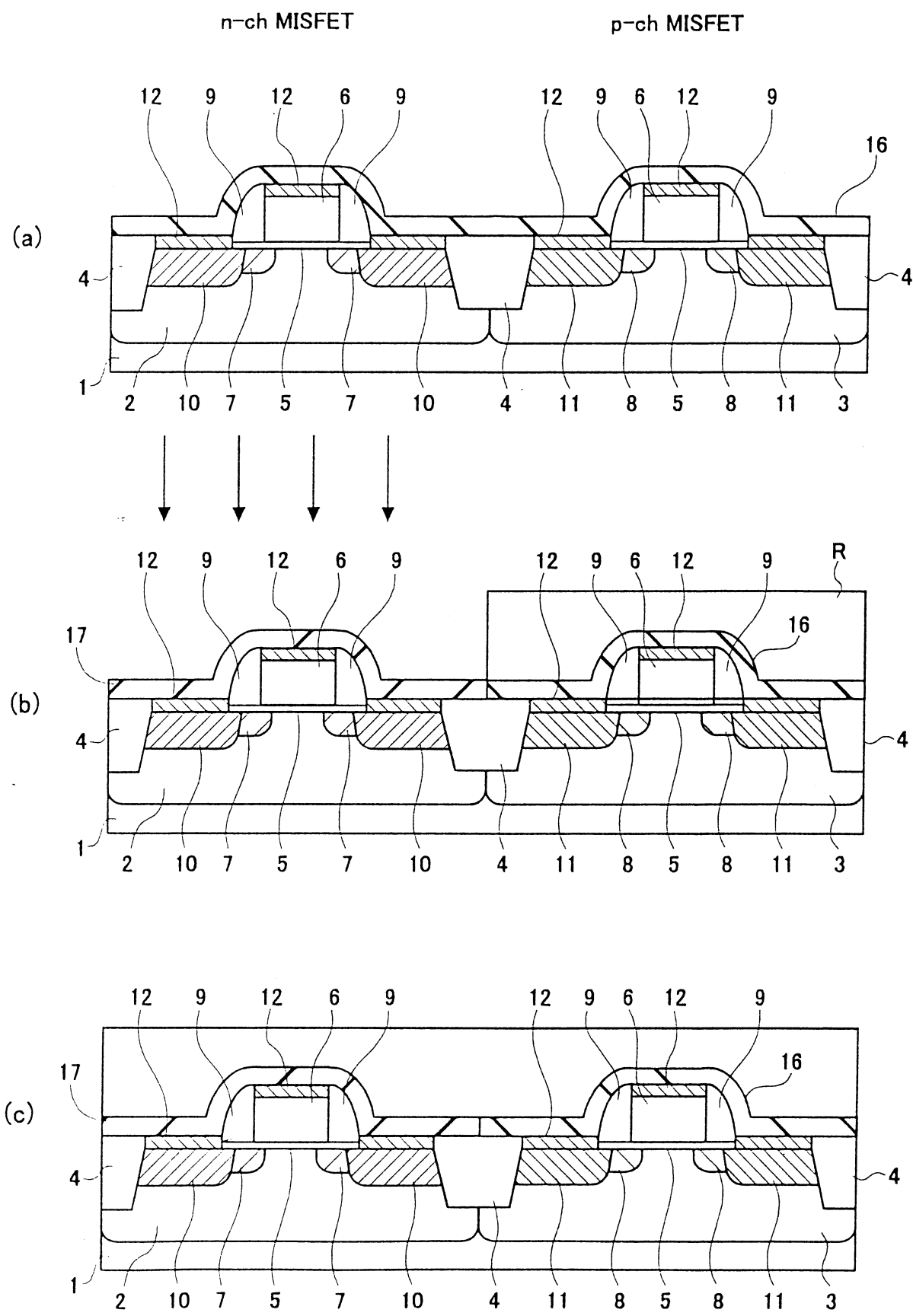


圖6

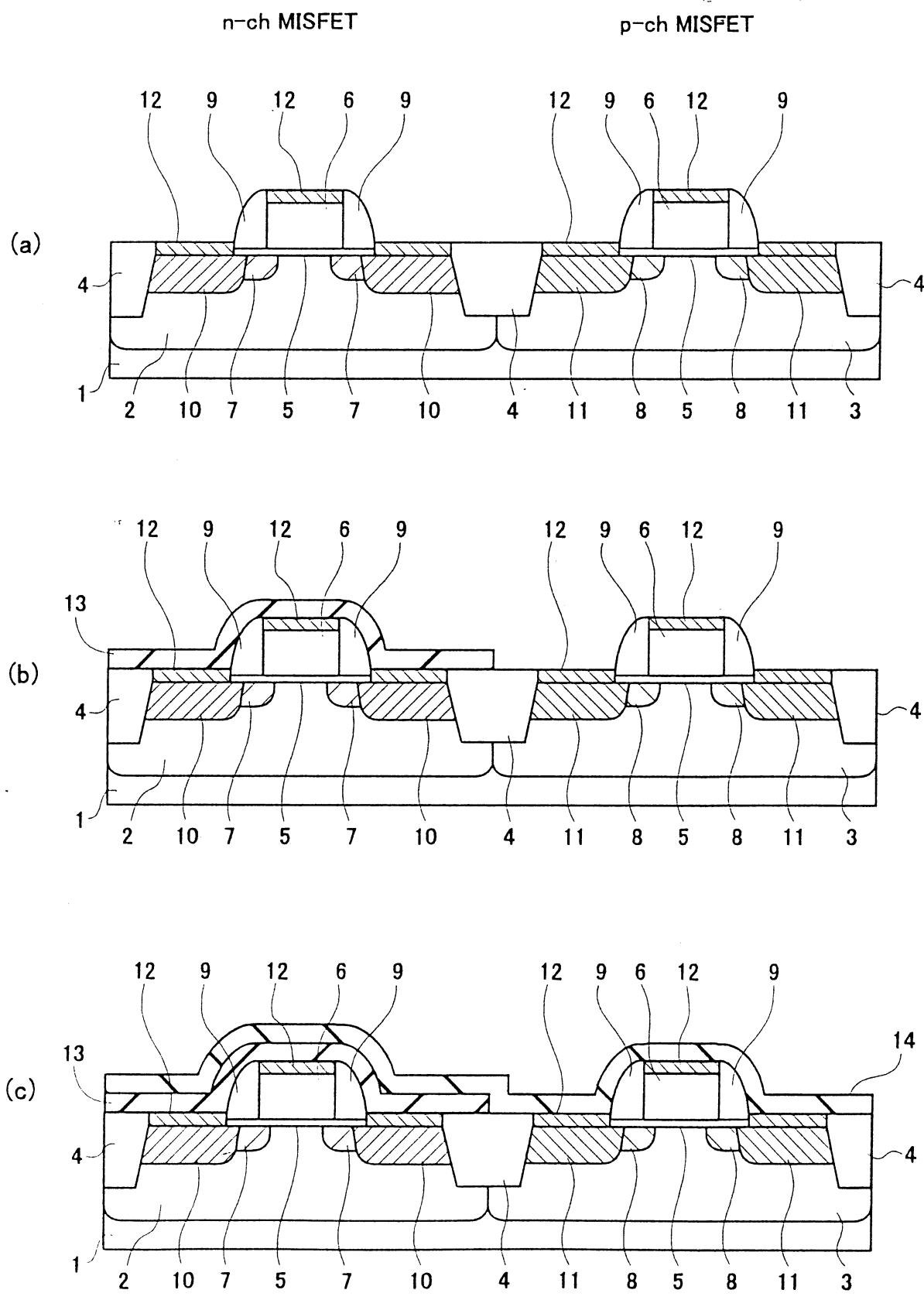


圖 7

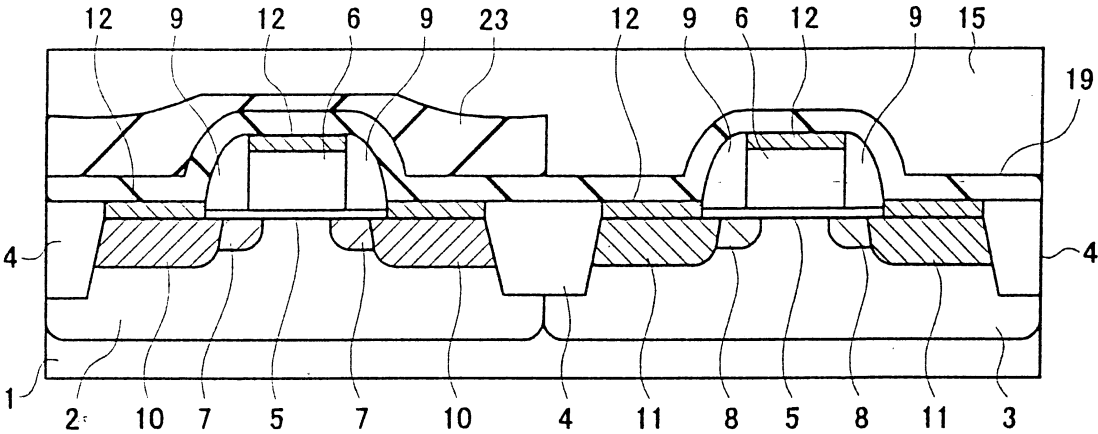


圖 8

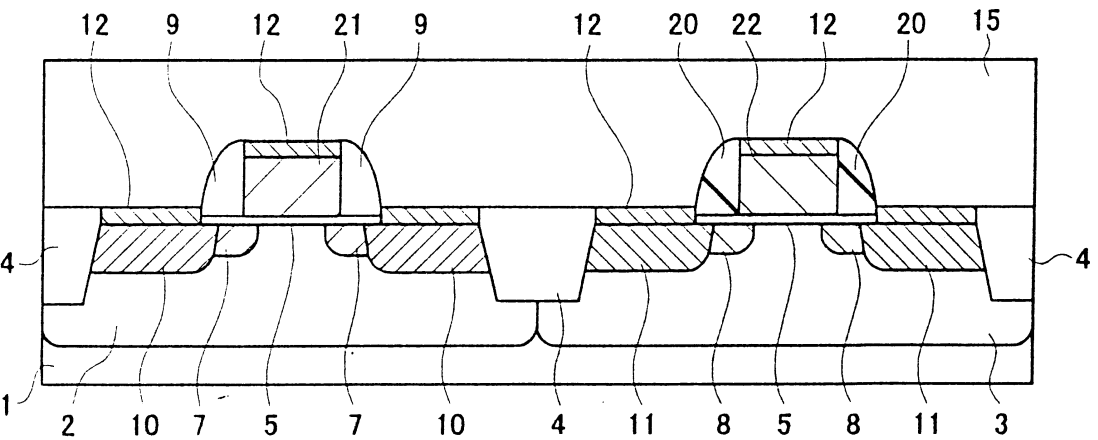


圖9

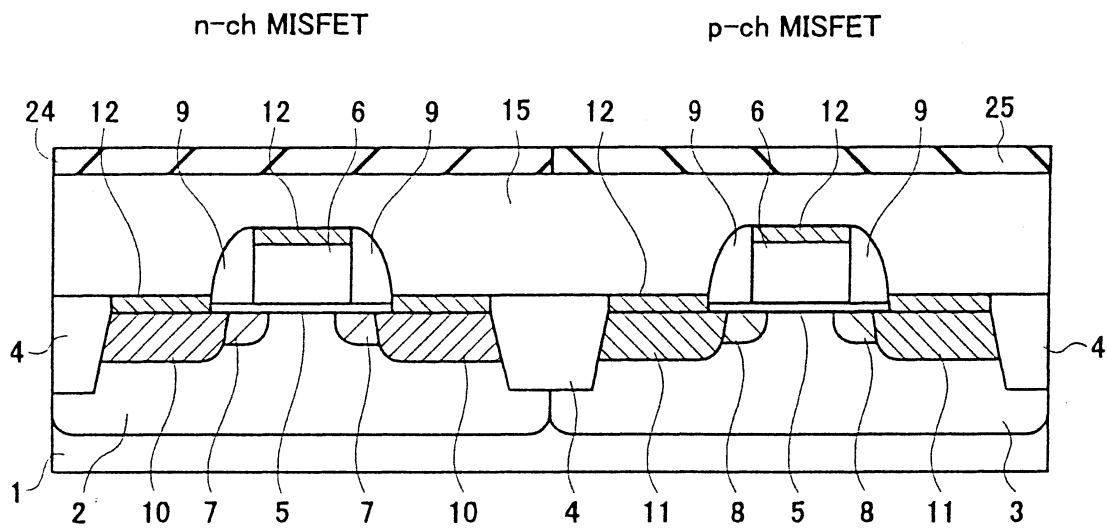


圖10

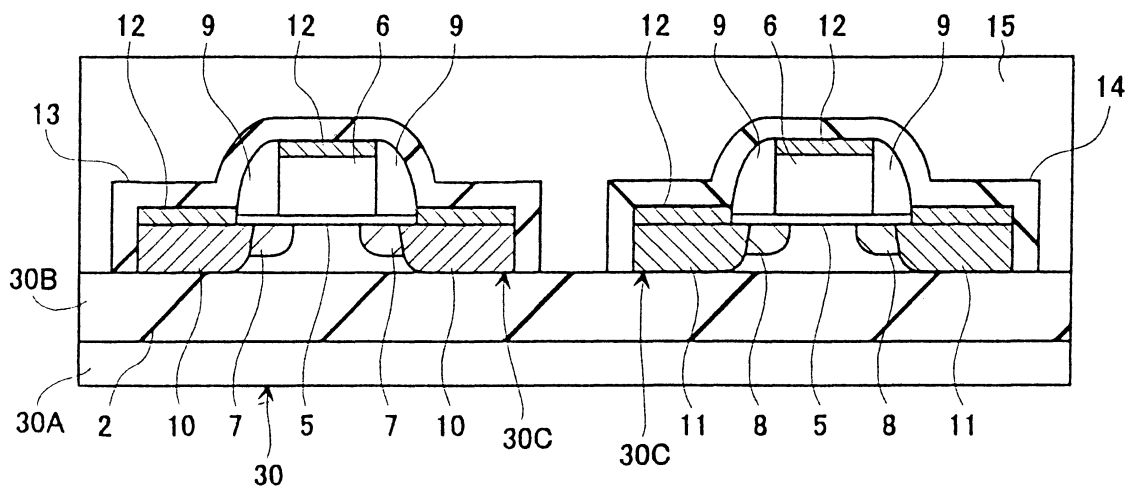
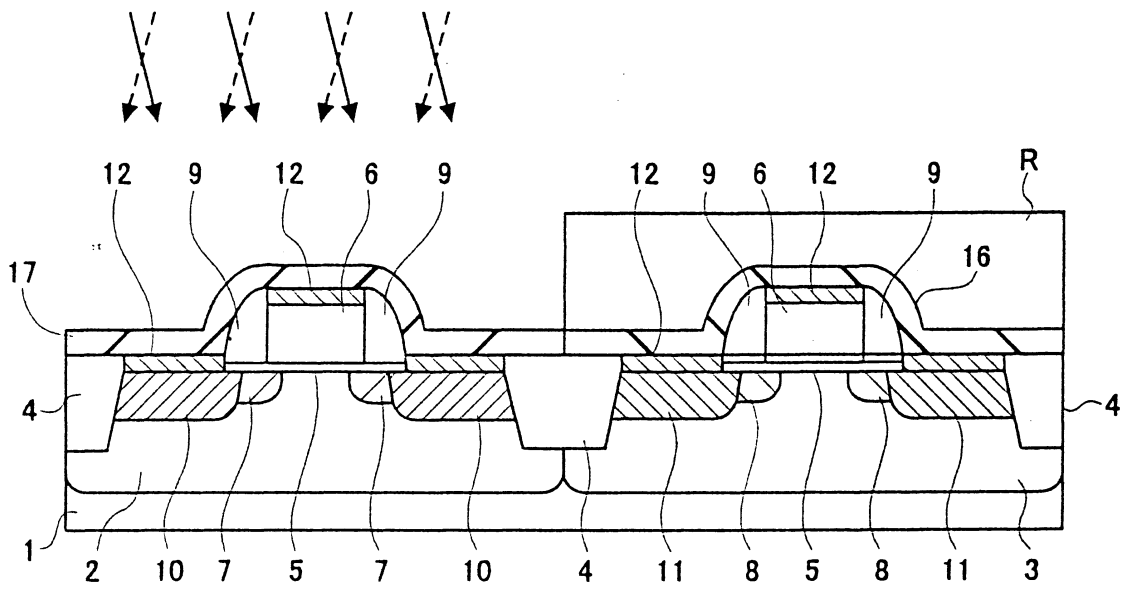


圖 11



六、申請專利範圍

1. 一種半導體裝置，其特徵在於：其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

在上述n通道導電型場效電晶體之通道形成區域產生的內部應力與上述p通道導電型場效電晶體之通道形成區域產生的內部應力為各自相異。

2. 一種半導體裝置，其特徵在於：其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

在上述n通道導電型場效電晶體之通道形成區域之矽原子間隔，係與上述p通道導電型場效電晶體之通道形成區域之矽原子間隔的大小或各種畸變的大小相異。

3. 一種半導體裝置，其特徵在於：其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

在上述n通道導電型場效電晶體之通道形成區域之矽原子間隔，係較上述p通道導電型場效電晶體之通道形成區域之矽原子間隔寬。

六、申請專利範圍

4. 如申請專利範圍第1項之半導體裝置，其中上述n通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力；

上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力。

5. 如申請專利範圍第1項之半導體裝置，其中當上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力時，上述p通道導電型場效電晶體之通道形成區域產生的壓縮應力，係大於上述n通道導電型場效電晶體之通道形成區域產生的壓縮應力。

6. 如申請專利範圍第1項之半導體裝置，其中當上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力時，上述n通道導電型場效電晶體之通道形成區域產生的引拉應力，係大於上述p通道導電型場效電晶體之通道形成區域產生的引拉應力。

7. 一種半導體裝置，其特徵在於：其係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，

其係形成有以下膜中之至少一方者：對上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜、

六、申請專利範圍

以及對上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜。

8. 如申請專利範圍第7項之半導體裝置，其中上述膜為氮化矽系之膜。
9. 如申請專利範圍第7項之半導體裝置，其中上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜，係以在上述半導體基板一主面上覆蓋上述n通道導電型場效電晶體的方式形成之膜；

上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜，係以在上述半導體基板一主面上覆蓋上述p通道導電型場效電晶體的方式形成之膜。

10. 如申請專利範圍第7項之半導體裝置，其中上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜係形成於上述n通道導電型場效電晶體之閘極或上述閘極側壁之側壁空間；

上述p通道導電型場效電晶體之通道形成區域產生引拉應力之膜，係形成於上述p通道導電型場效電晶體之閘極或上述閘極側壁之側壁空間。

11. 如申請專利範圍第7至9項中任一項之半導體裝置，其中為了在上述n通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜中包括的雜質濃度，係與為了在上述p通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜中包括的雜質濃度相異。
12. 如申請專利範圍第7至9項中任一項之半導體裝置，其

六、申請專利範圍

中係於以下膜中之至少一方中導入有用以緩和膜應力之雜質：為了在上述n通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜、以及為了在上述p通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜。

13. 如申請專利範圍第11項之半導體裝置，其中為了在上述n通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜、以及為了在上述p通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜中，兩者之膜中的結晶性相異。
14. 如申請專利範圍第11項之半導體裝置，其中上述雜質未到達上述膜的底層。
15. 一種半導體裝置之製造方法，其特徵在於：其所製造之半導體裝置係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，該製造方法係包含：

形成以下膜中之至少一方的步驟：在形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之後，對上述n通道導電型場效電晶體之通道形成區域產生引拉應力之膜、以及對上述p通道導電型場效電晶體之通道形成區域產生壓縮應力之膜。

16. 如申請專利範圍第15項之半導體裝置的製造方法，其

六、申請專利範圍

中上述膜為氮化矽膜。

17. 一種半導體裝置之製造方法，其特徵在於：其所製造之半導體裝置係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，該製造方法係包含：

形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之步驟；

在上述半導體基板一主面之第1區域及第2區域上形成絕緣膜的步驟，該絕緣膜係對上述p通道導電型場效電晶體之通道形成區域上產生壓縮應力者；

在上述半導體基板一主面之第2區域之上述絕緣膜上選擇性導入雜質，以緩和對上述n通道導電型場效電晶體之通道形成區域所產生之壓縮應力的步驟。

18. 一種半導體裝置之製造方法，其特徵在於：其所製造之半導體裝置係具備有：n通道導電型場效電晶體，其係在半導體基板一主面之第1區域上構成有通道形成區域；p通道導電型場效電晶體，其係在與半導體基板一主面之第1區域相異之第2區域上構成有通道形成區域者，該製造方法係包含：

形成上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之步驟；

在上述半導體基板一主面之第1區域及第2區域上形

六、申請專利範圍

成絕緣膜的步驟，該絕緣膜係對上述p通道導電型場效電晶體之通道形成區域上產生引拉應力者；

在上述半導體基板一主面之第2區域之上述絕緣膜上選擇性導入雜質，以緩和對上述n通道導電型場效電晶體之通道形成區域所產生之引拉應力的步驟。

19. 如申請專利範圍第18項之半導體裝置的製造方法，其中上述雜質的導入係以上述雜質相對於上述半導體基板垂直離子佈植之方法，或以上述雜質相對於上述半導體基板傾斜離子佈植之方法進行。

20. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

覆蓋有膜，該膜係產生應力以使得上述n通道導電型場效電晶體之通道形成區域之矽原子間隔與上述p通道導電型場效電晶體之通道形成區域之矽原子間隔的大小或各種畸變的大小相異者。

21. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

覆蓋有膜，該膜係產生應力以使得上述n通道導電型場效電晶體之通道形成區域之矽原子間隔大於上述p通道導電型場效電晶體之通道形成區域之矽原子間隔者。

22. 一種半導體裝置，其特徵在於：其係具備有形成於半

六、申請專利範圍

導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

覆蓋有膜，該膜係對上述n通道導電型場效電晶體以及p通道導電型場效電晶體之通道形成區域產生應力者；

上述膜係構成爲：對上述n通道導電型場效電晶體之通道形成區域所產生之應力與對上述p通道導電型場效電晶體之通道形成區域所產生之應力係相異。

23. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

為了對上述n通道導電型場效電晶體之通道形成區域產生應力而包含於所覆膜之膜中之雜質的濃度，係與為了對上述p通道導電型場效電晶體之通道形成區域產生應力而包含於所覆膜之膜中之雜質的濃度相異。

24. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

其係於以下膜中之至少一方中導入有用以緩和膜應力之雜質：為了對上述n通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜、以及為了對上述p通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜。

25. 一種半導體裝置，其特徵在於：其係具備有形成於半

六、申請專利範圍

導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

為了對上述n通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜、以及為了對上述p通道導電型場效電晶體之通道形成區域產生應力而覆膜之膜中，兩者膜中之結晶性破壞方式相異。

26. 如申請專利範圍第20至25項中任一項之半導體裝置，其中上述n通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力；

上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力。

27. 如申請專利範圍第20至25項中任一項之半導體裝置，其中在上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為壓縮應力時，上述p通道導電型場效電晶體之通道形成區域產生的壓縮應力較上述n通道導電型場效電晶體之通道形成區域產生的壓縮應力大。

28. 如申請專利範圍第20至25項中任一項之半導體裝置，其中在上述n通道導電型場效電晶體及上述p通道導電型場效電晶體之通道形成區域產生的內部應力為引拉應力時，上述n通道導電型場效電晶體之通道形成區域產生的引拉應力較上述p通道導電型場效電晶體之通道形成區域產生的引拉應力大。

29. 如申請專利範圍第20至25項中任一項之半導體裝置，

六、申請專利範圍

其中上述膜係以覆蓋閘極或閘極絕緣膜或場效電晶體之膜構成。

30. 如申請專利範圍第20至25項中任一項之半導體裝置，其中上述膜係在上述n通道導電型場效電晶體上與在上述p通道導電型場效電晶體上之膜厚相異。

31. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

施加於上述n通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之殘留應力為引拉應力；

施加於上述p通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之殘留應力為壓縮應力。

32. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

施加於上述p通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之壓縮應力，係大於施加於上述n通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之壓縮應力。

33. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

施加於上述n通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之引拉應力，係大於施加於上

六、申請專利範圍

述p通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之引拉應力。

34. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

上述n通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之矽原子間隔，係大於上述p通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之矽原子間隔。

35. 一種半導體裝置，其特徵在於：其係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，

上述n通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之矽原子間隔，係與上述p通道導電型場效電晶體之通道形成區域之汲極電流流動的方向之矽原子間隔的大小或各別畸變的大小相異。

36. 如申請專利範圍第31至35項中任一項之半導體裝置，其中上述n通道導電型場效電晶體與上述p通道導電型場效電晶體上覆蓋絕緣膜；

上述n通道導電型場效電晶體上之上述絕緣膜的應力，係與上述p通道導電型場效電晶體上之上述絕緣膜的膜應力相異。

37. 如申請專利範圍第36項之半導體裝置，其中其係於以下膜中之至少一方中導入有用以緩和膜應力之雜質：

六、申請專利範圍

上述n通道導電型場效電晶體上之上述絕緣膜、以及上述p通道導電型場效電晶體上之上述絕緣膜。

38. 一種半導體裝置的製造方法，其特徵在於：其所製造之半導體裝置係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，該製造方法包含以下步驟：

覆蓋絕緣膜之步驟，該絕緣膜係對上述n通道導電型場效電晶體之通道形成區域及對上述p通道導電型場效電晶體之通道形成區域產生壓縮應力者；

對上述n通道導電型場效電晶體上之上述絕緣膜導入雜質，以緩和上述絕緣膜之壓縮應力的步驟。

39. 一種半導體裝置的製造方法，其特徵在於：其所製造之半導體裝置係具備有形成於半導體基板上之n通道導電型場效電晶體以及p通道導電型場效電晶體者，該製造方法包含以下步驟：

覆蓋絕緣膜之步驟，該絕緣膜係對上述n通道導電型場效電晶體之通道形成區域及對上述p通道導電型場效電晶體之通道形成區域產生引拉應力者；

對上述p通道導電型場效電晶體上之上述絕緣膜導入雜質，以緩和上述絕緣膜之引拉應力的步驟。

40. 如申請專利範圍第38或39項中任一項之半導體裝置的製造方法，其中上述絕緣膜為氮化矽膜。

41. 一種半導體裝置，其特徵在於：其係具備有：支持基板、形成於上述支持基板上之絕緣層、形成於上述絕

六、申請專利範圍

緣層上之半導體層、在上述半導體層之第1通道形成區域所構成之n通道導電型場效電晶體以及在上述半導體層之第2通道形成區域所構成之p通道導電型場效電晶體，

在上述n通道導電型場效電晶體與上述p通道導電型場效電晶體中，

藉由改變上述絕緣層的厚度，使上述n通道導電型場效電晶體之通道形成區域產生引拉應力，且使上述p通道導電型場效電晶體之通道形成區域產生壓縮應力。

42. 一種半導體裝置，其特徵在於，其係具備有：支持基板、形成於上述支持基板上之絕緣層、形成於上述絕緣層上之半導體層、在上述半導體層之第1通道形成區域所構成之n通道導電型場效電晶體以及在上述半導體層之第2通道形成區域所構成之p通道導電型場效電晶體，

在上述n通道導電型場效電晶體與上述p通道導電型場效電晶體中，

藉由在上述絕緣層導入雜質，使上述n通道導電型場效電晶體之通道形成區域產生引拉應力，且使上述p通道導電型場效電晶體之通道形成區域產生壓縮應力。