

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4264101号  
(P4264101)

(45) 発行日 平成21年5月13日(2009.5.13)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl.		F I			
HO 1 P	1/20	(2006.01)	HO 1 P	1/20	Z A A Z
HO 1 P	1/203	(2006.01)	HO 1 P	1/203	
HO 4 B	1/04	(2006.01)	HO 4 B	1/04	N

請求項の数 14 (全 21 頁)

(21) 出願番号	特願2006-332415 (P2006-332415)	(73) 特許権者	000003078
(22) 出願日	平成18年12月8日(2006.12.8)		株式会社東芝
(65) 公開番号	特開2008-147959 (P2008-147959A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年6月26日(2008.6.26)	(74) 代理人	100075812
審査請求日	平成20年3月27日(2008.3.27)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100118876
			弁理士 鈴木 順生

最終頁に続く

(54) 【発明の名称】 フィルタ回路および無線通信装置

(57) 【特許請求の範囲】

【請求項1】

信号を入力する入力端子と、

前記信号の中心周波数を阻止帯域内に有し、前記信号に含まれる前記阻止帯域内の信号を反射させ前記阻止帯域外の信号を通過させる帯域阻止フィルタと、

前記阻止帯域を包含する通過帯域を有し、前記帯域阻止フィルタを通過した信号のうち前記通過帯域内の信号を通過させる帯域通過フィルタと、

前記帯域阻止フィルタで反射した信号と、前記帯域通過フィルタを通過した信号とを合成して合成信号を得る合成回路と、

前記合成信号を出力する出力端子と、

を備えたフィルタ回路。

【請求項2】

前記入力端子から入力された信号を前記帯域阻止フィルタに伝達し、前記帯域阻止フィルタで反射した信号を前記合成回路に伝達する第1のサーキュレータをさらに備えたことを特徴とする請求項1に記載のフィルタ回路。

【請求項3】

前記帯域通過フィルタと前記合成回路との間に配置され、前記帯域阻止フィルタと同一の阻止帯域を有する第2の帯域阻止フィルタをさらに備え、

前記合成回路は第2のサーキュレータとして構成され、前記第1のサーキュレータから伝達された信号を前記第2の帯域阻止フィルタに戻し、前記第2の帯域阻止フィルタで反

射した信号と、前記帯域通過フィルタから前記第 2 の帯域阻止フィルタを経由してきた信号とを前記出力端子に伝達する、

ことを特徴とする請求項 2 に記載のフィルタ回路。

【請求項 4】

前記帯域阻止フィルタを通過し前記帯域通過フィルタで反射した信号を吸収するアイソレータをさらに備えたことを特徴とする請求項 3 に記載のフィルタ回路。

【請求項 5】

前記帯域通過フィルタ内の伝送線路は超伝導体で構成されたことを特徴とする請求項 1 ないし 4 のいずれか一項に記載のフィルタ回路。

【請求項 6】

信号を入力する入力端子と、  
前記信号の中心周波数を含む阻止帯域を有し、前記信号に含まれる前記阻止帯域内の信号を反射させ前記阻止帯域外の信号を通過させる帯域阻止フィルタと、  
複数の共振器を用いて前記帯域阻止フィルタを通過した信号から所望帯域の信号を通過させる共振器群回路と、  
前記共振器群回路を通過した信号と、前記帯域阻止フィルタで反射した信号とを合成して合成信号を得る合成回路と、  
前記合成信号を出力する出力端子と、  
を備えたフィルタ回路。

【請求項 7】

前記入力端子から入力された信号を前記帯域阻止フィルタに伝達し、前記帯域阻止フィルタで反射した信号を前記合成回路に伝達する第 1 のサーキュレータをさらに備えたことを特徴とする請求項 6 に記載のフィルタ回路。

【請求項 8】

前記共振器群回路と前記合成回路との間に配置された、前記帯域阻止フィルタと同一の阻止帯域を有する第 2 の帯域阻止フィルタをさらに備え、  
前記合成回路は第 2 のサーキュレータとして構成され、前記第 1 のサーキュレータから伝達されてきた信号を前記第 2 の帯域阻止フィルタに戻し、前記第 2 の帯域阻止フィルタで反射した信号と、前記共振器群回路から前記第 2 の帯域阻止フィルタを経由してきた信号とを前記出力端子に送る、  
ことを特徴とする請求項 7 に記載のフィルタ回路。

【請求項 9】

前記帯域阻止フィルタを通過し前記共振器群回路で反射した信号を吸収するアイソレータをさらに備えたことを特徴とする請求項 8 に記載のフィルタ回路。

【請求項 10】

前記共振器群回路内の伝送線路は超伝導体で構成されたことを特徴とする請求項 6 ないし 9 のいずれか一項に記載のフィルタ回路。

【請求項 11】

信号を入力する入力端子と、  
前記入力端子から入力された信号を端子 A で受け取り受け取った信号を分割して端子 B および端子 C から送出し、また、前記端子 B および端子 C に与えられた信号を合成して端子 D から送し出す、第 1 の 4 端子素子と、  
前記入力端子から入力された信号の中心周波数を阻止帯域内に有し、前記端子 B から送出された信号に含まれる前記阻止帯域内の信号を前記端子 B に反射させ阻止帯域外の信号を通過させる第 1 帯域阻止フィルタと、  
前記第 1 帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子 C から送出された信号に含まれる前記阻止帯域内の信号を前記端子 C に反射させ前記阻止帯域外の信号を通過させる第 2 帯域阻止フィルタと、  
第 1 の複数の共振器を用いて前記第 1 帯域阻止フィルタを通過した信号から所望帯域の信号を通過させる第 1 共振器群回路と、

10

20

30

40

50

前記第 1 の複数の共振器の各々と同じ共振周波数を有する第 2 の複数の共振器を用いて前記第 2 帯域阻止フィルタを通過した信号から前記所望帯域の信号を通過させる第 2 共振器群回路と、

前記端子 D から送出された信号を端子 E において受け取り受け取った信号を分割して端子 F および端子 G から送出し、また、前記端子 F および端子 G に与えられた信号を合成して端子 H から送出する、第 2 の 4 端子素子と、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 1 共振器群回路を通過した信号を前記端子 F へ通過させ、前記端子 F から送出された信号を前記端子 F に反射させる第 3 帯域阻止フィルタと、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 2 共振器群回路を通過した信号を前記端子 G へ通過させ、前記端子 G から送出された信号を前記端子 G に反射させる第 4 帯域阻止フィルタと、

前記端子 H から送出された信号を出力する出力端子と、  
を備えたフィルタ回路。

【請求項 1 2】

前記第 1 および第 2 共振器群回路内の伝送線路は超伝導体で構成されたことを特徴とする請求項 1 1 に記載のフィルタ回路。

【請求項 1 3】

前記第 1 および第 2 の 4 端子素子は、マジック T またはラットレース回路であることを特徴とする請求項 1 1 または 1 2 に記載のフィルタ回路。

【請求項 1 4】

送信データに送信処理を施して送信信号を得る信号処理回路と、  
前記送信信号を増幅する電力増幅器と、  
増幅された送信信号をフィルタ処理する請求項 1 ないし 1 3 のいずれか一項に記載のフィルタ回路と、  
前記フィルタ回路から得られる信号を空間に電波として放射するアンテナと、  
を備えた無線通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フィルタ回路および無線通信装置に関し、たとえば無線を用いる通信機の送信部に用いる電力増幅器の後段に接続される帯域制限用フィルタ回路に関する。

【背景技術】

【0002】

従来、フィルタ回路は図 2 6 に示されるように共振器 1 1 0 7 ( 1 ) ~ 1 1 0 7 ( n ) を縦列接続させることによって構成される。各共振器の等価回路はインダクタとキャパシタから成り、損失の効果を考慮する場合には抵抗も追加される。抵抗が無い場合の共振器の共振周波数は下記で与えられる。

$$f_0 = (L \times C)^{-1/2}$$

【0003】

ただし、L、C はそれぞれ共振器のインダクタンスとキャパシタンスである。フィルタ回路では共振器を縦列接続させ、それぞれの共振器の結合量を表す共振器間結合係数 ( 図 2 6 の  $m_{1,2}, m_{2,3}, \dots, m_{n-1,n}$  ) と入出力部で共振器を励振する量を表す外部 Q ( 図 2 6 の  $Q_e$  ) の値を適当に決めることによってフィルタ回路としての通過周波数範囲や阻止域減衰量を決定することができる。1 1 0 1 は入力端子、1 1 0 6 は出力端子である。共振器が縦列接続されたフィルタ回路では各共振器に電流が伝播してゆくため、共振器には全ての周波数成分の電流が流れてしまう。そのため超伝導体のような単位面積あたりに超伝導状態で流せる電流値に限界を持つ材料を用いて共振器を構成する場合には、フィルタ回路に大きな電力を通過させるためには各共振器の耐電力性が重要なパラメータとなり、円盤形状や

10

20

30

40

50

幅広線路を用いるなどして共振器に電流が集中して流れないように対策することで耐電力性を向上させるための方法が検討されている。しかし、超伝導共振器では外部Q値が非常に高いことから電流集中が大きく、共振器形状の工夫だけでは大きな耐電力性を得ることができない問題点がある。

【0004】

一方、図27に示すようにフィルタ回路において各共振器に電力を分散させてフィルタ特性を実現する方法として共振器を並列接続させてフィルタ回路を構成する方法がある（特開2001-345601公報、特開2004-96399公報）。こうした共振器の並列構成によって、入力した電力が各共振器1108(1)～1108(n)に電力分配されることによって全体としての耐電力特性を上げるものである。共振器を並列構成するためには各共振器を異なる周波数（図27の $f_1, f_2, \dots, f_n$ ）を持つように構成し、隣り合う共振周波数を持つ共振器が逆相となるように合成することでフィルタ特性を実現するものである。図中「 $-m_2$ 」の「-」は逆相結合を示す。これを利用したフィルタ構成で、超伝導フィルタと常電導フィルタとを組み合わせる方法がある。（特許第3,380,165号、特開11-186812号公報）。特許第3,380,165号では超伝導フィルタと常電導フィルタを並列化しているが、入力に大きな電力が来るとそのまま各フィルタに電力が分割されて入力し、各フィルタにおいて反射させられる電力と通過する電力とに分離されるだけであり、この形では超伝導フィルタにも大きな耐電力性が必要となってしまう問題点がある。

10

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

以上に述べたように、従来では急峻な通過特性をもつ超伝導体を用いたフィルタ回路では超伝導体の臨界電流密度の特性のために耐電力性を大きくすることが困難であった。

【0006】

そこで、本発明では、上記のような従来技術の欠点を除去し、急峻な通過特性と耐電力性とを両立可能なフィルタ回路および無線通信装置を提供することを目的とするものである。

【課題を解決するための手段】

【0007】

本発明の一態様としてのフィルタ回路は、  
 信号を入力する入力端子と、  
 前記信号の中心周波数を阻止帯域内に有し、前記信号に含まれる前記阻止帯域内の信号を反射させ前記阻止帯域外の信号を通過させる帯域阻止フィルタと、  
 前記阻止帯域を包含する通過帯域を有し、前記帯域阻止フィルタを通過した信号のうち前記通過帯域内の信号を通過させる帯域通過フィルタと、  
 前記帯域阻止フィルタで反射した信号と、前記帯域通過フィルタを通過した信号とを合成して合成信号を得る合成回路と、  
 前記合成信号を出力する出力端子と、  
 を備える。

30

【0008】

本発明の一態様としてのフィルタ回路は、  
 信号を入力する入力端子と、  
 前記信号の中心周波数を含む阻止帯域を有し、前記信号に含まれる前記阻止帯域内の信号を反射させ前記阻止帯域外の信号を通過させる帯域阻止フィルタと、  
 複数の共振器を用いて前記帯域阻止フィルタを通過した信号から所望帯域の信号を通過させる共振器群回路と、  
 前記共振器群回路を通過した信号と、前記帯域阻止フィルタで反射した信号とを合成して合成信号を得る合成回路と、  
 前記合成信号を出力する出力端子と、  
 を備える。

40

50

## 【 0 0 0 9 】

本発明の一態様としてのフィルタ回路は、

信号を入力する入力端子と、

前記入力端子から入力された信号を端子 A で受け取り受け取った信号を分割して端子 B および端子 C から送出し、また、前記端子 B および端子 C に与えられた信号を合成して端子 D から送出する、第 1 の 4 端子素子と、

前記入力端子から入力された信号の中心周波数を阻止帯域内に有し、前記端子 B から送出された信号に含まれる前記阻止帯域内の信号を前記端子 B に反射させ阻止帯域外の信号を通過させる第 1 帯域阻止フィルタと、

前記第 1 帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子 C から送出された信号に含まれる前記阻止帯域内の信号を前記端子 C に反射させ前記阻止帯域外の信号を通過させる第 2 帯域阻止フィルタと、

第 1 の複数の共振器を用いて前記第 1 帯域阻止フィルタを通過した信号から所望帯域の信号を通過させる第 1 共振器群回路と、

前記第 1 の複数の共振器の各々と同じ共振周波数を有する第 2 の複数の共振器を用いて前記第 2 帯域阻止フィルタを通過した信号から前記所望帯域の信号を通過させる第 2 共振器群回路と、

前記端子 D から送出された信号を端子 E において受け取り受け取った信号を分割して端子 F および端子 G から送出し、また、前記端子 F および端子 G に与えられた信号を合成して端子 H から送出する、第 2 の 4 端子素子と、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 1 共振器群回路を通過した信号を前記端子 F へ通過させ、前記端子 F から送出された信号を前記端子 F に反射させる第 3 帯域阻止フィルタと、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 2 共振器群回路を通過した信号を前記端子 G へ通過させ、前記端子 G から送出された信号を前記端子 G に反射させる第 4 帯域阻止フィルタと、

前記端子 H から送出された信号を出力する出力端子と、

を備える。

## 【 0 0 1 0 】

本発明の無線通信装置は、

送信データに送信処理を施して送信信号を得る信号処理回路と、

前記送信信号を増幅する電力増幅器と、

増幅された送信信号をフィルタ処理する上記に記載のいずれかのフィルタ回路と、

前記フィルタ回路から得られる信号を空間に電波として放射するアンテナと、

を備える。

## 【 発明の効果 】

## 【 0 0 1 1 】

本発明により、フィルタ回路において急峻な通過特性と耐電力性とを両立できる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 2 】

図 1 は本発明に係るフィルタ回路の第 1 の実施例を示すブロック図である。

## 【 0 0 1 3 】

このフィルタ回路においては、入力端子 1 0 1 と出力端子 1 0 6 との間に、サーキュレータ 1 0 2 と、帯域阻止フィルタ (BSF : Band Stop Filter) 1 0 3 a と、アイソレータ 1 0 4 と、帯域通過フィルタ (BPF : Band Pass Filter) 1 0 5 と、帯域阻止フィルタ 1 0 3 b と、合成回路 1 1 0 とが縦列接続されている。サーキュレータ 1 0 2 は端子 T 1、T 2、T 3 を有する。端子 T 1 は入力端子 1 0 1 に接続され、端子 T 2 は帯域阻止フィルタ 1 0 3 a の入力に接続されている。合成回路 1 1 0 の入力には、サーキュレータ 1 0 2 の端子 T 3 と、帯域阻止フィルタ 1 0 3 b の出力とが接続されている。合成回路 1 1 0 の出力は出力端子 1 0 6 に接続されている。

10

20

30

40

50

## 【 0 0 1 4 】

サーキュレータ 1 0 2 は、入力端子 1 0 1 から端子 T 1 に入力される信号を端子 T 2 から出力して、帯域阻止フィルタ (BSF : Band Stop Filter) 1 0 3 a に伝達する。またサーキュレータ 1 0 2 は、帯域阻止フィルタ 1 0 3 a で反射させられた信号を端子 T 2 において受け取り、端子 T 3 から出力して合成回路 1 1 0 に伝達する。またサーキュレータ 1 0 2 は端子 T 3 で受け取る信号を、端子 T 1 から出力して入力端子 1 0 1 に伝達する。

## 【 0 0 1 5 】

帯域阻止フィルタ (BSF : Band Stop Filter) 1 0 3 a は、耐電力量  $W_{bsf}$  (W) を有し、阻止帯域として、反射特性の 3 d B 帯域幅を決める 2 点の周波数  $f_{bsf1}$ 、 $f_{bsf2}$  ( $f_{bsf1} < f_{bsf2}$ ) をもつ。帯域阻止フィルタ 1 0 3 a の阻止帯域は、本フィルタ回路の中心周波数を含んでいる。また帯域阻止フィルタ 1 0 3 a の阻止帯域は、入力端子 1 0 1 に入力される信号の中心周波数を含んでいる。帯域阻止フィルタ 1 0 3 a は、阻止帯域内の信号を反射させ、阻止帯域外の帯域の信号を通過させる。

10

## 【 0 0 1 6 】

アイソレータ 1 0 4 は、帯域阻止フィルタ 1 0 3 a を通過した信号をそのまま帯域通過フィルタ (BPF : Band Pass Filter) 1 0 5 に伝達する。またアイソレータ 1 0 4 は、帯域通過フィルタ 1 0 5 で反射させられた信号 (通過帯域外の信号) を減衰させて (吸収して) 帯域阻止フィルタ 1 0 3 a に戻ることを阻止する。

## 【 0 0 1 7 】

帯域通過フィルタ (BPF : Band Pass Filter) 1 0 5 は、耐電力量  $W_{bpf}$  (W) を有し、通過帯域として、通過特性の 3 d B 帯域幅を決める 2 点の周波数  $f_{bpf1}$ 、 $f_{bpf2}$  ( $f_{bpf1} < f_{bpf2}$ ) をもつ。帯域通過フィルタ 1 0 5 は、通過帯域内の信号を通過させ、通過帯域外の信号を反射させる。

20

## 【 0 0 1 8 】

ここで帯域阻止フィルタ 1 0 3 a の耐電力量  $W_{bsf}$  と、帯域通過フィルタ 1 0 5 の耐電力量  $W_{bpf}$  との間には、 $W_{bsf} > W_{bpf}$  の関係がある。つまり帯域阻止フィルタ 1 0 3 a の耐電力量  $W_{bsf}$  は、帯域通過フィルタ 1 0 5 の耐電力量  $W_{bpf}$  よりも大きい。

## 【 0 0 1 9 】

また、帯域阻止フィルタ 1 0 3 a の反射特性の 3 d B 帯域幅を決める 2 点の周波数  $f_{bsf1}$ 、 $f_{bsf2}$  ( $f_{bsf1} < f_{bsf2}$ ) と、帯域通過フィルタ 1 0 5 の通過特性の 3 d B 帯域幅を決める 2 点の周波数  $f_{bpf1}$ 、 $f_{bpf2}$  ( $f_{bpf1} < f_{bpf2}$ ) との間には、 $f_{bpf1} < f_{bsf1} < f_{bsf2} < f_{bpf2}$  の関係がある。つまり、帯域通過フィルタの通過帯域は、帯域阻止フィルタの阻止帯域を包含する関係にある。

30

## 【 0 0 2 0 】

帯域阻止フィルタ 1 0 3 b は、上記帯域阻止フィルタ 1 0 3 a と同一の阻止帯域を有する。帯域阻止フィルタ 1 0 3 b は、実際の無線装置を考えた場合に、アンテナの状況に応じてアンテナから放射されない電力が戻ってきた場合に帯域通過フィルタ 1 0 5 への電力流入を避けるためのものである。つまり、帯域阻止フィルタ 1 0 3 b は、アンテナから反射により戻ってきた信号に含まれる、帯域阻止フィルタ 1 0 3 b の阻止帯域の大電力信号を反射させることで、該大電力信号が帯域通過フィルタ 1 0 5 に入力されて帯域通過フィルタ 1 0 5 が破壊されるのを阻止する。

40

## 【 0 0 2 1 】

合成回路 1 1 0 は、帯域阻止フィルタ 1 0 3 a で反射しサーキュレータ 1 0 2 の端子 T 3 を介して入力される信号 (帯域阻止フィルタ 1 0 3 a の阻止帯域の信号) と、帯域通過フィルタ 1 0 5 から出力され帯域阻止フィルタ 1 0 3 b を経由した信号 (帯域通過フィルタ 1 0 5 の通過帯域の信号) とを合成して合成信号を取得し、取得した合成信号を出力端子 1 0 6 から出力する。つまり、入力端子 1 0 1 から入力され帯域阻止フィルタ 1 0 3 a と帯域通過フィルタ 1 0 5 と帯域阻止フィルタ 1 0 3 b とを通過した信号と、帯域阻止フィルタ 1 0 3 a で反射させられサーキュレータ 1 0 2 で取り出された信号とが合成回路 1 1 0 で合成されて、出力端子 1 0 6 から出力される。

50

## 【 0 0 2 2 】

以上の構成により、帯域阻止フィルタ 1 0 3 a よりも耐電力量の小さな帯域通過フィルタ 1 0 5 を用いても耐電力性を損なうことなく急峻なスカート特性をもつフィルタ回路を構成できる。これはたとえば単位面積当たりを超伝導状態で流せる電流値に限界値を持つ超伝導体により帯域通過フィルタを構成する場合に有効である。従来技術のフィルタ構成では臨界電流値を越えてしまうために大きな電力を通過（フィルタ）させられない問題点があったが、本実施例では、帯域阻止フィルタ 1 0 3 a の阻止帯域内に大きな電力密度を持つ信号のうち、阻止帯域の信号を帯域阻止フィルタで反射させ、阻止帯域外の信号電力の小さな信号のみを超伝導フィルタ（帯域通過フィルタ）に通し、超伝導フィルタを通過した信号と、上記阻止帯域の信号とを合成する。このようにして大きな耐電力性と急峻な

10

## 【 0 0 2 3 】

図 1 の合成回路 1 1 0 としてサーキュレータ 1 1 5 を用いた場合の例を図 2 に示す。サーキュレータ 1 0 2 からサーキュレータ 1 1 5 に入力される信号を帯域阻止フィルタ 1 0 3 b 側に伝達させ、帯域阻止フィルタ 1 0 3 b において反射させる。反射させられた信号は、帯域通過フィルタ 1 0 5 の出力信号とあわせて出力端子 1 0 6 から出力される。アンテナからの反射電力はサーキュレータ 1 1 5 によってサーキュレータ 1 0 2 の端子 T 3 に伝達され、サーキュレータ 1 0 2 の端子 T 1 から入力端子 1 0 1 に伝達される。したがってアンテナからの反射電力が、耐電力の低い帯域通過フィルタ 1 0 5 を通ることにより帯域通過フィルタ 1 0 5 が破壊されることない。

20

## 【 0 0 2 4 】

図 3 は本発明に係るフィルタ回路の第 2 の実施例を示すブロック図である。

## 【 0 0 2 5 】

図 3 のフィルタ回路では、図 2 の帯域通過フィルタ 1 0 5 の代わりに、共振器群回路 1 1 2 が配置されている。

## 【 0 0 2 6 】

共振器群回路 1 1 2 は、アイソレータ 1 0 4 を通過した信号を分割する電力分配部（電力分割部） 2 1 0 と、電力分配部 2 1 0 に並列に接続され電力分配部 2 1 0 によって分割された各信号が与えられるブロック 1 1 1 ( 1 )、1 1 1 ( 2 ) ・ ・ ・ と、各ブロックを通過した信号を合成する電力合成部 2 1 1 と、を有する。各ブロック 1 1 1 ( N ) ( N = 1、2、・・・ ) は、超伝導体 ( S C ) により構成された耐電力量  $W_{reso}$  ( W ) 以下の共振器 1 0 7 ( N ) と、共振器 1 0 7 ( N ) に縦列接続された遅延回路（位相調整手段） 1 0 8 ( N ) とを有する。各共振器 1 0 7 ( N ) の共振周波数  $f_{reso-i}$  ( i は 1 以上 N 以下 ) は互いに異なる。各遅延回路 1 0 8 ( N ) は、電力合成部 2 1 1 における電力合成時に、隣り合う共振周波数をもつ信号同士が  $180 + 360 \times k \pm 30$  度 ( k は 0 以上の整数 ) の範囲の位相差（逆相）条件を満たすようにすることで、隣り合う共振周波数をもつ信号同士の和合成を得る。和合成について図 5 および図 6 を用いて簡単に説明する。図 5 ( A ) のように共振器並列接続型において、共振周波数  $f_1$ 、 $f_2$  をもつ 2 つの共振器を通過した信号を合成する際、これらの信号を 180 度の遅延差をもたせて合成すると、図 5 ( B ) のように、得られる信号 3 0 1 a は、2 つの信号（共振波形） 3 0 2 a、3 0 2 b の

和合成となる。外部回路結合係数  $J_{qe}$  を調整することで帯域通過フィルタを構成できる。一方、図 6 ( A ) のように、共振周波数  $f_1$ 、 $f_2$  をもつ 2 つの共振器を通過した信号を遅延差 0 度で合成すると、図 6 ( B ) のように、得られる信号 3 0 1 b は、2 つの信号（共振波形） 3 0 2 a、3 0 2 b の差合成となる。したがって、図 3 のフィルタ回路では、和合成が得られるように、隣接するブロック間を通過する信号に、180 度の遅延差を持たせるようにしている。ここで遅延回路 1 0 8 ( N ) の数値 ( 0deg, 180deg ) は一例であり他の値を用いることもできる。また共振器 1 0 7 ( N ) と遅延回路 1 0 8 ( N ) の順番はブロックごとに入れ替えても同様の特性を得ることができる。

30

40

## 【 0 0 2 7 】

帯域阻止フィルタ 1 0 3 a の耐電力量  $W_{bsf}$  と、各共振器 1 0 7 ( N ) の耐電力量  $W_{reso}$

50

との間には  $W_{bsf} > W_{reso}$  の関係がある。また、帯域阻止フィルタ 103a の反射特性の 3 dB 帯域幅を決める 2 点の周波数  $f_{bsf1}$ 、 $f_{bsf2}$  ( $f_{bsf1} < f_{bsf2}$ ) と、各共振器の共振周波数  $f_{reso-i}$  ( $i$  は 1 以上  $N$  以下) との間には、 $f_{reso-i} < f_{bsf1}$  もしくは  $f_{bsf2} < f_{reso-i}$  の関係がある。すなわち、各共振器は、帯域阻止フィルタ 103a の阻止帯域外に共振周波数を有し、共振器群回路 112 は、このような各共振器と、電力分配部 210 と、電力合成部 211 とを用いることにより、帯域阻止フィルタ 103a の阻止帯域外の信号から所望帯域の信号を抽出する。

【0028】

以上の構成により、図 2 の帯域通過フィルタ 105 に用いる共振器の数よりも少ない数の共振器数で急峻なフィルタ特性と耐電力性とを合わせもつフィルタ回路を構成できる。すなわち図 2 の帯域通過フィルタ 105 はたとえば図 26 または図 27 に示したように共振器の縦列接続または並列接続により構成できるが、図 3 では帯域阻止フィルタ 103a の阻止帯域内に共振周波数をもつ共振器を用いる必要はないため、その分、共振器の数を少なくできる。

【0029】

図 4 は、図 3 のフィルタ回路において共振器群回路 112 の構成を変更したものである。ブロック 111 ( $N$ ) において、3 つの結合回路 11 ( $N$ ) ~ 13 ( $N$ ) には含まれた 2 つの共振器 107 ( $N$ ) と、遅延回路 108 ( $N$ ) が縦列接続されている。結合回路 12 ( $N$ ) は、共振器間結合係数  $M_j$  ( $j$  は 1 ~  $N$ ) により 2 つの共振器 107 ( $N$ ) と結合され、各共振器 107 ( $N$ ) は、フィルタ回路の中心周波数  $f_0$  と同じ共振周波数を持つ。 $M_1 < M_2 < \dots < M_N$  の関係がある。結合回路 11 ( $N$ ) は電力分配部 210 と 1 つの共振器 107 ( $N$ ) とを外部回路結合係数 (外部  $Q$ )  $J_{qe_j}$  ( $j$  は 1 ~  $N$ ) で結合し、結合回路 13 ( $N$ ) はもう 1 つの共振器 107 ( $N$ ) と遅延回路 108 ( $N$ ) とを、外部回路結合係数  $J_{qe_j}$  ( $j$  は 1 ~  $N$ ) で結合する。 $J_{qe1} > J_{qe2} > \dots > J_{qeN}$  (外部  $Q$  で記述した場合;  $Q_{e1} < Q_{e2} < \dots < Q_{eN}$ ) の関係がある。遅延回路 108 ( $N$ ) は、2 つの共振器 107 ( $N$ ) 間結合により縮退のとけた信号が、隣接するブロック間 ( $M$  が隣合うブロック間) で  $180 + 360 \times k \pm 30$  度 ( $k$  は 0 以上の整数) の範囲の位相差 (逆相) 条件を満たすようにすることで、隣接するブロック間で、信号の和合成を得られるようにする。共振器群の中のブロックの順番を入れ替えても同様にフィルタを構成できる。また、2 つの共振器群の中のブロックの順番も同じでなくても同様にフィルタを構成できる。

【0030】

このフィルタ回路では、帯域阻止フィルタ 103a の耐電力量  $W_{bsf} >$  各共振器の耐電力量  $W_{reso}$  の関係がある。また、帯域阻止フィルタ 103a の反射特性の 3 dB 帯域幅を決める 2 点の周波数の差  $f_{bsf2} - f_{bsf1} <$  共振器間結合係数  $M_j \times$  中心周波数  $f_0$  の関係がある。なお帯域阻止フィルタ 103a、103b に含まれる共振器数は偶数個である (後述する図 20 参照)。

【0031】

図 7 は本発明に係るフィルタ回路の第 3 の実施例を示すものである。

【0032】

図 3 のフィルタ回路において、サーキュレータの代わりに 4 開口素子 (4 端子素子) を用いる場合のフィルタ回路の実施例が示されている。次式で定義される S パラメータをもつ 4 開口素子の各端子を端子 1 ~ 端子 4 として定義する。

【数 1】

$$[S] = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 0 & 1 & 1 \\ 0 & 0 & -1 & 1 \\ 1 & -1 & 0 & 0 \\ 1 & 1 & 0 & 0 \end{bmatrix}$$

【0033】

10

20

30

40

50

4 開口素子の例としては、図 8 に示す導波管を用いたマジックTなどがある。マジック T に付した各番号と、図 7 の 4 開口素子 2 0 2、2 0 7 の各端子との対応関係は図 9 に示したとおりとなっている。また、伝送線路（マイクロストリップ線路）を用いた 4 開口素子の例としては図 1 0 に示すようなラットレース回路がある。一般的に 4 開口素子はサーキュレータに比べて低損失な特性を持っており、フィルタ回路を通過する損失を減らすためには 4 開口素子を用いる方法が有効である。図 7 の例では、4 開口素子 2 0 2 の端子 3 は端子 A、端子 1 は端子 B、端子 2 は端子 C、端子 4 は端子 D に相当し、4 開口素子 2 0 7 の端子 4 は端子 E、端子 1 は端子 F、端子 2 は端子 G、端子 3 は端子 H に相当する。

【 0 0 3 4 】

4 開口素子 2 0 2 の端子 3 に入力端子 2 0 1 が接続され、4 開口素子 2 0 2 の端子 4 と 4 開口素子 2 0 7 の端子 4 とが接続され、4 開口素子 2 0 7 の端子 3 は出力端子 2 0 9 に接続される。4 開口素子 2 0 2 の端子 1 と 4 開口素子 2 0 7 の端子 1 との間には、遅延回路 2 0 3 A と帯域阻止フィルタ 2 0 4 A と共振器群回路 1 1 2 A と遅延回路 2 0 3 B と帯域阻止フィルタ 2 0 4 B とが縦列接続される。4 開口素子 2 0 2 の端子 2 と 4 開口素子 2 0 7 の端子 2 との間には、帯域阻止フィルタ 2 0 4 C と遅延回路 2 0 3 C と共振器群回路 1 1 2 B と帯域阻止フィルタ 2 0 4 D と遅延回路 2 0 3 D とが縦列接続される。共振器群回路 1 1 2 A、1 1 2 B の構成は同一であり、各々において、異なる周波数の単一共振器をもつブロックが並列接続されている。4 つの帯域阻止フィルタ 2 0 4 A ~ 2 0 4 D はそれぞれ同一の阻止帯域を有している。

【 0 0 3 5 】

遅延回路 2 0 3 A は、4 開口素子 2 0 2 の端子 1 から帯域阻止フィルタ 2 0 4 A までの電気長と、4 開口素子 2 0 2 の端子 2 から帯域阻止フィルタ 2 0 4 C までの電気長との差（位相差）を 9 0 度とする。遅延回路 2 0 3 A は、端子 1 から送出され帯域阻止フィルタ 2 0 4 A で反射して 4 開口素子 2 0 2 の端子 1 に戻される信号を該端子 1 から送出された信号に対して逆相にし、また、帯域阻止フィルタ 2 0 4 A を通過し共振器群回路 1 1 2 A で反射して該端子 1 に戻される信号を、該端子 1 から送出された信号に対して逆相にする。

【 0 0 3 6 】

遅延回路 2 0 3 D は、4 開口素子 2 0 7 の端子 1 から帯域阻止フィルタ 2 0 4 B までの電気長と、4 開口素子 2 0 7 の端子 2 から帯域阻止フィルタ 2 0 4 D までの電気長との差（位相差）を 9 0 度とする。遅延回路 2 0 3 D は、該端子 2 から送出され帯域阻止フィルタ 2 0 4 D で反射して 4 開口素子 2 0 7 の端子 2 に戻される信号を該端子 2 から送出された信号に対して逆相にし、また該端子 2 から送出され帯域阻止フィルタ 2 0 4 D を通過し共振器群回路 1 1 2 B で反射して該端子 2 に戻される信号を、該端子 2 から送出された信号に対して逆相にする。

【 0 0 3 7 】

遅延回路 2 0 3 C は、4 開口素子 2 0 2 の端子 1 および端子 2 から共振器群回路 1 1 2 A、1 1 2 B までの電気長の差（位相差）を 0 度とする。遅延回路 2 0 3 C は、該端子 2 から送出され帯域阻止フィルタ 2 0 4 C を通過し共振器群回路 1 1 2 B で反射して 4 開口素子 2 0 2 の端子 2 に戻される信号を、該端子 2 から送出された信号に対して逆相にする。

【 0 0 3 8 】

遅延回路 2 0 3 B は、4 開口素子 2 0 7 の端子 1 および端子 2 から共振器群回路 1 1 2 A、1 1 2 B までの電気長の差（位相差）を 0 度とする。遅延回路 2 0 3 B は、遅延回路 2 0 3 C の配置による位相遅延を補完するために配置され、遅延回路 2 0 3 C と同一の位相遅延量を有する。

【 0 0 3 9 】

図 7 のフィルタ回路の具体例を図 1 1 に示す。共振器群回路 1 1 2 A、1 1 2 B 内の 2 つの共振器 4 0 2 ( 1 )、4 0 2 ( 2 ) と、遅延回路（伝送線路）4 0 3 は超伝導により形成されている。共振器 4 0 2 ( 1 )、4 0 2 ( 2 ) の共振周波数  $f_{L1}$ 、 $f_{U1}$  ( $f_{L1} < f_{U1}$ ) は帯

10

20

30

40

50

域阻止フィルタ(401、404)の阻止帯域を挟んでそれぞれ両側に位置する(すなわち $f_{L1}$ 、 $f_{U1}$ は隣接しない)。図中に示される波形は、入力端子201への入力信号としてフラットな信号を入力した場合に矢印によって示される代表的な箇所での通過スペクトルを示す。以下本フィルタ回路の動作について説明する。

#### 【0040】

入力端子201から入力された信号は4開口素子202で電力が2分配されて端子1及び端子2から逆相出力される。端子1から出力された信号は、共振器401Aと結合回路404Aから成る1段の帯域阻止フィルタ204Aにおいて中心周波数 $f_{c1}$ 近傍の信号(阻止帯域の信号)が反射させられる。同様に、端子2から出力された信号は、共振器401Cと結合回路404Cから成る1段の帯域阻止フィルタ204Cにおいて中心周波数 $f_{c1}$ 近傍の信号(阻止帯域の信号)が反射させられる。帯域阻止フィルタ204A、204Cで反射させられた信号は遅延回路203Aにより同位相の関係とされて4開口素子202Aの端子1および端子2に戻り、これらの信号が電力合成されて端子4から出力される。

10

#### 【0041】

4開口素子202Aの端子4から出力された信号は4開口素子207の端子4へ入力され、入力された信号は2分配されて端子1及び端子2から同相の関係で出力される。端子1から出力された信号は1つの共振器401Bと結合回路404Bから成る1段の帯域阻止フィルタ204Bで中心周波数 $f_{c1}$ 近傍の信号(阻止帯域の信号)が反射させられる。同様に、端子2から出力された信号も1つの共振器401Dと結合回路404Dから成る1段の帯域阻止フィルタ204Dで中心周波数 $f_{c1}$ 近傍の信号(阻止帯域の信号)が反射させられる。帯域阻止フィルタ204B、204Dで反射させられた信号は、遅延回路203Dによって逆位相の関係とされて、4開口素子207の端子1および端子2に戻る。4開口素子207は、端子1および端子2に入力された阻止帯域の信号を合成して端子3から出力する。

20

#### 【0042】

一方、帯域阻止フィルタ204Aを通過した周波数帯の信号(阻止帯域外の信号)は共振器群回路112Aに入力され、共振器群回路112Aにおいて各共振器402(1)、402(2)による共振波形の信号が抽出され、抽出された各共振波形の信号を合成した合成波信号(所望帯域の信号)が通過する。帯域阻止フィルタ204Cを通過した周波数帯の信号(阻止帯域外の信号)は遅延回路403Cを經由して共振器群回路112Bに入力され、共振器群回路112Bにおいて各共振器402(1)、402(2)による共振波形の信号が抽出され、抽出された各共振波形の信号を合成した合成波信号(所望帯域の信号)が通過する。共振器群回路112A、を通過した信号は遅延回路403Bを經由し、共振器群回路112Bを通過した信号と同相で4開口素子B207の端子1及び端子2に入力される。4開口素子207は、端子1および端子2に入力された所望帯域の信号を合成して端子3から出力する。

30

#### 【0043】

共振器群回路112A、112Bを通過しない信号(反射した信号)は、遅延回路203Aおよび403Cにより逆位相の関係で4開口素子202の端子1および端子2に戻り、電力合成されて端子3から、入力端子201に戻される。

40

#### 【0044】

以上のように、フィルタ回路の中心周波数付近 $f_{c1}$ の大きな電力は超伝導の共振器群回路112A、112Bを通過しないことから、超伝導体を用いた急峻なフィルタ特性と高い耐電力性を持つフィルタ特性の両立を行うことができる。

#### 【0045】

一例として、図11のフィルタ回路への入力信号として図12(A)のスペクトルをもつ信号を入力した場合の周波数応答を図12(B)に示しておく。

#### 【0046】

図13は4開口素子207の端子3および4端子の接続先を逆にした場合の例を示す。

50

すなわち端子3が4開口素子202の端子4に接続され、端子4が出力端子209に接続されている。これにより遅延回路403Cの遅延量を図11の270度から90度に減らすことができ(180度の遅延位相回路を省略でき)、回路構成を縮小できる。すなわち、4開口素子207の端子1および端子2への入力信号を同相にするため、図11の遅延回路403Cの遅延量を180度減らすことができる。図13では4開口素子207の端子3および4端子の接続先を逆に示したが、4開口素子202の端子3および端子4の接続先を逆にしてもよく、あるいは4開口素子202、207の両方の端子3および端子4の接続先を逆にしてもよい。

#### 【0047】

図14は、4開口素子202と4開口素子207とを接続する線路に180度の遅延回路212を入れた例を示す。これにより、図11の共振器群回路112A、112Bに含まれていた遅延回路403B、403Cの遅延量をそれぞれ270度から90度に減少させるため、フィルタ回路全体の線路長を短くして、回路規模を縮小できる。

#### 【0048】

図15は、共振器群回路112A、112B内に、超伝導体により形成した共振器402(1)~402(4)を4つ並列に配置した場合の例を示す。共振器402(1)、402(2)の共振周波数 $f_{L2}, f_{L1}$  ( $f_{L2} < f_{L1}$ )は、帯域阻止フィルタ204Aの阻止帯域外の帯域のうち低域側に含まれる。各共振器402(1)、402(2)を通過した信号は、和合成を得るため遅延回路403Aによって180度の位相差をもたせられる。共振器402(3)、402(4)の共振周波数 $f_{U1}, f_{U2}$  ( $f_{U1} < f_{U2}$ )は、帯域阻止フィルタ204Aの阻止帯域外の帯域のうち高域側に含まれる。各共振器402(3)、402(4)を通過した信号は、和合成を得るため遅延回路403Bによって180度の位相差をもたせられる。図16にこのフィルタ回路の周波数応答を示す。図11のフィルタ回路の周波数応答を示す図12(B)と比較して分かるように、多くの共振器を用いることで、より急峻な出力信号301を得ることができる。

#### 【0049】

図17は、図15のフィルタ回路において、帯域阻止フィルタを2つの共振器を用いて構成した例を示す。たとえば帯域阻止フィルタ204Aは、2つの共振器401Aと、2つの結合回路404Aと、遅延回路203A'により構成される。他の帯域阻止フィルタ204B~204Cも同様である。

#### 【0050】

図18は本発明に係るフィルタ回路の第4の実施例を示すものである。

#### 【0051】

このフィルタ回路は、図7のフィルタ回路の共振器群回路112A、112Bを、図4の共振器群回路112に置換したものである。ただし、共振器群回路112Bでは遅延回路403A、403Bの位置が、電力合成部211の直前ではなく、電力分配部210の直後に置かれている。なお、帯域阻止フィルタ204A~204Dにおける共振器の数は偶数個である。図18のフィルタ回路の周波数応答を図19に示す。縮退が解けた各共振波形302の重ね合わせを利用してフィルタ特性301を実現している。また、共振器間結合係数 $M_j$ が大きくなるほど縮退のとけた周波数差(各共振波形302のピーク幅)は大きくなる。ここで $M_1 = (f_{U1} - f_{L1}) / f_0$ ,  $M_2 = (f_{U2} - f_{L2}) / f_0$ の関係がある。帯域阻止フィルタを2つの共振器を用いて構成し、共振器群回路112A、112Bにおける、超伝導共振器の縦列接続を含むブロック数が1つの場合のフィルタ回路の例を図20に示しておく。このように超伝導共振器の縦列接続を含むブロックの数は1つのみでもよい。

#### 【0052】

図21は、図7のフィルタ回路において、遅延回路203Bと帯域阻止フィルタ204Bとの位置関係を逆にし、また遅延回路203Dと帯域阻止フィルタ204Dとの位置関係を逆に示す。このように遅延回路と帯域阻止フィルタとの位置関係が逆であっても図7の構成と同様の効果を得ることが可能である。

#### 【0053】

10

20

30

40

50

図 2 2 は、図 7 のフィルタ回路において、4 開口素子 2 0 2 の端子 4 と、4 開口素子 2 0 7 の端子 4 との間に、低域通過フィルタ (Low Pass Filter) 2 1 3 を挿入した例を示す。この低域通過フィルタ 2 1 3 により、帯域阻止フィルタ 2 0 4 A、2 0 4 B で反射させられた、阻止帯域外の高調波信号の通過を阻止して、フィルタ特性の改善を図ることができる。低域通過フィルタの代わりに、特定周波数を減衰させるための帯域阻止フィルタ、または低周波側のリークを無くすための高域通過フィルタなども挿入してもよい。

【 0 0 5 4 】

図 2 3 は、図 1 1 のフィルタ回路の動作を確認するためシミュレーションを行った回路の例を示す。計算に用いたパラメータは  $f_{C1}=5.26$  GHz、 $f_{L1}=5.2551$  GHz、 $f_{U1}=5.2649$  GHz、 $J_{b,sf}$  の結合係数は 0.036、 $J_{qe}$  の外部 Q は 1600 として計算した。計算結果を図 2 4 に示す。結合回路はキャパシタンスの型回路を用い、共振器 4 0 2 としては 1 8 0 度の伝送線路を、帯域阻止フィルタ 2 0 4 の共振器には 9 0 度の伝送線路をそれぞれ用いている。

【 0 0 5 5 】

図 2 5 は、これまでに述べてきたフィルタ回路を無線通信装置に組み込んだ例を示す。無線通信装置の送信部が概略的に示されている。送信すべきデータ 5 0 0 は信号処理回路 5 0 1 に入力され、デジタル - アナログ変換、符号化及び変調などの処理が施されることにより、ベースバンドあるいは中間周波数 (Intermediate Frequency ; I F) 帯の送信信号が生成される。信号処理回路 5 0 1 により生成された送信信号は周波数変換器 (ミキサ) 5 0 2 に入力され、ローカル信号発生器 5 0 3 からのローカル信号と乗算されることにより、無線周波数 (Radio Frequency ; R F) 帯の信号に周波数変換、すなわちアップコンバートされる。ミキサ 5 0 2 から出力される R F 信号は電力増幅器 5 0 4 によって増幅された後、本実施形態に係わる帯域制限フィルタ (送信フィルタ) 回路 5 0 5 に入力され、このフィルタ回路 5 0 5 で帯域制限を受けて不要な周波数成分が除去された後、アンテナ 5 0 6 から電波として空間に放射される。

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 本発明のフィルタ回路の第 1 の実施例を示す回路図である。

【 図 2 】 図 1 のフィルタ回路の変形例を示す回路図である。

【 図 3 】 本発明のフィルタ回路の第 2 の実施例を示す回路図である。

【 図 4 】 図 3 のフィルタ回路の一部変更例を示す回路図である。

【 図 5 】 和合成を説明する図である。

【 図 6 】 差合成を説明する図である。

【 図 7 】 本発明のフィルタ回路の第 3 の実施例を示す回路図である。

【 図 8 】 導波管を用いた 4 開口素子のイメージ図である。

【 図 9 】 4 開口素子の端子番号を示す図である。

【 図 1 0 】 マイクロストリップ線路を用いた 4 開口素子のイメージ図である。

【 図 1 1 】 図 7 のフィルタ回路を具体化した回路図である。

【 図 1 2 】 入力信号の周波数スペクトルと図 1 1 のフィルタ回路の周波数応答を示す図である。

【 図 1 3 】 後段の 4 開口素子の端子 3 および端子 4 の接続先を逆にした例を示す図である。

【 図 1 4 】 2 つの 4 開口素子間に遅延回路を挿入した例を示す図である。

【 図 1 5 】 4 つの共振器の並列接続により共振器群回路を構成した例を示す図である。

【 図 1 6 】 図 1 5 のフィルタ回路の周波数応答を示す図である。

【 図 1 7 】 2 つの共振器を用いて帯域制限フィルタを構成した例を示す図である。

【 図 1 8 】 本発明のフィルタ回路の第 4 の実施例を示す回路図である。

【 図 1 9 】 図 1 8 の周波数応答を示す図である。

【 図 2 0 】 2 つの共振器を用いて帯域制限フィルタを構成した例を示す図である。

【 図 2 1 】 遅延回路と帯域制限フィルタとの位置関係を逆にした例を示す図である。

【 図 2 2 】 2 つの 4 開口素子間に低域通過フィルタを追加した例を示す図である。

【図 2 3】シミュレーションを行ったフィルタ回路の例を示す図である。

【図 2 4】図 2 3 のフィルタ回路の周波数応答特性を示す図である。

【図 2 5】無線通信装置の例を示す構成図である。

【図 2 6】従来の縦列接続型のフィルタ回路を示す回路図である。

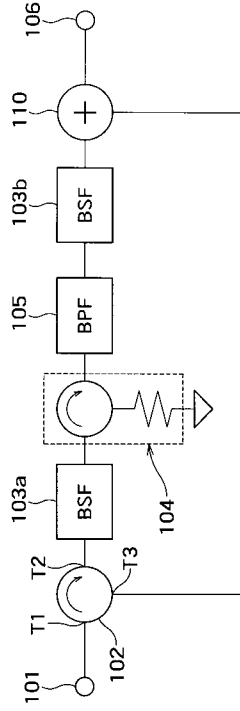
【図 2 7】従来の並列接続型のフィルタ回路を示す回路図である。

【符号の説明】

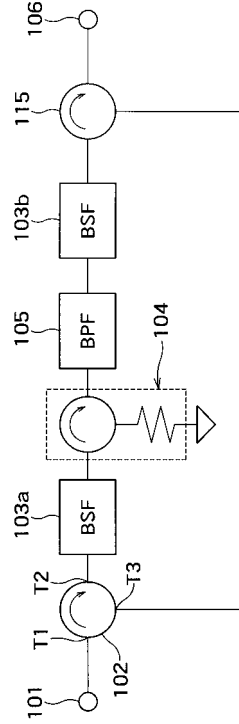
【 0 0 5 7 】

1 0 1 ... 入力端子	
1 0 2 ... サークュレータ	
1 0 3 a、1 0 3 b ... 帯域阻止フィルタ	10
1 0 4 ... アイソレータ	
1 0 5 ... 帯域通過フィルタ	
1 0 6 ... 出力端子	
1 0 7 ( 1 ) ~ 1 0 7 ( N ) ... 共振器	
1 0 8 ( 1 ) ~ 1 0 8 ( N ) ... 遅延回路 ( 位相調整手段、伝送線路 )	
1 1 0 ... 合成回路	
1 1 1 ( 1 ) ~ 1 1 1 ( N ) ... ブロック	
1 1 2、1 1 2 A、1 1 2 B... 共振器群回路	
2 0 5 ( 1 ) ~ 2 0 5 ( N ) ... 共振器	
2 0 6 ( 1 ) ~ 2 0 6 ( N ) ... 遅延回路 ( 位相調整手段、伝送線路 )	20
2 0 1 ... 入力端子	
2 0 2 ... 4 開口素子	
2 0 3 ... 遅延回路 ( 位相調整手段、伝送線路 )	
2 0 4 A ~ 2 0 4 D... 帯域阻止フィルタ	
2 0 7 ... 4 開口素子	
2 0 9 ... 出力端子	
2 1 0 ... 電力分配部 ( 電力分割部 )	
2 1 1 ... 電力合成部	
2 1 2 ... 遅延回路	
2 1 3 ... 低域通過フィルタ	30
4 0 1 A ~ 4 0 1 D... 帯域阻止フィルタ用共振器	
4 0 2 ... <u>超伝導</u> 共振器	
4 0 3 B ~ 4 0 3 C... 遅延回路 ( 位相調整手段、 <u>超伝導</u> 伝送線路 )	
4 0 4 A ~ 4 0 4 D... 帯域阻止フィルタ用結合回路	
4 0 5 ( 1 )、4 0 5 ( 2 ) ... <u>超伝導</u> 共振器用結合回路	
5 0 0 ... データ	
5 0 1 ... 信号処理回路	
5 0 2 ... 周波数変換器	
5 0 3 ... ローカル信号発生器	
5 0 4 ... 電力増幅器	40
5 0 5 ... 帯域制限フィルタ	
5 0 6 ... アンテナ	

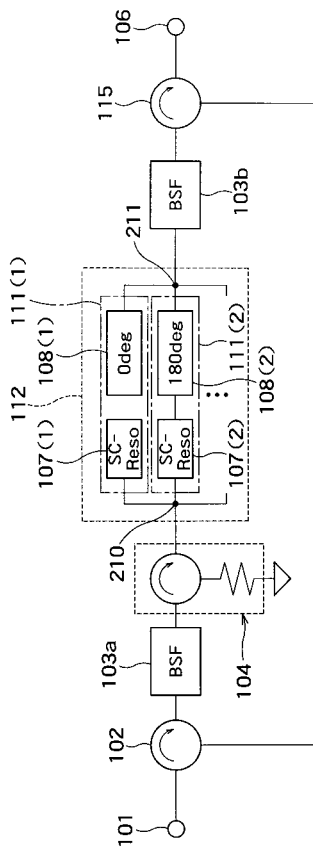
【 図 1 】



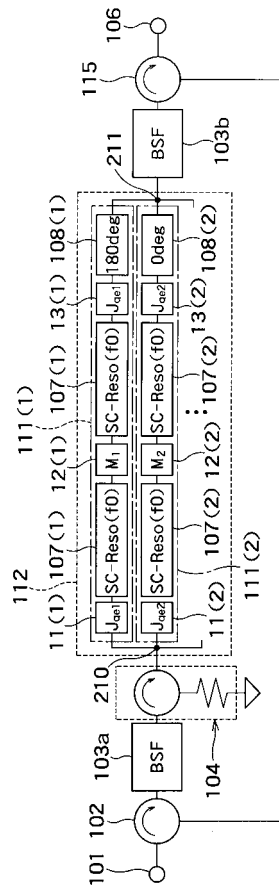
【 図 2 】



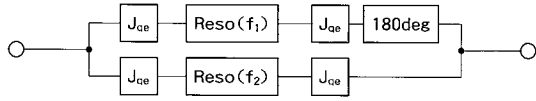
【 図 3 】



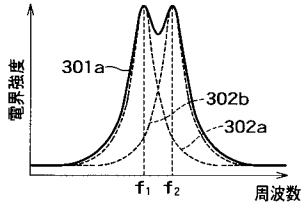
【 図 4 】



【 図 5 】

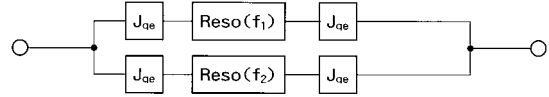


(A)

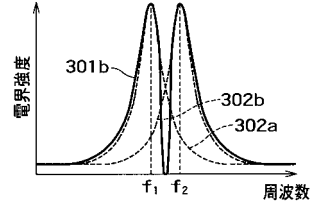


(B)

【 図 6 】

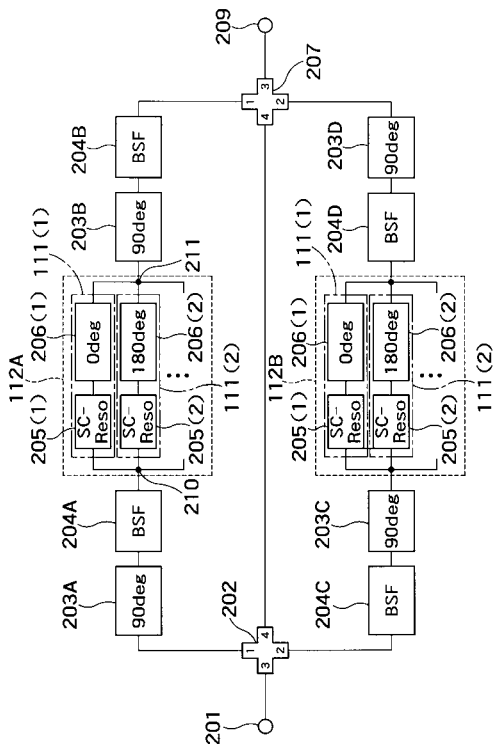


(A)

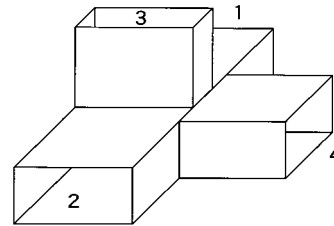


(B)

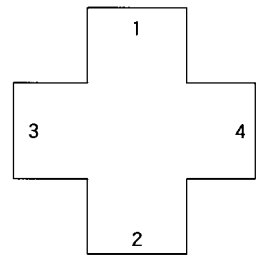
【 図 7 】



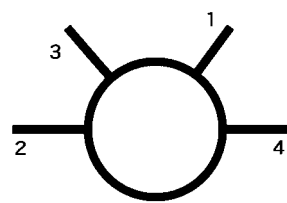
【 図 8 】



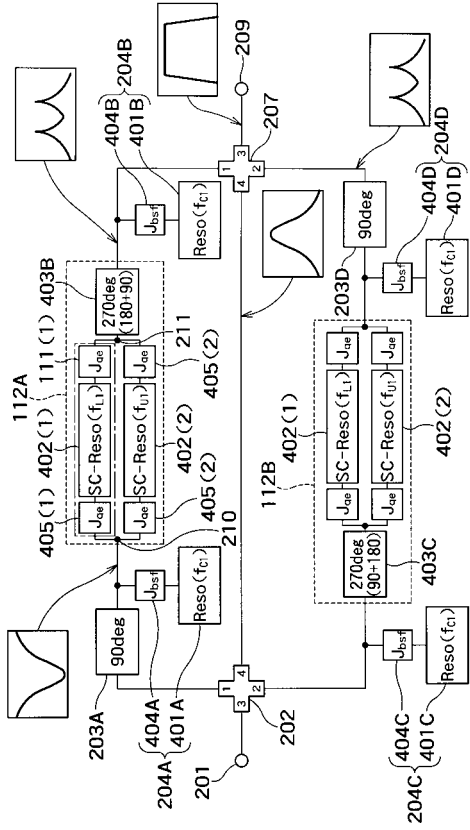
【 図 9 】



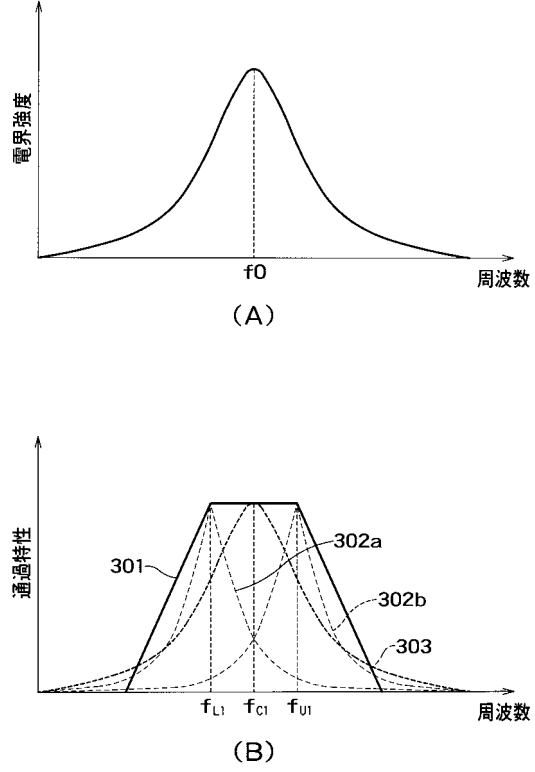
【 図 10 】



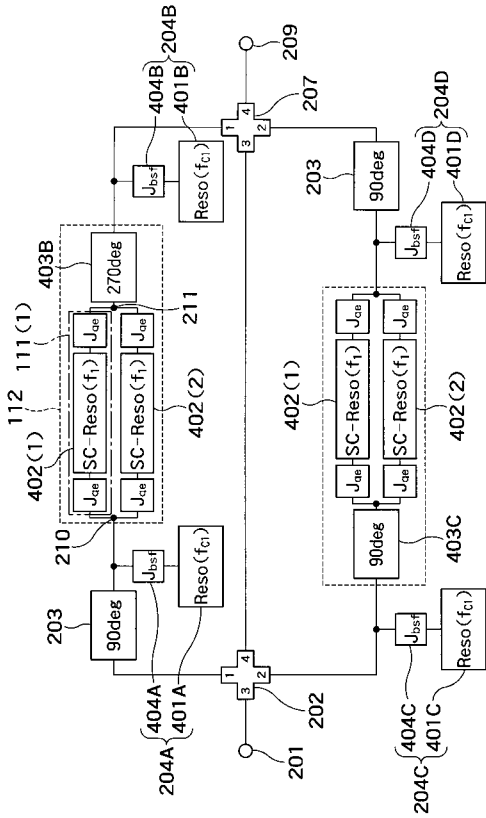
【図 1 1】



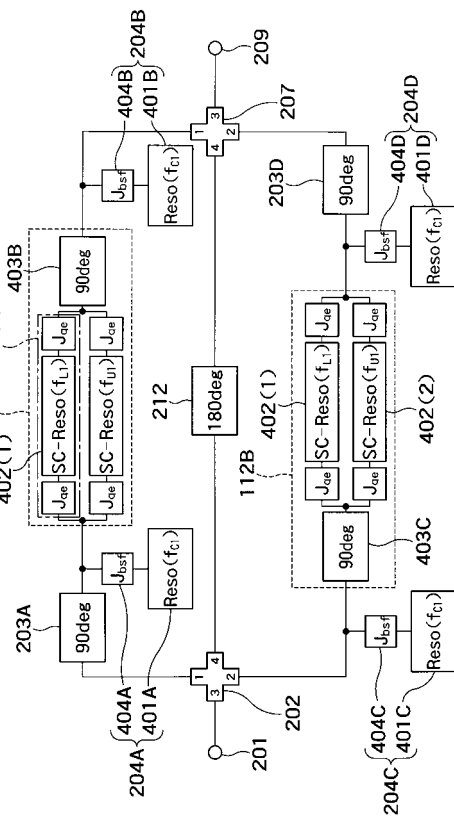
【図 1 2】



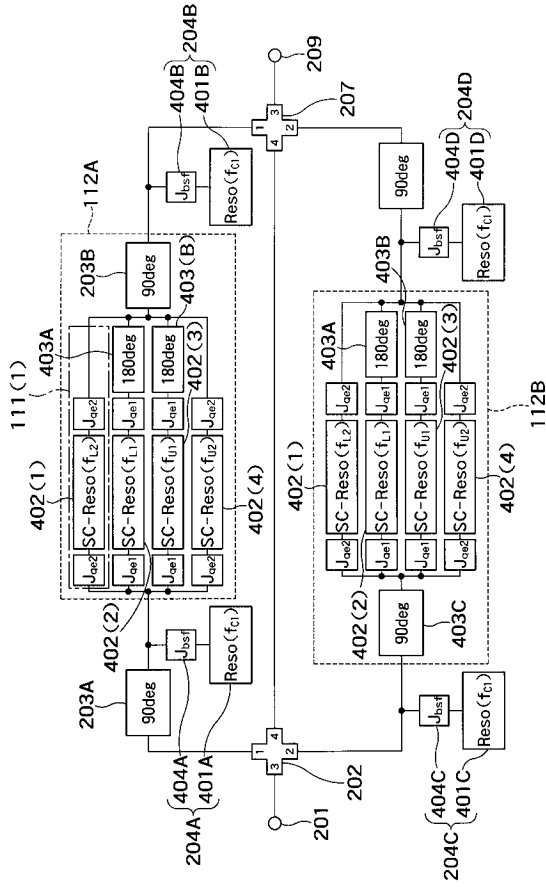
【図 1 3】



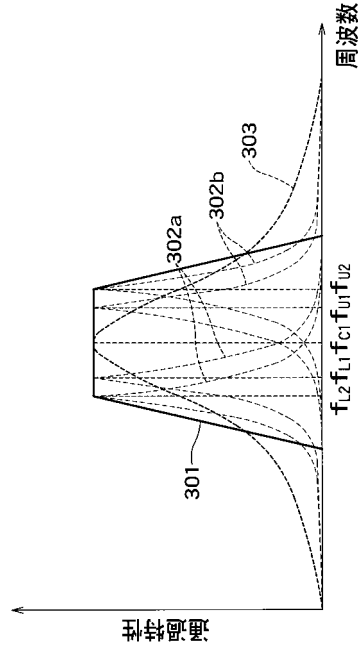
【図 1 4】



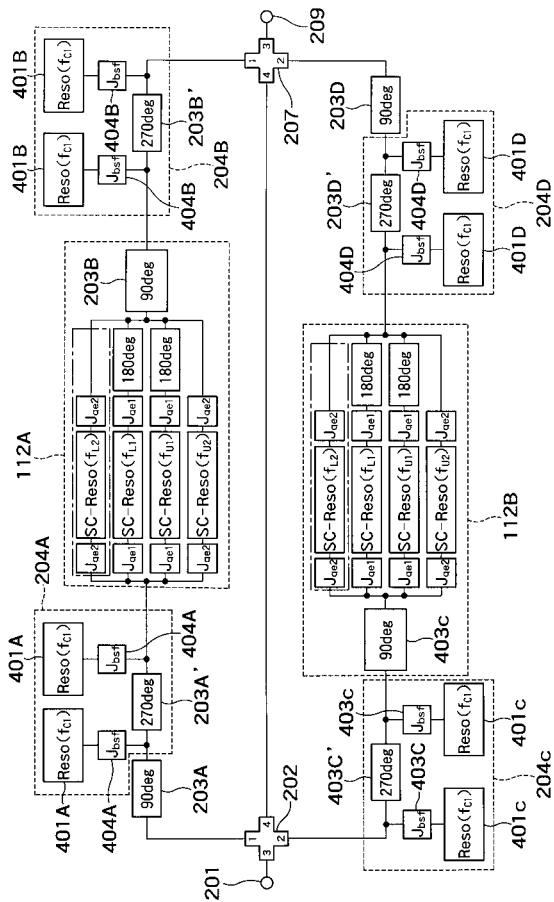
【 図 15 】



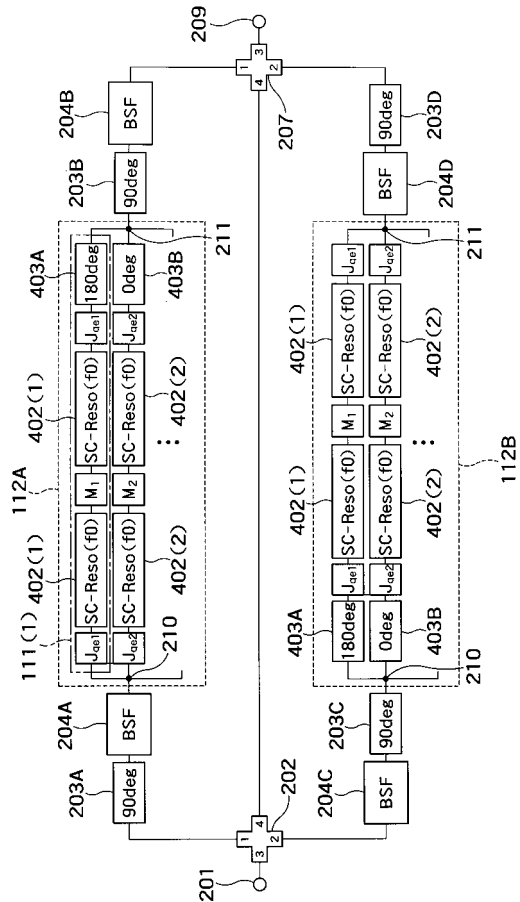
【 図 16 】



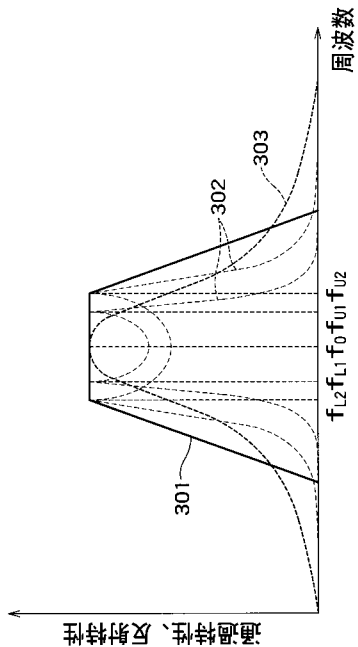
【 図 17 】



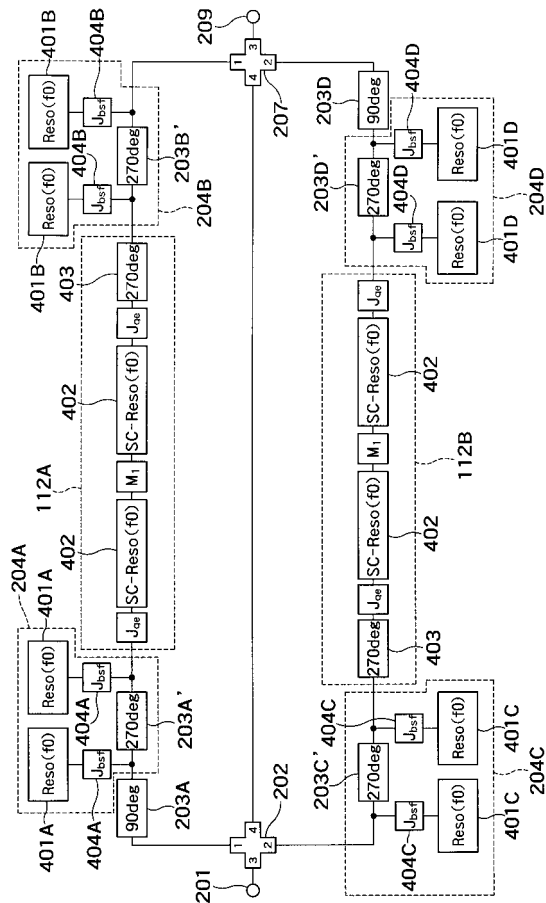
【 図 18 】



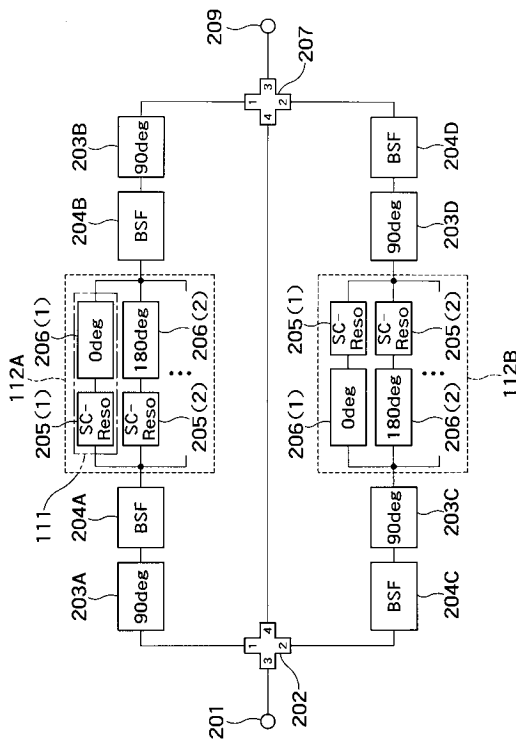
【 図 19 】



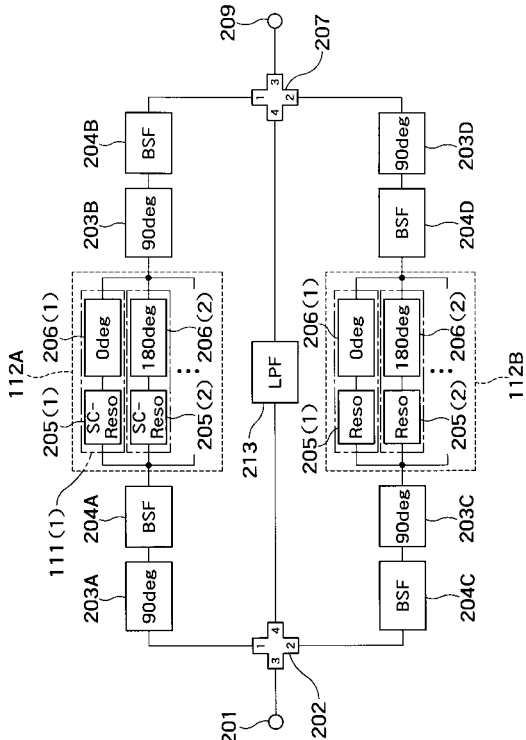
【 図 20 】



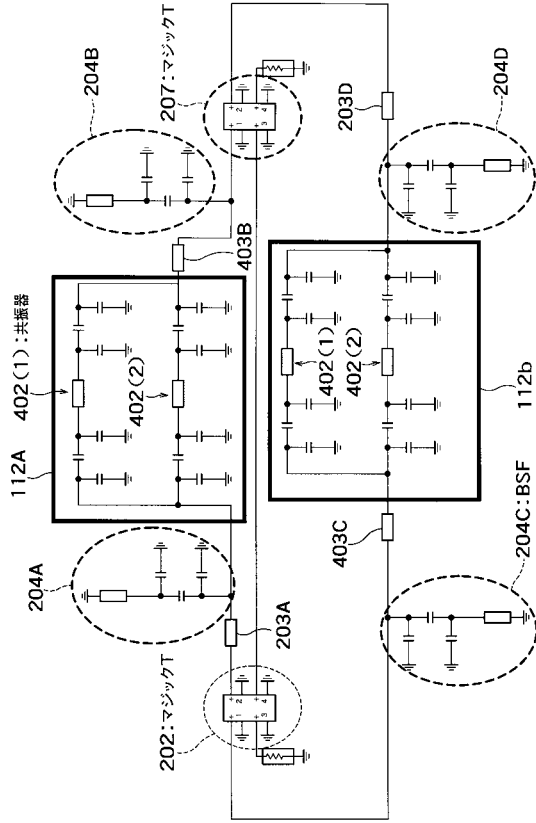
【 図 21 】



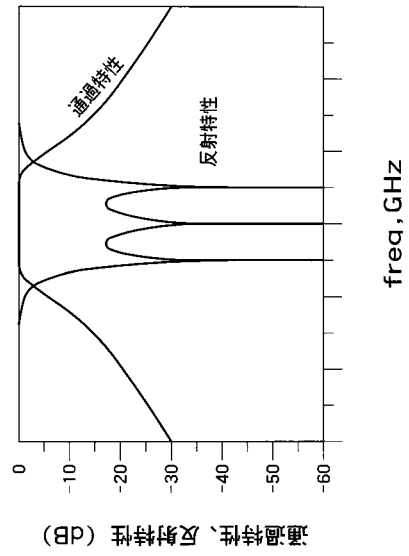
【 図 22 】



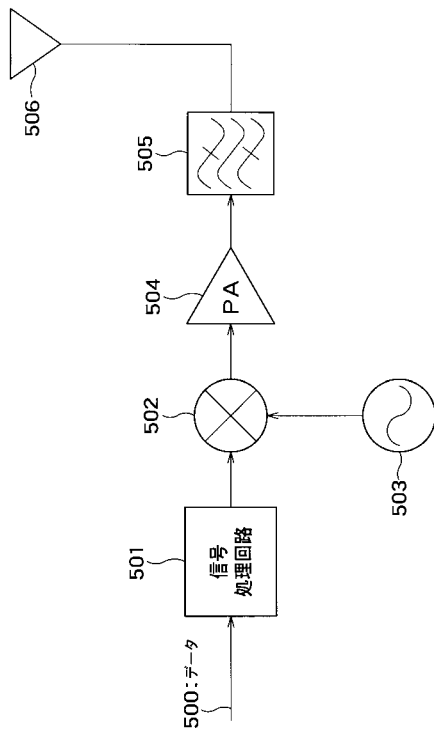
【図23】



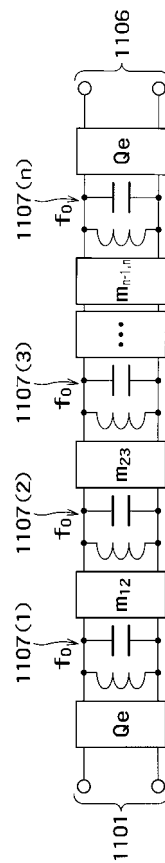
【図24】



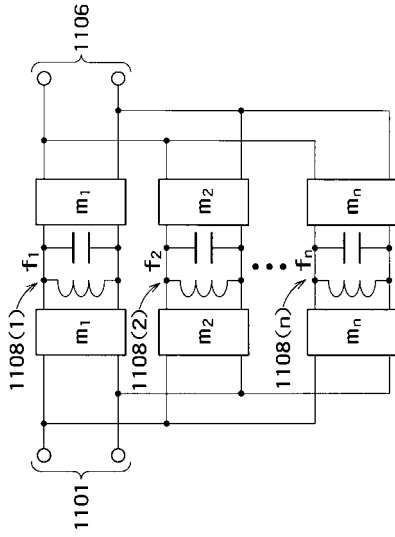
【図25】



【図26】



【 図 27 】



## フロントページの続き

- (72)発明者 加屋野 博 幸  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田 邊 正 宏  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 篠 永 充 良  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 塩 川 教 次  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 岸田 伸太郎

- (56)参考文献 特公昭38-013458(JP, B1)  
特開2005-033264(JP, A)  
特開平02-215202(JP, A)  
特開2006-014068(JP, A)  
特開平11-330803(JP, A)  
特開昭48-078856(JP, A)  
特開2001-345601(JP, A)  
特開2000-269754(JP, A)  
特開平10-224252(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01P 1/20  
H01P 1/203  
H04B 1/04