

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6014612号
(P6014612)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl.	F I
H03K 17/687 (2006.01)	H03K 17/687 G
H03M 1/12 (2006.01)	H03M 1/12 A
H03K 17/693 (2006.01)	H03K 17/693 A

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2013-555585 (P2013-555585)	(73) 特許権者	390020248
(86) (22) 出願日	平成24年2月24日 (2012. 2. 24)		日本テキサス・インスツルメンツ株式会社
(65) 公表番号	特表2014-511619 (P2014-511619A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成26年5月15日 (2014. 5. 15)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2012/026430		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02012/116251		レイテッド
(87) 国際公開日	平成24年8月30日 (2012. 8. 30)		アメリカ合衆国 テキサス州 75265
審査請求日	平成27年2月3日 (2015. 2. 3)		-5474 ダラス メール ステイショ
(31) 優先権主張番号	13/034, 438		ン 3999 ピーオーボックス 655
(32) 優先日	平成23年2月24日 (2011. 2. 24)		474
(33) 優先権主張国	米国 (US)	(74) 上記1名の代理人	100098497
			弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 高速、高電圧マルチプレクサ

(57) 【特許請求の範囲】

【請求項1】

装置であって、

負の電圧レールと、

正の電圧レールと、

複数のマルチプレクサセルであって、各マルチプレクサセルが複数の選択信号の少なくとも1つにより制御され、制御信号がディאサートされるときに各マルチプレクサセルが不活性化され、各マルチプレクサセルが、

入力端子と、

出力端子と、

前記負の電圧レールに結合されるスイッチネットワークと、

前記入力端子と前記出力端子と前記スイッチネットワークとに結合されるブーストされたスイッチと、

を含む、前記複数のマルチプレクサセルと、

前記マルチプレクサセルの各々の前記出力端子と各マルチプレクサセルの前記スイッチネットワークと前記正の電圧レールとに結合され、前記制御信号により制御されるブースト回路と、

を含み、

前記ブースト回路が、

前記正の電圧レールに及び各マルチプレクサセルの前記スイッチネットワークに結合さ

10

20

れる第 1 のスイッチであって、前記制御信号がアサートされるときに活性化される前記第 1 のスイッチと、

接地に及び各マルチプレクサセルの前記出力端子に結合される第 2 のスイッチであって、前記制御信号がアサートされるときに活性化される前記第 2 のスイッチと、

前記第 1 及び第 2 のスイッチ間に結合されるキャパシタと、

を更に含み、

各ブーストされたスイッチが、そのソースで前記入力端子に、そのドレインで前記出力端子に、及びそのゲートで前記スイッチネットワークに結合される N M O S トランジスタを更に含み、

各スイッチネットワークが、

前記 N M O S トランジスタの前記ソースに結合される第 3 のスイッチと、

前記第 3 のスイッチと前記出力端子との間に結合される第 4 のスイッチと、

前記第 3 及び第 4 のスイッチ間のノードに及び接地に結合される第 5 のスイッチと、

前記負の電圧レールと前記 N M O S トランジスタの前記ゲートとの間に結合される第 6 のスイッチと、

前記第 1 のスイッチと前記 N M O S トランジスタの前記ゲートとの間に結合される第 7 のスイッチと、

を更に含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

前記装置の入力範囲が、 $+/-12\text{V}$ 、 $+/-10\text{V}$ 、 $+/-5\text{V}$ 、 $0\text{V} \sim 10\text{V}$ 、及び $0\text{V} \sim 5\text{V}$ である、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記負の電圧レールが約 -15V の電圧を有する、装置。

【請求項 4】

装置であって、

負の電圧レールと、

正の電圧レールと、

複数のマルチプレクサセルを有するマルチプレクサであって、各マルチプレクサセルが選択信号複数のセットの少なくとも 1 つにより制御され、各マルチプレクサセルが、

入力端子と、

出力端子と、

前記負の電圧レールに結合されるスイッチネットワークと、

前記入力端子と前記出力端子と前記スイッチネットワークとに結合されるブーストされたスイッチと、

を含む、前記複数のマルチプレクサセルと、

前記マルチプレクサセルの各々の前記出力端子と各マルチプレクサセルの前記スイッチネットワークと前記正の電圧レールとに結合されるブースト回路であって、制御信号により制御される、前記ブースト回路と、

各マルチプレクサセルの前記出力端子に結合されるアナログデジタルコンバータ (A D C) であって、サンプリング位相の間に前記マルチプレクサからの出力信号をサンプリングし、変換位相の間に変換を実行し、変換位相の間に各マルチプレクサセルが不活性化される、前記 A D C と、

を含み、

前記ブースト回路が、

前記正の電圧レールに及び各マルチプレクサセルの前記スイッチネットワークに結合される第 1 のスイッチと、

接地に及び各マルチプレクサセルの前記出力端子に結合される第 2 のスイッチであって、前記サンプル位相の少なくとも一部の間に前記制御信号がアサートされるときに前記第

10

20

30

40

50

1 及び第 2 のスイッチが活性化される、前記第 2 のスイッチと、
前記第 1 及び第 2 のスイッチ間に結合されるキャパシタと、
を更に含み、
選択信号の各セットが第 1 の選択信号と第 2 の選択信号を更に含み、
各ブーストされたスイッチが、そのソースで前記入力端子に、そのドレインで前記出力
端子に、及びそのゲートで前記スイッチネットワークに結合される N M O S トランジスタ
を更に含み、
各スイッチネットワークが、
前記 N M O S トランジスタの前記ソースに結合され、前記選択信号のセットの前記第 1
の選択信号により制御される第 3 のスイッチと、
前記第 3 のスイッチと前記出力端子との間に結合され、前記選択信号のセットの前記第
1 の選択信号により制御される第 4 のスイッチと、
前記第 3 及び第 4 のスイッチ間のノードに及び接地に結合される第 5 のスイッチであっ
て、前記選択信号のセットの前記第 2 の選択信号により制御される前記第 5 のスイッチと
、
前記負の電圧レールと前記 N M O S トランジスタの前記ゲートとの間に結合される第 6
のスイッチであって、前記選択信号のセットの前記第 2 の選択信号により制御される前記
第 6 のスイッチと、
前記第 1 のスイッチと前記 N M O S トランジスタの前記ゲートとの間に結合される第 7
のスイッチであって、前記選択信号のセットの前記第 1 の選択信号により制御される前記
第 7 のスイッチと、
を更に含む、装置。

【請求項 5】

請求項 4 に記載の装置であって、
前記マルチプレクサの入力範囲が、 $+/-12\text{ V}$ 、 $+/-10\text{ V}$ 、 $+/-5\text{ V}$ 、 $0\text{ V} \sim 10\text{ V}$ 、及び $0\text{ V} \sim 5\text{ V}$ である、装置。

【請求項 6】

請求項 4 に記載の装置であって、
前記負の電圧レールが約 -15 V の電圧を有する、装置。

【請求項 7】

請求項 4 に記載の装置であって、
前記第 1、第 2、第 3、第 4、第 5、第 6 及び第 7 のスイッチが C M O S スイッチであ
る、装置。

【請求項 8】

請求項 4 に記載の装置であって、
前記変換位相の間に前記複数の選択信号のセットの各々をデアサートするブーストロ
ジックを更に含む、装置。

【請求項 9】

複数のチャネルを有するマルチプレクサを用いることにより、複数のアナログ入力信号
の選択されたアナログ入力信号の少なくとも一部をデジタル化するための方法であって、
各チャネルが前記アナログ入力信号の少なくとも 1 つに関連付けられ、各チャネルが一対
の選択信号に関連付けられ、各チャネルが、入力端子と出力端子とブーストされた N M O
S スイッチとを有するセルを含み、

前記方法が、

各セルに対する前記入力端子及び出力端子を分離するために選択信号の各対から第 1 の
選択信号をアサートする工程と、

選択信号の各対から前記第 1 の選択信号がアサートされる間にサンプル位相の初期部分
中にブーストキャパシタを充電する工程と、

前記選択されたアナログ入力信号に関連付けられる前記セルに対する前記入力端子及び
出力端子を共に結合するように、関連付けられたブーストされた N M O S スイッチに前記

10

20

30

40

50

ブーストキャパシタにストアされた電圧を提供するように、前記選択されたアナログ入力信号に関連付けられる第2の選択信号をアサートする工程と、

前記選択されたアナログ入力信号の前記部分をデジタル化する工程と、
を含む、方法。

【請求項10】

請求項9に記載の方法であって、

前記第1の選択信号をアサートする工程が、各セルにおける前記入力端子と出力端子との間のノードを接地するように各セルにおける前記ノードに結合されるスイッチを活性化することを更に含む、方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本願は、概してマルチプレクサに関し、更に特定して言えば、概してアナログデジタルコンバータ(ADC)と共に用いられる、高速、高電圧マルチプレクサに関連する。

【背景技術】

【0002】

図1及び図2は従来のマルチチャネルデータコンバータシステム100を示す。システム100は、マルチプレクサ(MUX)102、例えば250kサンプル数毎秒(SPS)で動作する逐次比較レジスタ(SAR)アナログデジタルコンバータ(ADC)であり得る、ADC104、ブーストロジック106、及び選択ロジック108を概して含む。典型的に、MUX102は、幾つかのアナログ入力信号IN1~INNを受け取り、ADC104に、ADC104によって変換された多重化されたアナログ信号をデジタル出力信号DOUに提供するようにする。ブーストロジック106及び選択ロジック108は概して、サンプル信号SAMPLEに基づいて(選択信号SEL1~SELNを用いて)アナログ入力信号IN1~INNのインターリーブを実行する。MUX102(これは、図2において更に詳細に見ることができる)は概して、セル202-1~202-N(各々がMUX102のチャンネルに対応する)で構成される。各セル202-1~202-Nは概して及びそれぞれ、スイッチS1-1~S5-1からS1-N~S5-N、キャパシタC1~CN、トランジスタQ1-1~Q3-1からQ1-N~Q3-N(これらは各々概してNMOSTランジスタである)、及び伝送ゲート204-1/206-1~204-N/206-Nを含む。

20

30

【0003】

MUX102(図2に更に詳細に示す)のオペレーションは概してサンプル信号SAMPLEの位相に依存する。まず、キャパシタC1~CNが、選択信号SEL1-A~SELN-Aをディアサートすること及び選択信号SEL1-B~SELN-Bをアサートすることにより、正のレールHPVDD上の電圧まで充電される。キャパシタC1~CNの充電後及び一例として、チャンネル1(セル202-1)が選択されると仮定する場合、選択信号SEL1-Aがアサートされ、一方、SEL1-B(及びSEL2-A/SEL2-B~SELN-A/SELN-B)がディアサートされる。これにより、サンプリング時点の入力信号IN1からの電圧に加えてキャパシタC1にストアされた電圧(即ち、+15V)が、スイッチQ1-1及びQ2-1のゲートにまず印加され得る。ブーストされた電圧が印加されると、サンプリング時点の入力信号のIN1電圧が、スイッチQ1-1及び伝送ゲート204-1を介してスイッチQ2-1及び伝送ゲート206-1(これらは概してスイッチQ1-1及び伝送ゲート204-1と同じ機能を実行する)へ伝送される。スイッチQ2-1/Q3-1~Q2-N/Q3-N及び伝送ゲート206-1は、これらの構成要素が概して入力及び出力間の寄生容量をなくすため、概してクロストークを低減するように提供される。

40

【0004】

セル202-1~202-Nは概して、(部分的に、スイッチQ3-1~Q3-Nを介して提供される接地のため)クロストークを低減する一方で、幾つか欠点がある。即ち、

50

スイッチQ 2 - 1 ~ Q 2 - Nの反復は問題となり得る。スイッチQ 1 - 1 / Q 2 - 1 ~ Q 1 - N / Q 2 - Nは、高周波数オペレーションでの入力抵抗を低減するために大きいため、これらのスイッチは、かなりの量のエリアを占める。また、直列スイッチQ 1 - 1 / Q 2 - 1 ~ Q 1 - N / Q 2 - Nは、A D C 1 0 4の動作速度を制限する。従って、改良されたM U Xが必要とされている。

【 0 0 0 5 】

従来の回路の幾つかの例は、下記文献に記載されている。

【特許文献 1】米国特許番号第 6 , 4 0 4 , 2 3 7 号

【特許文献 2】米国特許番号第 7 , 0 6 4 , 5 9 9 号

【特許文献 3】米国特許番号第 7 , 2 6 8 , 6 1 0 号

【特許文献 4】米国特許番号第 7 , 4 7 1 , 1 3 5 号

【特許文献 5】米国特許公開番号 2 0 0 2 / 0 1 7 5 7 4 0

【発明の概要】

【 0 0 0 6 】

例示の一実施例は或る装置を提供する。この装置は、負の電圧レール、正の電圧レール、複数のマルチプレクサセル、及びマルチプレクサセルの各々の出力端子と、各マルチプレクサセルのスイッチネットワークと、正の電圧レールとに結合されるブースト回路を含む。各マルチプレクサセルは複数の選択信号の少なくとも 1 つにより制御され、制御信号がデアサートされるとき各マルチプレクサセルが不活性化される。各マルチプレクサセルは、入力端子、出力端子、負の電圧レールに結合されるスイッチネットワーク、及び、入力端子と出力端子とスイッチネットワークとに結合されるブーストされたスイッチを含む。ブースト回路は制御信号により制御される。

【 0 0 0 7 】

例示の一実施例において、ブースト回路は、正の電圧レールに及び各マルチプレクサセルのスイッチネットワークに結合される第 1 のスイッチであって、制御信号がアサートされるとき活性化される第 1 のスイッチと、接地に及び各マルチプレクサセルの出力端子に結合される第 2 のスイッチであって、制御信号がアサートされるとき活性化される第 2 のスイッチと、第 1 及び第 2 のスイッチ間に結合されるキャパシタとを更に含む。

【 0 0 0 8 】

例示の一実施例において、各ブーストされたスイッチが、そのソースでその入力端子に、そのドレインでその出力端子に、及びそのゲートでそのスイッチネットワークに結合される N M O S トランジスタを更に含む。

【 0 0 0 9 】

例示の一実施例において、各スイッチネットワークが、その N M O S トランジスタのソースに結合される第 3 のスイッチ、第 3 のスイッチとその出力端子との間に結合される第 4 のスイッチ、第 3 及び第 4 のスイッチ間のノードに及び接地に結合される第 5 のスイッチ、負の電圧レールとその N M O S トランジスタのゲートとの間に結合される第 6 のスイッチ、及び第 1 のスイッチとその N M O S トランジスタのゲートとの間に結合される第 7 のスイッチを更に含む。

【 0 0 1 0 】

例示の一実施例において、装置の入力範囲が、+ / - 1 2 V、+ / - 1 0 V、+ / - 5 V、0 V ~ 1 0 V、及び 0 V ~ 5 V である。

【 0 0 1 1 】

例示の一実施例において、負の電圧レールは約 - 1 5 V の電圧を有する。

【 0 0 1 2 】

例示の一実施例において、各マルチプレクサセルが、その出力端子とブースト回路との間に結合される伝送ゲートを更に含む。

【 0 0 1 3 】

例示の一実施例において或る装置が提供される。この装置は、負の電圧レール、正の電圧レール、複数のマルチプレクサセルを有するマルチプレクサ、及び各マルチプレクサセ

10

20

30

40

50

ルの出力端子に結合されるアナログデジタルコンバータ (ADC) を含む。各マルチプレクサセルは選択信号複数のセットの少なくとも 1 つにより制御される。各マルチプレクサセルは、入力端子、出力端子、負の電圧レールに結合されるスイッチネットワーク、入力端子と出力端子とスイッチネットワークとに結合されるブーストされたスイッチ、及び、マルチプレクサセルの各々の出力端子と、各マルチプレクサセルのスイッチネットワークと、正の電圧レールとに結合され、制御信号により制御されるブースト回路を含む。ADC は、サンプリング位相の間マルチプレクサからの出力信号をサンプリングし、変換位相の間変換を実行し、変換位相の間各マルチプレクサセルが不活性化される。

【0014】

例示の一実施例において、ブースト回路が、正の電圧レールに及び各マルチプレクサセルのスイッチネットワーク結合される第 1 のスイッチと、接地に及び各マルチプレクサセルの出力端子に結合される第 2 のスイッチと、第 1 及び第 2 のスイッチ間に結合されるキャパシタとを更に含む。サンプル位相の少なくとも一部の間制御信号がアサートされるととき第 1 及び第 2 のスイッチが活性化される。

【0015】

例示の一実施例において、選択信号の各セットが、第 1 の選択信号及び第 2 の選択信号を更に含む。

【0016】

例示の一実施例において、各ブーストされたスイッチが、そのソースでその入力端子に、そのドレインでその出力端子に、及びそのゲートでそのスイッチネットワークに結合される NMOS トランジスタを更に含む。

【0017】

例示の一実施例において、各スイッチネットワークが、その NMOS トランジスタのソースに結合され、選択信号のそのセットの第 1 の選択信号により制御される第 3 のスイッチ、第 3 のスイッチとその出力端子との間に結合され、選択信号のそのセットの第 1 の選択信号により制御される第 4 のスイッチ、第 3 及び第 4 のスイッチ間のノードに及び接地に結合される第 5 のスイッチであって、選択信号のそのセットの第 2 の選択信号により制御される第 5 のスイッチ、負の電圧レールとその NMOS トランジスタのゲートとの間に結合される第 6 のスイッチであって、選択信号のそのセットの第 2 の選択信号により制御される第 6 のスイッチ、及び第 1 のスイッチとその NMOS トランジスタのゲートとの間に結合される第 7 のスイッチであって、選択信号のそのセットの第 1 の選択信号により制御される第 7 のスイッチを更に含む。

【0018】

例示の一実施例において、第 1、第 3、第 3、第 4、第 5、第 6、及び第 7 のスイッチが CMOS スイッチである。

【0019】

例示の一実施例において、この装置は、変換位相の間、複数のセットの各々の選択信号をディアサートするブーストロジックを更に含む。

【0020】

例示の一実施例において、複数のチャネルを有するマルチプレクサを用いることにより、複数のアナログ入力信号の選択されたアナログ入力信号の少なくとも一部をデジタル化するための方法が提供される。各チャネルがアナログ入力信号の少なくとも 1 つに関連付けられ、各チャネルが一对の選択信号に関連付けられ、各チャネルが、入力端子と、出力端子と、ブーストされた NMOS スイッチとを有するセルを含む。この方法は、各セルに対する入力端子及び出力端子を分離するため選択信号の各対から第 1 の選択信号をアサートすること、選択信号の各対から第 1 の選択信号がアサートされる一方で、サンプル位相の初期部分の間ブーストキャパシタを充電すること、選択されたアナログ入力信号に関連付けられるセルに対する入力端子及び出力端子を共に結合するように、及びブーストキャパシタにストアされた電圧を、関連付けられたブーストされた NMOS スイッチに提供するように、選択されたアナログ入力信号に関連付けられる第 2 の選択信号をアサートする

10

20

30

40

50

こと、及び選択されたアナログ入力信号の前記部分をデジタル化することを含む。

【 0 0 2 1 】

例示の一実施例において、第 1 の選択信号をアサートする工程が、各セルにおけるノードを接地するように各セルにおける入力端子と出力端子との間のノードに結合されるスイッチを活性化させることを更に含む。

【図面の簡単な説明】

【 0 0 2 2 】

例示の実施例を添付の図面を参照して説明する。

【 0 0 2 3 】

【図 1】図 1 は従来のシステムの例を示す。

10

【 0 0 2 4 】

【図 2】図 2 は図 1 のマルチプレクサ (M U X) の例を示す。

【 0 0 2 5 】

【図 3】図 3 は例示のシステムを示す。

【 0 0 2 6 】

【図 4】図 4 は、図 3 の M U X の例を示す。

【図 5】図 5 は、図 3 の M U X の例を示す。

【図 6】図 6 は、図 3 の M U X の例を示す。

【発明を実施するための形態】

【 0 0 2 7 】

20

図 3 はシステム 3 0 0 の例を示す。システム 3 0 0 は概して、+ / - 1 2 V、+ / - 1 0 V、+ / - 5 V、0 V ~ 1 0 V、及び 0 V ~ 5 V の入力範囲を有し、システム 3 0 0 において、マルチプレクサ (M U X) 3 0 4 及びブーストロジック 3 0 2 は概して、システム 1 0 0 の M U X 1 0 2 及びブーストロジック 1 0 6 を置き換える。M U X 1 0 2 と同様、M U X 3 0 4 (その例を図 4 ~ 図 6 において更に詳細に見ることができ、これらは、それぞれ、3 0 4 - A、3 0 4 - B、及び 3 0 4 - C で示す) は概して、セル 4 0 2 - 1 ~ 4 0 2 - N、5 0 1 - 1 ~ 5 0 2 - N、又は 6 0 2 - 1 ~ 6 0 2 - N で構成されるが、M U X 3 0 4 - A、3 0 4 - B、及び 3 0 4 - C の各々が、ブースト回路 4 0 4 (図 4) を更に含む。このブースト回路 4 0 4 は、ブーストキャパシタ (これらはセル 2 0 2 - 1 ~ 2 0 2 - N の各々に提供されていた) の数を低減することができる。

30

【 0 0 2 8 】

図 4 に示す M U X 3 0 4 - A の実装において、セル 4 0 2 - 1 ~ 4 0 2 - N は概して、スイッチ S 6 - 1 ~ S 1 0 - 1 から S 6 - N ~ S 1 0 - N (これらは C M O S スイッチであり得る) 及びブーストされたスイッチ Q 4 - 1 ~ Q 4 - N (これらは N M O S トランジスタであり得る) を含む。ブースト回路 4 0 4 は、スイッチ S 1 1 及び S 1 2 (これらは C M O S スイッチであり得る) 及びブーストキャパシタ C O U T を概して含み、サンプル充電信号 S A M C H (これは、概してブーストロジック 3 0 2 によって提供され、概して非サンプリング位相又は変換位相の間生じる) により制御される。(例えば) セル 4 0 2 - 1 に関連付けられるチャンネルが選択されると仮定すると、その入力信号 I N 1 が、サンプルクロック信号 S A M P L E のサンプリング位相の間、A D C 1 0 4 に伝送され得る。この例では非サンプリング又は変換位相の間、選択信号 S E L 1 - B ~ S E L N - B がアサートされ、一方、選択信号 S E L 1 - A ~ S E L N - A がディアサートされる。これは、スイッチ S 8 - 1 ~ S 8 - N を作動させて各セル 4 0 2 - 1 ~ 4 0 2 - N に対する入力と出力間のノードを接地させ、スイッチ S 9 - 1 ~ S 9 - N を作動させて (概してスイッチ Q 4 - 1 ~ Q 4 - N を確実に「オフ」にするため) スイッチ Q 4 - 1 ~ Q 4 - N のゲートを負の電圧ルール H M V D D に結合する。また、スイッチ S 1 1 及び S 1 2 はサンプル充電信号 S A M C H (これは、概してブーストロジック 3 0 2 によって提供される) により作動されて、ブーストキャパシタ C O U T を正の電圧ルール H P V D D 上の電圧 (即ち、+ 1 5 V) まで充電させる。ブーストキャパシタ C O U T が充電されると、サンプル充電信号 S A M C H がスイッチ S 1 1 及び S 1 2 を不活性化し、一方、(この例では) 選択

40

50

信号SEL1-Aがアサートされ、選択信号SEL1-B～SELN-Bがディアサートされる。選択信号SEL1-Aのアサートは、スイッチS6-1、S7-1、及びS10-1を作動させて、セル402-1の出力及び入力端子がスイッチS7-1及びS6-1を介して共に結合されるようにする。また、ブーストキャパシタCOUTの頂部プレートが、スイッチQ4-1のゲートに結合されて、サンプリング時点の入力信号IN1からの電圧に加えてキャパシタC1にストアされた電圧（即ち、+15V）が、スイッチQ4-1のゲートに印加され得る。そのため、サンプリング時点の入力信号IN1からの電圧は、MUX304の出力信号OUTとしてADC104に提供され得る。その後、変換位相の間、選択信号SEL1-A/SEL1-B～SELN-A/SELN-Bがディアサートされる。選択ロジック108により選択される場合、この同じプロセスが、その後セル402-2～402-4の各々に対し適用され得る。

10

【0029】

MUX304は、図示するように、MUX102と同じ利点の多くを提供することができるが、同じ欠点は有さない。MUX304において、チャンネル毎又はセル毎（即ち、402-1）スイッチ（即ち、Q4-1）の数が低減され、これはMUX102に対しMUX304によって占められるエリアを低減し、ADC104の速度を制限しない。また、スイッチS8-1～S8-Nが、変換位相の間及びサンプル位相の間（選択されないチャンネル又はセルに対し）、各セル402-1～402-Nの入力端子と出力端子との間のノードを接地するため、クロストークが低減される。また、ブースト回路404が用いられるため、ブーストキャパシタ（これは典型的に、かなりの量のエリアを占める）の数が低減され得る。

20

【0030】

図5は、MUX304-Aと同様の方式で動作するMUX304-Bの別の実装を示す。MUX304-Aと304-Bの間の差は概して、スイッチS7-1～S7-N及びS8-1～S8-Nがなくっている点、及び伝送ゲート504-1～504-Nが含まれている点で、セル502-1～502-Nの構成にある。この構成において、ブーストキャパシタCOUTの底部プレートが、セル（MUX304-Aなど）の各々の出力端子の代わりに、（「離れた」端子で）伝送ゲート504-1～504-Nの各々に結合される。これは概して、MUX102に較べて低い周波数でのクロストークを低減する。また、伝送ゲート504-1～504-Nは、一層小さくされ、寄生容量を低減し、セトリング時間が改善されるように、低減された抵抗を有する並列であると考えることができる。

30

【0031】

図6は、MUX304-Aと同様の方式で動作するMUX304-Cの別の実装を示す。MUX304-Bと同様、MUX304-Aと304-Cとの間の差は概して、スイッチS7-1～S7-N及びS8-1～S8-Nの点で、セル602-1～602-Nの構成にある。MUX304-Cは、伝送ゲート504-1～504-Nがなくなる（エリアが低減される）点でMUX304-Bより利点を有する。しかし、MUX304-Cは、MUX304-Aがするように、サンプリングの間（及び変換中の全てのセル）、各選択されていないセルの入力端子と出力端子との間のノードを接地に結合することはなく、そのため、クロストークの点でMUX304-Aに対しMUX304-Cに性能欠点がある。しかし、MUX304-Cは、MUX304-Aより小さなエリアを占める（これは、幾つかの応用例において好ましい可能性がある）。

40

【0032】

当業者であれば、本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得ること、及び多くの他の実施例が可能であることが分かるであろう。

【図 1】

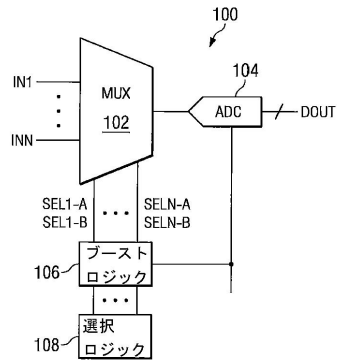


FIG. 1 (従来技術)

【図 2】

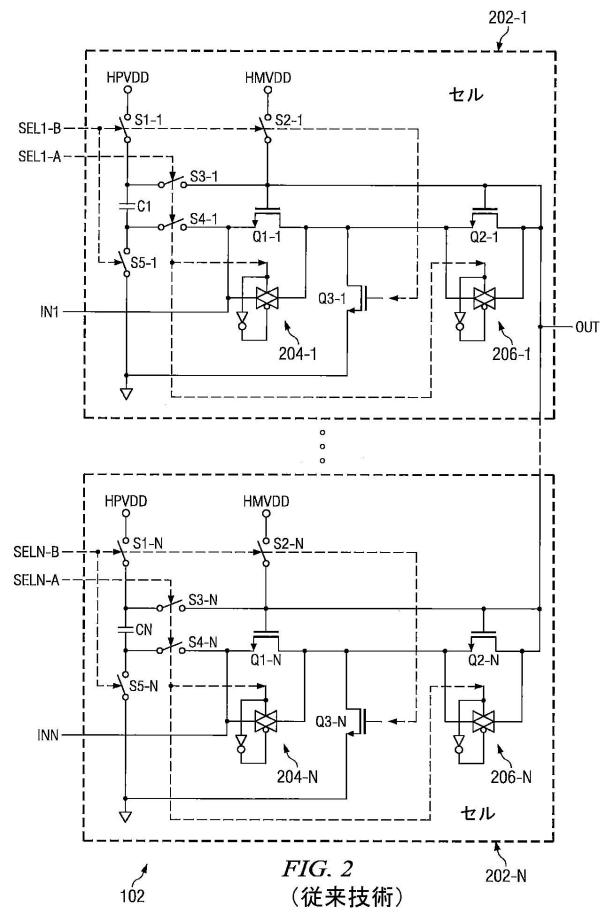


FIG. 2 (従来技術)

【図 3】

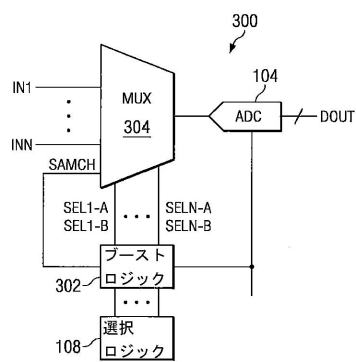


FIG. 3

【図 4】

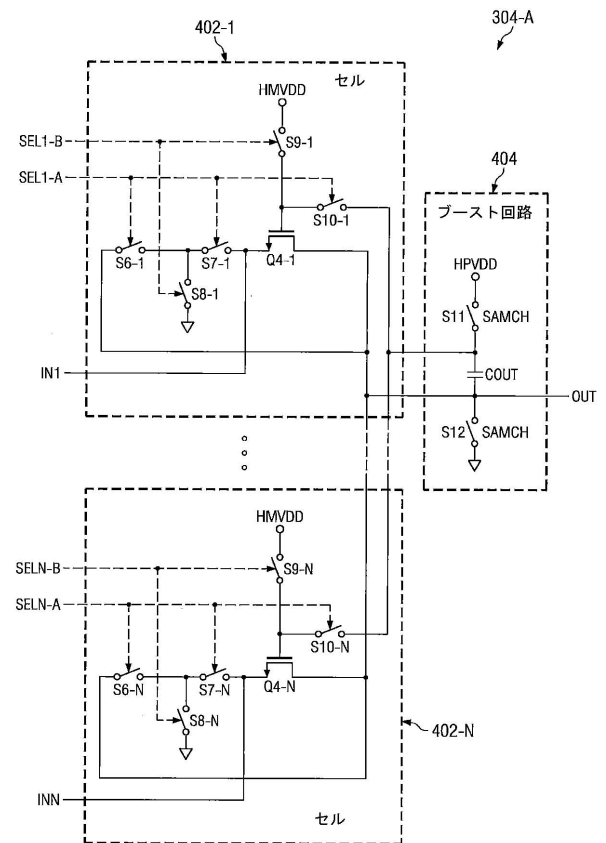


FIG. 4

【図 5】

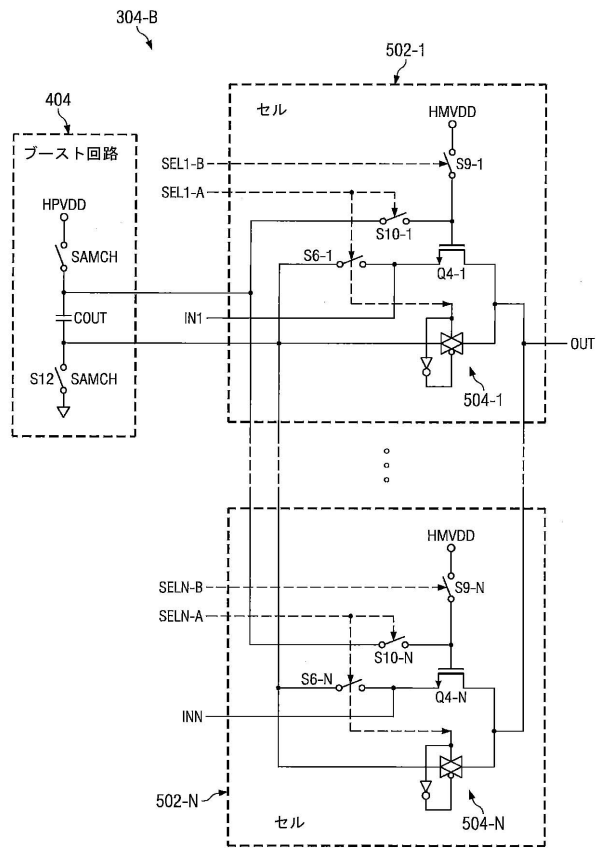


FIG. 5

【図 6】

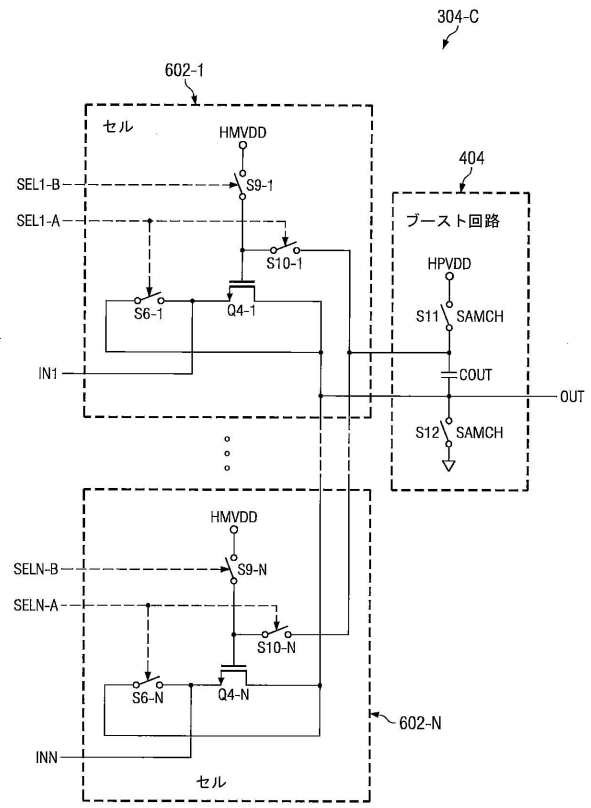


FIG. 6

フロントページの続き

(72)発明者 シャンカール ティルナッカラス

アメリカ合衆国 85711 アリゾナ州 トゥーソン 13304, イー ウィリアムズ サ
ークル 5400

(72)発明者 ロバート イー シーモア

アメリカ合衆国 85711 アリゾナ州 トゥーソン, エス カレ ド マドリッド 120

審査官 栗栖 正和

(56)参考文献 米国特許出願公開第2011/0304492(US, A1)

米国特許第07064599(US, B1)

特開2006-332838(JP, A)

特開2005-117619(JP, A)

特開平06-216733(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/687

H03K 17/693

H03M 1/12