



(12)发明专利

(10)授权公告号 CN 106716943 B

(45)授权公告日 2019.11.29

(21)申请号 201580049339.3

(72)发明人 李晓东 刘乔

(22)申请日 2015.05.12

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

(65)同一申请的已公布的文献号
申请公布号 CN 106716943 A

代理人 马爽

(43)申请公布日 2017.05.24

(51)Int.Cl.

H04L 27/00(2006.01)

(85)PCT国际申请进入国家阶段日
2017.03.16

(56)对比文件

EP 2615769 A1,2013.07.17,
CN 101299657 A,2008.11.05,
CN 104065604 A,2014.09.24,
CN 101729236 A,2010.06.09,

(86)PCT国际申请的申请数据
PCT/CN2015/078767 2015.05.12

(87)PCT国际申请的公布数据
W02016/179797 ZH 2016.11.17

审查员 张彪

(73)专利权人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

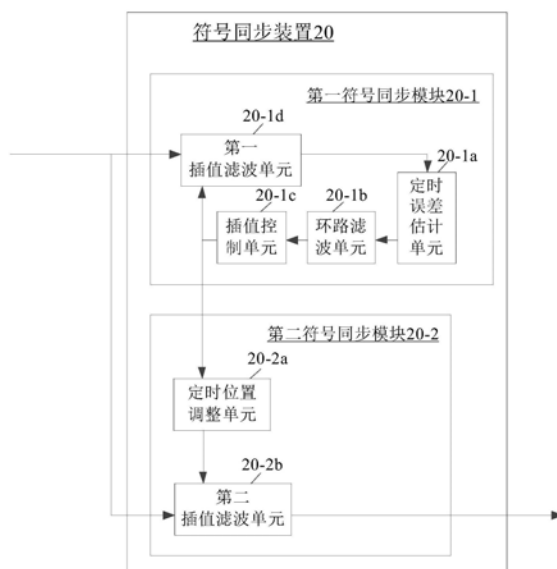
权利要求书3页 说明书14页 附图9页

(54)发明名称

一种符号同步方法及装置

(57)摘要

本发明提供一种符号同步方法及装置,通过符号同步方法及装置实现在自适应环路之外进行定时位置的调整;同时,自适应环路按照其原有功能进行,即定时位置稳定到某个符号初始定时位置后,再进行定时位置的修正调整。从而通过对定时位置的修正,消除定时位置误差对于符号同步的影响,提高符号的定时位置定位的准确度。



1. 一种符号同步方法,其特征在于,包括:

获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;

对所述定时误差估计值进行高频噪声消除处理;

根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

2. 根据权利要求1所述的方法,其特征在于,所述待修正插值参数,包含:第一符号指示和第一插值相位;

其中,所述第一符号指示用于在高位标识所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

所述第一插值相位用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐,所述第一插值相位的取值范围为[0,1];

所述第一符号指示在高位时,所述第一插值相位等量递变;或者,所述第一符号指示在低位时,所述第一插值相位保持不变。

3. 根据权利要求2所述的方法,其特征在于,还包括:

解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

所述调整参数包含:调整量 n 和延迟使能量 ce_dly ;

所述获取调整参数,包括:

根据所述性能最优的性能参数确定所述 n ;

根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

根据滤波器阶数 N 、所述 T_{ce} 和所述 n 获得所述 ce_dly ,所述 ce_dly 满足如下公式:

$$ce_dly = T_{ce} - \text{round}\left(\frac{n}{N/T_{ce}}\right);$$

其中,所述 n 的取值范围为 $1 \leq n \leq N$ 。

4. 根据权利要求3所述的方法,其特征在于,所述插值参数,包含:第二符号指示和第二插值相位,所述第二插值相位的取值范围为[0,1];

所述根据所述调整参数对所述待修正插值参数进行修正获得插值参数,包括:

根据所述ce_dly对所述第一符号指示进行延迟处理,获得第二符号指示;

根据所述n对所述第一插值相位进行修正,获得所述第二插值相位;

其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点;

所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量;

所述第二符号指示在高位时,所述第二插值相位等量递变;或者,所述第二符号指示在低位时,所述第二插值相位保持不变。

5. 一种符号同步装置,其特征在于,包括:第一符号同步模块和第二符号同步模块;

所述第一符号同步模块,包括:定时误差估计单元、环路滤波单元、插值控制单元和第一插值滤波单元;

所述定时误差估计单元,用于获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;

所述环路滤波单元,用于对所述定时误差估计值进行高频噪声消除处理;

所述插值控制单元,用于根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

所述第一插值滤波单元,用于根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

所述第二符号同步模块,包括:定时位置调整单元和第二插值滤波单元;

所述定时位置调整单元,用于:

获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

所述第二插值滤波单元,用于根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

6. 根据权利要求5所述的装置,其特征在于,所述待修正插值参数,包含:第一符号指示和第一插值相位;

其中,所述第一符号指示用于在高位标识所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

所述第一插值相位用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时

位置对齐,所述第一插值相位的取值范围为[0,1];

所述第一符号指示在高位时,所述第一插值相位等量递变;或者,所述第一符号指示在低位时,所述第一插值相位保持不变。

7. 根据权利要求6所述的装置,其特征在于,还包括:解调模块;

所述解调模块,用于:

解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

所述调整参数包含:调整量n和延迟使能量ce_dly;

根据所述性能最优的性能参数确定所述n;

所述定时位置调整单元获取调整参数,具体包括:

接收所述解调模块发送的所述n;

根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

根据滤波器阶数N、所述 T_{ce} 和所述n获得所述ce_dly,所述ce_dly满足如下公式:

$$ce_dly = T_{ce} - \text{round}\left(\frac{n}{N/T_{ce}}\right);$$

其中,所述n的取值范围为 $1 \leq n \leq N$ 。

8. 根据权利要求7所述的装置,其特征在于,所述插值参数,包含:第二符号指示和第二插值相位,所述第二插值相位的取值范围为[0,1];

所述根据所述调整参数对所述待修正插值参数进行修正获得插值参数,包括:

根据所述ce_dly对所述第一符号指示进行延迟处理,获得第二符号指示;

根据所述n对所述第一插值相位进行修正,获得所述第二插值相位;

其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点;

所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量;

所述第二符号指示在高位时,所述第二插值相位等量递变;或者,所述第二符号指示在低位时,所述第二插值相位保持不变。

一种符号同步方法及装置

技术领域

[0001] 本发明涉及无线通信技术领域,尤其涉及一种符号同步方法及装置。

背景技术

[0002] 通信技术中,由于信道传输延时、信号发送端与信号接收端的两地时钟偏移,造成信号接收端的信号采样无法在最佳时刻进行。从而导致采集到的数据与正确的数据之间存在偏差。为了弥补这样的偏差,需要采用同步技术来调整采样时钟或对采样值进行插修正,即接收端的符号同步方案。

[0003] 加德纳(Gardner)符号同步方法作为一种符号同步方案,是目前使用最广泛的符号同步技术,其原理为:根据信号波形特性来确定符号的定时位置,并根据该符号的定时位置对接收到的数据进行相位调整,从而弥补采集到的数据与正确的数据之间存在的偏差。

[0004] 但是随着多输入多输出(Multi Input Multi Output,简称:MIMO)技术、阵列等技术的发展,多信号情况越来越普遍,当系统的接收端接收到叠加的多个信号时,其信号波形特性发生了改变,使得在采用现有的符号同步方案确定叠加的多个信号的符号的定时位置时,符号的定时位置定位的准确度降低。

发明内容

[0005] 本发明提供一种符号同步方法及装置,用于提高符号的定时位置定位的准确度。

[0006] 本发明的第一个方面是提供一种符号同步方法,包括:

[0007] 获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;

[0008] 对所述定时误差估计值进行高频噪声消除处理;

[0009] 根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

[0010] 根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

[0011] 获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

[0012] 根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

[0013] 根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

[0014] 结合第一个方面,在第一个方面的第一种可能的实现方式中,所述待修正插值参数,包含:第一符号指示和第一插值相位;

[0015] 其中,所述第一符号指示用于在高位标识所述输入数据的第一分支数据流中符号

的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

[0016] 所述第一插值相位用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述符号待修正定时位置与所述输入数据中符号的待修正符号位置对齐,所述第一插值相位的取值范围为[0,1];

[0017] 所述第一符号指示在高位时,所述第一插值相位等量递变;或者,所述第一符号指示在低位时,所述第一插值相位保持不变。

[0018] 结合第一个方面的第一种可能的实现方式,在第一个方面的第二种可能的实现方式中,还包括:

[0019] 解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

[0020] 逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

[0021] 所述调整参数包含:调整量n和延迟使能量ce_dly;

[0022] 所述获取调整参数,包括:

[0023] 根据所述性能最优的性能参数确定所述n;

[0024] 根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

[0025] 根据所述滤波器阶数N、所述 T_{ce} 和所述n获得所述ce_dly,所述ce_dly满足如下公式:

$$[0026] \quad ce_dly = T_{ce} - round\left(\frac{n}{N/T_{ce}}\right);$$

[0027] 其中,所述n的取值范围为 $1 \leq n \leq N$ 。

[0028] 结合第一个方面的第二种可能的实现方式,在第一个方面的第三种可能的实现方式中,所述插值参数,包含:第二符号指示和第二插值相位,所述第二插值相位的取值范围为[0,1];

[0029] 所述根据所述调整参数对所述待修正插值参数进行修正获得插值参数,包括:

[0030] 根据所述ce_dly对所述第一符号指示进行延迟处理,获得第二符号指示;

[0031] 根据所述n对所述第一插值相位进行修正,获得所述第二插值相位;

[0032] 其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点;

[0033] 所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量;

[0034] 所述第二符号指示在高位时,所述第二插值相位等量递变;或者,所述第二符号指示在低位时,所述第二插值相位保持不变。

[0035] 本发明的第二个方面是提供一种符号同步装置,包括:第一符号同步模块和第二符号同步模块;

[0036] 所述第一符号同步模块,包括:定时误差估计单元、环路滤波单元、插值控制单元和第一插值滤波单元;

[0037] 所述定时误差估计单元,用于获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;

[0038] 所述环路滤波单元,用于对所述定时误差估计值进行高频噪声消除处理;

[0039] 所述插值控制单元,用于根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

[0040] 所述第一插值滤波单元,用于根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

[0041] 所述第二符号同步模块,包括:定时位置调整单元和第二插值滤波单元;

[0042] 所述定时位置调整单元,用于:

[0043] 获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

[0044] 根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

[0045] 所述第二插值滤波单元,用于根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

[0046] 结合第二个方面,在第一个方面的第一种可能的实现方式中,所述待修正插值参数,包含:第一符号指示和第一插值相位;

[0047] 其中,所述第一符号指示用于在高位标识所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

[0048] 所述第一插值相位用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述符号待修正定时位置与所述输入数据中符号的待修正符号位置对齐,所述第一插值相位的取值范围为 $[0,1]$;

[0049] 所述第一符号指示在高位时,所述第一插值相位等量递变;或者,所述第一符号指示在低位时,所述第一插值相位保持不变。

[0050] 结合第二个方面的第一种可能的实现方式,在第二个方面的第二种可能的实现方式中,还包括:解调模块;

[0051] 所述解调模块,用于:

[0052] 解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

[0053] 逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

[0054] 所述调整参数包含:调整量 n 和延迟使能量 ce_dly ;

[0055] 根据所述性能最优的性能参数确定所述 n ;

[0056] 所述定时位置调整单元获取调整参数,具体包括:

[0057] 接收所述解调模块发送的所述n;

[0058] 根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

[0059] 根据所述滤波器阶数N、所述 T_{ce} 和所述n获得所述 ce_dly ,所述 ce_dly 满足如下公式:

$$[0060] \quad ce_dly = T_{ce} - round\left(\frac{n}{N/T_{ce}}\right);$$

[0061] 其中,所述n的取值范围为 $1 \leq n \leq N$ 。

[0062] 结合第二个方面的第二种可能的实现方式,在第二个方面的第三种可能的实现方式中,所述插值参数,包含:第二符号指示和第二插值相位,所述第二插值相位的取值范围为 $[0, 1]$;

[0063] 所述根据所述调整参数对所述待修正插值参数进行修正获得插值参数,包括:

[0064] 根据所述 ce_dly 对所述第一符号指示进行延迟处理,获得第二符号指示;

[0065] 根据所述n对所述第一插值相位进行修正,获得所述第二插值相位;

[0066] 其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点;

[0067] 所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量;

[0068] 所述第二符号指示在高位时,所述第二插值相位等量递变;或者,所述第二符号指示在低位时,所述第二插值相位保持不变。

[0069] 本发明提供的符号同步方法及装置,通过符号同步装置获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;所述符号同步装置对所述定时误差估计值进行高频噪声消除处理;所述符号同步装置根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;所述符号同步装置根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;所述符号同步装置获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;所述符号同步装置根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;所述符号同步装置根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。从而实现所述输出数据符号的目标符号位置与所述符号目标定时位置对齐,从而在多信号叠加场景下,通过对定时位置的修正,消除定时位置误差对于符号同步的影响,提高符号的定时位置定位的准确度。

附图说明

[0070] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现

有技术描述中所需要使用的附图做一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

- [0071] 图1为现有技术提供的Gardner算法估计定时误差的符号同步模块结构示意图;
- [0072] 图2为插值相位 ph 和符号指示 ce_2x 关系示意图;
- [0073] 图3为本发明实施例提供的一种符号同步装置的结构示意图;
- [0074] 图4为本发明实施例提供的另一种符号同步装置的结构示意图;
- [0075] 图5为本发明实施例提供的一种符号同步装置的处理流程示意图;
- [0076] 图6为本发明实施例提供的一种接收端设备的结构示意图;
- [0077] 图7为本发明实施例提供的另一种符号同步装置的结构示意图;
- [0078] 图8为本发明实施例提供的另一种接收端设备的结构示意图;
- [0079] 图9为本发明实施例提供的另一种符号同步装置的结构示意图;
- [0080] 图10为本发明实施例提供的另一种接收端设备的结构示意图;
- [0081] 图11为本发明实施例提供的一种符号同步方法的流程示意图;
- [0082] 图12为本发明实施例提供的另一种符号同步方法的流程示意图。

具体实施方式

[0083] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0084] 图1为现有技术提供的Gardner算法估计定时误差的符号同步模块结构示意图,该符号同步模块设置于数字通信双方的接收系统中,该接收系统可以为基站、热点设备、中继设备等;参照图1,符号同步模块10主要由插值滤波单元10-1、定时误差估计单元10-2、环路滤波单元10-3和插值控制单元10-4四部分组成。

[0085] 其中,定时误差估计单元10-2,用于基于Gardner算法得到定时误差估计值。

[0086] 具体的,所述定时误差估计值用于表示所述输入数据中符号位置与所述输入数据中符号的待修正符号位置之间的定时误差;

[0087] 环路滤波单元10-3,用于消除高频噪声对所述定时误差估计值的影响,改善环路的稳定性,得到较准确的所述定时误差估计值。

[0088] 环路由插值滤波单元10-1、定时误差估计单元10-2、环路滤波单元10-3和插值控制单元10-4构成。

[0089] 插值控制单元10-4,用于根据定时误差估计值获得待修正插值参数。

[0090] 插值滤波单元10-1(或称插值滤波器),用于根据插值控制单元10-4输出的待修正插值参数对输入数据进行插值。

[0091] 具体的,插值滤波单元10-1本质上是用于实现对输入数据的相位调整。相位调整表现为数据波形上的整体移动,从而实现符号同步或符号定时的目的。即插值滤波单元10-1用于对数据波形实现分数倍符号周期延迟。而待修正插值参数用于表示分数倍延迟量的具体数值。

[0092] 插值滤波单元10-1,可以采用有限长单位冲激响应(Finite Impulse Response,简称:FIR)滤波器实现。插值滤波单元10-1要实现分数间隔延迟,其理论模型可看作数据和重构函数的卷积。重构函数即Sinc函数,滤波器系数取自Sinc波形上的采样值,滤波器系数采用不同延迟量的Sinc波形上的采样值,卷积后就能实现对数据波形不同程度的分数间隔延迟。

[0093] 可选的,匹配滤波单元11和抽取单元12也可以被划分在符号同步结构内,另外,除了图1所示的连接结构,匹配滤波单元11还可以设置在插值滤波单元10-1之后,其并不影响现有技术的实现。需要说明的是,抽取单元12实现的是降采样,即将符号同步之后的数据降采样到发送端的符号速率。进一步的,Gardner算法要求一个符号有两个采样点,因此符号同步模块10需要工作在至少两倍符号速率时钟下。

[0094] 进一步的,具体实现时,插值控制单元10-4输出的待修正插值参数包括:符号指示 ce_2X 、插值相位 ph ;其中,需要在插值控制单元10-4基于待修正插值参数对输入数据进行插值之前,根据 ph 查询二维查找表,从而获得相应的滤波器系数以及滤波器阶数,该滤波器系数和滤波器阶数对应插值滤波单元10-1采用的滤波器。并且,滤波器系数可以为多个;将滤波器系数发送给插值滤波单元10-1,以使插值滤波单元10-1根据滤波器系数对数据进行插值。进一步的,二维查找表包含 M 行、 N 列;其中, M 为一个符号周期内划分出的步进(如一个符号周期划分为1024块,则 $M=1024$),对应分数间隔延迟分辨率; N 为滤波器阶数(如 $N=10$),该滤波器阶数对应插值滤波单元10-1采用的滤波器。

[0095] 进一步的,插值控制单元10-4输出的插值相位 ph ,其取值范围通常为 $0 \leq ph < 1$,所以在查询二维查找表之前,首先,需要对 ph 值乘 M 、并取整获得检索值 m ,再根据该检索值 m 查询二维查找表,该检索值 m 的取值范围为 $1 \leq m \leq M$ 。

[0096] 下面重点说明插值控制单元10-4输出的符号指示 ce_2X 和插值相位 ph 的意义及其特性。

[0097] 由于Gardner算法要求每个符号需要两个采样点,所以符号同步模块10需工作在至少两倍符号速率时钟下,参照图1,通常取数据采样率 f_s 稍大于两倍符号率 $2f_{sym}$ (如 $f_s=100M$, $f_{sym}=49.5M$)。插值滤波单元10-1完成输入数据的数据采样率从 $f_s \rightarrow 2f_{sym}$ 的转换,抽取单元12对输入数据进行两倍的降采样得到符号速率的输入数据。插值滤波单元10-1需工作在标识两倍符号速率数据的使能下,即 ce_2X 的意义。 ce_2X 和 ce_1X 成两倍出现关系(用波形示例: $ce_1x:000100010001$,则 $ce_2X:010101010101$)。

[0098] 当环路收敛稳定后,两倍符号使能 ce_2X ,从而使得插值滤波单元10-1标识了输入数据中对应的两倍符号率的数据。标识的数据中,一路为输入数据的符号的采样点,另一路为输入数据中每两个符号之间的采样点。

[0099] 进一步的,插值相位 ph 表示需要对输入数据波形延迟量的大小,通常其取值范围为 $0 \leq ph < 1$ 。当环路收敛稳定后, ph 值为一系列等量递变的值。

[0100] 由于插值滤波单元10-1工作在两倍符号时钟 ce_2X 下,插值滤波操作在 ce_2X 为高位时才进行、 ce_2X 为低位时保持不变。图2为插值相位 ph 和符号指示 ce_2x 关系示意图,参照图2,结合仿真给出 $f_s=100M$ 、 $f_{sym}=45M$ 时待修正插值参数的波形,以便直观地理解。 ph 在对应 ce_2X 为高时才累加变化、 ce_2X 为低时保持不变。

[0101] 例如,在时刻1, ce_2X 为高位1时,对应 ph 为0.5,此时根据 $ph=0.5$ 查找上文所述二

维查找表,获得滤波器阶数,并确定相应的滤波器系数;在时刻2,ce_2X为高位1时,对应ph为0.51,此时根据ph=0.51查找上文所述二维查找表,获得滤波器阶数,并确定相应的滤波器系数;若之后连续的时刻ce_2X均为高位1,则ph继续递增;当时刻3,ce_2X为低位0时,由于插值滤波单元10-1仅在ce_2X为高位时使能,因此当ce_2X为地位时,插值滤波单元10-1不使能,ph保持不变。

[0102] 需要说明的是,插值控制单元10-4输出的ce_2X和ph为何表现为上图形态,是插值控制单元10-4内部操作的细节,在此不做说明。本发明实施例涉及到的,仅是对其输出的ce_2X和ph的处理,并不涉及不改变其原始ce_2X和ph的形态。此处仅对ce_2X和ph的形态及相互关系进行说明,以便后续展开说明本发明实施例。

[0103] 通常可以认为通信信号的波形粗略地满足正负交替的波形特性,而采用上述现有符号同步技术,通过Gardner算法获得的符号定时位置会锁定在信号波形中峰值、谷值的位置。即“能量最大点”。综上所述,现有符号同步技术通过检测信号的能量,趋向同步到接收信号的“能量最大点”。在多个信号叠加输入的场景(多信号叠加场景如相控阵列多个通道间、MIMO多通道间存在相对延迟时的情况等),由于多个信号叠加改变了信号波形特性,期望信号受到除期望信号外其它信号的能量影响,经图1所示符号同步模块10调整后的符号定时位置很可能不是期望信号的符号定时位置,从而导致采用现有符号同步环路收敛的定时位置来对该多信号叠加的接收数据进行符号定位时,由于无法对多信号叠加产生的误差进行修正,从而降低了定时位置的准确度。造成定位误差遗留给符号同步模块10后端的其他模块。

[0104] 针对现有符号同步技术存在的上述问题,目前的应对方式为:硬件保证多通道的一致性;或者,将定位误差遗留给符号同步模块10后端的其他模块,并且后端的其他模块采用分数间隔均衡处理等方式。其中,通过硬件来消除定时误差的方式,造成硬件成本提高,而且定时效果总会有偏差;而采用分数间隔均衡的方式,导致占用逻辑资源较多,造成逻辑资源的浪费。

[0105] 针对上述技术问题,本发明实施例提供一种符号同步方法及装置,其解决上述技术问题的原理如下:首先,是使符号定时位置可控制。参照图1所示的现有技术,可知现有符号同步技术中的环路为自适应环路,其难以介入控制,从而造成符号定时位置的定时误差不可控。因此,本发明实施例提供一种机制,以实现在自适应环路之外进行定时位置的调整;同时,自适应环路按照其原有功能进行,即定时稳定到某个符号初始定时位置后;然后以此符号初始定时位置为基础,再进行定时位置的修正调整。从而实现定时位置的可控。

[0106] 本发明的最终目的是:使输入数据的符号同步到符号目标定时位置。因此在实现了上述定时位置可控之后,下一步是如何获得符号目标定时位置,然后将符号待修正定时位置修正到该符号目标定时位置。具体的,通过检测解调后的数据的性能参数,选择性能最优的性能参数确定所述符号目标定时位置。下文会对如何确定所述符号目标定时位置进行详细说明,此处不再赘述。

[0107] 综上所述,本发明提供的方案避免了现有符号同步技术在多信号叠加场景下产生的定时误差,并且无需通过额外的硬件设计来修正定时误差,从而降低了硬件的设计成本;也无需后续模块通过分数间隔均衡的方式来修正定时误差,从而节省了逻辑开发资源。

[0108] 下面通过具体实施例对本发明提供的一种符号同步方法及装置进行详细说明。

[0109] 图3为本发明实施例提供的一种符号同步装置的结构示意图,参照图3,该符号同步装置20包括:第一符号同步模块20-1和所述第二符号同步模块20-2;

[0110] 所述第一符号同步模块20-1,包括:定时误差估计单元20-1a、环路滤波单元20-1b、插值控制单元20-1c和第一插值滤波单元20-1d;

[0111] 所述定时误差估计单元20-1a,用于获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;

[0112] 所述环路滤波单元20-1b,用于对所述定时误差估计值进行高频噪声消除处理;

[0113] 所述插值控制单元20-1c,用于根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

[0114] 所述第一插值滤波单元20-1d,用于根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

[0115] 其中,定时误差估计单元20-1a、环路滤波单元20-1b、插值控制单元20-1c和第一插值滤波单元20-1d构成环路,其功能与上文图1所示的符号同步模块的功能类似。

[0116] 所述第二符号同步模块20-2,包括:定时位置调整单元20-2a和第二插值滤波单元20-2b;

[0117] 所述定时位置调整单元20-2a,用于:

[0118] 获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

[0119] 根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

[0120] 所述第二插值滤波单元20-2b,用于根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

[0121] 具体的,参照图3可知,在第一符号同步模块20-1的插值控制单元20-1c处,本发明实施例进行了一处改进,即将插值控制单元20-1c的输出分成了两路:第一路将待修正插值参数输入给第一插值滤波单元20-1d,以保证第一符号同步模块20-1构成的环路的自适应收敛,以使插值控制单元20-1c输出的待修正插值参数特征稳定。第二路将待修正插值参数输入给定时位置调整单元20-2a,定时位置调整单元20-2a对该待修正插值参数作相位进行修正,获得插值参数,第二插值滤波单元20-2b使用该插值参数对所述输入数据的第二分支数据流进行插值滤波,从而实现了符号定时位置相对于第一路的改变,即达到上文提到的定时位置可控的目的,并以此作后续解调。

[0122] 需要说明的是,插值控制单元20-1c可以在第一符号同步模块20-1中的环路自适应收敛后再将待修正插值参数发送给定时位置调整单元20-2a;或者,也可以不考虑自适应收敛,直接将获得的待修正插值参数发送给定时位置调整单元20-2a,本发明实施例对于这两种方式不予限定。

[0123] 本发明实施例提供的符号同步装置,通过所述定时误差估计单元获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;所述环路滤波单元对所述定时误差估计值进行高频噪声消除处理;所述插值控制单元根据经高频噪声消除处

理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;所述第一插值滤波单元根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;所述定时位置调整单元获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;所述定时位置调整单元根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;所述第二插值滤波单元根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。从而实现所述输出数据符号的目标符号位置与所述符号目标定时位置对齐,从而在多信号叠加场景下,通过对定时位置的修正,消除定时位置误差对于符号同步的影响,提高符号的定时位置定位的准确度。

[0124] 优选的,所述待修正插值参数,包含:第一符号指示和第一插值相位;

[0125] 其中,所述第一符号指示用于在高位标识所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

[0126] 所述第一插值相位用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述符号待修正定时位置与所述输入数据中符号的待修正符号位置对齐,所述第一插值相位的取值范围为 $[0,1]$;

[0127] 所述第一符号指示在高位时,所述第一插值相位等量递变;或者,所述第一符号指示在低位时,所述第一插值相位保持不变。

[0128] 优选的,所述调整参数包含:调整量 n 和延迟使能量 ce_dly ;下面对于如何获得所述调整参数进行详细说明。

[0129] 由于所述调整参数是基于所述符号目标定时位置获得的,因此,首先需要获得所述符号目标定时位置。

[0130] 在图3的基础上,图4为本发明实施例提供的另一种符号同步装置的结构示意图,参照图4,该符号同步装置20,还包括:解调模块20-3;

[0131] 所述解调模块20-3,用于:

[0132] 解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

[0133] 逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

[0134] 所述调整参数包含:调整量 n 和延迟使能量 ce_dly ;

[0135] 根据所述性能最优的性能参数确定所述 n ;

[0136] 所述解调模块20-3确定所述 n 后,将所述 n 发送给定时位置调整单元20-2a;

[0137] 具体的,解调模块20-3针对每个符号定时位置,对所述输出数据进行解调处理,获得与每个符号定时位置对应的一个性能参数,例如均方差(Mean Square Error,简称:MSE);如此遍历整个符号周期,获得性能参数集合;逐次将所述性能参数集合中任意两个性能参数进行比较,获得其中的最佳值,该性能参数对应所述符号目标定时位置。

[0138] 对于根据符号目标定时位置确定调整参数,首先,定时位置调整单元20-2a需要获得符号目标定时位置。解调模块20-3通过遍历整个或部分符号周期、并通过检测解调性能的方法,确定符号目标定时位置。

[0139] 具体的,以一个符号周期 $[0,1]$ 为例,假设通过上文所述第一符号同步模块20-1确定的符号待修正定时位置为0.43,若此时解调模块20-3获得的系统解调性能较好,则可以判断:符号目标定时位置就在该符号待修正定时位置0.43附近,则可重点在0.43附近调整符号待修正定时位置(如 $[0.43-0.2,0.43+0.2]$ 区间)、不必在整个符号周期($[0,1]$)内进行遍历和检测。进一步的,解调模块20-3基于该符号目标定时位置,获得与符号目标定时位置对应的性能参数。进一步的,一种方式中,该解调模块20-3基于该性能参数确定调整量 n ,并将调整量 n 发送给所述定时位置调整单元20-2a;另一种方式中,该解调模块20-3将符号目标定时位置发送给所述定时位置调整单元20-2a,定时位置调整单元20-2a根据该符号目标定时位置确定调整量 n ;

[0140] 所述定时位置调整单元20-2a获取调整参数,具体包括:

[0141] 接收所述解调模块发送的所述 n ;

[0142] 根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

[0143] 根据所述滤波器阶数 N 、所述 T_{ce} 和所述 n 获得所述 ce_dly ,所述 ce_dly 满足如下公式:

$$[0144] \quad ce_dly = T_{ce} - round\left(\frac{n}{N/T_{ce}}\right);$$

[0145] 其中,所述 n 的取值范围为 $1 \leq n \leq N$ 。

[0146] 优选的,第二符号指示和第二插值相位,所述第二插值相位的取值范围为 $[0,1]$;

[0147] 所述根据所述调整参数对所述待修正插值参数进行修正获得插值参数,包括:

[0148] 根据所述 ce_dly 对所述第一符号指示进行延迟处理,获得第二符号指示;

[0149] 根据所述 n 对所述第一插值相位进行修正,获得所述第二插值相位;

[0150] 其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点;

[0151] 所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量;所述第二插值相位的取值范围为 $[0,1]$;

[0152] 所述第二符号指示在高位时,所述第二插值相位等量递变;或者,所述第二符号指示在低位时,所述第二插值相位保持不变。

[0153] 在图4的基础上,图5为本发明实施例提供的一种符号同步装置的处理流程示意图,参照图5,对定时位置调整模块20-2a的功能进行具体说明:当插值控制单元20-1c将 ph 及 ce_2X 发送给定时位置调整模块20-2a后,定时位置调整模块20-2a基于 ce_2X 提取 T_{ce} ,该 T_{ce} 为 ce_2X 的波形的周期。基于 ph 以及解调模块20-3发送的调整量 n 获得第二插值相位 ph_2 ;进一步的, ph_2 需要作 $0 \sim 1$ 的Wrap处理,Wrap(0,1)就是对输入数据通过 $+1*N$ 或 $-1*N$ 的方式,使输出数据在 $[0,1]$ 区间内。如输入数据:1.2,3.1,-0.8,经Wrap(0,1)后为:0.2,0.1,0.2;通过Wrap处理,使 ph_2 的取值范围满足 $0 \leq ph_2 < 1$,根据 ph_2 确定检索值 m ,根据检索

值 m 检索相同的二维查找表获得所述 N 以及滤波器系数;再根据 N 、 T_{ce} 以及 ce_2X 确定 ce_dly ,从而根据 ce_dly 对 ce_2X 信号作延迟处理,获得 ce_2X_2 ,并且 ce_2X_2 和 ph_2 满足对齐关系。

具体的, T_{ce} 的值可通过 f_s 和 $2f_{sym}$ 的值得到:使 $\frac{f_s}{2f_{sym}}$ 的分子和分母不可约(无公约数)、且均为整数时的分子值。如: $f_s=100M$, $f_{sym}=49.5M$,则 $T_{ce}=100$ 。再如: $f_s=100M$, $f_{sym}=45M$,则 $T_{ce}=10$ 。

[0154] 在图4的基础上,图6为本发明实施例提供的一种接收端设备的结构示意图,上文图4所示的符号同步装置设置于所述接收端设备内,参照图6,该接收端设备,包括:符号同步装置20、模数转换模块21、匹配滤波单元22、抽取单元23、均衡(Equalization,简称:Eq1)模块24;

[0155] 参照图6,该第一插值滤波单元20-1d与匹配滤波单元22连接,匹配滤波单元22与模数转换模块21连接。可选的,匹配滤波单元22也可以被设置在第一符号同步模块20-1内,具体的,匹配滤波单元22设置在第二插值滤波单元20-1d之后,对于具体的连接关系,本发明实施例不予限定。

[0156] 抽取单元23,用于将符号同步的输入数据降采样到发送端的符号速率。

[0157] Eq1模块24,用于对符号同步的输入数据进行传输信道幅度频率特性和相位频率特性的校正。

[0158] 图7为本发明实施例提供的另一种符号同步装置的结构示意图,参照图7,该符号同步装置30包括:第一处理器30-1、第一插值滤波器30-3和环路滤波器30-2;

[0159] 其中,第一处理器30-1,具有上文图3~图6中所示定时误差估计单元20-1a及插值控制单元20-1c的功能;第一插值滤波器30-3,具有上文图3~图6中所示第一插值滤波单元20-1d的功能;

[0160] 环路滤波器30-2具有上文图3~图6中所示环路滤波单元20-1b的功能;

[0161] 参照图7,该符号同步装置30还包括:第二处理器30-4和第二插值滤波器30-5;

[0162] 其中,第二插值滤波器30-5具有上文图3~图6中所示第二插值滤波单元20-2b的功能;第二处理器30-4具有上文图3~图6中所示定时位置调整单元20-2a的功能;

[0163] 可选的,第二处理器30-4,还可以具有上文图5或图7所示解调模块20-3的功能;

[0164] 进一步的,上述第一处理器30-3和第二处理器30-4可以集成在一个处理器上。

[0165] 在图7的基础上,图8为本发明实施例提供的另一种接收端设备的结构示意图,参照图8,该接收端设备还包括:模数转换器30-6、匹配滤波器30-7、抽取器30-8、均衡器30-9;

[0166] 其中,模数转换器30-6具有上文图6所示模数转换模块21的功能;匹配滤波器30-7具有上文图6所示匹配滤波单元22的功能;抽取器30-8具有上文图6所示抽取单元23的功能;均衡器30-9具有上文图6所示均衡模块24的功能;

[0167] 在图7的基础上,图9为本发明实施例提供的另一种符号同步装置的结构示意图,参照图9,该符号同步装置30还包括:解调器30-10;

[0168] 所述解调器30-10具有上文图4~图6中所示解调模块20-3的功能;

[0169] 在图8的基础上,图10为本发明实施例提供的另一种接收端设备的结构示意图,该解调器30-10还可以具有图10所示的连接关系;

[0170] 上述图3~图10中所示的各个模块和器件可以通过实体器件实现,也可以采用数字基带方式实现,如采用现场可编程门阵列(Field Programmable Gate Array,简称:FPGA)、复杂可编程逻辑器件(Complex Programmable Logic Device,简称:CPLD)、数字信号处理器(Digital Signal Processor,简称:DSP)等。

[0171] 图11为本发明实施例提供的一种符号同步方法的流程示意图,该方法的执行主体为图3~图10所示的符号同步装置,参照图11,该方法包括如下步骤:

[0172] 步骤100、获得输入数据的定时误差估计值;

[0173] 所述定时误差估计值表示所述输入数据的定时误差;

[0174] 步骤101、对所述定时误差估计值进行高频噪声消除处理;

[0175] 步骤102、根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;

[0176] 步骤103、根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;

[0177] 需要说明的是,步骤100~103可以重复执行,在步骤103执行后,可以继续返回执行步骤100。

[0178] 步骤104、获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;

[0179] 步骤105、根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;

[0180] 步骤106、根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。

[0181] 本发明实施例提供的符号同步方法,通过获得输入数据的定时误差估计值,所述定时误差估计值表示所述输入数据的定时误差;对所述定时误差估计值进行高频噪声消除处理;根据经高频噪声消除处理后的定时误差估计值,获得待修正插值参数;所述待修正插值参数作为对所述输入数据进行插值滤波的输入量;所述待修正插值参数对应符号待修正定时位置;根据所述待修正插值参数对所述输入数据的第一分支数据流进行插值滤波,以使所述输入数据的第一分支数据流中符号的待修正符号位置与所述符号待修正定时位置对齐;获取调整参数,所述调整参数用于对所述待修正插值参数的误差进行修正;根据所述调整参数对所述待修正插值参数进行修正获得插值参数,所述插值参数对应符号目标定时位置;根据所述插值参数对所述输入数据的第二分支数据流进行插值滤波获得输出数据,所述输出数据符号的目标符号位置与所述符号目标定时位置对齐。从而实现所述输出数据符号的目标符号位置与所述符号目标定时位置对齐,从而在多信号叠加场景下,通过对定时位置的修正,消除定时位置误差对于符号同步的影响,提高符号的定时位置定位的准确度。

[0182] 进一步的,相比较于上文现有技术应对多信号叠加场景的解决方案,本发明实施例提供的方法无需通过额外的硬件设计来修正定时误差,从而降低了硬件的设计成本;也无需后续模块通过分数间隔均衡的方式来修正定时误差,从而节省了逻辑开发资源。

[0183] 进一步的,所述待修正插值参数,包含:第一符号指示 ce_2X 和第一插值相位 ph ;

[0184] 其中,所述 ce_2X 用于在高位标识所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点;在低位标识除所述输入数据的第一分支数据流中符号的采样点和所述输入数据的第一分支数据流中每两个符号之间的采样点之外的其他采样点;

[0185] 所述 ph 用于作为对所述输入数据的第一分支数据流进行插值滤波的输入量,以使所述符号待修正定时位置与所述输入数据中符号的待修正符号位置对齐,所述 ph 的取值范围为 $[0,1]$;

[0186] 所述 ce_2X 在高位时,所述 ph 等量递变;或者,所述 ce_2X 在低位时,所述 ph 保持不变。

[0187] 在图11的基础上,图12为本发明实施例提供的另一种符号同步方法的流程示意图,参照图12,还包括:

[0188] 步骤107、解调所述输出数据获得性能参数集合,所述性能参数集合包含至少两个性能参数;

[0189] 步骤108、逐次将所述性能参数集合中任意两个性能参数进行比较,获得所述性能参数集合中性能最优的性能参数,所述性能最优的性能参数对应所述符号目标定时位置;

[0190] 可选的,所述调整参数包含:调整量 n 和延迟使能量 ce_dly ;

[0191] 在步骤107和108的基础上,步骤104的一种可能的实现方式为:

[0192] 步骤104-1、根据所述性能最优的性能参数确定所述 n ;

[0193] 步骤104-2、根据所述第一符号指示获取所述第一符号指示对应的周期 T_{ce} ;

[0194] 步骤104-3、根据所述滤波器阶数 N 、所述 T_{ce} 和所述 n 获得所述 ce_dly ;

[0195] 具体的,根据所述滤波器阶数 N 、所述 T_{ce} 和所述 n 获得所述 ce_dly ,所述 ce_dly 满足如下公式:

$$[0196] \quad ce_dly = T_{ce} - round\left(\frac{n}{N/T_{ce}}\right);$$

[0197] 其中,所述 n 的取值范围为 $1 \leq n \leq N$ 。

[0198] 相应的,步骤105的一种可能的实现方式为:

[0199] 步骤105-1、根据所述 ce_dly 对所述第一符号指示进行延迟处理,获得第二符号指示;

[0200] 步骤105-2、根据所述 n 对所述第一插值相位进行修正,获得所述第二插值相位;

[0201] 其中,可选的, T_{ce} 的获取方式:根据所述第一符号指示获取所述第一符号指示对应的周期;

[0202] 具体的, ce_2X 的波形存在一个周期 T_{ce} ,其值可通过 f_s 和 $2f_{sym}$ 的值得到:使 $\frac{f_s}{2f_{sym}}$ 的

分子和分母不可约(无公约数)、且均为整数时的分子值。如: $f_s = 100M$, $f_{sym} = 49.5M$,则 $T_{ce} = 100$ 。再如: $f_s = 100M$, $f_{sym} = 45M$,则 $T_{ce} = 10$ 。

[0203] 根据所述符号目标定时位置生成所述调整量 n ,所述 n 的取值范围为 $1 \leq n \leq N$;

[0204] 其中,所述第二符号指示用于在高位标识所述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点;在低位标识除所

述输入数据的第二分支数据流中符号的采样点和所述输入数据的第二分支数据流中每两个符号之间的采样点之外的其他采样点；

[0205] 所述第二插值相位用于作为对所述输入数据的第二分支数据流进行插值滤波的输入量；所述第二插值相位的取值范围为 $[0,1]$ ；

[0206] 所述第二符号指示在高位时，所述第二插值相位等量递变；或者，所述第二符号指示在低位时，所述第二插值相位保持不变。

[0207] 进一步的，参照图11，对于步骤105，一种可能的实现方式为：定时位置调整单元20-2a的功能具体包括：提取 T_{ce} 、根据外部输入的调整量 n 调整第一插值相位 ph （在 ph 基础上调整得到的第二插值相位 ph_2 ， ph_2 需要作 $0\sim 1$ 的Wrap处理， $Wrap(0,1)$ 就是对输入数据通过 $+1*N$ 或 $-1*N$ 的方式，使输出数据处于 $[0,1]$ 区间内。如输入数据： $1.2, 3.1, -0.8$ ，经 $Wrap(0,1)$ 后为： $0.2, 0.1, 0.2$ ；通过Wrap处理，使 ph_2 的取值范围满足 $0\leq ph_2 < 1$ ，根据 ph_2 确定检索值 m ，根据检索值 m 检索相同的二维查找表获得所述 N 、根据 ce_dly 相应地移动 ce_2X 从而获得 ce_2X_2 。定时位置调整单元20-2a的调整对象是插值控制单元20-1c的输出参数 ph 和 ce_2X ，定时位置调整值为：上述调整量 n 和 ce_dly 。

[0208] 本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0209] 最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

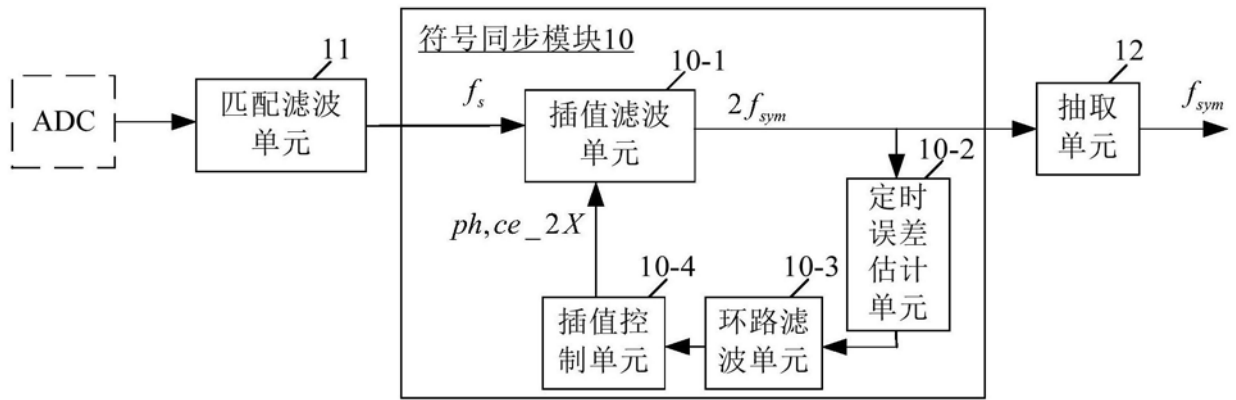


图1

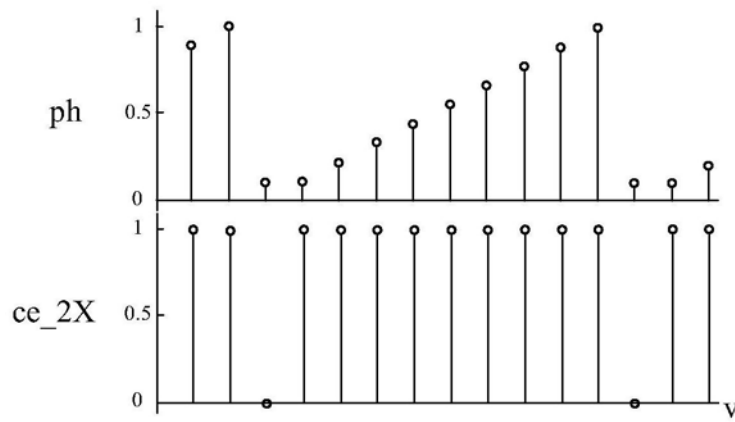


图2

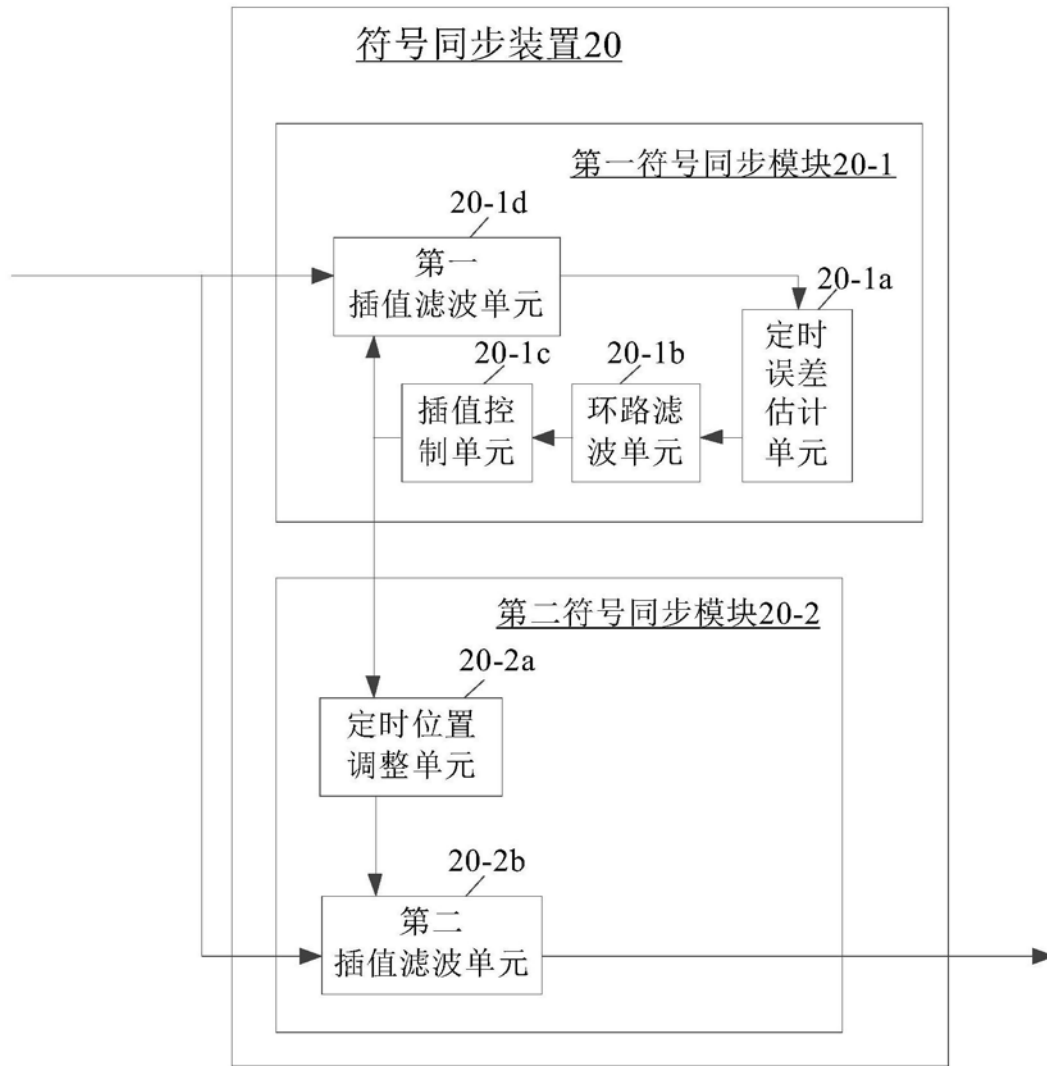


图3

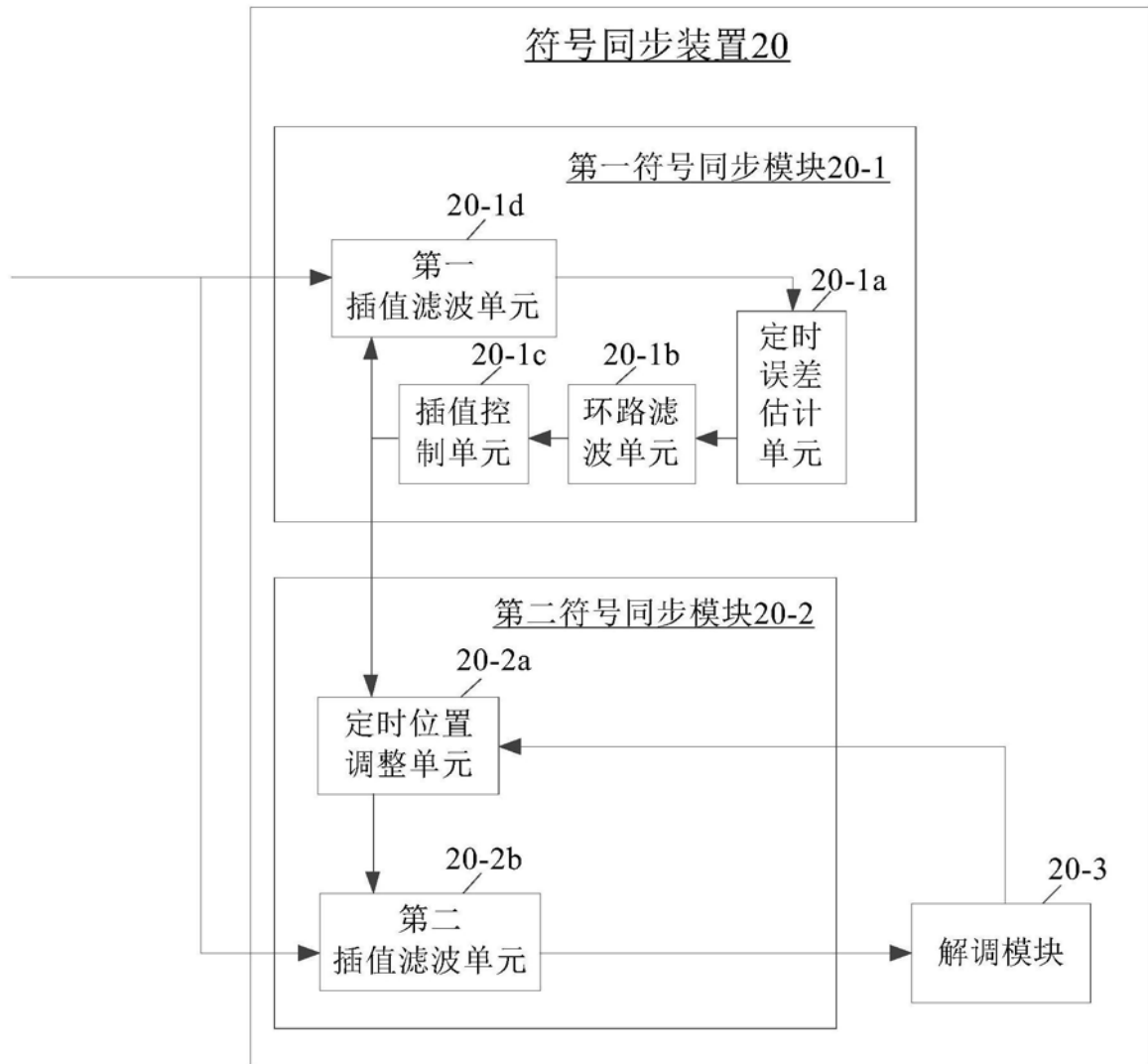


图4

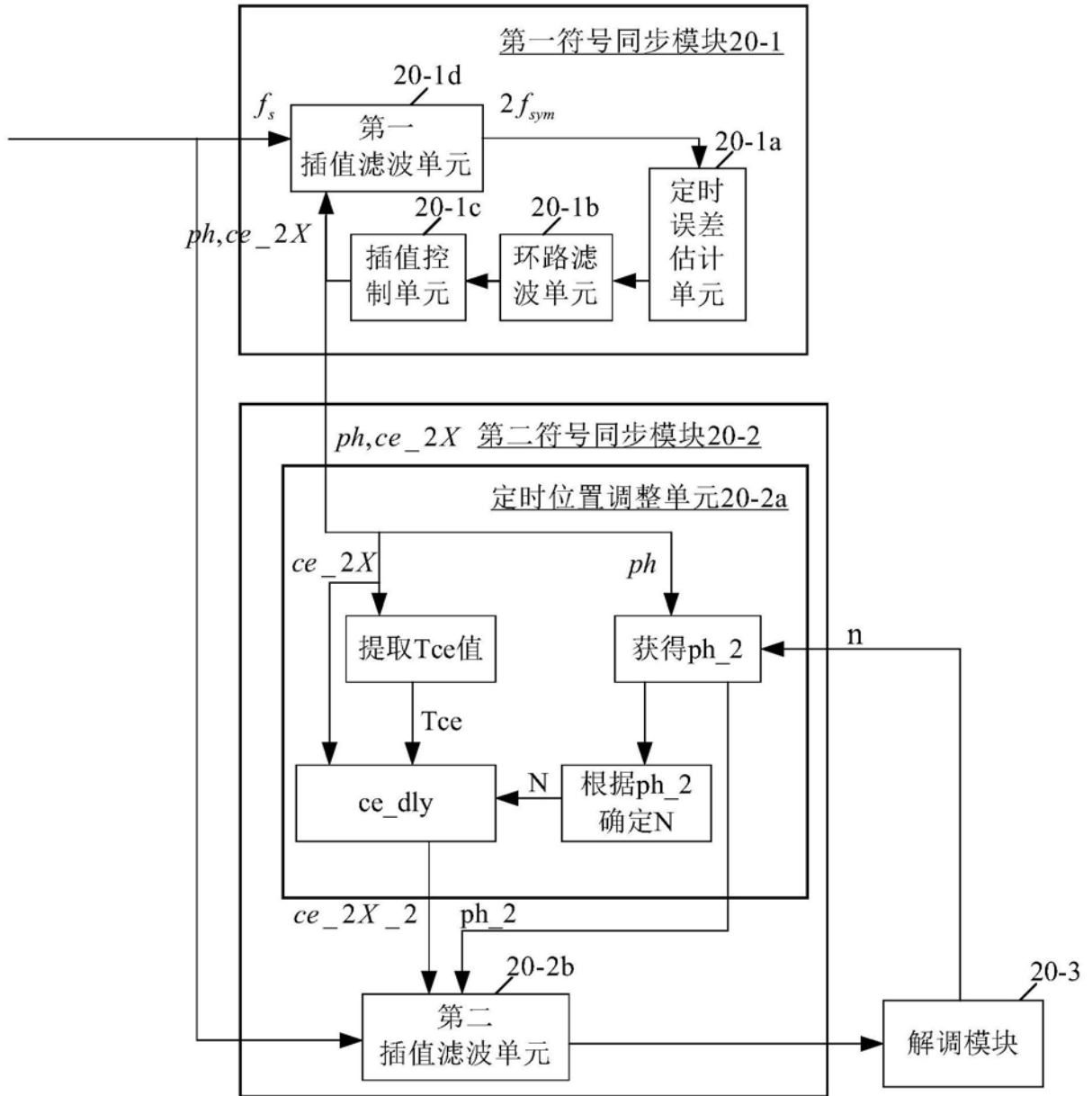


图5

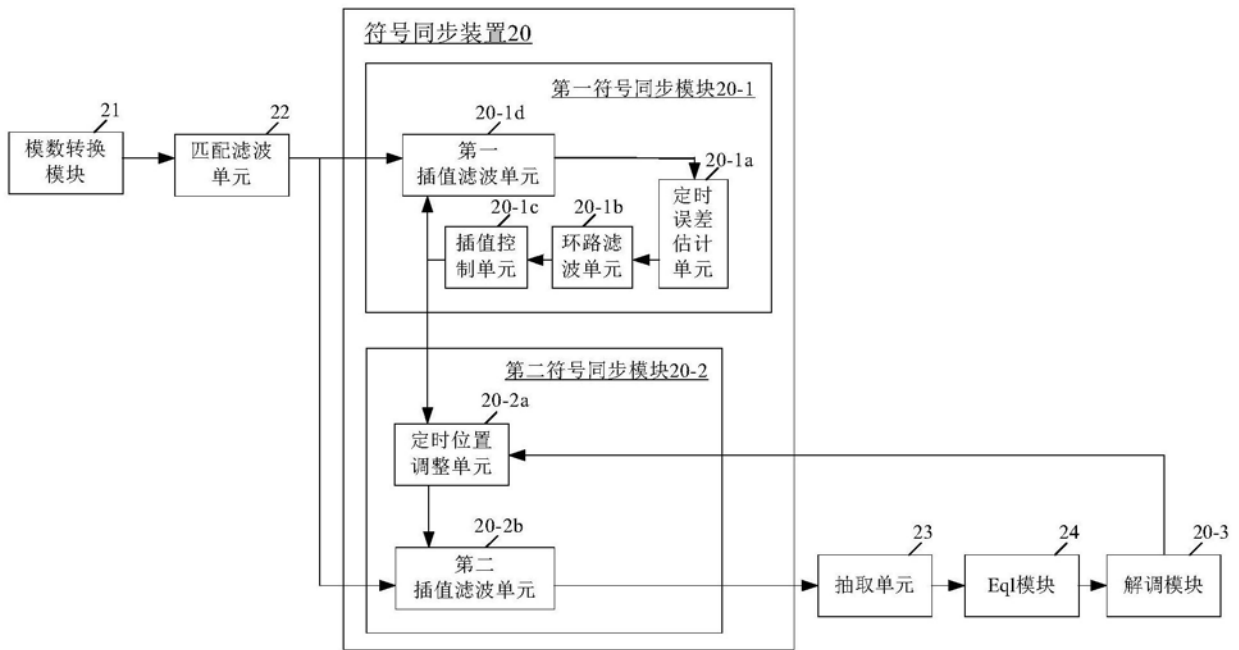


图6

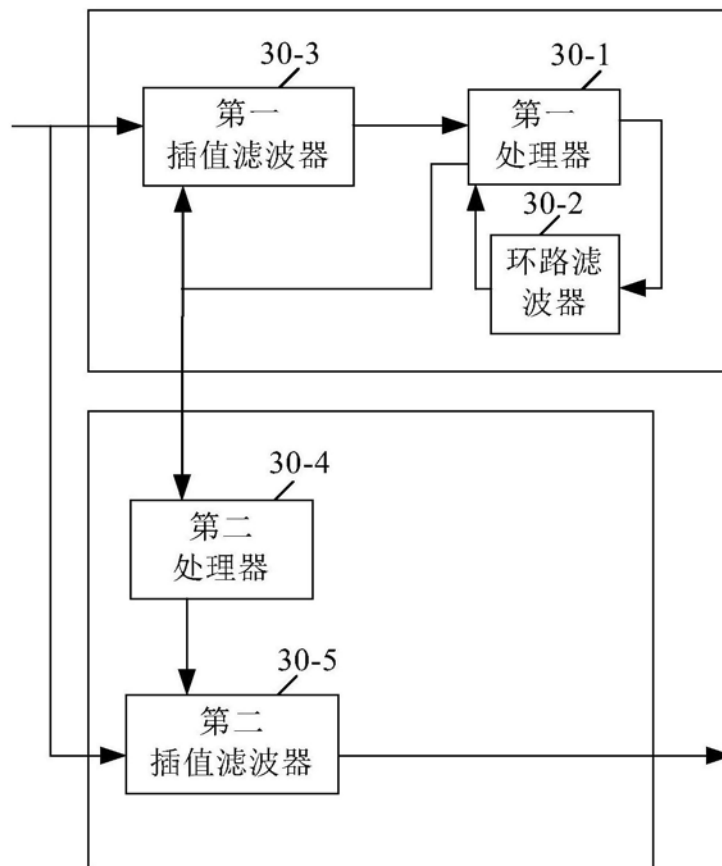


图7

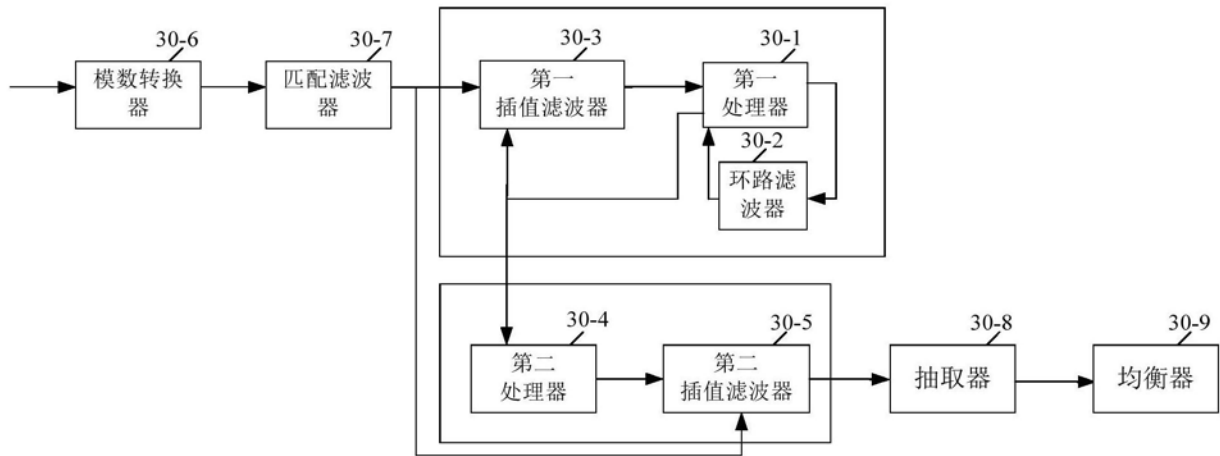


图8

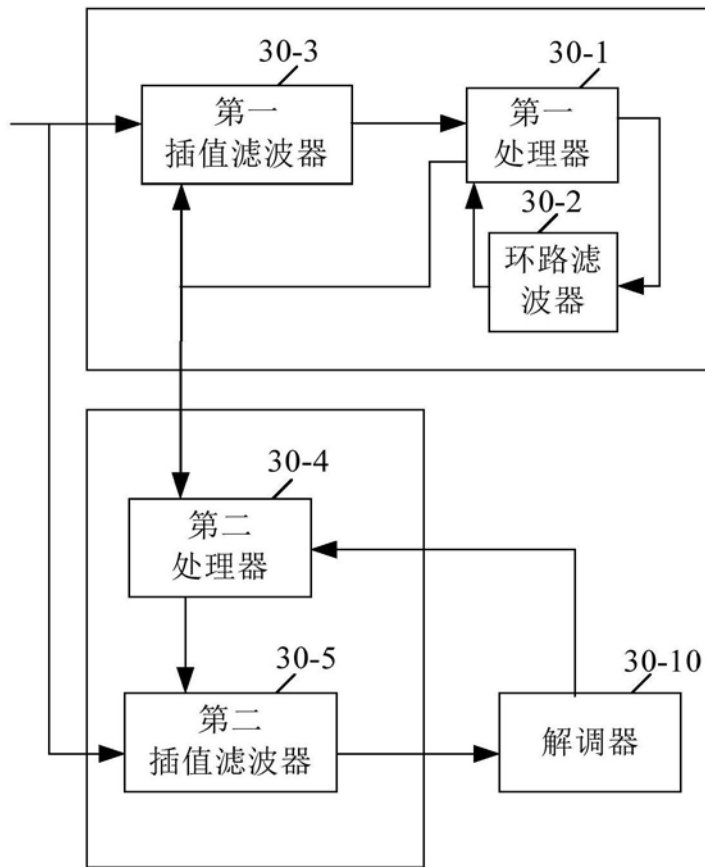


图9

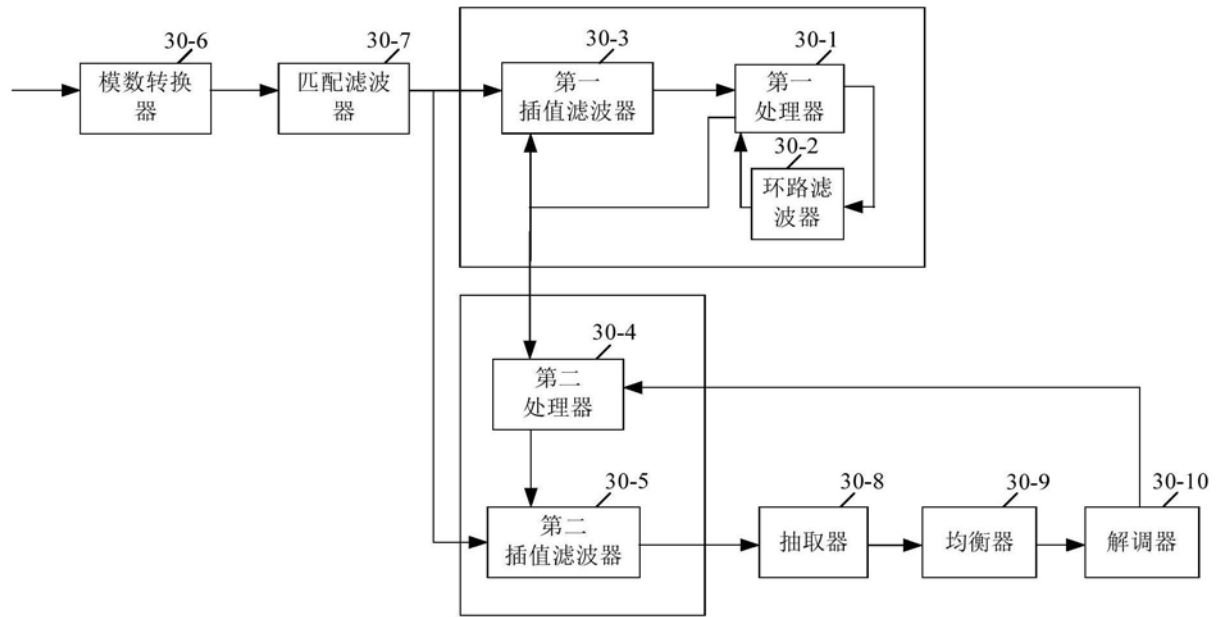


图10

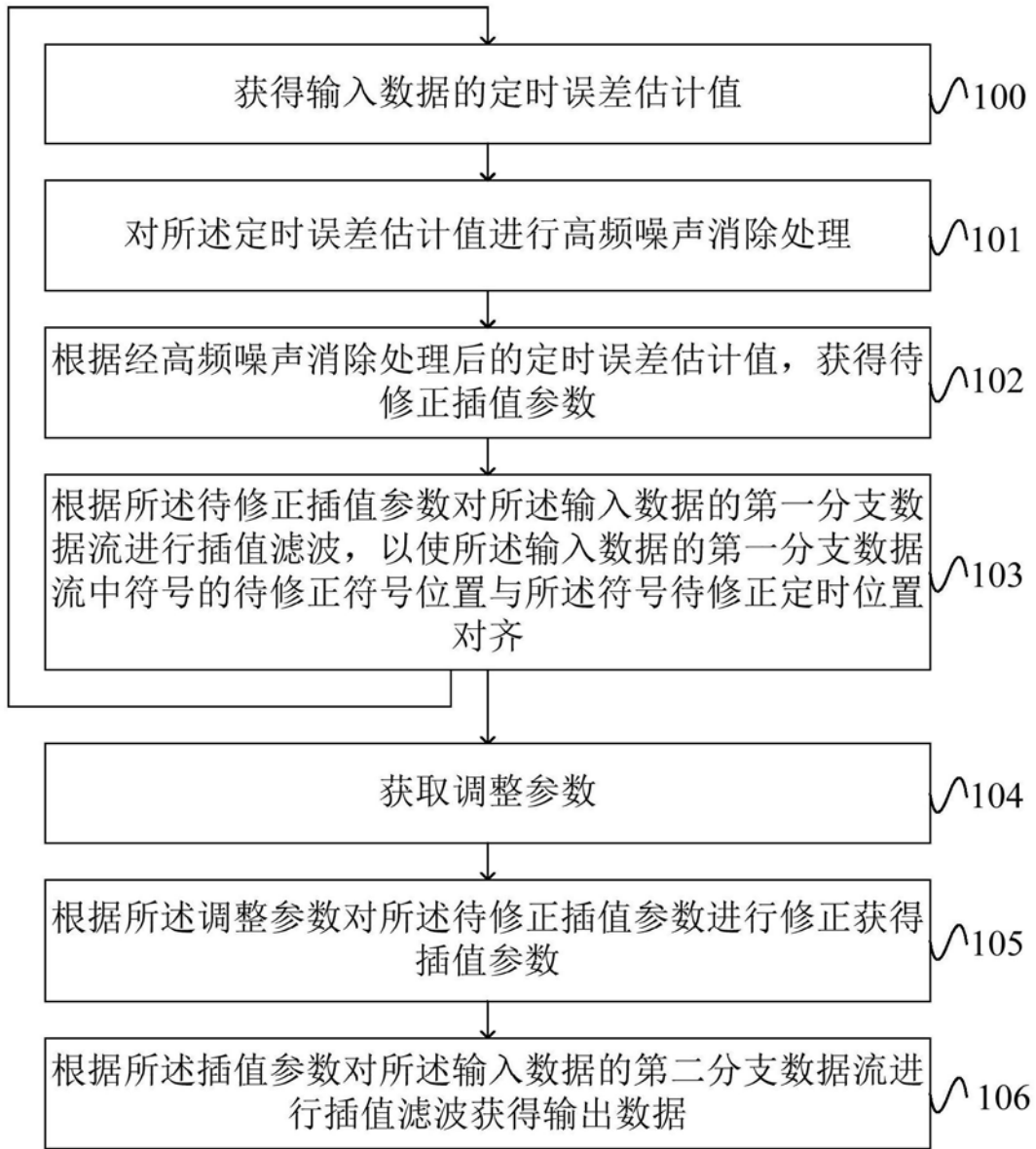


图11

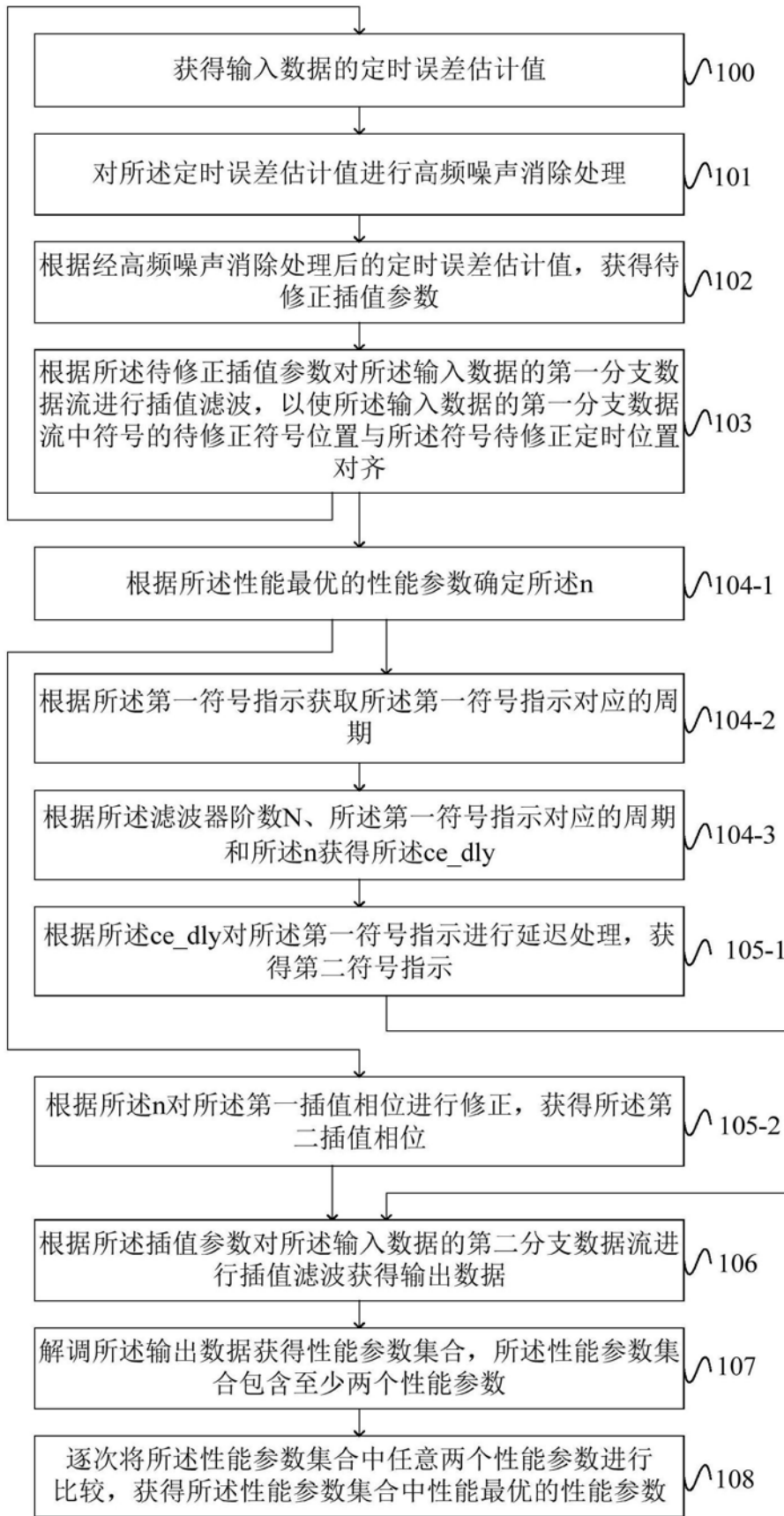


图12