

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro

(43) Internationales Veröffentlichungsdatum  
08. Februar 2018 (08.02.2018)



(10) Internationale Veröffentlichungsnummer  
**WO 2018/024705 A1**

(51) Internationale Patentklassifikation:

H01L 33/62 (2010.01) H01L 33/54 (2010.01)  
H01L 25/075 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2017/069383

(22) Internationales Anmeldedatum:  
01. August 2017 (01.08.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2016 114 275.1  
02. August 2016 (02.08.2016) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS  
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: SINGER, Frank; Telemannstr. 104, 93128 Regenstauf (DE). MOOSBURGER, Jürgen; Dr.-Martin-Luther-Straße 7a, 93138 Lappersdorf (DE). SCHWARZ, Thomas; Steinfederweg 4, 93055 Regensburg (DE). HOEPEL, Lutz; Lessingstraße 1, 93087 Alteglofsheim (DE). SABATHIL, Matthias; Glasbläserstr. 2, 93059 Regensburg (DE).

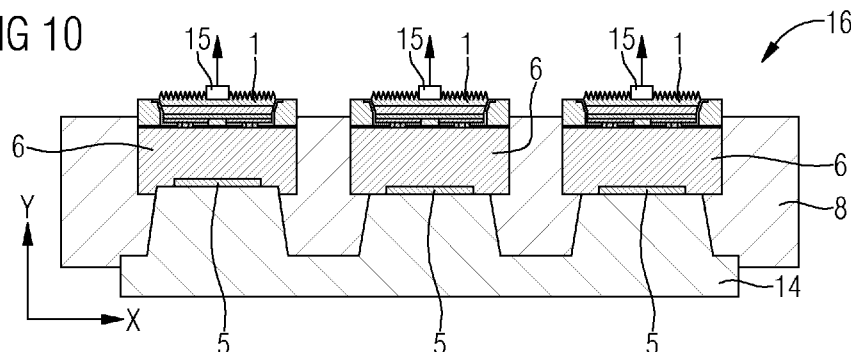
(74) Anwalt: PATENTANWALTSKANZLEI WILHELM & BECK; Prinzenstr. 13, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,

(54) Title: MULTI-CHIP MODULE

(54) Bezeichnung: MULTICHIPMODUL

FIG 10



(57) Abstract: The invention relates to a multi-chip module, comprising at least two light-emitting diode chips, wherein the two light-emitting diode chips are embedded at least at lateral surfaces thereof in a first carrier of a molding material, wherein the light-emitting diode chips have first electrical contacts on a front side, wherein the front side is designed as an emission side, wherein the light-emitting diode chips have second contacts on a back side, wherein the second contacts are connected to a bus, wherein the bus is led to a back side of the first carrier, wherein the first contacts are connected to control lines, wherein the control lines are arranged on a front side of the first carrier. The invention further relates to a method for producing a multi-chip module, wherein at least two light-emitting diode chips are embedded at least at lateral surfaces thereof in a first carrier of a molding material, wherein the light-emitting diode chips have first electrical contacts on a front side, wherein the front side is designed as an emission side, wherein the light-emitting diode chips have second electrical contacts on a back side, wherein the second contacts are connected to a bus, wherein the bus is led to a back side of the first carrier, wherein the first contacts are connected to control lines, wherein the control lines are formed on a front side of the first carrier.

(57) Zusammenfassung: Die Erfindung betrifft ein Multichipmodul mit wenigstens zwei Leuchtdiodenchips, wobei die zwei Leuchtdiodenchips wenigstens mit Seitenflächen in einem ersten Träger aus einem Moldmaterial eingebettet sind, wobei die Leuchtdiodenchips erste elektrische Kontakte auf einer Vorderseite aufweisen, wobei die Vorderseite als Abstrahlseite ausgebildet ist, wobei die Leuchtdiodenchips zweite Kontakte auf einer Rückseite aufweisen, wobei die zweiten Kontakte mit einer Sammelleitung verbunden sind, wobei die Sammelleitung zu einer Rückseite des ersten Trägers geführt ist, wobei die ersten Kontakte mit Steuerleitungen verbunden sind,

[Fortsetzung auf der nächsten Seite]

WO 2018/024705 A1

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,  
SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,  
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

---

wobei die Steuerleitungen auf einer Vorderseite des ersten Trägers angeordnet sind. Die Erfindung betrifft außerdem ein Verfahren zum Herstellen eines Multichipmoduls, wobei wenigstens zwei Leuchtdiodenchips wenigstens mit Seitenflächen in einen ersten Träger aus einem Moldmaterial eingebettet werden, wobei die Leuchtdiodenchips erste elektrische Kontakte auf einer Vorderseite aufweisen, wobei die Vorderseite als Abstrahlseite ausgebildet ist, wobei die Leuchtdiodenchips zweite elektrische Kontakte auf einer Rückseite aufweisen, wobei die zweiten Kontakte mit einer Sammelleitung verbunden werden, wobei die Sammelleitung zu einer Rückseite des ersten Trägers geführt wird, wobei die ersten Kontakte mit Steuerleitungen verbunden werden, wobei die Steuerleitungen auf einer Vorderseite des ersten Trägers ausgebildet werden.

**MULTICHIPMODUL****BESCHREIBUNG**

5 Im Stand der Technik ist es bekannt, mehrere Leuchtdiodenchips auf einer Leiterplatte anzuordnen, um einen Bildpixel einer Videowand zu realisieren.

Diese Patentanmeldung beansprucht die Priorität der deutschen  
10 Patentanmeldung DE 102016114275.1, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Aufgabe der Erfindung besteht darin, ein vereinfachtes Multichipmodul und ein vereinfachtes Verfahren zum Herstellen  
15 eines Multichipmoduls bereitzustellen.

Die Aufgabe der Erfindung wird durch das Multichipmodul gemäß Patentanspruch 1 und durch das Verfahren zum Herstellen eines Multichipmoduls gemäß Patentanspruch 15 gelöst. Weitere Aus-  
20 führungsformen sind in den abhängigen Ansprüchen angegeben.

Es wird ein Multichipmodul vorgeschlagen, wobei Leuchtdiodenchips in einen Träger aus einem Moldmaterial eingebettet sind. Die Leuchtdiodenchips weisen jeweils auf der Vorderseite einen ersten elektrischen Kontakt auf. Zudem weisen die  
25 Leuchtdiodenchips auf der Rückseite einen zweiten elektrischen Kontakt auf. Die zweiten elektrischen Kontakte sind mit einer Sammelleitung verbunden, die auf einer Rückseite des ersten Trägers angeordnet ist. Die ersten elektrischen Kontakte sind mit einer Steuerleitung verbunden, wobei die Steuerleitungen auf einer Vorderseite des ersten Trägers angeordnet sind. Auf diese Weise kann ein einfach aufgebautes Multichipmodul bereitgestellt werden.

35 In einer Ausführung sind im ersten Träger elektrisch leitende Durchkontaktierungen vorgesehen, die von der Vorderseite zu der Rückseite des ersten Trägers geführt sind, wobei eine Steuerleitung mit einer Durchkontaktierung verbunden ist. auf

diese Weise wird ein Multichipmodul bereitgestellt, bei dem sowohl die ersten als auch die zweiten elektrischen Kontakte der Leuchtdiodenchips auf der Rückseite des ersten Trägers zugänglich sind. Somit wird ein Multichipmodul bereitgestellt, das als oberflächenmontierbares Bauteil ausgebildet ist.

In einer Ausführungsform ist auf der Vorderseite des ersten Trägers eine optisch transparente Deckschicht angeordnet, wobei die Steuerleitungen zwischen der Deckschicht und dem ersten Träger ausgebildet sind. Somit werden die Leuchtdiodenchips und die Steuerleitungen gegenüber Umwelteinflüssen geschützt.

In einer weiteren Ausführungsform sind zwischen dem ersten Träger und der Deckschicht Steuerschaltungen vorgesehen, die zur Ansteuerung der Leuchtdiodenchips ausgebildet sind. Auf diese Weise wird ein kompakter Aufbau des Multichipmoduls mit Steuerschaltungen für die Leuchtdioden bereitgestellt. Abhängig von der gewählten Ausführungsform kann für jeden Leuchtdiodenchip eine Steuerschaltung vorgesehen sein. Dadurch kann jeder Leuchtdiodenchip individuell angesteuert werden. Die Anordnung der Steuerschaltungen zwischen dem Träger und der Deckschicht ermöglicht ein einfaches Verfahren zur Herstellung der Steuerschaltungen, wobei die Steuerschaltungen zudem gegenüber Umwelteinflüssen geschützt sind.

Abhängig von der gewählten Ausführungsform kann eine Steuerschaltung wenigstens einen Transistor, insbesondere zwei Transistoren und einen Kondensator aufweisen. Die Steuerschaltung kann z.B. in TFT-Technologie ausgebildet sein.

Eine verbesserte Abstrahlung des Multichipmoduls wird dadurch erreicht, dass bei einer Ausführungsform die Steuerschaltung und/oder die Steuerleitungen und/oder die Ansteuerleitungen aus einem optisch transparenten Material bestehen. Das optisch transparente Material kann beispielsweise transparentes leitendes Oxyd (TCO) wie zum Beispiel Indiumzinnoxid, Indium-

zinkoxyd, ein Kohlenstoffnanotubefilm oder ein transparentes elektrisch leitendes Polymer sein.

In einer weiteren Ausführungsform des Multichipmoduls ist der erste Träger auf der Oberseite eines zweiten Trägers angeordnet, wobei der zweite Träger eine zweite leitende Verbindung aufweist, die von einer Oberseite zu einer Unterseite des zweiten Trägers geführt ist, wobei die zweite Verbindung mit der Sammelleitung verbunden ist. Auf diese Weise wird die elektrische Kontaktierung der zweiten elektrischen Kontakte auf eine Unterseite des zweiten Trägers geführt. Dadurch kann ein stabilerer Aufbau des Multichipmoduls erreicht werden, wobei trotzdem die elektrische Kontaktierung der zweiten elektrischen Kontakte der Leuchtdiodenchips auf der Unterseite des zweiten Trägers möglich ist.

In einer weiteren Ausführungsform sind auch die ersten elektrischen Kontakte der Leuchtdiodenchips über leitende Verbindungen durch den zweiten Träger auf eine Unterseite des zweiten Trägers geführt. Somit können auch bei einer Anordnung mit einem zweiten Träger die ersten elektrischen Kontakte der Leuchtdiodenchips über die Unterseite des zweiten Trägers elektrisch kontaktiert werden. Somit wird auch bei der Anordnung mit zwei Trägern ein oberflächenmontierbares Multichipmodul bereitgestellt.

In einer weiteren Ausführungsform sind auf der Vorderseite des ersten Trägers elektrische Leitungen vorgesehen, wobei die elektrischen Leitungen mit den ersten elektrischen Anschlüssen der Leuchtdiodenchips in Verbindung stehen und wobei die elektrischen Leitungen seitlich zu Anschlusskontakten am Randbereich des ersten Trägers geführt sind. Auf diese Weise kann eine elektrische Kontaktierung der ersten elektrischen Kontakte der Leuchtdiodenchips über eine Vorderseite des ersten Trägers erfolgen.

In einer weiteren Ausführungsform weist der erste Träger eine vierte elektrisch leitende Verbindung auf, die von einer

Oberseite zu einer Unterseite des ersten Trägers geführt ist, wobei die vierte leitende Verbindung mit der Sammelleitung verbunden ist. Die vierte leitende Verbindung ist zudem mit einer fünften elektrischen Leitung verbunden, wobei die fünfte Leitung auf der Vorderseite des ersten Trägers seitlich nach außen zu Anschlusskontakten geführt ist. Somit kann eine elektrische Kontaktierung der zweiten elektrischen Kontakte der Leuchtdiodenchips über eine Vorderseite des ersten Trägers erfolgen.

10

Abhängig von der gewählten Ausführungsform kann der zweite Träger als Leiterraahmen oder als Leiterplatte ausgebildet sein. In der Ausbildung als Leiterraahmen kann der Leiterraahmen auch aus einem elektrisch leitenden Material ausgebildet sein und gleichzeitig die elektrische Verbindung zwischen einer Vorderseite und einer Rückseite des Leiterraahmens darstellen. Bei der Ausbildung der Leiterplatte ist die elektrische Verbindung zwischen der Vorderseite und der Rückseite der Leiterplatte mithilfe einer Durchkontaktierung aus einem elektrisch leitenden Material ausgebildet.

20

In einer weiteren Ausführungsform ist der zweite Träger auf einem dritten Träger angeordnet. Der dritte Träger weist eine fünfte elektrische Leitung auf, die mit der zweiten leitenden Verbindung verbunden ist. Zudem ist der dritte Träger mit einer Moldschicht bedeckt, die wenigstens teilweise Seitenflächen des ersten Trägers bedeckt. Auf diese Weise wird ein kompakter Aufbau des Multichipmoduls erreicht, der sich insbesondere zur Anordnung von mehreren zweiten Trägern mit Leuchtdiodenchips auf dem dritten Träger eignet.

25

30

In einer weiteren Ausführungsform ist der erste Träger einteilig und einstofflich mit der Moldschicht ausgebildet.

35

Gemäß einem weiteren Aspekt der Erfindung wird ein Verfahren zum Herstellen eines Multichipmoduls bereitgestellt, wobei wenigstens zwei Leuchtdiodenchips wenigstens mit Seitenflächen in einen ersten Träger aus einem Moldmaterial eingebettet

tet werden. Die Leuchtdiodenchips weisen erste elektrische Kontakte auf einer Vorderseite auf. Die Vorderseite ist als Abstrahlseite ausgebildet. Die Leuchtdiodenchips weisen auf einer Rückseite zweite elektrische Kontakte auf. Die zweiten elektrischen Kontakte sind mit einer Sammelleitung verbunden. Die Sammelleitung wird zu einer Rückseite des ersten Trägers geführt. Die ersten Kontakte werden mit Steuerleitungen verbunden, wobei die Steuerleitungen auf der Vorderseite des ersten Trägers ausgebildet werden. Auf diese Weise wird ein einfaches Verfahren zum Herstellen eines Multichipmoduls bereitgestellt.

Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen

15

Fig. 1 bis 12            Verfahrensschritte eines ersten Verfahrens zur Herstellen eines Multichipmoduls,

20

Fig. 13 bis 23        Verfahrensschritte eines zweiten Verfahrens zur Herstellung eines Multichipmoduls mit einer Deckschicht,

25

Fig. 24 und 25        Verfahrensschritte zur Herstellung eines Multichipmoduls im Nutzen,

Fig. 26                einen Querschnitt durch eine weitere Ausführungsform eines Multichipmoduls mit einem dritten Träger,

30

Fig. 27                eine weitere Ausführungsform eines Multichipmoduls,

Fig. 28                eine weitere Ausführungsform eines Multichipmoduls, und

35

Fig. 29                ein Ersatzschaltbild für die Steuerschaltung.

Fig. 1 zeigt in einem schematischen Querschnitt in einer Y-X-Ebene einen Leuchtdiodenchip 1, wobei der Leuchtdiodenchip 1 eine Abstrahlseite 2 aufweist, die gegenüberliegend zu einer Rückseite 3 angeordnet ist. Die Y- und die X-Achse stehen senkrecht aufeinander. Der Leuchtdiodenchip 1 weist auf der Abstrahlseite 2 einen ersten elektrischen Kontakt 4 auf. Zudem weist der Leuchtdiodenchip 1 auf der Rückseite 3 einen zweiten elektrischen Kontakt 5 auf. Der Leuchtdiodenchip 1 ist beispielsweise als Halbleiterchip mit einer pn-Struktur und einer aktiven Zone ausgebildet. Dabei kann der erste elektrische Kontakt 4 mit der p-Seite und der zweite elektrische Kontakt 5 mit der n-Seite der Halbleiterstruktur elektrisch kontaktiert sein. Der Leuchtdiodenchip 1 kann beispielsweise aus einem III-V-Verbindungshalbleiter oder aus einem II-VI-Verbindungshalbleiter hergestellt sein. Beispielsweise kann der Leuchtdiodenchip aus Indiumgalliumarsenid, Galliumarsenidphosphid, Aluminiumindiumgalliumphosphid, Galliumphosphid, Siliziumcarbid, Zinkselenid, Indiumgalliumnitrit oder Galliumnitrit gebildet sein.

Abhängig von der gewählten Ausführungsform kann der Leuchtdiodenchip 1 in einem Grundkörper 6 eingebettet sein, wie in Fig. 1 dargestellt ist. Abhängig von der gewählten Ausführungsform kann auf den Grundkörper 6 auch verzichtet werden. Bei der Ausbildung des Grundkörpers 6 ist der zweite elektrische Kontakt 5 auf einer Rückseite 3 des Grundkörpers 6 angeordnet und über eine elektrisch leitende Verbindung 7 mit dem Leuchtdiodenchip 1 elektrisch leitend verbunden. Über eine entsprechende Bestromung der elektrischen Kontakte 4, 5 wird der Leuchtdiodenchip 1 zum Leuchten gebracht, wobei elektromagnetische Strahlung wenigstens über die Abstrahlseite 2 abgegeben wird. Im Folgenden werden Leuchtdiodenchips 1 mit Grundkörper 6 verwendet. Es können jedoch in der gleichen Weise Leuchtdiodenchips 1 ohne Grundkörper verwendet werden.

Fig. 2 zeigt in einem Querschnitt in der Y-X-Ebene eine Anordnung von drei Leuchtdiodenchips 1, die in einen ersten Träger 8 eingebettet sind. Der erste Träger 8 ist aus einem

Moldmaterial gebildet. Das Moldmaterial kann beispielsweise Silikon und/oder Epoxymaterial aufweisen. Die Leuchtdiodenchips 1 sind in der dargestellten Ausführungsform auf allen Seitenflächen und auf der Rückseite 3 mit dem Moldmaterial bedeckt. Die Abstrahlseite 2 der Leuchtdiodenchips 1 ist frei von dem Moldmaterial. Abhängig von der gewählten Ausführungsform kann das Einmolden der Leuchtdiodenchips 1 auch in der Weise erfolgen, dass die Rückseite 3 der Leuchtdiodenchips 1 frei von dem Moldmaterial ist. In Fig. 2 sind nur exemplarisch drei Leuchtdiodenchips 1 dargestellt, die in den ersten Träger 8 eingebettet sind. Abhängig von der gewählten Ausführungsform können mehr oder auch weniger Leuchtdiodenchips 1 in den ersten Träger 8 eingebettet sein.

Fig. 3 zeigt einen Querschnitt durch einen Leuchtdiodenchip 1 senkrecht zu der Darstellung der Fig. 2. In der Fig. 3 ist der Querschnitt in der y-z-Ebene dargestellt, wobei die y-Achse senkrecht zur z-Achse angeordnet ist. Somit ist die z-Achse auch senkrecht zur x-Achse angeordnet.

Fig. 4 zeigt einen weiteren Verfahrensschritt mit einem Querschnitt in der y-x-Ebene, wobei in eine Rückseite 9 des ersten Trägers 8 Ausnehmungen 10 für jeden Leuchtdiodenchip 1 eingebracht sind. Die Ausnehmungen 10 erstrecken sich von der Rückseite 9 des ersten Trägers 8 bis zur Rückseite 3 des Leuchtdiodenchips 1. Die Ausnehmungen 10 sind voneinander getrennt. In der dargestellten Ausführungsform ist der Querschnitt der Ausnehmungen 10 in der Y-X-Ebene leicht konisch zulaufend in Richtung auf den Leuchtdiodenchip 1 ausgebildet.

Fig. 5 zeigt einen Querschnitt durch einen Leuchtdiodenchip 1 der Anordnung der Fig. 4 in der y-z-Ebene. Dabei ist erkennbar, dass neben dem Leuchtdiodenchip 1 eine zweite Ausnehmung 11 in den ersten Träger 8 eingebracht ist. Die zweite Ausnehmung 11 erstreckt sich von der Rückseite 9 des ersten Trägers 8 bis zu einer Vorderseite 12 des ersten Trägers 8. Die zweite Ausnehmung 11 weist ebenfalls einen Querschnitt auf, der in Richtung auf die Vorderseite 12 konisch zulaufend

ausgebildet ist. Die Ausnehmung 10 und die zweite Ausnehmung 11 können beispielsweise mithilfe eines Lasers oder mithilfe von Bohr- oder Ätzverfahren in den ersten Träger 8 eingebracht werden. Die zweite Ausnehmung 11 ist in der z-

5 Richtung seitlich zum Leuchtdiodenchip 1 beabstandet. In der dargestellten Ausführungsform ist für jeden Leuchtdiodenchip 1 eine entsprechende zweite Ausnehmung 11 im ersten Träger 8 ausgebildet.

10 Fig. 6 zeigt einen weiteren Verfahrensschritt, bei dem die die Ausnehmungen 10 mit einem elektrisch leitenden Material 13 aufgefüllt sind. Das elektrisch leitende Material 13 steht in Kontakt mit den zweiten elektrischen Kontakten 5 der Leuchtdiodenchips 1. Zudem ist das elektrisch leitende Mate-

15 rial 13 auf der Rückseite 9 des ersten Trägers 8 wenigstens in einem Bereich zwischen den Ausnehmungen 10 angeordnet. Das elektrisch leitende Material 13 der Ausnehmungen 10 bildet eine Sammelleitung 14. In der dargestellten Ausführungsform sind die zweiten elektrischen Kontakte 5 von drei Leuchtdiodenchips 1 über eine Sammelleitung 14 elektrisch miteinander

20 verbunden. Abhängig von der gewählten Ausführungsform können auch nur zwei zweite elektrische Kontakte 5 von zwei Leuchtdiodenchips 1 mit einer Sammelleitung 14 verbunden sein. Zudem können auch mehr als drei zweite elektrische Kontakte 5

25 von drei Leuchtdiodenchips 1 mit einer Sammelleitung 14 verbunden sein. Beispielsweise kann für jeden Leuchtdiodenchip 1 eine separate Sammelleitung 14 vorgesehen sein. Das elektrisch leitende Material 13 kann beispielsweise mit Lithographieverfahren und Galvanik in die Ausnehmungen 10 und

30 die Rückseite 9 des ersten Trägers 8 ein- beziehungsweise aufgebracht werden. Beispielsweise kann als Material für das elektrisch leitende Material 13 ein Metall, insbesondere ein Edelmetall und/oder Schichten von verschiedenen Metallen verwendet werden.

35 Zudem werden bei diesem Verfahrensschritt, wie in Fig. 7 dargestellt ist, auch die zweiten Ausnehmungen 11 mit dem elektrisch leitenden Material 13 aufgefüllt. Fig. 7 zeigt ei-

nen Querschnitt der Anordnung der Fig. 6 in der y-z-Ebene. Zudem wird bei diesem Verfahrensschritt auf der Vorderseite 12 des ersten Trägers 8 für jede zweite Ausnehmung 11 ein elektrisch leitendes Material 13 aufgebracht, das mit dem ersten elektrischen Kontakt 4 des Leuchtdiodenchips in Verbindung gebracht wird. Auf der Vorderseite 12 bildet das elektrisch leitende Material 13 eine Steuerleitung 15 aus, die über eine elektrische Durchkontaktierung 17 durch die zweite Ausnehmung 11 auf der Rückseite 9 des ersten Trägers 8 geführt ist.

In einem weiteren Verfahrensschritt werden Gruppen von Leuchtdiodenchips 1, die mit der Sammelleitung 14 verbunden sind, aus dem ersten Träger 8 gelöst und vereinzelt. Fig. 8 zeigt eine Gruppe 16 von drei Leuchtdiodenchips 1, die vereinzelt sind und ein Multichipmodul darstellen. Fig. 9 zeigt einen Querschnitt durch einen Leuchtdiodenchip 1 der Gruppe 16 der Fig. 8 in der y-z-Ebene. Dabei ist deutlich die Durchkontaktierung 17 zu erkennen, über die der erste elektrische Kontakt 4 des Leuchtdiodenchips 1 elektrisch leitend zur Rückseite 9 des ersten Trägers 8 geführt ist.

Fig. 10 zeigt einen vergrößerten Querschnitt durch die Anordnung der Fig. 8 in der y-x-Ebene.

Fig. 11 zeigt eine Draufsicht auf die Rückseite 9 des ersten Trägers 8 der Anordnung der Fig. 10. Die Sammelleitung 14 weist eine rechteckförmige Fläche auf, die sich entlang der x-Richtung über die drei Durchkontaktierungen 17 erstreckt. Jede Durchkontaktierung 17 stellt eine rechteckförmige Kontaktfläche auf der Rückseite 9 des ersten Trägers 8 dar. Somit können die ersten elektrischen Kontakte 4 der drei Leuchtdiodenchips 1 einzeln elektrisch kontaktiert werden. Gleichzeitig können über die Sammelleitung 14 die zweiten elektrischen Kontakte 5 der drei Leuchtdiodenchips 1 gemeinsam beispielsweise mit Masse elektrisch kontaktiert werden. Abhängig von der gewählten Ausführung kann ein Multichipmodul

auch mehr oder weniger als drei Leuchtdiodenchips 1 aufweisen, die gemäß der Anordnung der Fig. 8 angeordnet sind.

Fig. 12 zeigt eine Draufsicht auf die Vorderseite 12 des ersten Trägers 8 der Gruppe 16 der Fig. 10. In der dargestellten Ausführungsform ist der Leuchtdiodenchip 1 in dem Grundkörper 6 eingebettet. Der Grundkörper 6 kann aus einem elektrisch isolierenden Material gebildet sein. Abhängig von der gewählten Ausführungsform kann auf den Grundkörper 6 auch verzichtet werden.

Die Figuren 1 bis 12 zeigen ein erstes Verfahren zur Herstellung eines Multichipmoduls.

Die Figuren 13 bis 23 zeigen Verfahrensschritte eines zweiten Verfahrens zur Herstellung eines Multichipmoduls. Fig. 13 zeigt einen Querschnitt in der y-x-Ebene durch einen zweiten Träger 20, auf dem drei Leuchtdiodenchips 1 angeordnet sind. Der zweite Träger 20 weist auf einer Vorderseite 21 eine Sammelleitung 14 auf, die in elektrischem Kontakt mit den zweiten elektrischen Kontakten 5 der Leuchtdiodenchips 1 steht. Die Leuchtdiodenchips 1 sind mit der Rückseite 3 auf der Sammelleitung 14 angeordnet. Die Sammelleitung 14 steht über eine zweite Durchkontaktierung 22 mit einer Rückseitenmetallisierung 23 in Verbindung, die auf einer Rückseite 24 des zweiten Trägers 20 ausgebildet ist. Der zweite Träger 20 kann beispielsweise in Form einer Leiterplatte oder in Form eines Leadframes ausgebildet sein. Die zweite Durchkontaktierung 22 kann mithilfe von Laser-, Bohr- oder Ätzverfahren und mithilfe von galvanischen Verfahren in den zweiten Träger 20 analog zu der Durchkontaktierung des ersten Trägers eingebracht werden.

Fig. 14 zeigt den Querschnitt durch den mittleren Leuchtdiodenchip 1 in der y-z-Ebene der Fig. 13. Die Sammelleitung 14, die zweite Durchkontaktierung 22 und die Rückseitenmetallisierung 23 sind aus einem elektrisch leitenden Material 13 gebildet. Zudem ist die zweite Durchkontaktierung 22 durch

eine durchgehende Ausnehmung des zweiten Trägers 20 geführt, die von der Vorderseite 21 des zweiten Trägers 20 bis zur Rückseite 24 des zweiten Trägers 20 reicht. Die Leuchtdiodenchips 1 können mithilfe von Klebverfahren oder mithilfe von  
5 Lötverfahren auf der Sammelleitung 14 befestigt werden.

Fig. 15 zeigt einen weiteren Verfahrensschritt, bei dem die Leuchtdiodenchips 1 wenigstens teilweise mit den Seitenflächen in ein Moldmaterial eingebettet werden und ein erster  
10 Träger 8 auf der Vorderseite 21 des zweiten Trägers 20 ausgebildet wird. Fig. 15 zeigt den Querschnitt in der y-x-Ebene. Fig. 16 zeigt einen Querschnitt durch den mittleren Leuchtdiodenchip 1 in der y-z-Ebene der Anordnung der Fig. 15.

Fig. 17 zeigt einen weiteren Verfahrensschritt, wobei eine Deckschicht 25 beispielsweise in Form einer Platte, insbesondere in Form einer Glasplatte oder Saphirplatte bereitgestellt wird. Die Deckschicht 25 weist auf einer Unterseite 26 Steuerschaltungen 27 auf. Dabei kann für jeden Leuchtdiodenchip 1 eine Steuerschaltung 27 vorgesehen sein. Die Steuerung  
20 schaltung 27 ist ausgebildet, um abhängig von einer Ansteuerung der Steuerschaltung 27 wenigstens einen Leuchtdiodenchip 1 mit Strom zu versorgen. Zudem kann eine Steuerschaltung 27 für mehrere Leuchtdiodenchips 1 vorgesehen sein. Die Steuerung  
25 schaltung 27 kann beispielsweise wenigstens einen Transistor, insbesondere zwei Transistoren und einen Kondensator aufweisen. Die Steuerschaltung 27 kann in TFT-Technologie ausgebildet sein. Zudem kann die Steuerschaltung 27 aus einem optisch transparenten Material hergestellt sein. Die Steuerschaltung  
30 27 ist schematisch nur als Block dargestellt. Die Steuerungschaltung 27 kann mehrere Schichten aufweisen und beispielsweise transparente oder semitransparente Materialien wie zum Beispiel amorphes Silizium, transparente elektrisch leitende Oxyde (TCO), wie zum Beispiel Indiumzinnoxid und Indiumzinkoxyd oder Kohlenstoffnanoröhrenfilme oder transparente leitende Polymere und isolierende Schichten aufweisen.  
35

Fig. 18 zeigt einen Querschnitt der Anordnung der Fig. 17 in der y-z-Ebene. In dem gewählten Beispiel ist jede Steuerschaltung 27 mit einer Ansteuerleitung 28 verbunden, die ebenfalls auf der Unterseite 26 der Deckschicht 25 angeordnet ist. Die Ansteuerleitung 28 ist in der z-Richtung einer vorgegebenen Strecke weg von der Steuerschaltung 27 geführt.

Fig. 19 zeigt einen Verfahrensschritt, bei dem die Deckschicht 25 auf der Vorderseite 12 des zweiten Trägers 8 befestigt wird. Dazu werden elektrische Anschlüsse der Steuerschaltung 27 direkt oder über eine Steuerleitung mit den ersten elektrischen Kontakten 4 der Leuchtdiodenchips 1 in Verbindung gebracht. Beispielsweise kann die Deckschicht 25 auf den ersten Träger 8 aufgeklebt werden. Zudem können zur Ausbildung der elektrisch leitenden Verbindung zwischen den ersten elektrischen Kontakten 4 und den Steuerschaltungen 27 beispielsweise Nanowires aus Silber als Steuerleitungen verwendet werden. Somit wird die Deckschicht 25 fest mit der Anordnung der Leuchtdiodenchips 1 verbunden und gleichzeitig wird eine elektrisch leitende Verbindung zwischen einem Ausgangsanschluss der Steuerschaltung 27 und dem jeweiligen ersten elektrischen Kontakt 4 des Leuchtdiodenchips 1 hergestellt.

Fig. 20 zeigt einen Querschnitt der Anordnung der Fig. 19 in der y-z-Ebene. Durchkontaktierungen 17 sind für jeden Leuchtdiodenchip 1 seitlich neben den Leuchtdiodenchip 1 in den ersten und den zweiten Träger 8, 20 eingebracht. Die Durchkontaktierung 17 ist von einer Rückseite 24 des zweiten Trägers 20 bis zu der Vorderseite 12 des ersten Trägers 8 geführt. Zudem steht die Durchkontaktierung 17 mit der Ansteuerleitung 28 in Verbindung. Die Durchkontaktierung 17 ist bis zur Rückseite 24 des zweiten Trägers 20 geführt. Die Ansteuerleitung 28 ist mit einem Eingangsanschluss der Steuerschaltung 27 verbunden.

Fig. 21 zeigt eine Ansicht auf die Rückseite 24 des zweiten Trägers 20.

Fig. 22 zeigt in einer schematischen Darstellung eine Draufsicht auf die Anordnung der Fig. 20, wobei die Deckschicht nicht dargestellt ist und schematisch die Steuerschaltungen 27 und die Ansteuerleitung 28 dargestellt sind.

Fig. 23 zeigt eine weitere Ausführungsform eines Multichipmoduls, das im Wesentlichen gemäß der Ausführungsform der Fig. 10 ausgebildet ist, wobei jedoch anstelle der Steuerleitung 15 zusätzlich eine Deckschicht 25 mit Steuerschaltungen 27 für jeden Leuchtdiodenchip 1 ausgebildet ist. Die Durchkontaktierung von der Ansteuerleitung 28 zur Rückseite 9 des ersten Trägers 8 erfolgt wie in der Ausführungsform der Fig. 10 durch die Durchkontaktierung 17.

Fig. 24 zeigt eine Anordnung gemäß Fig. 19, wobei jedoch mehrere Gruppen 16 von Leuchtdiodenchips 1 im ersten und im zweiten Träger 8, 20 angeordnet sind und mit einer einteiligen Deckschicht 25 mit Steuerschaltungen 27 bedeckt sind.

Fig. 24 zeigt einen Teilausschnitt einer Anordnung. Es können somit eine Vielzahl von Gruppen 16 von Leuchtdiodenchips 1 auf einem einteiligen ersten und zweiten Träger 8, 20 angeordnet und mit einer einteiligen Deckschicht 25 versehen werden. Die Gruppen 16 von Leuchtdiodenchips 1 können die gleiche oder unterschiedliche Anzahl von Leuchtdiodenchips 1 aufweisen. Ein Multimodul wird dadurch erzeugt, dass die einzelnen Gruppen von Leuchtdiodenchips 1 vereinzelt werden, wie in Fig. 25 schematisch dargestellt ist.

Auch das Multimodul, das gemäß dem Verfahren der Figuren 1 bis 12 hergestellt wird, kann ebenfalls in Form von mehreren Gruppen hergestellt werden, die im ersten Träger 8 angeordnet sind und durch entsprechende Verfahrensschritte vereinzelt werden.

Fig. 26 zeigt einen schematischen Querschnitt durch eine weitere Ausführungsform, die im Wesentlichen der Ausführungsform der Fig. 25 entspricht, wobei wenigstens eine Gruppe 16 von

drei Leuchtdiodenchips 1, das heißt ein Multichipmodul 30, 31 auf einem dritten Träger 29 angeordnet ist. In der dargestellten Ausführungsform sind zwei Multichipmodule 30, 31 auf dem dritten Träger 29 angeordnet. Zudem sind die zwei Multichipmodule 30, 31 in eine Moldschicht 32 eingebettet, die auf dem dritten Träger 29 angeordnet ist. Die Moldschicht 32 ist aus einem Moldmaterial wie zum Beispiel Silikon oder Epoxymaterial gebildet. Beispielsweise kann die Moldschicht 32 aus dem gleichen Material wie der erste Träger 8 gebildet sein. Der dritte Träger 29 kann beispielsweise als Leiterplatte ausgebildet sein und eine Mehrlagenverdrahtung aufweisen. Abhängig von der gewählten Ausführungsform kann bei dieser Ausführungsform auf die Ausbildung des ersten Trägers 8 verzichtet werden und der erste Träger 8 in Form der Moldschicht 32 ausgebildet werden. Die elektrische Kontaktierung der ersten Kontakte ist wie in den Figuren 19 und 20 ausgeführt.

Fig. 27 zeigt in einer schematischen Darstellung ein Multichipmodul 30 mit drei Leuchtdiodenchips 1, die mit der Abstrahlseite auf einer Deckschicht 25 angeordnet sind. Die Deckschicht 25 weist Steuerschaltungen 27 auf. Die Steuerschaltungen 27 sind mit den ersten Kontakten 4 der Leuchtdiodenchips 1 verbunden. Zudem sind die Rückseiten 3 der Leuchtdiodenchips 1 mit einer Sammelleitung 14 verbunden, die auf einem zweiten Träger 20 aufgebracht ist. Weiterhin weist die Deckschicht 25 eine Kontaktfläche 33 auf. Weiterhin ist ein erster Träger 8 aus Moldmaterial auf der Deckschicht 25 ausgebildet, in den die Leuchtdiodenchips 1 und wenigstens teilweise der zweite Träger 20 eingebettet sind. Zudem ist eine dritte Ausnehmung 34 von einer Rückseite 24 des zweiten Trägers 20 bis zur Vorderseite 21 des zweiten Trägers 20 und durch den ersten Träger 8 bis zur Kontaktfläche 33 geführt. Dabei grenzt die dritte Ausnehmung 34 wenigstens teilweise an die Sammelleitung 14 an oder geht durch die Sammelleitung 14 hindurch. Die dritte Ausnehmung 34 ist mit einem elektrisch leitenden Material 13 aufgefüllt. Somit wird die Sammelleitung 14 elektrisch leitend mit der Kontaktfläche 33 verbun-

den. Die Kontaktfläche 33 und die nicht dargestellten Ansteuerleitungen der Steuerschaltungen 27 sind über elektrische Leitungen 51 mit Anschlusskontakten 35, 36 elektrisch leitend verbunden, die auf dem ersten Träger und/oder auf der Deckschicht 25 angeordnet sind. Die Anschlusskontakte 35, 36 können seitlich neben dem ersten Träger 8 angeordnet sein. In der dargestellten Figur sind nur ein Anschlusskontakt 35, 36 und nur eine elektrische Leitung 51 schematisch dargestellt. Mithilfe dieser Anordnung kann eine gesamte Verdrahtung des Multichipmoduls 30 auf der Deckschicht 25 ausgeführt sein. Die Steuerschaltungen 27 und die Verdrahtungen auf der Deckschicht 25 können aus einem optisch transparenten Material gebildet sein. Ebenso kann die Deckschicht 25 aus einem optisch transparenten Material wie zum Beispiel Glas oder Saphir gebildet sein.

Fig. 28 zeigt eine weitere Ausführungsform, bei der zwei Multichipmodule 30, 31 auf einer Deckschicht 25 angeordnet sind. Die Multichipmodule sind im Wesentlichen gemäß der Ausführungsform der Fig. 19 ausgebildet. Zudem sind die Multichipmodule 30, 31 in eine Moldschicht 32 eingebettet, die auch die Rückseitenmetallisierungen 23 der zweiten Träger 20 bedeckt. Zudem sind eine dritte und eine vierte Durchkontaktierung 37, 38 in die Moldschicht 32 eingebracht. Die dritte Durchkontaktierung 37 erstreckt sich von einer Rückseite 40 der Moldschicht 32 bis zur Rückseitenmetallisierung 23 der zweiten Träger 20 der Multichipmodule 30, 31. Die vierten Durchkontaktierungen 38 erstrecken sich von der Rückseite 40 der Moldschicht 32 bis zur Ansteuerleitung 28 der Steuerschaltungen 27. In Fig. 28 ist nur eine vierte Durchkontaktierung 38 für ein Multichipmodul 30, 31 dargestellt. Jedoch ist für jede Steuerschaltung 27 jedes Leuchtdiodenchips 1 eine vierte Durchkontaktierung 38 vorgesehen. Die in Fig. 28 dargestellte Anordnung kann anschließend auf einer Leiterplatte montiert werden. Zudem kann die Anordnung der Fig. 28 direkt auf einen SMT-Stecker aufgelötet werden.

Fig. 29 zeigt in einer schematischen Darstellung ein elektrisches Ersatzschaltbild für die Steuerschaltung 27 für einen Leuchtdiodenchip 1. Ein erster elektrischer Anschluss 41 des Leuchtdiodenchips 1 steht mit einem zweiten Transistor 42 in  
5 Verbindung. Ein zweiter elektrischer Anschluss 43 des Leuchtdiodenchips 1 steht mit einer Masseleitung 44 in Verbindung. Ein Eingang des zweiten Transistors 42 ist mit einer Versorgungsleitung 45 verbunden. Die Versorgungsleitung 45 stellt eine positive Spannung bereit. Weiterhin ist ein Kondensator  
10 46 zwischen dem Eingang des zweiten Transistors 42 und einem Gateanschluss 47 des zweiten Transistors 42 geschaltet. Weiterhin steht der Gateanschluss 47 des zweiten Transistors über einen ersten Transistor 48 mit einer Spaltenleitung 49 in Verbindung. Zudem ist ein Gateanschluss 56 des ersten  
15 Transistors 48 an eine Zeilenleitung 50 angeschlossen. Jeder der Leuchtdiodenchips 1 wird von einer Ansteuerschaltung 27 abhängig von der Ansteuerung der Spaltenleitung 49 und der Zeilenleitung 50 mit Strom versorgt.

20 Die Steuerschaltungen 27 können zudem elektronisch aktive Dioden oder Transistorstrukturen und Kapazitäten aufweisen. Die Steuerschaltungen und die elektrischen Leitungen auf der transparenten Deckschicht können aus transparenten Materialien gebildet werden. Zudem können die elektrischen Leitungen  
25 auch aus dünnen metallischen Leiterbahnen gebildet sein, die kaum eine Abschattung bewirken. Das elektrisch leitende Material 13 für die Durchkontaktierungen kann beispielsweise aus einem transparenten Material, insbesondere aus einem transparenten leitenden Klebstoff gebildet sein. Zudem können  
30 elektrisch leitende Nanodrähte beispielsweise aus Silber verwendet werden.

Das Moldmaterial des ersten Trägers 8 oder das Moldmaterial der Moldschicht 32 kann aus einem schwarzen oder reflektierenden Material gebildet sein. Im Falle eines weißen Moldmaterials kann zur Kontrastverbesserung eine dünne schwarze  
35 Schicht auf die nicht Licht emittierenden Oberflächen aufgebracht werden. Die Deckschicht 25 kann als Mischelement, das

heißt als Mischoptik ausgebildet sein. Zudem kann die Deckschicht 25 wenigstens an einer Fläche, insbesondere an der gesamten Oberfläche als diffus streuendes Element ausgebildet sein. Weiterhin kann die Deckschicht 25 weitere optische Elemente, wie zum Beispiel Linsen aufweisen.

Abhängig von der gewählten Ausführungsform kann die Verdrahtung auch auf der Oberseite des ersten Trägers 8 ausgebildet sein. Die dargestellten Multichipmodule können direkt auf entsprechende Bauteile oder SMT-Stecker montiert werden.

Die vorgeschlagenen Multichipmodule bieten den Vorteil, dass die Komplexität des Aufbaus reduziert ist, wobei eine einfachere Montagetechnik auf Chip- und auf Submount-Ebene verwendet werden kann. Zudem ist eine erhöhte Flexibilität bei der Montage der Multichipmodule gegeben. Weiterhin weisen die vorgeschlagenen Multichipmodule eine erhöhte Robustheit auf. Zur Montage der Leuchtdiodenchips auf dem zweiten Träger können hochparallele Die-Attach-Prozesse verwendet werden. Für die Montage der Multichipmodule auf einem dritten Träger können auch schnelle serielle Die-Attach-Prozesse verwendet werden. Die Leuchtdiodenchips können eine Kantenlänge zwischen 1 µm und 100 µm aufweisen und beispielsweise quadratisch ausgebildet sein. Die Multichipmodule können beispielsweise eine Kantenlänge von einigen Mikrometern bis zu mehreren Millimetern aufweisen.

Durch die Selektierung von Multichipmodulen kann auf der Modulebene ebenfalls eine hohe Ausbeute erreicht werden. Weiterhin kann eine immer feinere Pixelierung durch Clusterung emittierender Flächen auf Multichipmodulebene erreicht werden. Zudem können bekannte Techniken aus der TFT-Technologie verwendet werden, um die Steuerschaltungen 27 zur Ausbildung der einzelnen Ansteuerbarkeit der einzelnen Leuchtdiodenchips 1 zu realisieren. Weiterhin weisen die vorgeschlagenen vertikalen Leuchtdiodenchips 1 einen einfachen Aufbau auf.

Die Erfindung wurde anhand der bevorzugten Ausführungsbeispiele näher illustriert und beschrieben. Dennoch ist die Erfindung nicht auf die offenbarten Beispiele eingeschränkt. Vielmehr können hieraus andere Variationen vom Fachmann abgeleitet werden, ohne den Schutzbereich der Erfindung zu verlassen.

5

**BEZUGSZEICHENLISTE**

|    |    |                               |
|----|----|-------------------------------|
|    | 1  | Leuchtdiodenchip              |
|    | 2  | Abstrahlseite                 |
| 5  | 3  | Rückseite Leuchtdiodenchip    |
|    | 4  | erster elektrischer Kontakt   |
|    | 5  | zweiter elektrischer Kontakt  |
|    | 6  | Grundkörper                   |
|    | 7  | leitende Verbindung           |
| 10 | 8  | erster Träger                 |
|    | 9  | Rückseite erster Träger       |
|    | 10 | Ausnehmung                    |
|    | 11 | zweite Ausnehmung             |
|    | 12 | Vorderseite                   |
| 15 | 13 | elektrisch leitendes Material |
|    | 14 | Sammelleitung                 |
|    | 15 | Steuerleitung                 |
|    | 16 | Gruppe von Leuchtdiodenchips  |
|    | 17 | Durchkontaktierung            |
| 20 | 20 | zweiter Träger                |
|    | 21 | Vorderseite zweiter Träger    |
|    | 22 | zweite Durchkontaktierung     |
|    | 23 | Rückseitenmetallisierung      |
|    | 24 | Rückseite zweiter Träger      |
| 25 | 25 | Deckschicht                   |
|    | 26 | Unterseite Deckschicht        |
|    | 27 | Steuerschaltung               |
|    | 28 | Ansteuerleitung               |
|    | 29 | dritter Träger                |
| 30 | 30 | erstes Multichipmodul         |
|    | 31 | zweites Multichipmodul        |
|    | 32 | Moldschicht                   |
|    | 33 | Kontaktfläche                 |
|    | 34 | dritte Ausnehmung             |
| 35 | 35 | erster Anschlusskontakt       |
|    | 36 | zweiter Anschlusskontakt      |
|    | 37 | dritte Durchkontaktierung     |
|    | 38 | vierte Durchkontaktierung     |

40 Rückseite Moldschicht  
41 erster elektrischer Anschluss  
42 zweiter Transistor  
43 zweiter elektrischer Anschluss  
5 44 Masseleitung  
45 Versorgungsleitung  
46 Kondensator  
47 Gateanschluss zweiter Transistor  
48 erster Transistor  
10 49 Spaltenleitung  
50 Zeilenleitung  
51 elektrische Leitung  
56 Gateanschluss erster Transistor

15

**PATENTANSPRÜCHE**

1. Multichipmodul mit wenigstens zwei Leuchtdiodenchips (1),  
wobei die zwei Leuchtdiodenchips (1) wenigstens mit Sei-  
5 tenflächen in einem ersten Träger (8) aus einem Moldmate-  
rial eingebettet sind, wobei die Leuchtdiodenchips (1)  
erste elektrische Kontakte (4) auf einer Vorderseite auf-  
weisen, wobei die Vorderseite als Abstrahlseite ausgebil-  
det ist, wobei die Leuchtdiodenchips (1) zweite Kontakte  
10 (5) auf einer Rückseite (3) aufweisen, wobei die zweiten  
Kontakte (5) mit einer Sammelleitung (14) verbunden sind,  
wobei die Sammelleitung (14) zu einer Rückseite (9) des  
ersten Trägers (8) geführt ist, wobei die ersten Kontakte  
(5) mit Steuerleitungen (15) verbunden sind, wobei die  
15 Steuerleitungen (15) auf einer Vorderseite des ersten  
Trägers (8) angeordnet sind.
2. Multichipmodul nach Anspruch 1, wobei im ersten Träger  
(8) elektrisch leitende Durchkontaktierungen (17) vorge-  
20 sehen sind, die von der Vorderseite zu der Rückseite des  
ersten Trägers (8) geführt sind, wobei eine Steuerleitung  
(15) mit einer Durchkontaktierung (17) verbunden ist.
3. Multichipmodul nach einem der vorhergehenden Ansprüche,  
25 wobei auf der Vorderseite des ersten Trägers (8) eine op-  
tisch transparente Deckschicht (25) angeordnet ist, wobei  
die Steuerleitungen (15) zwischen der Deckschicht (25)  
und dem ersten Träger (8) angeordnet sind.
- 30 4. Multichipmodul nach Anspruch 3, wobei die Steuerleitungen  
(15) mit Steuerschaltungen (27) verbunden sind, wobei die  
Stereuschaltungen (27) zwischen dem ersten Träger (8) und  
der Deckschicht (25) angeordnet sind, und wobei die Steu-  
erschaltungen (27) mit Ansteuerleitungen (28) verbunden  
35 sind, und wobei die Ansteuerleitungen (28) mit den Durch-  
kontaktierungen (17) verbunden sind.

5. Multichipmodul nach Anspruch 4, wobei eine Steuerschaltung (27) wenigstens einen Transistor (42, 48), insbesondere zwei Transistoren (42, 48) und einen Kondensator (46) aufweist.

5

6. Multichipmodul nach einem der Ansprüche 4 oder 5, wobei jedem Leuchtdiodenchip (1) eine Steuerschaltung (27) zugeordnet ist, wobei die Steuerschaltung (27) ausgebildet ist, um abhängig von der Ansteuerung den Leuchtdiodenchip (1) mit Strom zu versorgen oder nicht.

10

7. Multichipmodul nach einem der Ansprüche 4 bis 6, wobei die Steuerschaltung (27) aus einem optisch transparenten Material besteht.

15

8. Multichipmodul nach einem der Ansprüche 1 und 3 bis 7, wobei auf der Vorderseite des ersten Trägers (8) elektrische Leitungen (51) vorgesehen sind, die mit den ersten elektrischen Kontakten (4) in Verbindung stehen, und wobei die elektrischen Leitungen (51) seitlich zu Anschlusskontakten (35, 36) am Randbereich des ersten Trägers (8) geführt sind.

20

9. Multichipmodul nach einem der vorhergehenden Ansprüche, wobei der erste Träger (8) auf einer Vorderseite eines zweiten Trägers (20) angeordnet ist, wobei der zweite Träger (20) eine zweite leitende Verbindung (22) aufweist, die von der Vorderseite zu einer Rückseite des zweiten Trägers (20) geführt ist, wobei die zweite Verbindung (22) mit der Sammelleitung (14) verbunden ist.

25

30

10. Multichipmodul nach Anspruch 2 und 9, wobei der zweite Träger (20) dritte elektrisch leitende Verbindungen (17) aufweist, die von einer Vorderseite zu einer Rückseite des zweiten Trägers geführt sind, wobei die dritten leitenden Verbindungen (17) jeweils mit einer Durchkontaktierung (17) des ersten Trägers (8) verbunden sind.

35

11. Multichipmodul nach Anspruch 2 und 9, wobei der erste Träger (8) eine vierte elektrisch leitende Verbindung (17) aufweist, die von einer Vorderseite zu einer Rückseite des ersten Trägers (8) geführt ist, wobei die vierte leitende Verbindung (17) mit der Sammelleitung (14) verbunden ist, wobei die vierte leitende Verbindung (17) mit einer elektrischen Leitung (51) verbunden ist, wobei die elektrische Leitung (51) auf der Vorderseite des ersten Trägers seitlich nach außen zu Anschlusskontakten (35, 36) geführt ist.
12. Multichipmodul nach einem der Ansprüche 9 bis 11, wobei der zweite Träger (20) als Leiterrahmen oder als Leiterplatte ausgebildet ist.
13. Multichipmodul nach einem der Ansprüche 9 bis 12, wobei der zweite Träger (20) auf einem dritten Träger (29) angeordnet ist, wobei der dritte Träger (29) eine elektrische Leitung aufweist, die mit der zweiten leitenden Verbindung des zweiten Trägers verbunden ist, und wobei der dritte Träger (29) mit einer Moldschicht (32) bedeckt ist, die den ersten Träger (8) wenigstens seitlich teilweise bedeckt.
14. Multichipmodul nach Anspruch 13, wobei die Moldschicht (32) einteilig und einstofflich mit dem ersten Träger (8) ausgebildet ist.
15. Verfahren zum Herstellen eines Multichipmoduls nach einem der vorhergehenden Ansprüche, wobei wenigstens zwei Leuchtdiodenchips wenigstens mit Seitenflächen in einen ersten Träger aus einem Moldmaterial eingebettet werden, wobei die Leuchtdiodenchips erste elektrische Kontakte auf einer Vorderseite aufweisen, wobei die Vorderseite als Abstrahlseite ausgebildet ist, wobei die Leuchtdiodenchips zweite elektrische Kontakte auf einer Rückseite aufweisen, wobei die zweiten Kontakte mit einer Sammelleitung verbunden werden, wobei die Sammelleitung zu ei-

ner Rückseite des ersten Trägers geführt wird, wobei die ersten Kontakte mit Steuerleitungen verbunden werden, wobei die Steuerleitungen auf einer Vorderseite des ersten Trägers ausgebildet werden.

FIG 1

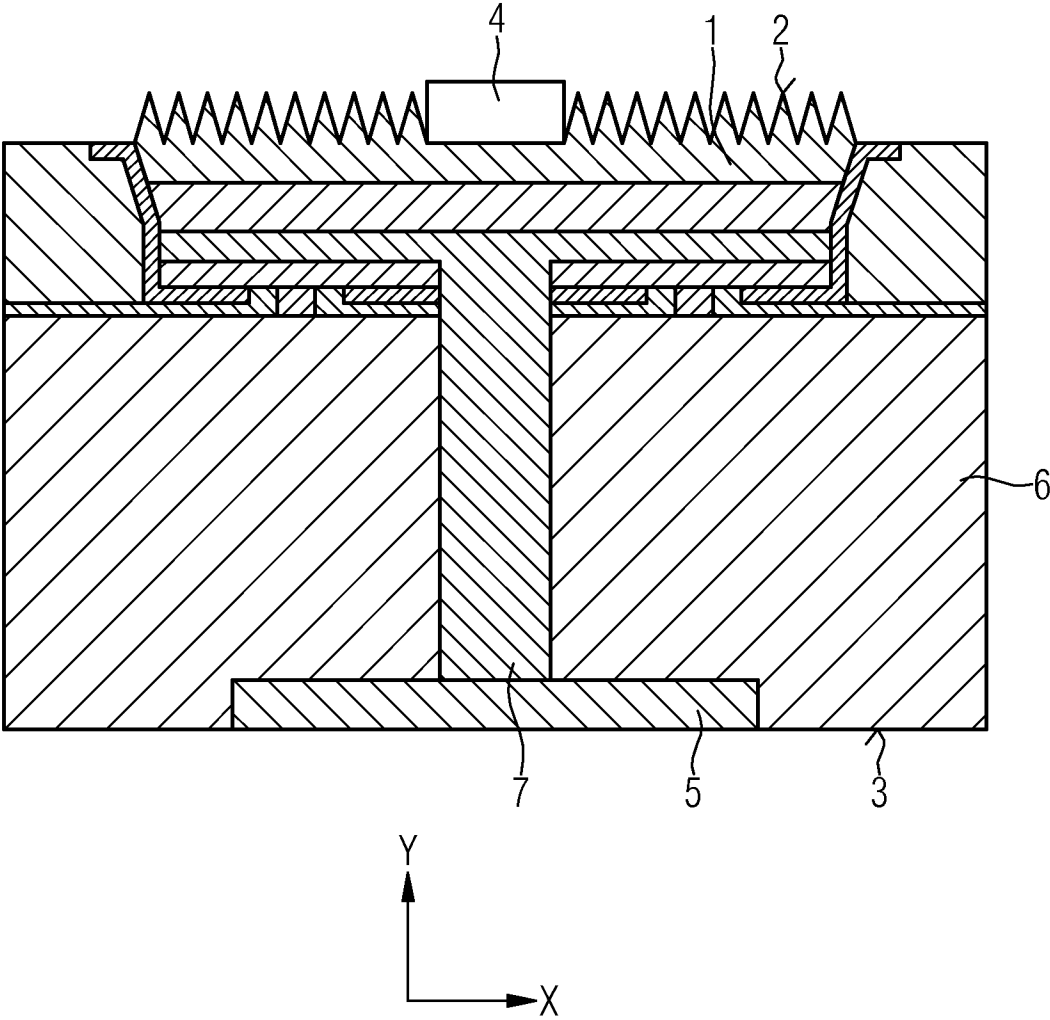


FIG 2

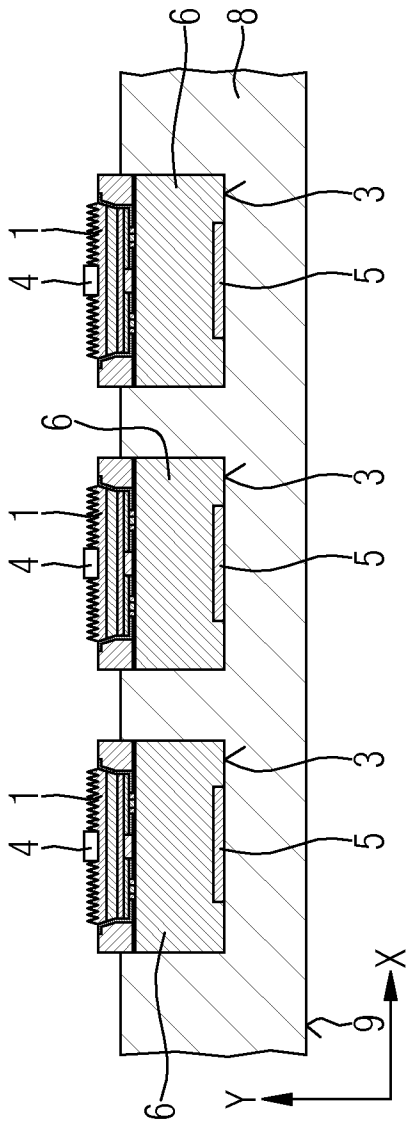


FIG 3

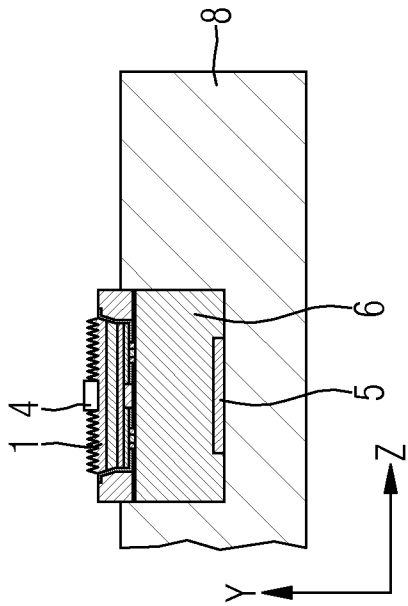


FIG 4

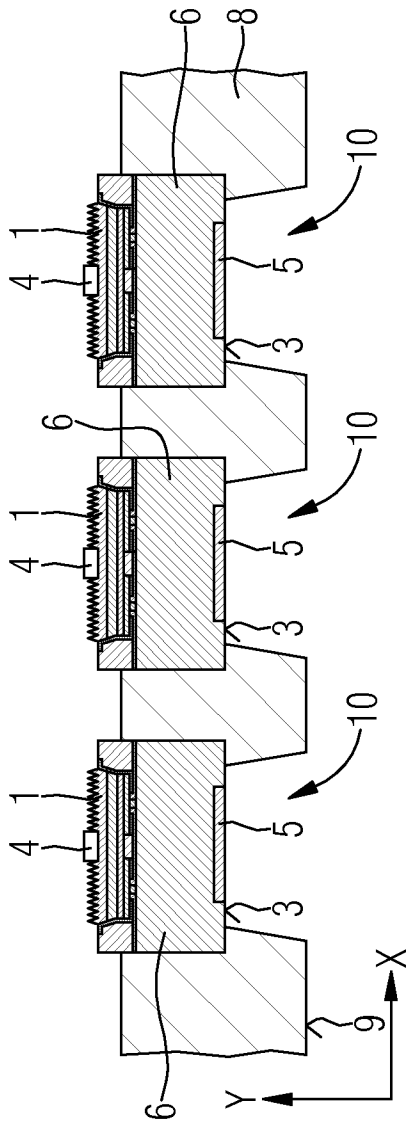


FIG 5

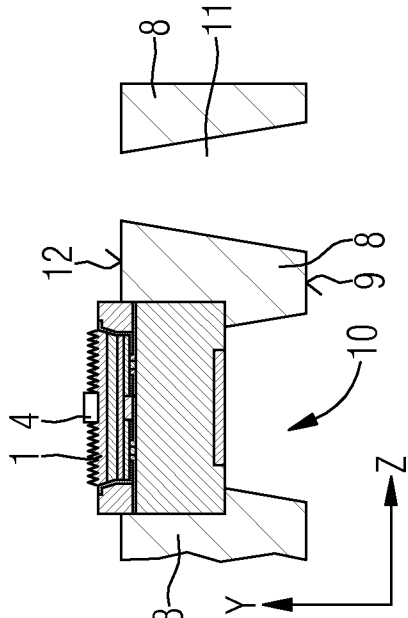


FIG 6

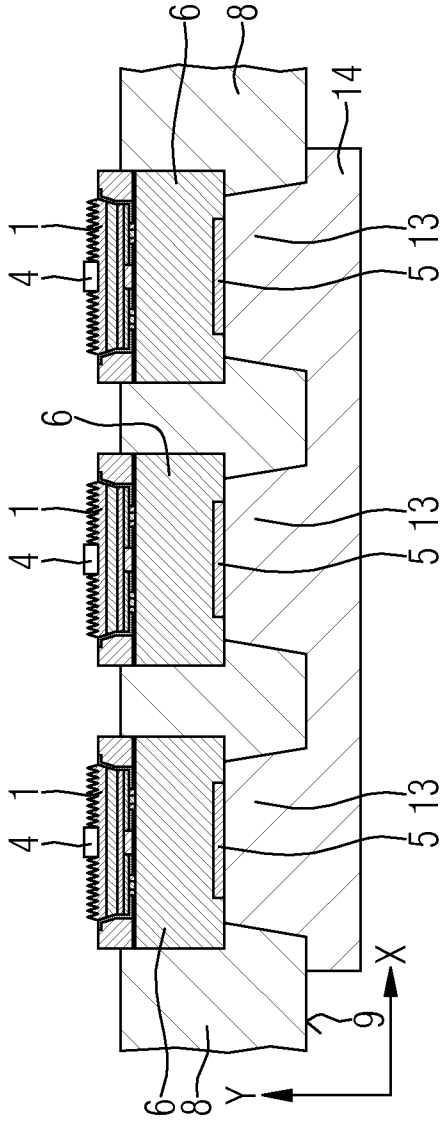


FIG 7

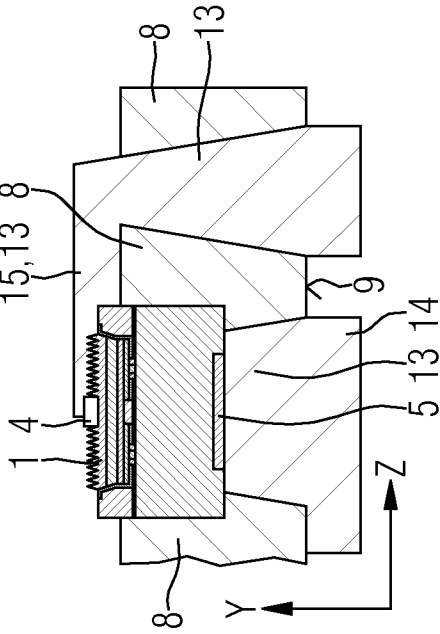


FIG 8

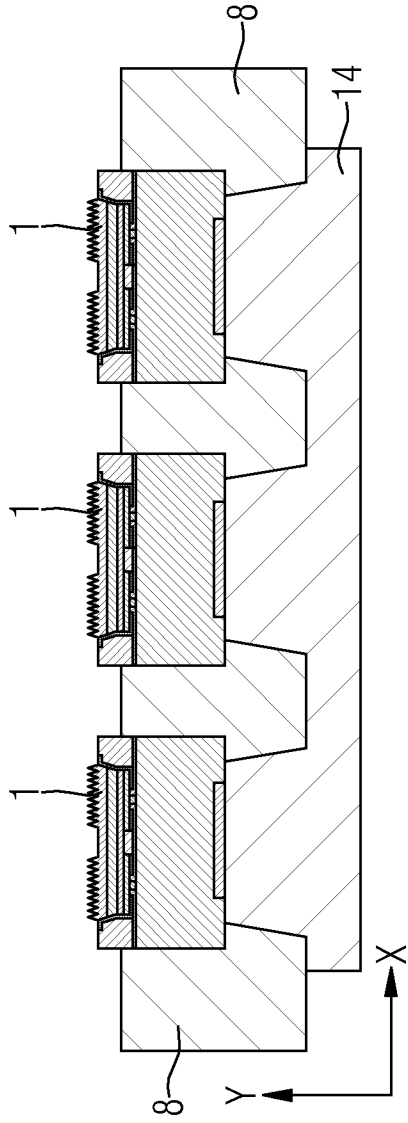


FIG 9

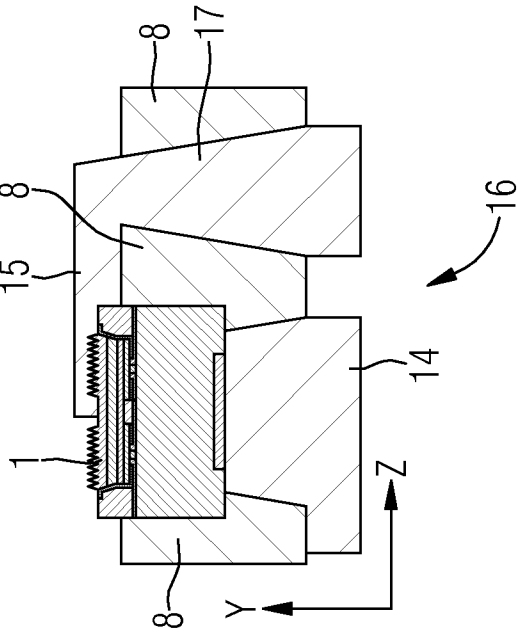


FIG 10

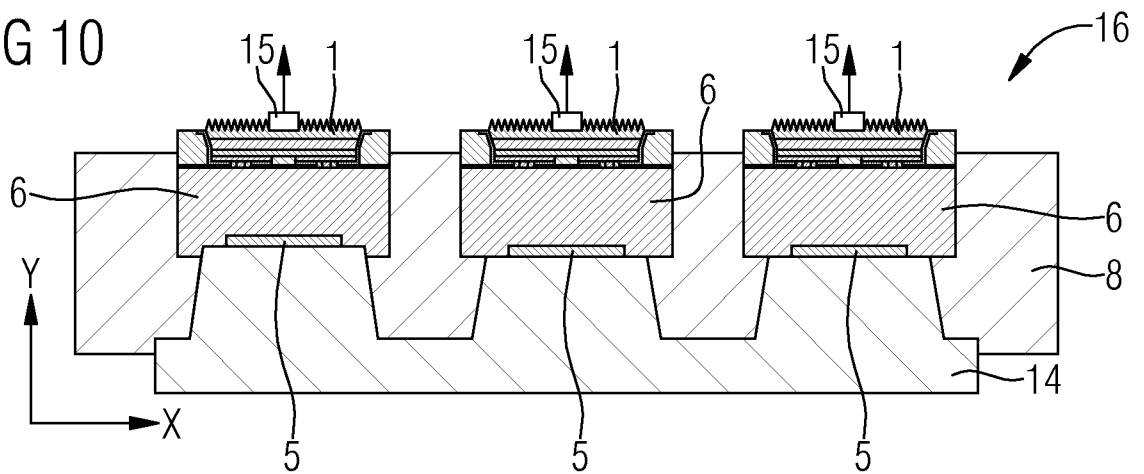


FIG 11

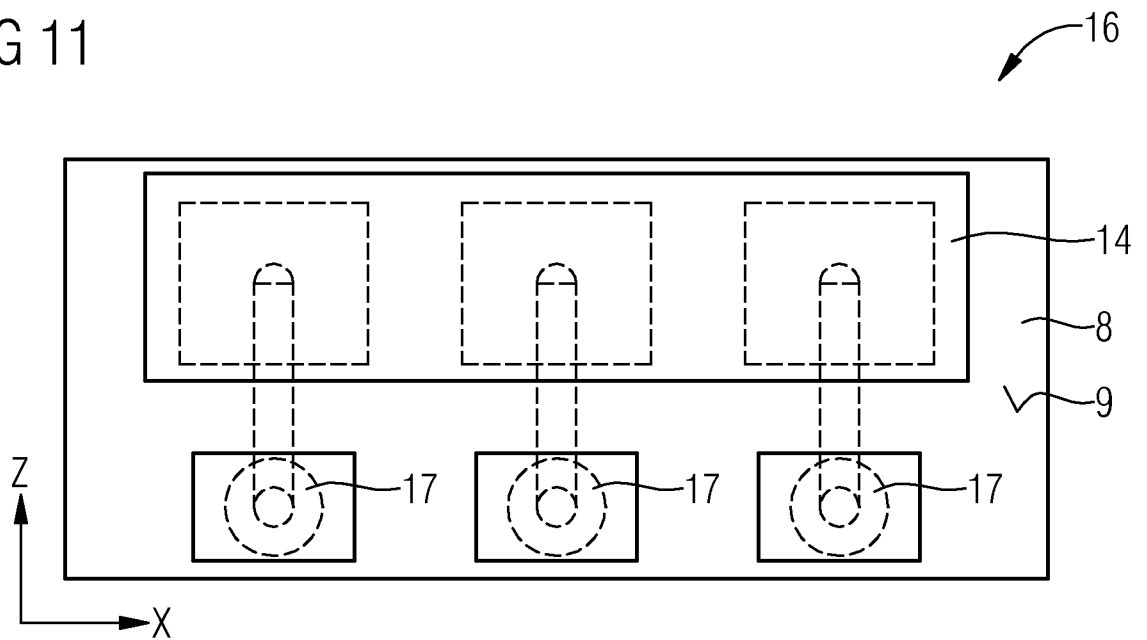


FIG 12

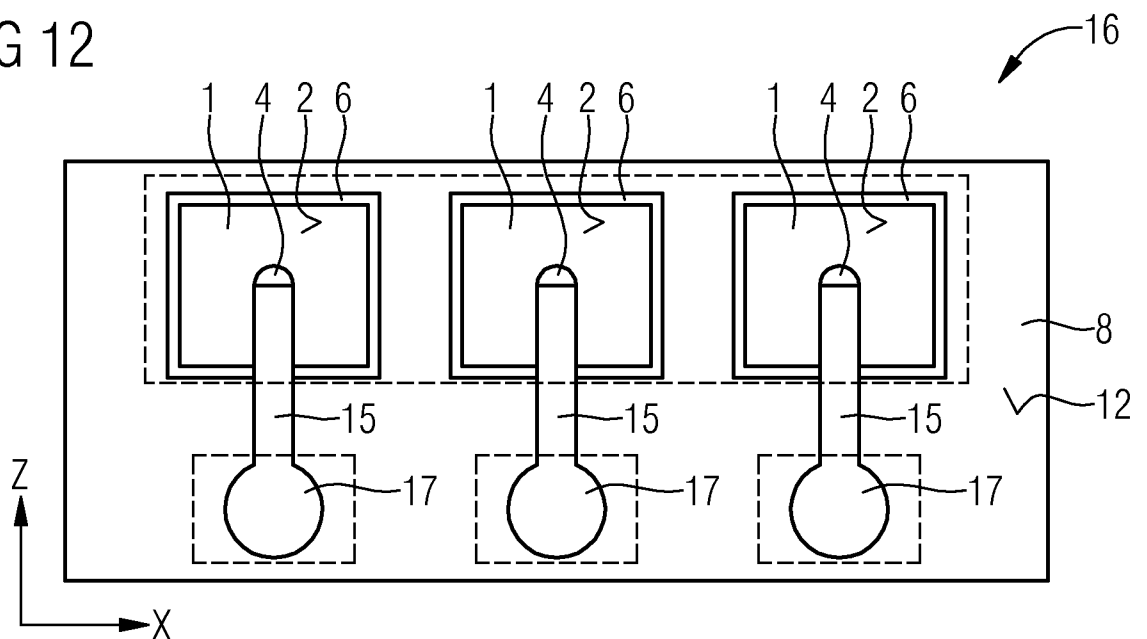


FIG 13

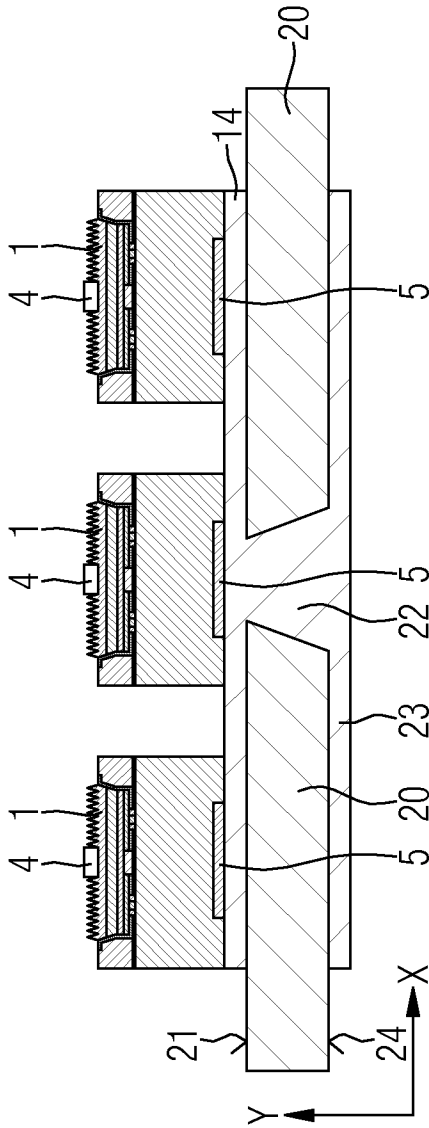


FIG 14

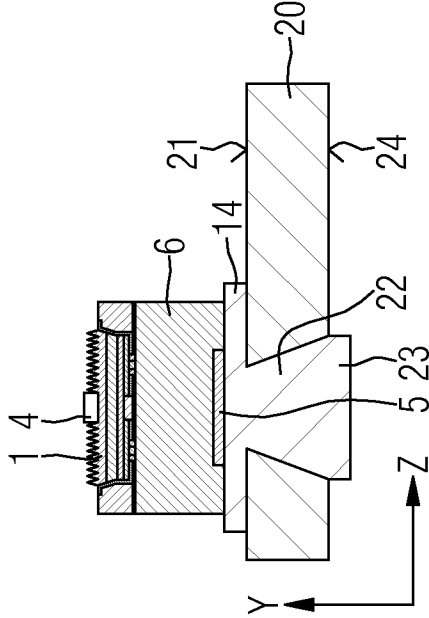


FIG 15

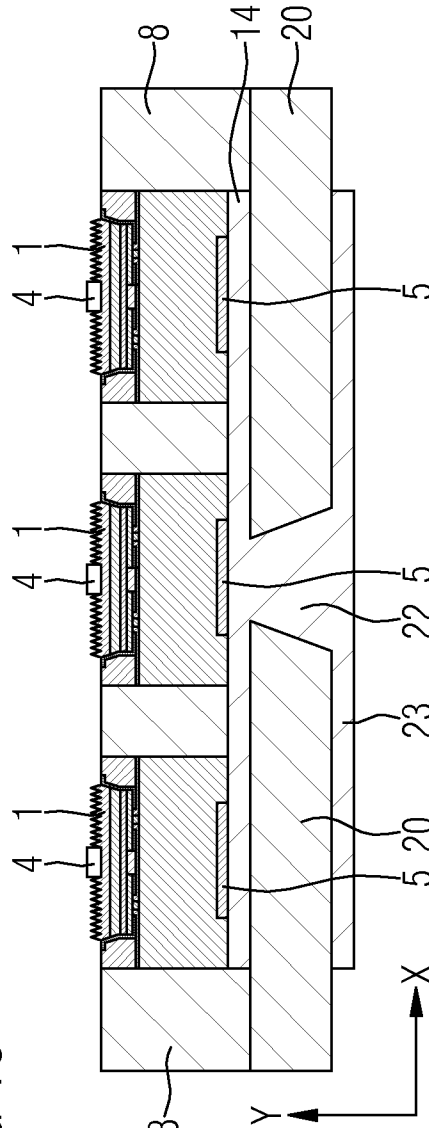


FIG 16

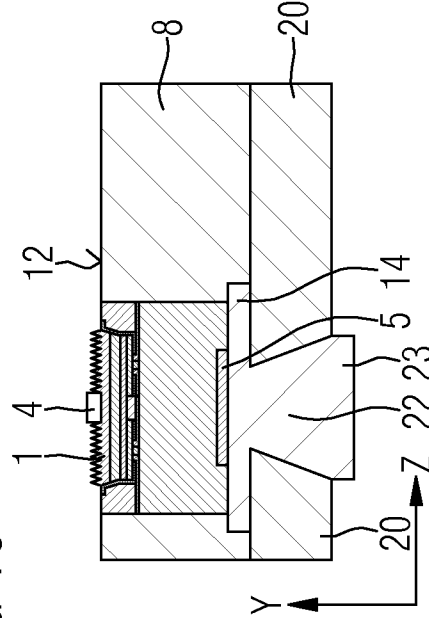


FIG 17

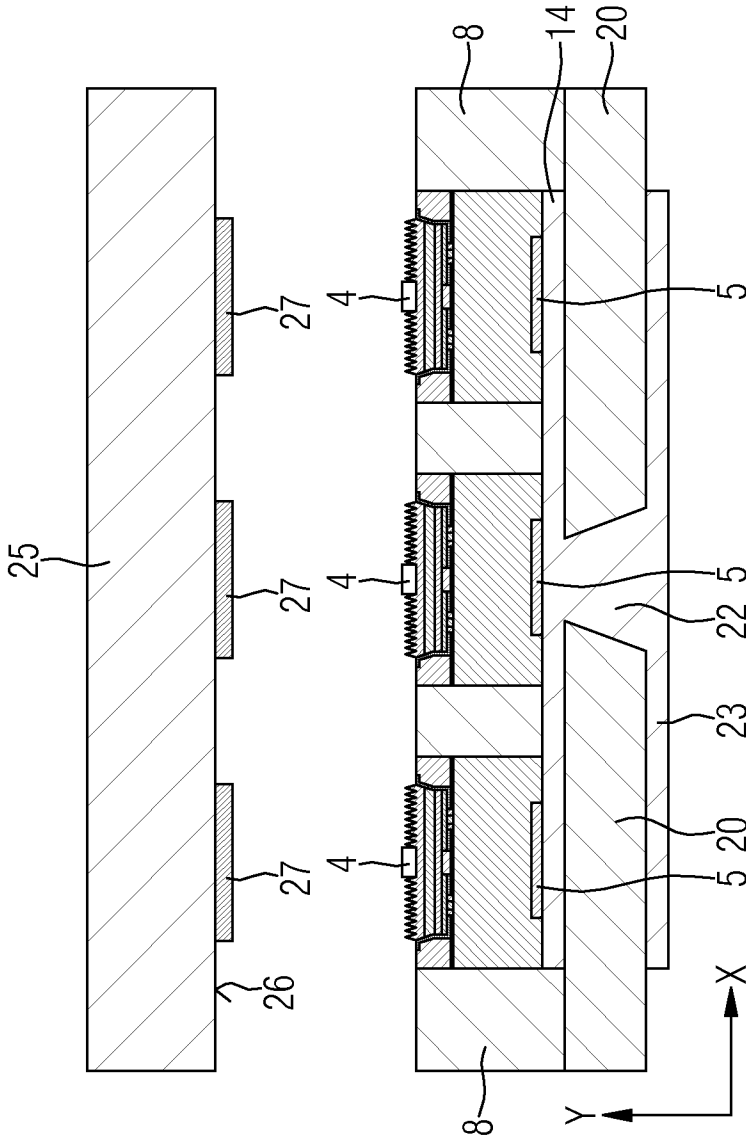


FIG 18

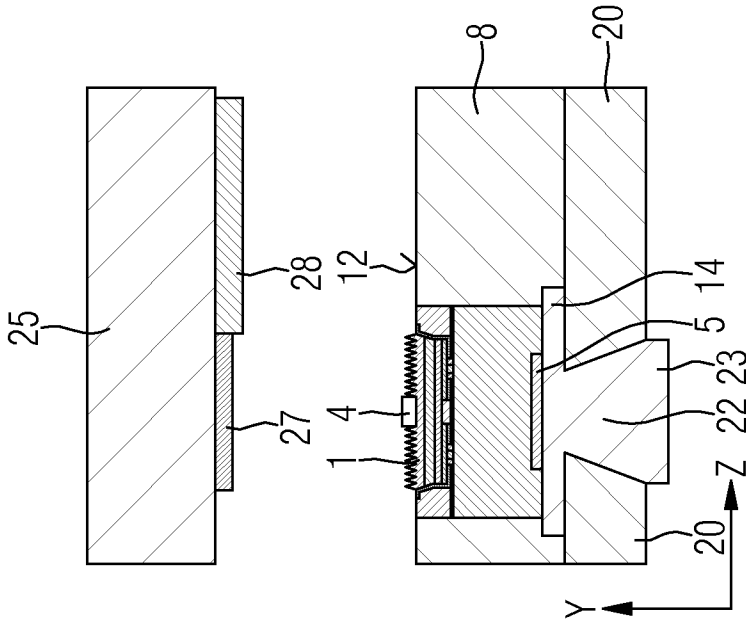


FIG 19

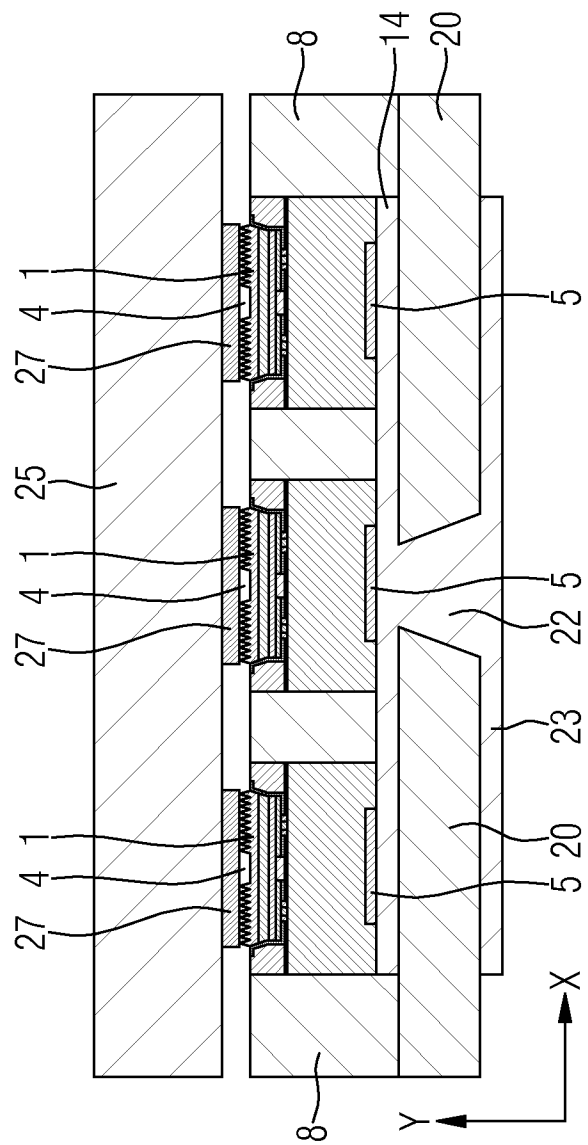


FIG 20

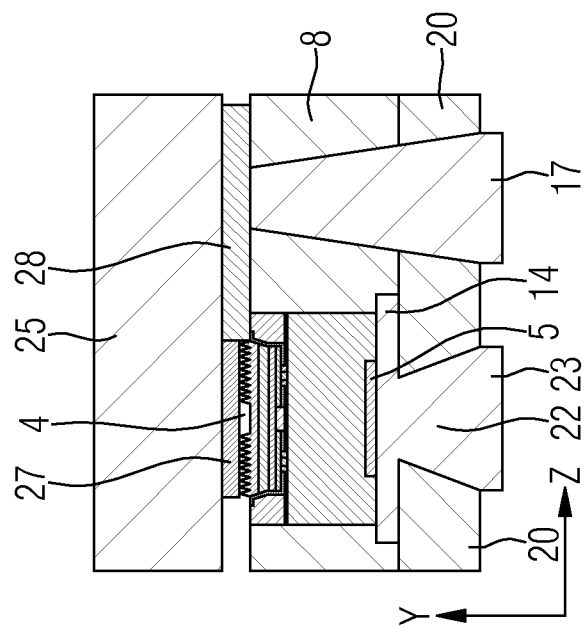


FIG 21

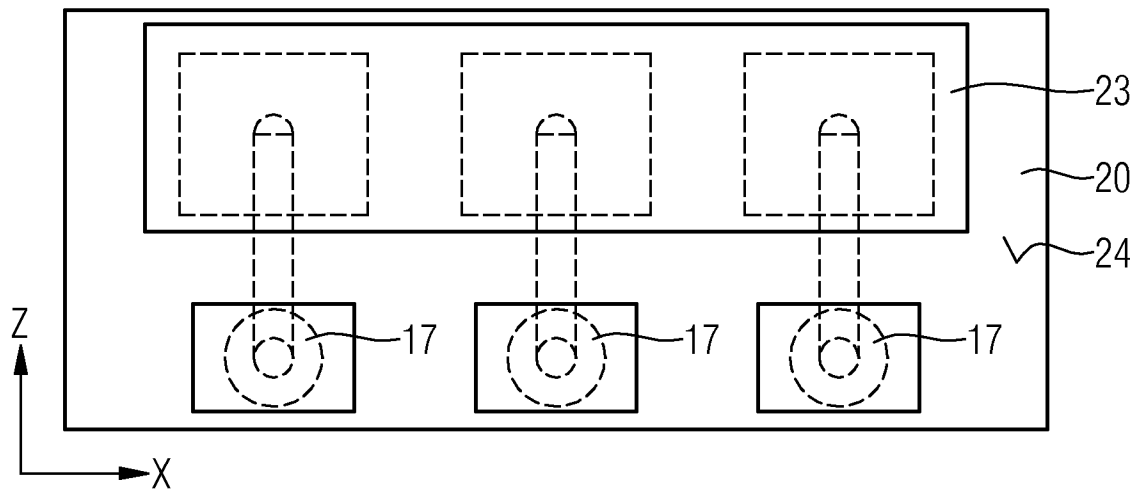


FIG 22

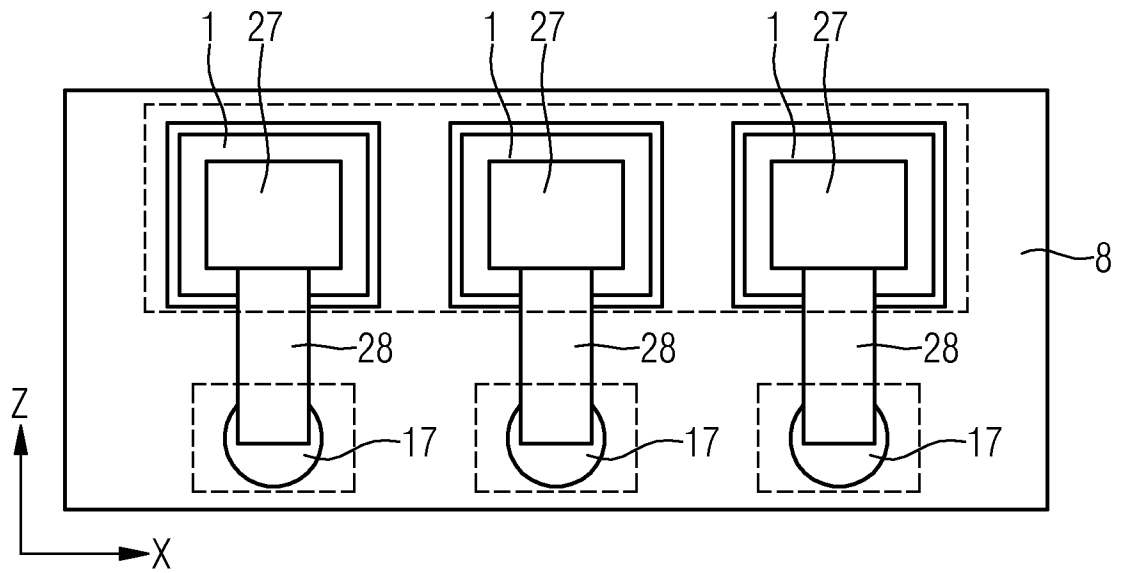


FIG 23

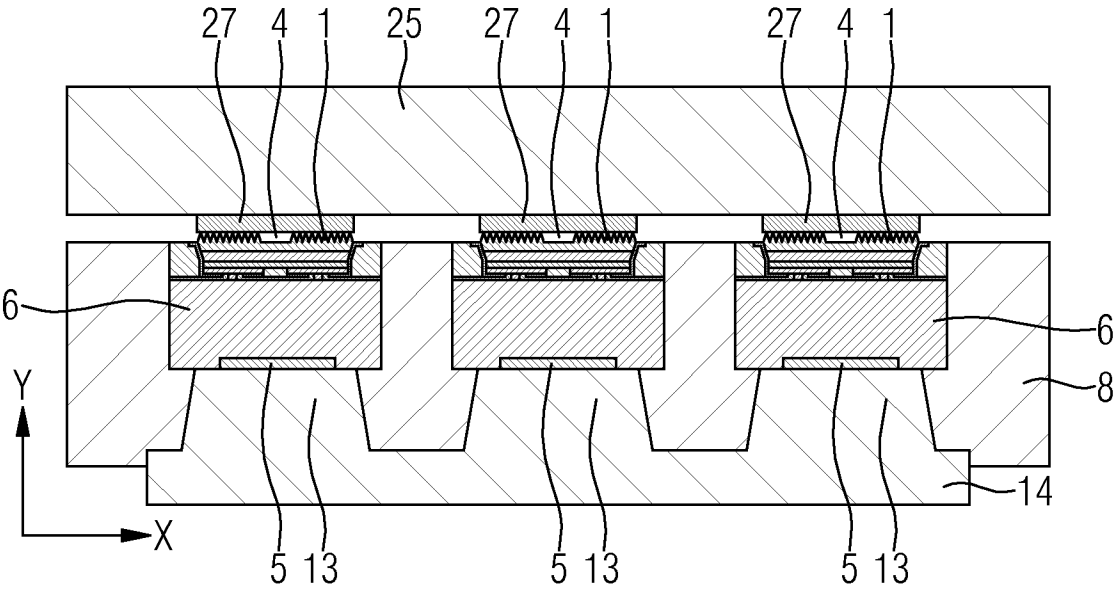


FIG 24

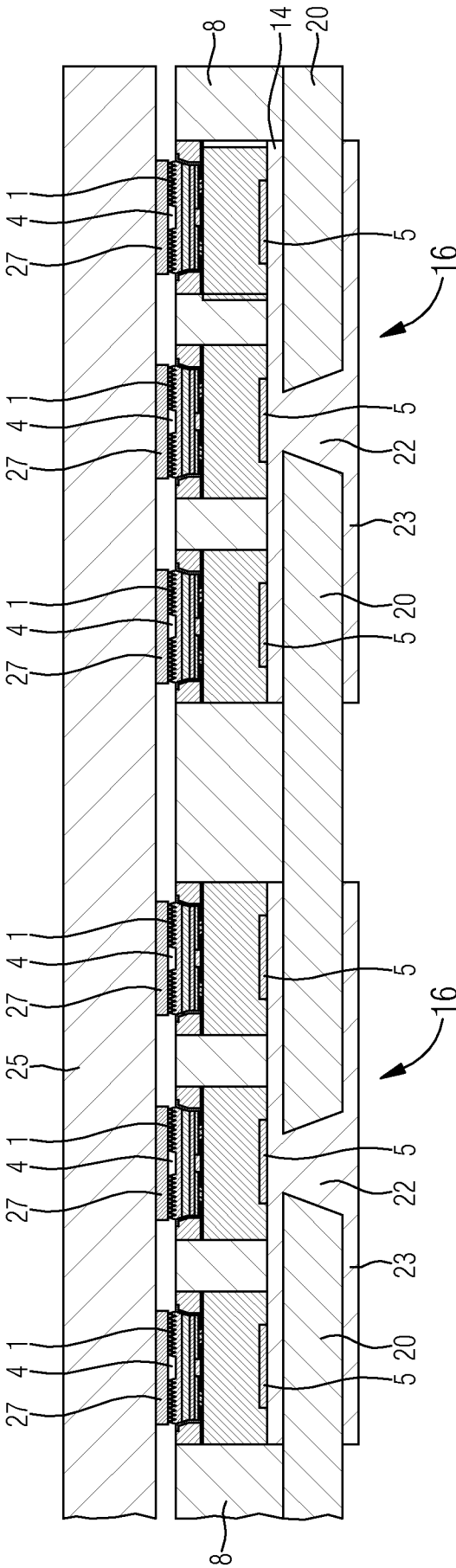


FIG 25

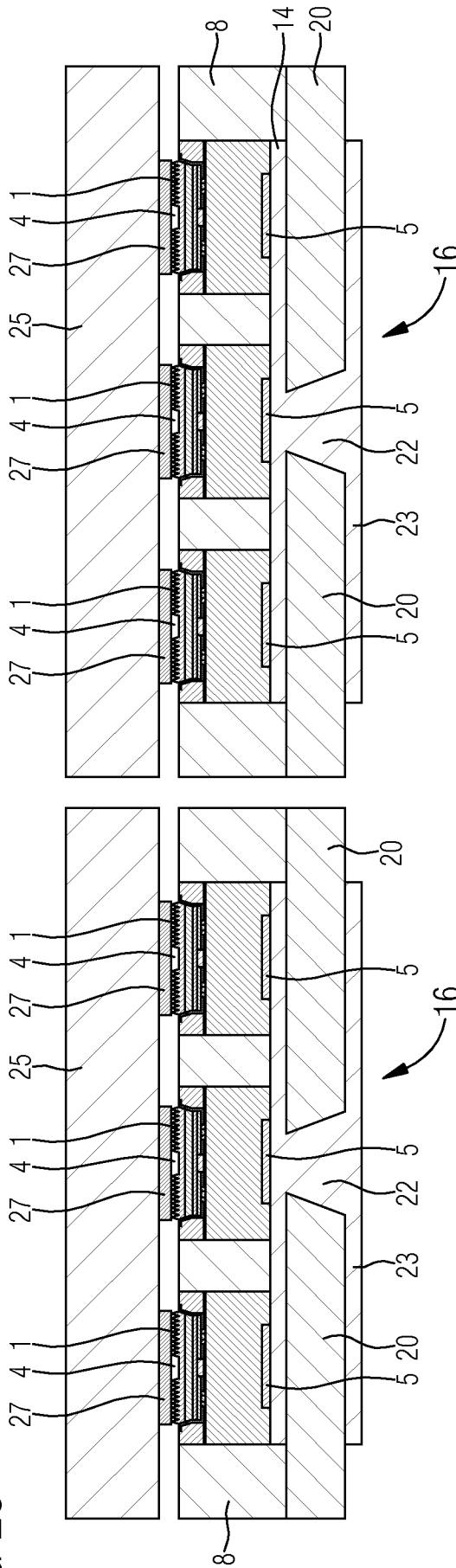


FIG 26

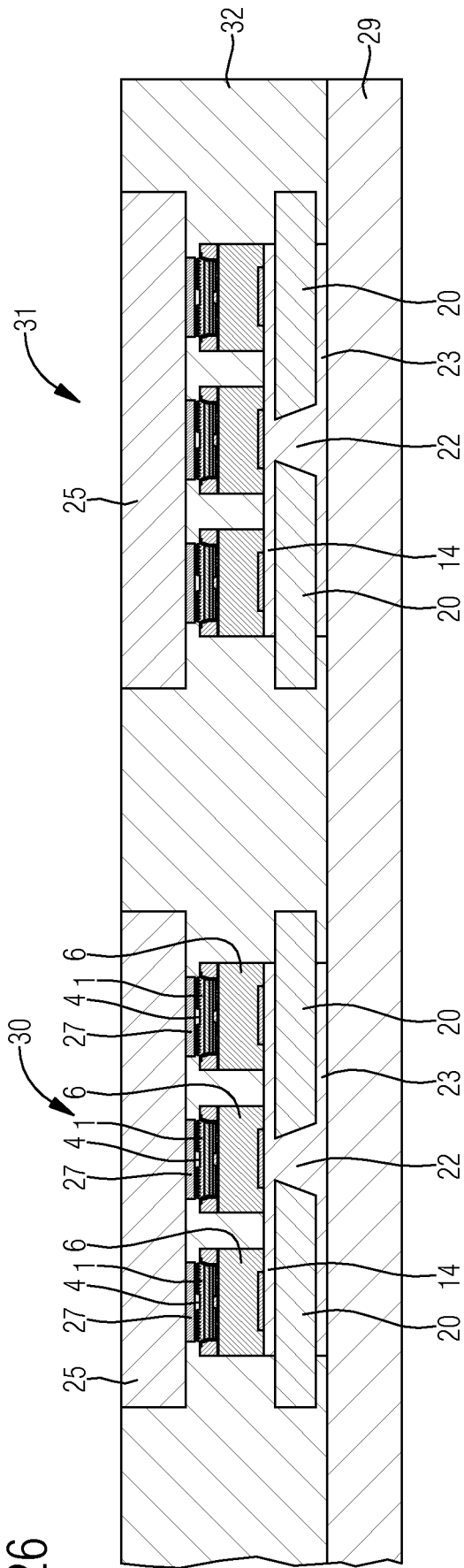


FIG 27

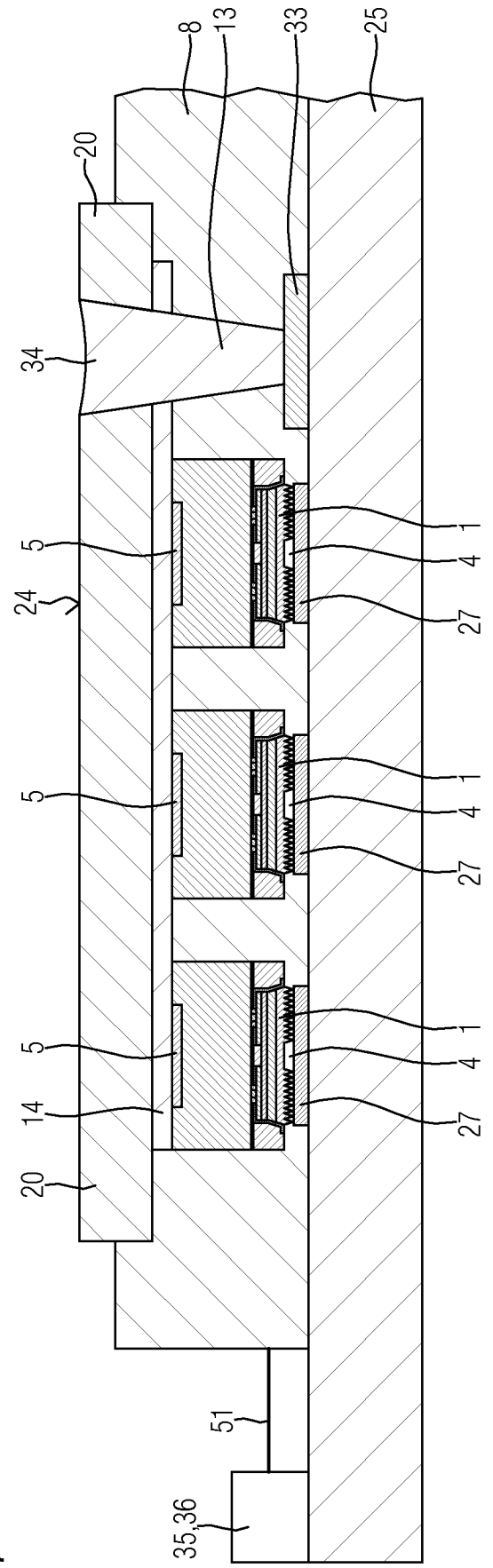


FIG 28

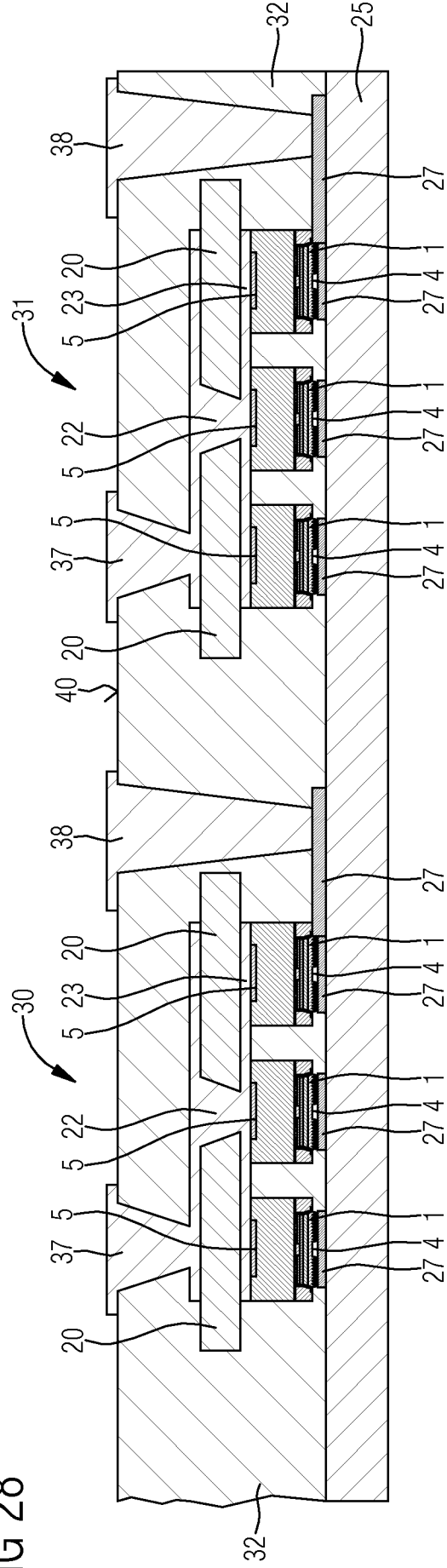
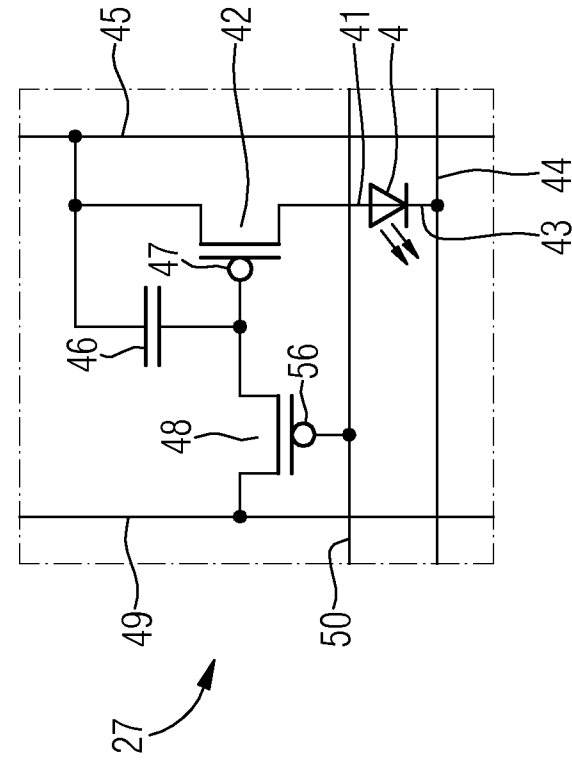


FIG 29



## INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/069383

## A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/62 H01L25/075  
 ADD. H01L33/54

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, INSPEC, IBM-TDB, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                    | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | WO 2012/038483 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; SCHNEIDER MARKUS [DE]; RAMCHEN JO)<br>29 March 2012 (2012-03-29)<br>page 1, lines 14,15<br>page 18, line 1 - page 20, line 32<br>figures 2A-E | 1-15                  |
| A         | US 2003/160258 A1 (OOHATA TOYOHARU [JP])<br>28 August 2003 (2003-08-28)<br>paragraphs [0056] - [0058]<br>figures 1,2                                                                                  | 1-15                  |
| A         | WO 2015/062867 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE])<br>7 May 2015 (2015-05-07)<br>page 9, line 23 - page 15, line 14<br>figure 1                                                                  | 1-15                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

3 October 2017

Date of mailing of the international search report

10/10/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040,  
 Fax: (+31-70) 340-3016

Authorized officer

Adams, Richard

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/069383

| Patent document<br>cited in search report | Publication<br>date | Patent family<br>member(s) | Publication<br>date |
|-------------------------------------------|---------------------|----------------------------|---------------------|
| WO 2012038483 A2                          | 29-03-2012          | CN 103210510 A             | 17-07-2013          |
|                                           |                     | CN 105702842 A             | 22-06-2016          |
|                                           |                     | DE 102010046254 A1         | 19-04-2012          |
|                                           |                     | EP 2619809 A2              | 31-07-2013          |
|                                           |                     | JP 5855108 B2              | 09-02-2016          |
|                                           |                     | JP 2013541208 A            | 07-11-2013          |
|                                           |                     | KR 20130058750 A           | 04-06-2013          |
|                                           |                     | KR 20150038667 A           | 08-04-2015          |
|                                           |                     | US 2013285084 A1           | 31-10-2013          |
|                                           |                     | WO 2012038483 A2           | 29-03-2012          |
| US 2003160258 A1                          | 28-08-2003          | JP 4055405 B2              | 05-03-2008          |
|                                           |                     | JP 2003168762 A            | 13-06-2003          |
|                                           |                     | US 2003160258 A1           | 28-08-2003          |
|                                           |                     | US 2004259282 A1           | 23-12-2004          |
|                                           |                     | US 2005186763 A1           | 25-08-2005          |
| WO 2015062867 A1                          | 07-05-2015          | DE 102013222200 A1         | 27-08-2015          |
|                                           |                     | DE 112014005022 A5         | 11-08-2016          |
|                                           |                     | US 2016276545 A1           | 22-09-2016          |
|                                           |                     | WO 2015062867 A1           | 07-05-2015          |

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 INV. H01L33/62 H01L25/075  
 ADD. H01L33/54

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

#### B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, IBM-TDB, WPI Data

#### C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile                                                                                                              | Betr. Anspruch Nr. |
|------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|
| X          | WO 2012/038483 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; SCHNEIDER MARKUS [DE]; RAMCHEN JO)<br>29. März 2012 (2012-03-29)<br>Seite 1, Zeilen 14,15<br>Seite 18, Zeile 1 - Seite 20, Zeile 32<br>Abbildungen 2A-E | 1-15               |
| A          | US 2003/160258 A1 (OOHATA TOYOHARU [JP])<br>28. August 2003 (2003-08-28)<br>Absätze [0056] - [0058]<br>Abbildungen 1,2                                                                                          | 1-15               |
| A          | WO 2015/062867 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE])<br>7. Mai 2015 (2015-05-07)<br>Seite 9, Zeile 23 - Seite 15, Zeile 14<br>Abbildung 1                                                                    | 1-15               |



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

3. Oktober 2017

Absendedatum des internationalen Recherchenberichts

10/10/2017

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040,  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Adams, Richard

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/069383

| Im Recherchenbericht<br>angeführtes Patentdokument |    | Datum der<br>Veröffentlichung | Mitglied(er) der<br>Patentfamilie |                 | Datum der<br>Veröffentlichung |
|----------------------------------------------------|----|-------------------------------|-----------------------------------|-----------------|-------------------------------|
| WO 2012038483                                      | A2 | 29-03-2012                    | CN                                | 103210510 A     | 17-07-2013                    |
|                                                    |    |                               | CN                                | 105702842 A     | 22-06-2016                    |
|                                                    |    |                               | DE                                | 102010046254 A1 | 19-04-2012                    |
|                                                    |    |                               | EP                                | 2619809 A2      | 31-07-2013                    |
|                                                    |    |                               | JP                                | 5855108 B2      | 09-02-2016                    |
|                                                    |    |                               | JP                                | 2013541208 A    | 07-11-2013                    |
|                                                    |    |                               | KR                                | 20130058750 A   | 04-06-2013                    |
|                                                    |    |                               | KR                                | 20150038667 A   | 08-04-2015                    |
|                                                    |    |                               | US                                | 2013285084 A1   | 31-10-2013                    |
|                                                    |    |                               | WO                                | 2012038483 A2   | 29-03-2012                    |
| US 2003160258                                      | A1 | 28-08-2003                    | JP                                | 4055405 B2      | 05-03-2008                    |
|                                                    |    |                               | JP                                | 2003168762 A    | 13-06-2003                    |
|                                                    |    |                               | US                                | 2003160258 A1   | 28-08-2003                    |
|                                                    |    |                               | US                                | 2004259282 A1   | 23-12-2004                    |
|                                                    |    |                               | US                                | 2005186763 A1   | 25-08-2005                    |
| WO 2015062867                                      | A1 | 07-05-2015                    | DE                                | 102013222200 A1 | 27-08-2015                    |
|                                                    |    |                               | DE                                | 112014005022 A5 | 11-08-2016                    |
|                                                    |    |                               | US                                | 2016276545 A1   | 22-09-2016                    |
|                                                    |    |                               | WO                                | 2015062867 A1   | 07-05-2015                    |