

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】令和 1 年 5 月 23 日 (2019.5.23)

【公開番号】特開 2017-198914 (P2017-198914A)

【公開日】平成 29 年 11 月 2 日 (2017.11.2)

【年通号数】公開・登録公報 2017-042

【出願番号】特願 2016-91219 (P2016-91219)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

【F I】

G 0 9 G 3/36

G 0 9 G 3/20 6 1 1 E

G 0 9 G 3/20 6 2 3 D

G 0 9 G 3/20 6 4 2 C

G 0 9 G 3/20 6 2 1 B

G 0 9 G 3/20 6 2 3 L

G 0 9 G 3/20 6 4 1 C

G 0 2 F 1/133 5 5 0

【手続補正書】

【提出日】平成 31 年 4 月 5 日 (2019.4.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 色から第 N (N は 2 以上の整数) 色の副画素を含む複数の主画素が一行に配置された表示部と、

複数の副画素を含む副画素群の中の何れか 1 の副画素に、前記 1 つの副画素を駆動する駆動信号を分配する分配部を含むデマルチプレクサとを備え、

前記表示部は共通電極を有し、

前記副画素は、前記駆動信号が供給される画素電極、該画素電極と前記共通電極との間に充填された液晶を有し、

前記共通電極には、前記駆動信号の中心電圧に対して、少なくとも前記画素電極に接続された薄膜トランジスタの寄生容量により発生する突き抜け電圧分だけずらした電圧が印加され、

前記副画素群は、1 つ以上の主画素が間に配置された複数の主画素に含まれる複数の副画素であって、同極性の駆動信号が入力される、同一色の複数の副画素を含む

表示装置。

【請求項 2】

前記デマルチプレクサは、各副画素群に一対一で対応する分配部を含み、

前記分配部は、対応する前記副画素群の中の各副画素に、前記各副画素の駆動信号を順次分配する

請求項 1 に記載の表示装置。

【請求項 3】

第 1 から第 N の副画素群の各々は、第 1 色から第 N 色の副画素をそれぞれ含み、前記第 1 から第 N の副画素群の各々に対応する分配部は、入力された駆動信号を同時に分配する請求項 2 に記載の表示装置。

【請求項 4】

前記副画素群は、1 つの主画素が間に配置された 2 つの主画素に含まれる第 1、第 2 の副画素を含み、前記第 1、第 2 の副画素は、同極性の駆動信号が入力される、同一色の副画素であり、

前記副画素群に対応する分配部は、順次入力された駆動信号を、前記第 1 の副画素、前記第 2 の副画素に順次分配する

請求項 2 に記載の表示装置。

【請求項 5】

前記デマルチプレクサを制御する、第 1 の制御信号と第 2 の制御信号とを生成し、生成した前記第 1、第 2 の制御信号を前記デマルチプレクサに順次出力する制御回路をさらに有し、

前記分配部は、前記第 1 の制御信号に応答し、前記第 1 の副画素に前記第 1 の副画素の駆動信号を分配し、前記第 2 の制御信号に応答し、前記第 2 の副画素に前記第 2 の副画素の駆動信号を分配する

請求項 4 に記載の表示装置。

【請求項 6】

前記 N は 3 であって、

前記表示部は、一列に配置された、少なくとも第 1 から第 4 の主画素を含み、前記第 2 の主画素は前記第 1 の主画素と前記第 3 の主画素とに隣接し、前記第 4 の主画素は前記第 3 の主画素に隣接し、

前記第 1 から第 4 の主画素の各々は、一列に配置された第 1 色から第 3 色の副画素を含み、

前記デマルチプレクサは、

前記第 1 の主画素と前記第 3 の主画素とに含まれる第 i 色 (i は 1、2、3 の整数) の副画素を含む第 i の副画素群に一对一に対応する第 i の分配部と、

第 2 の主画素と第 4 の主画素とに含まれる第 i 色の副画素を含む第 $i + 3$ の副画素群に一对一に対応する第 $i + 3$ の分配部とを含む

請求項 5 に記載の表示装置。

【請求項 7】

前記第 i の分配部は、前記第 1 の制御信号に応答して、前記第 1 の主画素に含まれる副画素に駆動信号を分配すると共に、前記第 $i + 3$ の分配部は、前記第 1 の制御信号に応答して、前記第 2 の主画素に含まれる副画素に駆動信号を分配し、

前記第 i の分配部は、前記第 2 の制御信号に応答して、前記第 3 の主画素に含まれる副画素に駆動信号を分配すると共に、前記第 $i + 3$ の分配部は、前記第 2 の制御信号に応答して、前記第 4 の主画素に含まれる副画素に駆動信号を分配する

請求項 6 に記載の表示装置。

【請求項 8】

前記第 $2i - 1$ の分配部は、前記第 1 の制御信号に応答して、前記第 $i \text{ div } 3 + 3$ の主画素に含まれる副画素に駆動信号を分配すると共に、前記第 $2i$ の分配部は、前記第 1 の制御信号に応答して、前記第 $i \text{ div } 2 + 1$ の主画素に含まれる副画素に駆動信号を分配し、

前記第 $2i - 1$ の分配部は、前記第 2 の制御信号に応答して、前記第 $i \text{ div } 3 + 1$ の主画素に含まれる副画素に駆動信号を分配すると共に、前記第 $2i$ の分配部は、前記第 2 の制御信号に応答して、前記第 $i \text{ div } 2 + 3$ の主画素に含まれる副画素に駆動信号を分配する

請求項 6 に記載の表示装置。

ただし、 $n \text{ div } m$ は、 n を m で除した商の整数部を示す。

【請求項 9】

前記制御回路は、前記一列に配置された複数の副画素が同時に走査される走査期間において、前記第 1 の制御信号を出力した後に前記第 2 の制御信号を出力し、

前記第 1 の制御信号を前記デマルチプレクサに出力する第 1 の期間は、前記第 2 の制御信号を前記デマルチプレクサに出力する第 2 の期間よりも長い

請求項 6 に記載の表示装置。

【請求項 10】

前記制御回路は、前記一列に配置された複数の主画素に含まれる副画素が同時に走査される走査期間の前に、前記第 1 の制御信号の出力を開始する

請求項 6 に記載の表示装置。

【請求項 11】

前記分配部に、前記副画素の駆動信号である、第 1 極性の駆動信号または第 2 極性の駆動信号を出力するドライバ回路をさらに有し、

前記ドライバ回路は、前記一列に配置された複数の主画素に含まれる副画素が走査される期間において、前記分配部に同極性の駆動信号を出力する

請求項 2 に記載の表示装置。

【請求項 12】

前記ドライバ回路は、第 1 の副画素を含む副画素群に対応する分配部に、前記第 1 の副画素を駆動する前記第 1 極性の駆動信号を出力し、前記第 1 の副画素に隣接する第 2 の副画素を含む副画素群に対応する分配部に、前記第 2 の副画素を駆動する前記第 2 極性の駆動信号を出力する

請求項 11 に記載の表示装置。

【請求項 13】

前記副画素群は、1 つの主画素が間に配置された 4 つの主画素に含まれる第 1 から第 4 の副画素を含み、前記第 1 から第 4 の副画素は、同極性の駆動信号が入力される、同一色の副画素であり、

前記副画素群に対応する分配部は、順次入力された駆動信号を、前記第 1 から前記第 4 の副画素に順次分配する

請求項 2 に記載の表示装置。

【請求項 14】

前記デマルチプレクサを制御する、第 j (j は 1、2、3、4 の整数) の制御信号を生成し、生成した前記第 1 から第 4 の制御信号を前記デマルチプレクサに順次出力する制御回路をさらに有し、

前記分配部は、前記第 j の制御信号に応答し、前記第 j の副画素に前記第 j の副画素の駆動信号を分配する

請求項 13 に記載の表示装置。

【請求項 15】

前記デマルチプレクサの書き込み不足によって前記液晶に印加される電圧が非対称となつて生じるフリッカーを抑制するために、前記副画素群は、1 つ以上の主画素が間に配置された複数の主画素に含まれる複数の副画素であつて、同極性の駆動信号が入力される、同一色の複数の副画素を含む

請求項 1 に記載の表示装置。