



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/10 (2006.01)

(45) 공고일자

2007년02월15일

(11) 등록번호

10-0682969

(24) 등록일자

2007년02월08일

(21) 출원번호	10-2005-0071482	(65) 공개번호	10-2007-0016650
(22) 출원일자	2005년08월04일	(43) 공개일자	2007년02월08일
심사청구일자	2005년08월04일		

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자
 노진서
 서울 서초구 서초4동 1311 삼호아파트 8동 706호

강윤호
 경기 용인시 상현동 현대아이파크아파트 505동 1402호

이상목
 경기 용인시 기흥읍 보라리 현대모닝사이드2차아파트 103동 401호

서동석
 서울 강남구 청담2동 38-7 서울가든빌라 401호

(74) 대리인
 리엔록특허법인

심사관 : 배진용

전체 청구항 수 : 총 36 항

(54) 상변화 물질, 이를 포함하는 상변화 램과 이의 제조 및 동작 방법

(57) 요약

상변화 물질, 이를 포함하는 상변화 램(PRAM)과 이의 제조 및 동작 방법에 관해 개시되어 있다. 본 발명은 절연성 불순물이 전체적으로 균일하게 분포된 혹은 절연성 불순물이 국소 영역에만 균일하게 분포된 상변화 물질을 제공한다. 그리고 이러한 상변화 물질을 상변화층으로 구비하는 상변화 램과 그 제조 및 동작 방법을 제공한다. 상기 상변화 물질에서 상기 절연성 불순물의 함량은 부피 기준으로 10%이하일 수 있다. 이러한 물질을 형성하는 과정에서 절연성 불순물을 포함하는 타겟에 인가되는 전력을 조절함으로써, 상기 상변화 물질내의 절연성 불순물 함량을 조절할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

스위칭 소자, 상기 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밑면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되,

상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 램.

청구항 2.

제 1 항에 있어서, 상기 절연성 불순물은 상기 상변화층 전체에 고르게 분포된 것을 특징으로 하는 상변화 램.

청구항 3.

제 1 항에 있어서, 상기 절연성 불순물은 상기 하부전극 콘택층과 접촉된 부분을 중심으로 상변화가 일어나는 상기 상변화층의 소정 영역에만 균일하게 분포된 것을 특징으로 하는 상변화 램.

청구항 4.

제 1 항에 있어서, 상기 절연성 불순물은 $\text{SiO}_x(x=1\sim 4)$, SiN , Si_3N_4 , $\text{TiO}_x(x=1\sim 4)$, AlO 및 Al_2O_3 로 이루어진 군 중 적어도 어느 하나인 것을 특징으로 하는 상변화 램.

청구항 5.

제 1 항에 있어서, 상기 절연성 불순물의 함량은 부피 기준으로 상기 상변화층의 10%미만인 것을 특징으로 하는 상변화 램.

청구항 6.

제 1 항에 있어서, 상기 하부전극 콘택층은 TiN 또는 TiAlN 이거나, TiN 이나 TiAlN 보다 씨백 계수의 절대값이 크고 음의 부호를 가지며, TiN 이나 TiAlN 보다 열전도도는 낮으며, 상기 TiN 이나 TiAlN 과 같은 수준의 전기 저항을 갖는 물질층인 것을 특징으로 하는 상변화 램.

청구항 7.

제 1 항에 있어서, 상기 하부전극 콘택층의 상층부는 상기 상변화층으로 채워진 것을 특징으로 하는 상변화 램.

청구항 8.

스위칭 소자;

상기 스위칭 소자에 연결된 하부전극;

상기 스위칭 소자와 상기 하부전극을 덮는 층간 절연층;

상기 층간 절연층에 형성되어 있고, 상기 하부전극이 노출되는 콘택홀;

상기 콘택홀을 채우는 제1 하부전극 콘택층;

상기 층간 절연층 상에 형성되어 있고, 상기 제1 하부전극 콘택층의 노출된 부분을 덮는 제2 하부전극 콘택층;

상기 제2 하부전극 콘택층 상에 형성되어 있고, 상기 제2 하부전극 콘택층이 노출되는 콘택홀을 포함하는 절연층;

상기 절연층의 상부면에 형성되어 있고, 상기 제2 하부전극 콘택층이 노출되는 콘택홀을 채우는 상변화층; 및

상기 상변화층 상에 형성된 상부전극을 포함하되,

상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 램.

청구항 9.

제 8 항에 있어서, 상기 절연성 불순물은 상기 상변화층 전체에 고르게 분포된 것을 특징으로 하는 상변화 램.

청구항 10.

제 8 항에 있어서, 상기 절연성 불순물은 상기 하부전극 콘택층과 접촉된 부분을 중심으로 상변화가 일어나는 상기 상변화 층의 소정 영역에만 균일하게 분포된 것을 특징으로 하는 상변화 램.

청구항 11.

제 8 항에 있어서, 상기 절연성 불순물은 SiO_x ($x=1\sim 4$), SiN , Si_3N_4 , TiO_x ($x=1\sim 4$), AlO 및 Al_2O_3 로 이루어진 군 중 적어도 어느 하나인 것을 특징으로 하는 상변화 램.

청구항 12.

제 8 항에 있어서, 상기 절연성 불순물의 함량은 부피 기준으로 상기 상변화층의 10%미만인 것을 특징으로 하는 상변화 램.

청구항 13.

제 8 항에 있어서, 상기 제1 및 제2 하부전극 콘택층은 TiN 또는 TiAlN 이거나, TiN 이나 TiAlN 보다 씨백 계수의 절대값이 크고 음의 부호를 가지며, TiN 이나 TiAlN 보다 열전도도는 낮으며, 상기 TiN 이나 TiAlN 과 같은 수준의 전기 저항을 갖는 물질층인 것을 특징으로 하는 상변화 램.

청구항 14.

스위칭 소자, 상기 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밑면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 상변화 램의 동작 방법에 있어서,

상기 상변화층과 상기 하부전극 콘택층을 통과하는 리세트 전류를 인가하여 상기 상변화층의 상기 하부전극 콘택층에 접촉된 부분을 비정질 상태로 바꾸는 것을 특징으로 하는 상변화 램의 동작 방법.

청구항 15.

제 14 항에 있어서, 상기 리세트 전류는 상기 하부전극 콘택층으로 TiN이나 TiAlN이 사용될 때의 리세트 전류보다 작은 것을 특징으로 하는 상변화 램의 동작 방법.

청구항 16.

제 14 항에 있어서, 상기 하부전극 콘택층의 상층부는 상기 상변화층으로 채워진 것을 특징으로 하는 상변화 램의 동작 방법.

청구항 17.

제 14 항에 있어서, 상기 리세트 전류를 인가한 후, 상기 상변화층과 상기 하부전극 콘택층을 통과하는 세트 전류를 상기 리세트 전류보다 긴 시간 동안 인가하는 것을 특징으로 하는 상변화 램의 동작 방법.

청구항 18.

제 14 항에 있어서, 상기 절연성 불순물은 상기 상변화층의 전체에 분포된 것을 특징으로 하는 상변화 램의 동작 방법.

청구항 19.

제 14 항에 있어서, 상기 절연성 불순물은 상기 하부전극 콘택층과 접촉되는 상변화층의 일부 영역에만 분포된 것을 특징으로 하는 상변화 램의 동작방법.

청구항 20.

제 14 항에 있어서, 상기 상변화층은 T자형이고,

상기 하부전극 콘택층은 상기 스위칭 소자에 연결되는 제1 하부전극 콘택층 및 상기 T자형 상변화층과 상기 제1 하부전극 콘택층을 연결하는 제2 하부전극 콘택층을 포함하는 것을 특징으로 하는 상변화 램의 동작방법.

청구항 21.

제 14 항에 있어서, 상기 하부전극 콘택층의 측면은 스페이서로 둘러싸인 것을 특징으로 하는 상변화 램의 동작방법.

청구항 22.

기판에 형성된 스위칭 소자, 상기 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밑면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 상변화 램의 제조 방법에 있어서,

상기 하부전극 콘택층이 형성된 결과물의 상부면 상에 상기 절연성 불순물이 제외된 상변화층의 구성물과 상기 절연성 불순물이 균일하게 혼합된 가스 군을 형성하여 상기 절연성 불순물이 균일하게 분포된 상변화층을 형성하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 23.

제 22 항에 있어서, 상기 절연성 불순물이 제외된 상기 상변화층의 구성물은 상기 구성물의 일부를 포함하는 타겟과 상기 구성물의 나머지를 포함하는 다른 타겟을 동시에 스퍼터링시켜 형성하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 24.

제 22 항 또는 제 23 항에 있어서, 상기 절연성 불순물은 상기 절연성 불순물을 포함하는 타겟을 스퍼터링시켜 형성하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 25.

제 24 항에 있어서, 상기 상변화층 내의 상기 절연성 불순물의 함량이 부피 기준으로 10%이하가 되도록 상기 절연성 불순물을 포함하는 타겟에 전력을 인가하고, 필요에 따라 인가 전력을 가변시키는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 26.

제 25 항에 있어서, 상기 절연성 불순물을 포함하는 타겟에 30W~500W의 전력을 인가하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 27.

제 22 항에 있어서, 상기 절연성 불순물은 $\text{SiO}_x(x=1\sim 4)$, SiN , Si_3N_4 , $\text{TiO}_x(x=1\sim 4)$, AlO 및 Al_2O_3 로 이루어진 군 중에서 선택된 적어도 어느 하나인 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 28.

제 22 항에 있어서, 상기 상변화층은 T자형으로 형성하고, 상기 하부전극 콘택층은 상기 스위칭 소자에 연결되는 제1 하부전극 콘택층과 상기 T자형 상변화층과 상기 제1 하부전극 콘택층을 연결하는 제2 하부전극 콘택층으로 형성하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 29.

제 22 항에 있어서, 상기 하부전극 콘택층의 측면을 스페이서로 감싸는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 30.

제 22 항에 있어서, 상기 하부전극 콘택층은 TiN 또는 TiAlN이거나, TiN이나 TiAlN보다 씨백 계수의 절대값이 크고 음의 부호를 가지며, TiN이나 TiAlN보다 열전도도는 낮으며, 상기 TiN이나 TiAlN과 같은 수준의 전기 저항을 갖는 물질층으로 형성하는 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 31.

제 22 항에 있어서, 상기 하부전극 콘택층의 상층부는 상기 상변화층으로 채워진 것을 특징으로 하는 상변화 램의 제조 방법.

청구항 32.

결정화와 비정질화의 온도가 다른 제1 물질; 및

상기 제1 물질에 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 물질.

청구항 33.

제 32 항에 있어서, 상기 절연성 불순물은 상기 제1 물질의 전체 영역 또는 국소 영역에만 고르게 분포된 것을 특징으로 하는 상변화 물질.

청구항 34.

제 32 항에 있어서, 상기 절연성 불순물은 SiO_x ($x=1\sim 4$), SiN , Si_3N_4 , TiO_x ($x=1\sim 4$), AlO 및 Al_2O_3 로 이루어진 군 중 적어도 어느 하나인 것을 특징으로 하는 상변화 물질.

청구항 35.

제 32 항에 있어서, 상기 절연성 불순물의 함량은 부피 기준으로 상기 제1 물질의 10%미만인 것을 특징으로 하는 상변화 물질.

청구항 36.

제 32 항에 있어서, 상기 절연성 불순물은 상기 제1 물질 내부의 격자 빈자리(vacancy) 또는 격자간 사이트(interstitial site)에 존재하는 것을 특징으로 하는 상변화 물질.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야

본 발명은 반도체 메모리 소자에 관한 것으로써, 보다 자세하게는 상변화 물질, 이를 포함하는 상변화 램(PRAM)과 이의 제조 및 동작 방법에 관한 것이다.

2. 관련기술의 설명

상변화 램(PRAM)에서 데이터가 기록되는 상변화층은 주어진 온도에 따라 결정 또는 비정질이 된다. 상기 상변화층이 결정일 때, PRAM의 저항은 낮고, 비정질일 때 높다. PRAM은 상변화층이 결정일 때와 비정질일 때, 저항이 다른 점을 이용하여 비트 데이터를 기록하고 읽는 불휘발성 메모리 소자이다.

현재의 PRAM에서 이슈가 되는 문제는 상변화층을 비정질화시키는데 필요한 리셋트 전류(Ireset)가 크다는 것이다.

반도체 제조 기술의 발전에 따라 PRAM에서 상변화층이 포함된 스토리지 노드와 트랜지스터의 사이즈를 줄여 PRAM의 집적도를 높이는 것은 기술적으로 어렵지 않다.

그런데 트랜지스터의 사이즈를 줄일 경우, 트랜지스터가 수용할 수 있는 최대 전류도 작아진다. 때문에 PRAM의 리셋트 전류를 줄이지 않고는 PRAM의 집적도를 높이기 어렵다.

또한, 현재의 PRAM은 결정화 온도가 낮다. 그러므로 현재의 PRAM은 주변 환경에 쉽게 영향을 받을 수 있고, 이에 따라 리텐션(retention) 특성이 낮아져서 PRAM의 신뢰성이 저하될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상술한 종래의 문제점을 개선하기 위한 것으로써, 비정질화 온도(T_m)는 낮고, 결정화 온도(T_x)는 높은 상변화 물질을 제공함에 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 상변화 물질을 상변화층으로 구비하여 리셋트 전류를 낮출 수 있고, 리텐션 특성을 개선할 수 있는 상변화 램을 제공함에 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 상변화 램의 동작 방법을 제공함에 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 상변화 램의 제조 방법을 제공함에 있다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명은 결정화와 비정질화의 온도가 다른 제1 물질 및 상기 제1 물질에 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 물질을 제공한다.

상기 절연성 불순물은 상기 제1 물질의 전체 영역 또는 국소 영역에만 고르게 분포될 수 있다. 그리고 상기 절연성 불순물은 $\text{SiO}_x(x=1\sim 4)$, SiN , Si_3N_4 , $\text{TiO}_x(x=1\sim 4)$, AlO 및 Al_2O_3 로 이루어진 군 중 적어도 어느 하나일 수 있다. 또한, 상기 절연성 불순물의 함량은 부피 기준으로 상기 제1 물질의 10%미만일 수 있다. 또한, 상기 절연성 불순물은 상기 제1 물질 내부의 격자 빈자리(vacancy) 또는 격자간 사이트(interstitial site)에 존재할 수 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 스위칭 소자, 상기 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밀면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 램을 제공한다.

여기서, 상기 절연성 불순물은 상기 상변화층 전체에 고르게 분포될 수 있다.

또한, 상기 절연성 불순물은 상기 하부전극 콘택층과 접촉된 부분을 중심으로 실제 상변화가 일어나는 상기 상변화층의 소정 영역에만 균일하게 분포된 상태로 존재할 수 있다.

상기 절연성 불순물은 SiO_x ($x=1\sim 4$), SiN , Si_3N_4 , TiO_x ($x=1\sim 4$), AlO 및 Al_2O_3 로 이루어진 군 중 적어도 어느 하나일 수 있다.

상기 절연성 불순물의 함량은 부피 기준으로 상기 상변화층의 10%이하일 수 있다.

상기 하부전극 콘택층은 TiN 이나 TiAlN 보다 씨백 계수의 절대값이 크고 음의 부호를 가지며, TiN 이나 TiAlN 보다 열전도는 낮으며, 상기 TiN 이나 TiAlN 과 같은 수준의 전기 저항을 갖는 물질층일 수 있다.

상기 하부전극 콘택층은 도핑된 TiN , TiAlN , n 타입 SiGe 층, n 타입 PbTe 층, n 타입 폴리 실리콘층 및 코발트 실리콘층 중 어느 하나일 수 있다.

상기 하부전극 콘택층 둘레에 스페이서가 더 구비될 수 있다.

상기 하부전극 콘택층의 상단은 상기 상변화층으로 채워질 수 있다.

상기 합금층은 상기 군 중에 포함된 성분외에 소량의 도핑 원소를 포함할 수 있다. 상기 도핑 원소에 의해 상기 합금층의 전기 전도도는 TiAlN 과 비슷한 수준인 1-10밀리 오옴 센티미터(mOhmcm)로 조정할 수 있다. 이때, 상기 합금층에 도핑된 상기 도핑 원소의 도핑량은 도핑되지 않은 합금층의 원자 중량의 10%이내일 수 있다.

본 발명은 또한 상기 다른 기술적 과제를 달성하기 위하여, 스위칭 소자에 연결된 하부전극, 상기 스위칭 소자와 상기 하부전극을 덮는 층간 절연층, 상기 층간 절연층에 형성되어 있고, 상기 하부전극이 노출되는 콘택홀, 상기 콘택홀을 채우는 제1 하부전극 콘택층, 상기 층간 절연층 상에 형성되어 있고, 상기 제1 하부전극 콘택층의 노출된 부분을 덮는 제2 하부전극 콘택층, 상기 제2 하부전극 콘택층 상에 형성되어 있고, 상기 제2 하부전극 콘택층이 노출되는 콘택홀을 포함하는 절연층, 상기 절연층의 상부면에 형성되어 있고, 상기 제2 하부전극 콘택층이 노출되는 콘택홀을 채우는 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 것을 특징으로 하는 상변화 램을 제공한다.

이 상변화 램에서 상기 절연성 불순물의 특징은 상술한 바와 같을 수 있다.

상기 또 다른 기술적 과제를 달성하기 위하여, 본 발명은 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밀면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포된 절연성 불순물을 포함하는 상변화 램의 동작 방법에 있어서,

상기 상변화층과 상기 하부전극 콘택층을 통과하는 리세트 전류를 인가하여 상기 상변화층의 상기 하부전극 콘택층에 접촉된 부분을 비정질 상태로 바꾸는 것을 특징으로 하는 상변화 램의 동작 방법을 제공한다.

상기 하부전극 콘택층의 상층부는 상기 상변화층으로 채워질 수 있다.

상기 리세트 전류를 인가한 후, 상기 상변화층과 상기 하부전극 콘택층을 통과하는 세트 전류를 상기 리세트 전류보다 긴 시간 동안 인가할 수 있다.

상기 절연성 불순물은 상기 상변화층의 전체 또는 일부에 균일하게 분포될 수 있다.

상기 상변화층은 T자형이고, 상기 하부전극 콘택층은 상기 스위칭 소자에 연결되는 제1 하부전극 콘택층 및 상기 T자형 상변화층과 상기 제1 하부전극 콘택층을 연결하는 제2 하부전극 콘택층을 포함할 수 있다.

상기 하부전극 콘택층의 측면은 스페이서로 둘러싸일 수 있다.

상기 또 다른 기술적 과제를 달성하기 위하여, 본 발명은 기판에 형성된 스위칭 소자, 상기 스위칭 소자에 연결된 하부전극, 상기 하부전극 상에 형성된 하부전극 콘택층, 상기 하부전극 콘택층 상에 구비되고, 밀면의 일부 영역이 상기 하부전극 콘택층의 상부면과 접촉된 상변화층 및 상기 상변화층 상에 형성된 상부전극을 포함하되, 상기 상변화층은 균일하게 분포

된 절연성 불순물을 포함하는 상변화 램의 제조 방법에 있어서, 상기 하부전극 콘택층이 형성된 결과물의 상부면 상에 상기 절연성 불순물이 제외된 상변화층의 구성물과 상기 절연성 불순물을 기상 또는 플라즈마 상으로 균일하게 혼합하여 상기 절연성 불순물이 균일하게 분포된 상변화층을 형성하는 것을 특징으로 하는 상변화 램의 제조 방법을 제공한다.

상기 절연성 불순물이 제외된 상기 상변화층의 구성물은 상기 구성물의 일부를 포함하는 타겟과 상기 구성물의 나머지를 포함하는 다른 타겟을 동시에 스퍼터링시키거나 상기 구성물 전부를 포함하는 타겟을 스퍼터링시켜 형성할 수 있다.

상기 절연성 불순물은 상기 절연성 불순물을 포함하는 타겟을 스퍼터링시켜 형성할 수 있다.

상기 상변화층 내의 상기 절연성 불순물의 함량이 부피 기준으로 10%이하가 되도록 상기 절연성 불순물을 포함하는 타겟에 전력을 인가하고, 필요에 따라 인가 전력을 가변시킬 수 있다.

상기 절연성 불순물을 포함하는 타겟에 30W~500W의 전력을 인가할 수 있다.

상기 절연성 불순물은 $\text{SiO}_x(x=1\sim 4)$, SiN , Si_3N_4 , $\text{TiO}_x(x=1\sim 4)$, AlO 및 Al_2O_3 로 이루어진 군 중에서 선택된 적어도 어느 하나일 수 있다.

상기 제조 방법에서 상기 상변화층은 T자형으로 형성하고, 상기 하부전극 콘택층은 상기 스위칭 소자에 연결되는 제1 하부전극 콘택층과 상기 T자형 상변화층과 상기 제1 하부전극 콘택층을 연결하는 제2 하부전극 콘택층으로 형성할 수 있다. 또한, 상기 하부전극 콘택층의 측면을 스페이서로 감쌀 수 있다.

상기 하부전극 콘택층의 상층부는 상기 상변화층으로 채워질 수 있다.

이러한 본 발명을 이용하면, 상변화층내에 균일하게 분포된 절연성 불순물로 인해 PRAM의 비정질화 온도(T_m)는 낮아지고, 결정화 온도(T_x)는 높아진다. 이에 따라 PRAM의 리세트 전류는 실질적으로 낮아지게 되므로, 트랜지스터의 사이즈를 낮아진 리세트 전류에 맞게 줄일 수 있다. 또한, 결정화 온도의 증가에 의해 PRAM의 리텐션 특성이 개선될 수 있다.

이하, 본 발명의 실시예에 의한 상변화 물질, 이를 포함하는 상변화 램(PRAM)과 이의 제조 및 동작 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

먼저, 본 발명의 제1 실시예에 의한 PRAM(이하, 제1 PRAM)을 설명한다. 상변화 물질은 제1 PRAM의 상변화층과 실질적으로 동일한 것인 바, 상변화 물질에 대한 설명은 제1 PRAM의 상변화층의 설명으로 갈음한다.

도 1을 참조하면, 제1 PRAM의 기판(40)에 소정의 도전성 불순물, 예컨대 n형 불순물이 도핑된 제1 및 제2 불순물 영역(S1, D1)이 주어진 간격으로 존재한다. 기판(40)은, 예컨대 p형 실리콘 기판일 수 있다. 제1 및 제2 불순물 영역(S1, D1)은 다양한 형태를 가질 수 있다. 제1 및 제2 불순물 영역(S1, D1) 중 어느 하나, 예를 들면 제1 불순물 영역(S1)은 소오스 영역일 수 있고, 나머지 영역은 드레인 영역일 수 있다. 제1 및 제2 불순물 영역(S1, D1)사이의 기판(40) 상에 게이트 산화막(42)이 존재하고, 게이트 산화막(42) 상에 게이트(44)가 형성되어 있다. 기판(40)과 제1 및 제2 불순물 영역(S1, D1)과 게이트(44)는 전계 효과 트랜지스터를 구성한다. 이러한 전계 효과 트랜지스터는 PN 접합 다이오드로 대체될 수 있다.

계속해서, 기판(40) 상으로 상기 트랜지스터를 덮는 제1 층간 절연층(46)이 형성되어 있다. 제1 층간 절연층(46)에 제1 불순물 영역(S1)이 노출되는 콘택홀(48)이 형성되어 있다. 콘택홀(48)은 제1 불순물 영역(S1) 대신, 제2 불순물 영역(D1)이 노출되는 위치에 형성될 수도 있다. 콘택홀(48)은 도전성 플러그(50)로 채워져 있다. 제1 층간 절연층(46) 상에 도전성 플로그(50)의 노출된 상부면을 덮는 하부전극(52)이 존재한다. 하부 전극(52)은 패드층 역할도 겸한다. 제1 층간 절연층(46) 상에 하부전극(52)을 덮는 제2 층간 절연층(54)이 존재하고, 제2 층간 절연층(54)에는 하부전극(52)의 상부면이 노출되는 콘택홀(56)이 형성되어 있다. 제2 층간 절연층(54)은 제1 층간 절연층(46)과 동일한 절연층일 수 있다. 콘택홀(56)은 하부 전극 콘택층(58)으로 채워져 있다. 하부전극 콘택층(58)은 TiN이나 TiAlN보다 씨백 계수의 절대값이 크고 음의 부호를 가지며, TiN이나 TiAlN보다 열전도도는 낮으며, 상기 TiN이나 TiAlN과 같은 수준의 전기 저항을 갖는 물질층일 수 있다. 제2 층간 절연층(54) 상에 하부전극 콘택층(58)의 노출된 상부면을 덮는 상변화층(60)이 존재한다. 상변화층(60)은 결정화 온도와 비정질화 온도가 다른 제1 물질을 포함한다. 상기 제1 물질은 격자 빈자리(vacancy)와 격자간 사이트(interstitial site)를 포함하고 있다. 상변화층(60)은 상기 제1 물질과 함께 절연성 불순물을 포함한다. 상기 절연성 물순물은 상기 제1 물질의 전체 영역 또는 일부 영역에만 균일하게 분포될 수 있다. 이때, 상기 절연성 불순물은 상기 제1 물질의 상기 격자 빈자리 또는 격자간 사이트에 존재할 수 있다. 상변화층(60)의 상기 제1 물질은, 예컨대 GST(Ge₂Sb₂Te₅)일

수 있다. 절연성 불순물(60p)은 미립자 상태, 문자 상태 혹은 원자 상태로 존재할 수 있다. 이러한 절연성 불순물(60p)은, 예를 들면 실리콘 산화물(SiO_x)($x=1\sim 4$), 실리콘 질화물(SiN , Si_3N_4), 티타늄 산화물(TiO_x)($x=1\sim 4$), 알루미늄 산화물(AlO , Al_2O_3)일 수 있다. 상기 실리콘 산화물(SiO_x)은, 예를 들면 SiO_2 또는 SiO_4 일 수 있고, 상기 티타늄 산화물(TiO_x)은, 예를 들면 TiO_2 일 수 있다. 이러한 절연성 불순물(60p)의 함량은 부피 기준으로 상변화층(60)의 10% 미만인 것이 바람직하나, 절연성 불순물(60p)의 최적 함량은 이 범위 안에서 절연성 불순물(60p)의 종류에 따라 다를 수 있다. 예컨대, 절연성 불순물(60p)이 SiO_2 인 경우, 절연성 불순물(60p)의 함량은 6% 정도가 바람직하다. 상변화층(60) 상에 상부전극(62)이 형성되어 있다. 상부전극(62)은 티타늄 나이트라이드(TiN) 전극 또는 TiAlN 전극일 수 있다.

한편, 도 1의 소정 영역(P1)을 확대하여 보여주는 도 2에 도시한 바와 같이 하부전극 콘택층(58)과 제2 층간 절연층(54) 사이에 스페이서(70)가 구비될 수도 있다. 스페이서(70)는 콘택홀(56) 크기를 작게 형성하기 위한 수단으로 구비된 것이다. 스페이서(70)의 재질은 하부전극 콘택층(58)의 재질에 따라 다를 수 있으나, SiN , SiO_2 , Al_2O_3 및 SiON 으로 이루어진 군중에서 선택된 어느 하나일 수 있다.

다른 한편으로, 제1 PRAM은 도 3에 도시한 바와 같이, 콘택홀(56)의 상단이 상변화층(60)으로 채워질 수 있다. 곧, 콘택홀(56)은 하부전극 콘택층(58)으로 대부분이 채워지고, 일부가 상변화층(60)으로 채워질 수 있다.

다음, 본 발명의 제2 실시예에 의한 PRAM(이하, 제2 PRAM)에 대해 설명한다. 상기 제2 PRAM은 절연성 불순물(60p)이 상변화층(60)의 일부 영역에만 균일하게 분포하는데 특징이 있다.

구체적으로, 도 4를 참조하면, 상기 제2 PRAM에서 절연성 불순물(60p)은 상변화층(60) 전체에 분포하는 것이 아니라 하부전극 콘택층(58)과 접촉되어 있고, 실제 상변화가 일어나는 상변화층(60)의 일부 영역(A1)에만 균일하게 분포한다.

본 발명자는 상기 제1 및 제2 PRAM과 관련하여 상변화층(60)에 절연성 불순물(60p)이 균일하게 분포되어 있는지의 여부와 그에 따른 하게 효과를 검증하기 위한 실험을 실시하였다.

상기 실험에서 본 발명자는 먼저 상변화층(60) 내에 절연성 불순물(60p)의 존재 여부를 확인하기 위하여 절연성 불순물(60p)의 함량을 서로 다르게 한 제1 내지 제3 실험용 PRAM을 형성하였다. 이때, 상변화층(60)으로 GST층을 사용하였고, 절연성 불순물(60p)로는 SiO_2 를 사용하였다.

상기 제1 실험용 PRAM의 상변화층은 상변화층을 형성하기 위한 스퍼터링 증착 과정에서 절연성 불순물(60p)이 방출되는 SiO_2 타겟에 60W의 전력을 인가하여 형성한 것이다. 그리고 상기 제2 실험용 PRAM의 상변화층은 상기 SiO_2 타겟에 100W의 전력을 인가하여 형성한 것이다. 또한, 상기 제3 실험용 PRAM의 상변화층은 상기 SiO_2 타겟에 120W의 전력을 인가하여 형성한 것이다.

도 5는 상기 제1 실험용 PRAM의 상변화층에 대한 엑스선 광전자 분광(XPS) 측정 결과를 보여준다. 그리고 도 6 및 도 7은 각각 상기 제2 및 제3 실험용 PRAM의 상변화층에 대한 엑스선 광전자 분광 측정 결과를 보여준다.

도 5 내지 도 7에서 점선으로 된 제1 내지 제3 박스들(B1, B2, B3)은 SiO_2 의 피크를 나타낸다. 도 5 내지 도 7에서 제1 내지 제3 박스들(B1, B2, B3)을 서로 비교하면, 제1 실험용 PRAM의 상변화층에서 제3 실험용 PRAM의 상변화층으로 갈수록 SiO_2 의 피크는 훨씬 뚜렷해지는 것을 볼 수 있다.

도 5 내지 도 7의 이러한 결과로부터 제1 내지 제3 실험용 PRAM의 상변화층에는 절연성 불순물로 SiO_2 가 존재하는 것을 알 수 있고, 상변화층의 제조 공정에서 SiO_2 타겟에 인가되는 전력이 증가할수록 상변화층 내의 SiO_2 함량도 증가함을 알 수 있다.

상변화층 내의 SiO_2 의 함량과 상변화층 제조 공정에서 SiO_2 타겟에 인가되는 전력사이의 관계는 완성된 상변화층에 대한 엘립소미트리(Ellipsometry) 분석 결과를 통해서 알 수 있다.

도 8은 상기 제1 내지 제3 실험용 PRAM의 상변화층들에 대한 엘립소미트리 분석 결과를 보여준다.

도 8을 참조하면, 상변화층 제조 공정에서 SiO_2 타겟에 인가되는 전력에 비례해서 상변화층 내의 SiO_2 함량도 증가함을 알 수 있다.

계속해서, 본 발명자는 상변화층 제조 공정에서 SiO₂ 타겟에 인가되는 전력에 따른 상기 제1 내지 제3 실험용 PRAM의 상변화층의 시트 저항의 변화를 측정하였고, 그 결과를 도 9에 도시하였다. 상기 시트 저항의 변화를 측정하는 실험에서는 상기 제1 내지 제3 실험용 PRAM의 상변화층 전체를 완전히 결정 상태로 유지하기 위해 상기 제1 내지 제3 실험용 PRAM을 제조하는 과정에서 상변화층을 형성한 직후, 그 결과물을 300°C에서 10분 정도 어닐링하였다. 따라서 도 9의 결과는 전체가 결정 상태인 상기 제1 내지 제3 실험용 PRAM의 상변화층에 대한 시트 저항의 변화를 보여준다.

절연성 불순물을 포함하지 않는 종래의 상변화층인 GST층의 시트 저항(R_s)이 200Ω/□인 것을 감안하면서 도 9를 참조하면, 상변화층의 제조 공정에서 SiO₂ 타겟에 인가되는 전력이 증가할수록 시트 저항이 증가함을 알 수 있는데, 그래프(G1)의 변화 양상을 볼 때, 상기 SiO₂ 타겟에 인가되는 전력이 증가함에 따라 시트 저항은 지수함수적으로 증가함을 알 수 있다.

도 8로부터 상변화층의 제조 공정에서 SiO₂ 타겟에 인가되는 전력이 증가할수록 상변화층 내의 SiO₂ 함량도 증가한다는 것을 알 수 있는 바, 상변화층 내의 SiO₂ 함량이 증가할수록 상변화층의 시트 저항은 지수 함수적으로 증가한다는 것을 알 수 있다.

이와 같이, 본 발명의 상변화 램은 상변화층의 시트저항은 종래의 상변화 램의 상변화층의 시트 저항보다 크므로, 본 발명의 상변화 램과 종래의 상변화 램에 같은 크기의 리세트 전류가 인가될 경우, 본 발명의 상변화 램의 상변화층에서 보다 큰 주울열이 발생된다. 이것은 곧 본 발명의 상변화 램과 종래의 상변화 램에 같은 크기의 주울열을 발생시키기 위해서 본 발명의 상변화 램에 상기 종래의 상변화 램에 인가되는 리세트 전류보다 작은 리세트 전류를 인가할 수 있음을 의미한다.

한편, 상술한 바와 같이 상변화층의 제조 공정에서 SiO₂ 타겟에 인가되는 전력에 따라 또는 상변화층 내의 SiO₂ 함량에 따라 상변화층의 시트 저항은 지수 함수적으로 증가하기 때문에, 상변화층 내의 SiO₂ 함량이 과도하게 증가할 경우, 상변화층의 세트 저항이 크게 증가하게 된다. 그러므로 상변화층 내의 SiO₂ 함량은 10%보다 작게 유지하는 것이 바람직하다.

다음, 본 발명자는 상기 실험의 하나로, 절연성 불순물이 포함되지 않은 상변화층(이하, 종래의 상변화층)과 상기 제3 실험용 PRAM의 상변화층에 대한 엑스선 회절 분석을 실시하였고, 도 10은 그 결과를 보여준다. 도 10에서 제2 그래프(G2)는 종래의 PRAM에 대한 것이고, 제3 그래프(G3)는 상기 제3 실험용 PRAM에 대한 것이다.

도 10의 제2 및 제3 그래프(G2, G3)를 비교하면, 상기 제3 실험용 PRAM의 상변화층의 경우, 상기 종래의 상변화층과 마찬가지로 결정 격자구조는 면심 입방(FCC) 구조를 갖고 있음을 알 수 있다. 또한, 상기 제3 실험용 PRAM의 상변화층의 경우, 여러 결정 방향에서의 피크의 반치전폭(Full Width at Half Maximum)이 크고, 피크가 낮고, 다소 넓으며, 노이즈가 존재하는 점으로 미루어 볼 때, 결정립의 크기는 작으며, 격자가 다소 왜곡(distort)되어 있음을 알 수 있다.

다음, 본 발명자는 본 발명의 PRAM의 상변화층내의 절연성 불순물 분포를 관찰하기 위하여 상변화층 형성 공정에서 SiO₂ 타겟에 180W의 전력을 인가하여 상변화층을 형성하였다. 본 발명자는 이렇게 형성한 상변화층을 대상으로 GIF(Gattan Image Filter)를 이용하여 실리콘 맵(Si map)을 측정하였다. 도 11은 이 측정 결과를 보여준다. 도 11의 상변화층(60)에서 검은 부분은 GST이고, 하얀 부분은 실리콘(Si)이다.

도 11을 참조하면, 상변화층(60)에서 실리콘은 균일하게 분포된 것을 알 수 있고, 상변화층(60)에서 파티클이나 클러스터 형태의 SiO_x는 관찰되지 않음을 알 수 있다.

다음, 본 발명자는 이와 같은 본 발명의 PRAM의 상변화층에 대해서 절연성 불순물의 함량에 따른 상변화 온도들, 곧 결정화 온도와 비정질화 온도를 측정하였다. 이 측정의 대상으로는 상변화층 형성을 위한 코-스퍼터링(co-sputtering) 공정에서 SiO₂ 타겟에 120W의 전력을 인가하여 형성한 제1 상변화층, 상기 SiO₂ 타겟에 180W의 전력을 인가하여 형성하여 형성한 제2 상변화층 및 상기 SiO₂ 타겟에 300W의 전력을 인가하여 형성한 제3 상변화층을 사용하였다.

도 12는 이 측정 결과를 보여준다. 도 12에서 가로축은 온도 변화를, 세로축은 상변화층의 상 변화를 알려주는 베타(β)값의 변화를 나타낸다. 그리고 도 12에서 제1 그래프(GG1)는 상기 제1 상변화층에 대한 측정 결과를 나타내고, 제2 그래프(GG2)는 상기 제2 상변화층에 대한 측정 결과를 나타낸다. 또한, 제3 그래프(GG3)는 상기 제3 상변화층에 대한 측정 결과를 나타낸다.

도 12를 참조하면, 제1 내지 제3 그래프(GG1, GG2, GG3)는 제1 구간(AA1)에서 1차 변곡되어 베타 값이 감소되는 것을 볼 수 있다. 제1 구간(AA1)에서 상기 제1 내지 제3 상변화층의 베타 값의 감소가 의미하는 바는 상기 제1 내지 제3 상변화층의 상(phase)이 비정질에서 결정질로 변화되는 것을 의미한다. 곧, 상기 제1 내지 제3 상변화층은 제1 구간(AA1)에서 결정화된다. 제1 구간(AA1)에서의 결정화 온도는 상기 제1 내지 제3 상변화층 별로 다르다.

구체적으로, 상기 제1 상변화층은 150°C 부근에서 결정화되는데, 상기 제2 상변화층은 180°C에 가까운 온도에서 결정화되고, 상기 제3 상변화층은 상기 제2 상변화층보다 높은 온도에서 결정화되는 것을 알 수 있다. 결정화 온도가 상기 제1 상변화층에서 상기 제3 상변화층으로 갈수록 높아지는 사실로부터 본 발명의 PRAM에서 상변화층의 결정화 온도(T_x)는 상변화층에 포함된 절연성 불순물의 함량이 높을수록 높아지는 것을 알 수 있다. 그리고 종래의 PRAM의 상변화층의 결정화 온도가 150°C 정도임을 감안할 때, 상기 제1 내지 제3 상변화층의 결정화 온도는 150°C ~ 200°C 정도로써, 종래의 PRAM의 상변화층의 결정화 온도보다 높다는 것을 알 수 있다.

계속해서, 제1 내지 제3 그래프(GG1, GG2, GG3)는 제1 구간(AA1)을 지나 계속 증가하다가 제2 구간(AA2)에서 2차 변곡되어 베타 값이 크게 감소되는 것을 볼 수 있다. 제2 구간(AA2)에서 상기 제1 내지 제3 상변화층의 베타 값이 크게 감소되는 것은 제2 구간(AA2)에서 상기 제1 내지 제3 상변화층의 상이 결정에서 비정질로 변화하기 때문이다. 곧, 상기 제1 내지 제3 상변화층은 제2 구간(AA2)에서 녹아 비정질화 된다. 상기 제1 내지 제3 상변화층의 비정질화 온도는 상기 결정화 때와 마찬가지로 상변화층에 포함된 절연성 불순물의 함량에 따라 달라진다.

구체적으로, 제2 구간(AA2)에서 상기 제1 상변화층은 630°C 정도에서 녹고, 곧 비정질화 되고, 상기 제2 상변화층은 640°C 정도에서 비정질화 되며, 상기 제3 상변화층은 600°C 정도에서 비정질화 되는 것을 알 수 있다. 이러한 사실로부터 본 발명의 PRAM에서 상변화층의 비정질화 온도(T_m)는 상변화층에 포함된 절연성 불순물, 예컨대 SiO₂의 함량이 많을수록 낮아짐을 알 수 있다. 그리고 종래의 PRAM에서 상변화층의 비정질화 온도가 630°C 정도임을 감안할 때, 본 발명의 PRAM에서 상변화층의 비정질화 온도는 종래의 PRAM의 상변화층의 비정질화 온도보다 낮다는 것을 알 수 있다. 또한, 도 12의 결과는 본 발명의 PRAM에서 상변화층에 포함된 절연성 불순물의 함량에 따라 상변화층의 비정질화 온도는 600°C 보다 낮은 온도로 낮출 수 있음을 시사한다.

상술한 실험 결과들로부터 균일하게 분포된 절연성 불순물을 포함하는 상변화층이 구비된 상기 제1 및 제2 PRAM의 결정화 온도는 종래보다 높아지고, 비정질화 온도는 종래보다 낮아짐을 알 수 있다. 이에 따라 상기 제1 및 제2 PRAM의 리세트 전류는 종래보다 낮아지게 된다. 그리고 상기 제1 및 제2 PRAM의 결정화 온도가 높다는 것은 상기 리세트 전류에 의해 기록된 데이터가 상기 제1 및 제2 PRAM의 외부 환경에 의해 변화될 가능성이 종래보다 적다는 것을 의미하는 바, 상기 리세트 전류에 의해 상기 제1 및 제2 PRAM에 기록된 데이터는 종래보다 훨씬 오랜 시간 동안 안정된 상태로 유지될 수 있음을 의미한다. 곧, 상기 제1 및 제2 PRAM의 리텐션 특성은 종래의 PRAM보다 훨씬 우수함을 의미한다.

한편, 상기 제1 및 제2 PRAM의 하부전극 콘택층(58)은 종래의 PRAM에서 하부전극 콘택층으로 사용된 TiN나 TiAlN보다 펠티어 효과(Peltier effect)가 우수하면서 저항은 비슷하고, 열전도도는 훨씬 낮은 물질층일 수 있다.

상기 제1 및 제2 PRAM의 상변화층(60)에 리세트 전류가 인가되면서 상변화층(60)의 일부 영역이 결정 상태에서 비정질 상태로 바뀌는 것은 상기 리세트 전류에 기인하여 상변화층(60)의 상기 일부 영역에 열이 발생되고, 이 열에 의해 상변화층(60)의 상기 일부 영역의 온도가 순간적으로 상변화 온도 이상이 되기 때문이다.

상변화층(60)에 상기 리세트 전류가 인가되면서 상변화층(60)의 상기 일부 영역에 발생되는 전체 열은 주울열과 열전도 손실과 펠티어 효과에 기인하여 발생되는 열(이하, 펠티어 열이라 함)의 합이 된다.

상기 펠티어 열은 펠티어 효과에 기인하기 때문에, 하부전극 콘택층(58)의 사이즈 변화에 따른 세트 저항의 증가와 같은 문제점은 갖고 있지 않다. 따라서 상기 펠티어 열을 증가시킬 경우, 세트 저항의 증가 문제는 고려 대상에서 제외하면서 상변화층(60)의 상기 일부 영역에서 발생되는 전체 열을 증가시킬 수 있다. 이것은 곧 펠티어 열에 따른 전체 열의 증가분에 해당하는 만큼 리세트 전류를 줄일 수 있음을 의미한다.

하부전극 콘택층(58)으로부터 발생되는 펠티어 열은 하부전극 콘택층(58)이 종래의 TiN, TiAlN층일 때보다 크게 증가한다. 그러므로 상기 제1 및 제2 PRAM의 리세트 전류는 펠티어 열이 증가된 만큼 낮출 수 있다. 이때, 하부전극 콘택층(58)의 사이즈는 변화하지 않으므로, 세트 저항은 증가하지 않게 된다. 이러한 하부전극 콘택층(58)의 이점과 상술한 상변화층(60)의 이점을 함께 고려할 경우, 상기 제1 및 제2 PRAM의 리세트 전류는 더욱 낮아지게 된다.

상기 제1 및 제2 PRAM의 하부전극 콘택층(58)은 다양한 형태로 변형될 수 있다. 예를 들면, 하부전극 콘택층(58)은 넓게 평평하고, 상변화층(60)은 하부가 충간 절연층(54)으로 제한된 T자형일 수 있다. 곧, 하부전극 콘택층(58)과 상변화층(60)의 접촉면이 충간 절연층에 의해서 제한된 구조일 수 있다.

구체적으로, 도 13을 참조하면, 절연층(54)에 형성된 콘택홀(56)은 제1 하부전극 콘택층(59a)으로 채워져 있다. 제1 하부전극 콘택층(59a) 둘레에 스페이서가 더 구비될 수 있다. 절연층(54) 상에 제1 하부전극 콘택층(59a)의 노출된 부분, 곧 상부면을 덮는 제2 하부전극 콘택층(59a)이 존재한다. 제1 및 제2 하부전극 콘택층(59a, 59b)은 동일한 물질로 형성된 것이 바람직하나, 필요할 경우 다를 수 있다. 제1 및 제2 하부전극 콘택층(59a, 59b)을 이루는 물질은 상기 제1 및 제2 PRAM의 하부전극 콘택층(58)을 이루는 물질과 동일할 수 있다. 제1 및 제2 하부전극 콘택층(59a, 59b)은 한번의 공정으로 형성할 수도 있고, 제1 하부전극 콘택층(59a)을 먼저 형성한 후, 제2 하부전극 콘택층(59b)을 형성할 수도 있다.

계속해서, 제2 하부전극 콘택층(58) 상에 절연층(66)이 존재한다. 절연층(66)에 제2 하부전극 콘택층(58)의 소정 영역이 노출되는 콘택홀(68)이 존재한다. 절연층(66) 상에 콘택홀(68)을 채우는 상변화층(72)이 형성되어 있다. 상변화층(72)은 도 1의 제1 PRAM에 포함된 상변화층(60)과 동일한 것이 바람직하나, 다를 수도 있다. 상변화층(72) 상에 상부전극(72)이 존재한다.

도 1의 제1 PRAM과 도 4의 제2 PRAM에서 트랜지스터는 스위칭 소자의 한 예를 예시한 것이다. 상기 트랜지스터는 다른 스위칭 소자, 예를 들면 다이오드 형 스위칭 소자로 대체될 수도 있다.

다음에는 본 발명의 실시예에 의한 상변화 램의 제조 방법을 도 14 및 도 15를 참조하여 설명한다.

도 1의 충간 절연층(54)을 형성하기까지는 통상의 제조 공정을 따른다. 이후, 충간 절연층(54)에 도 1에 도시한 콘택홀(56)을 형성하고, 콘택홀(56)을 하부전극 콘택층(58)으로 채운다. 하부전극 콘택층(58)은 도 2에 도시한 구성을 갖도록 형성할 수 있다. 이때, 하부전극 콘택층(58)을 구성하는 부분들의 재질상 특징은 도 2의 설명에서 상술한 바와 같다. 또한, 하부전극 콘택층(58)은 도 13에 도시한 바와 같이, 제1 및 제2 하부전극 콘택층(59a, 59b)을 포함하도록 형성할 수도 있다.

이어서, 도 14에 도시한 바와 같이, 충간 절연층(54)과 하부전극 콘택층(58)이 형성된 기판(40)을 스퍼터링 증착 장비의 서셉터(80) 상에 로딩한다.

스퍼터링 증착 장비에서 충간 절연층(54)으로부터 위쪽으로 주어진 거리만큼 이격된 곳에는 제1 내지 제3 타겟(T1, T2, T3)이 존재한다. 제1 내지 제3 타겟(T1, T2, T3)에는 각각 제1 내지 제3 전력 공급원(P1, P2, P3)이 연결되어 있다. 제1 내지 제3 전력 공급원(P1, P2, P3)은 공급되는 전력을 조절할 수 있다. 제1 타겟(T1)은 GST의 일부 성분, 곧 GeTe를 포함하는 타겟일 수 있고, 제2 타겟(T2)은 절연성 물질로 된 타겟, 예를 들면 SiO_x(x=1~4), SiN, Si₃N₄, TiO_x(x=1~4), AlO 및 Al₂O₃로 이루어진 군 중 선택된 어느 하나(SiO₂ 또는 SiO₄ 타겟)일 수 있으며, 제3 타겟(T3)은 상기 GST의 다른 성분, 곧 Sb₂Te₃을 포함하는 타겟일 수 있다.

계속해서, 기판(40)을 서셉터(80) 상에 로딩한 다음, 제1 및 제3 타겟(T1, T3)에 인가되는 전력을 일정하게 유지하고, 제2 타겟(T2)에 인가되는 전력은 700W이하, 예컨대 30W~500W, 바람직하게는 60W~300W의 범위에서 타겟의 구성 물질에 따라 조절할 수 있다.

이와 같이, 제1 내지 제3 타겟(T1, T2, T3)에 전력을 인가한 상태에서, 스퍼터링 가스를 제1 내지 제3 타겟(T1, T2, T3)에 충돌시켜 플라즈마를 발생시킨다. 이렇게 해서, 제1 내지 제3 타겟(T1, T2, T3)에서 제1 내지 제3 타겟(T1, T2, T3)을 구성하는 물질이 기판(40)위로 스퍼터링된다. 스퍼터링된 물질은 제1 내지 제3 타겟(T1, T2, T3)로부터 방출된 물질이 균일하게 혼합되어 이루어진 물질이다. 이러한 물질은 도 15에 도시한 바와 같이 충간 절연층(54)과 하부전극 콘택층(58)의 상부면 상에 증착된다. 이렇게 증착된 물질층이 바로 상변화층(60)이다. 그러므로 상변화층(60)은 균일하게 분포된 절연성 불순물(60p)을 포함하게 된다. 상변화층(60)에 포함된 절연성 불순물(60p)의 함량은 제2 전력 공급원(P2)으로부터 제2 타겟(T2)에 인가되는 전력을 상기 주어진 범위에서 조절함으로써 높이거나 낮출 수 있다. 이를 위해 제2 전력 공급원(P2)에 전력 조절기가 더 구비될 수 있다.

충간 절연층(54)과 하부전극 콘택층(58)의 상부면에 이와 같이 상변화층(60)을 형성한 다음에는 통상적인 과정으로 상부전극을 형성할 수 있다.

한편, 콘택홀(56)에 하부전극 콘택층(58)을 채우는 과정에서 콘택홀(56)이 일부만 하부전극 콘택층(58)을 채우고, 콘택홀(56)의 상부 나머지는 상변화층(60)을 형성하는 과정에서 상변화층(60)으로 채울 수 있다.

또한, 층간 절연층(54) 상에 하부전극 콘택층(58)의 상부면을 비롯해서 상기 상부면 둘레의 층간 절연층(54)의 일부 영역이 노출되는 마스크(미도시)를 먼저 형성한 다음, 상기 제1 내지 제3 타겟(T1, T2, T2)을 구비하는 스퍼터링 증착 장비에서 상기 마스크에 의해 노출된 영역 상에만 상변화층(60)을 형성한다. 이때, 상변화층(60)의 두께는 최종 얻어질 두께보다 얇게 형성한다. 이후, 상기 마스크를 제거하고, 또한 상기 제2 타겟(T2)에 인가되는 전력을 차단한 상태에서 스퍼터링 증착 공정을 진행한다. 이 결과, 도 4에 도시한 바와 같이, 상변화층(60)의 일부 영역(A1) 절연성 불순물이 균일하게 분포하고, 일부 영역(A1)을 제외한 상변화층(60)의 나머지는 절연성 불순물을 포함하지 않게 된다.

다음에는, 상술한 본 발명의 실시예에 의한 PRAM의 동작 방법을 설명한다. 이러한 설명은 상기 제1 및 제2 PRAM 어디에도 적용될 수 있다. 따라서 편의 상 하기 동작 설명은 도 1에 도시한 제1 PRAM을 기준으로 설명하고, 도 16를 참조한다.

본 동작 방법과 관련해서 트랜지스터는 항상 온 상태이므로, 도 16에서는 편의 상 스위칭 소자의 도시는 생략하였다. 또한, 상변화층(60)에 균일하게 분포하는 절연성 불순물의 도시도 생략하였다.

<쓰기>

도 16의 (a)도에 도시한 바와 같이, 전체가 결정 상태인 상변화층(60)에 리세트 전류(Irs)를 소정의 시간 동안, 예컨대 수십 나노초 동안 인가한다. 이때, 본 발명의 하부전극 콘택층(58)에서 종래에 비해 훨씬 큰 펠티어 열이 발생되기 때문에, 리세트 전류(Irs)는 종래의 리세트 전류보다 작다. 예컨대, 16Mb PRAM의 경우, 종래에는 1.6mA 정도의 리세트 전류가 필요한데, 본 발명에서 리세트 전류(Irs)는 1.6mA보다 작다. 또한, 64Mb PRAM의 경우, 종래에서는 1.1mA 정도의 리세트 전류가 필요한데, 본 발명의 PRAM에서 리세트 전류(Irs)는 1.1mA보다 작다.

본 발명의 PRAM은 상변화층(60)에 기인한 효과와 하부전극 콘택층(58)에 기인한 효과를 갖고 있다. 때문에 더 높은 집적도에서도 본 발명의 리세트 전류(Irs)는 종래의 리세트 전류보다 작을 수 있다.

도 16에서 참조부호 h2는 리세트 전류(Irs)의 높이, 곧 세기를 나타내는데, 종래의 리세트 전류보다 낮다.

상변화층(60)에 리세트 전류(Irs)가 인가되면서 상변화층(60)의 하부전극 콘택층(58)과 접촉된 일부 영역(도 4의 A1)은 순간적으로 상변화 온도 이상이 된다. 이 결과, 도 16의 (b)도에 도시한 바와 같이 상변화층(60)에 비정질 영역(90)이 형성된다. 상변화층(60)의 상기 일부 영역이 비정질 영역(90)으로 되면서 상변화층(60)의 전기적 저항은 높아진다. 이와 같이 상변화층(60)의 상기 일부 영역이 비정질 영역(90)이 되었을 때, 도 1에 도시한 제1 PRAM에 비트 데이트 1이 기록된 것으로 간주한다.

한편, 상변화층(60)의 상기 일부 영역이 결정 영역일 때, 제1 PRAM에 비트 데이트 0이 기록된 것으로 간주한다.

도 16의 (b)도에 도시한 바와 같이 상변화층(60)에 비정질 영역(90)이 존재하는 상태에서 상변화층(60)에 리세트 전류(Irs)보다 작은 세기의 세트 전류(Is)를 인가한다. 그러나 세트 전류(Is)는 상기한 리세트 전류(Irs)보다 긴 시간 동안 인가한다.

이러한 세트 전류(Is)가 인가되면서 상변화층(60)의 비정질 영역(90)은 결정 상태로 되고, 도 16의 (c)도에 도시한 바와 같이 상변화층(60)은 전체가 결정 상태가 된다. 도 16의 (c)도와 (a)도에서 상변화층(60)의 상태는 동일하다. 따라서 도 16의 (b)도에 도시한 상변화층(60)에 세트 전류(Is)를 인가하는 과정은 상변화층(60)에 기록된 비트 데이트 1을 소거하는 과정으로 볼 수도 있고, 상변화층(60)에 비트 데이트 0을 기록하는 과정으로 볼 수도 있다.

<읽기>

읽기는 상변화층(60)의 상이 바뀌지 않을 정도의 전류를 상변화층(60)에 인가하였을 때, 측정된 저항의 대소를 판단하여 상변화층(60)에 기록된 비트 데이터가 1인지 0인지를 판독한다. 따라서 읽기 과정에서 상변화층(60)에 인가되는 전류는 상기 리세트 전류(Irs)와 세트 전류(Is)보다 낮을 수 있다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시 예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 상술한 물질층의 보다 큰 펠티어 효과를 나타낼 수 있는 다른 물질층으로 하부전극 콘택층(58)을 구성할 수도 있을 것이다. 이와 함께 상변화층(60)을 GST층외의 다른 물질층으로 대체하려는 시도를 할 수 있을 것이다. 또한, 리세트 전류와 세트 전류를 반대 방향으로 인가하는 동작 방법을 추구할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명의 상변화 램은 상변화층에 균일하게 분포된 절연성 불순물을 포함한다. 상기 절연성 불순물로 인해 본 발명의 상변화 램의 비정질화 온도(T_m)는 낮아지고, 결정화 온도(T_x)는 높아진다. 이에 따라 상변화 램의 리세트 전류는 실질적으로 낮아지게 되므로, 트랜지스터의 사이즈를 낮아진 리세트 전류에 맞게 줄일 수 있다. 또한, 결정화 온도의 증가에 의해 상변화 램의 리텐션 특성이 개선될 수 있다.

이와 함께 본 발명의 상변화 램에서는 상변화층(60)의 밀면과 접촉되는 하부전극 콘택층(58)으로 소정의 물질층을 사용한다. 상기 소정의 물질층은 종래의 TiN, TiAlN보다 씨백 계수의 절대값이 크고, 음의 부호를 가지며, 열전도도는 낮고, 전기 저항은 비슷한 물질층이다. 이러한 물질층은 씨백 계수가 크기 때문에, 펠티어 열 발생량이 종래보다 훨씬 증가한다.

따라서 본 발명을 이용하면, 상변화층(60)에 기인하여 리세트 전류를 줄일 수 있고, 여기에 더해서 펠티어 열의 증가분 만큼 리세트 전류를 더 줄일 수 있다. 이러한 결과에 따라 트랜지스터의 허용 전류도 크게 낮출 수 있다. 이에 따라 트랜지스터의 사이즈를 현재보다 더 줄일 수 있는데, 이는 상변화 램의 접적도를 높이는 결과를 가져온다.

본 발명의 상변화 램에 있어서, 펠티어 효과에 기인한 리세트 전류의 감소는 하부전극 콘택층(58)의 사이즈 감소와는 무관하다. 그러므로 본 발명을 이용하면, 세트 저항의 증가 없이도 상변화 램의 접적도를 높일 수 있다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 의한 PRAM의 단면도이다.

도 2는 도 1의 하부전극 콘택층의 일부 영역(P1)을 확대한 단면도이다.

도 3은 도 1의 PRAM에서 상변화층이 콘택홀의 상층부를 채운, 곧 하부전극 콘택층의 상층부로 확장된 경우를 나타낸 단면도이다.

도 4는 본 발명의 제2 실시예에 의한 PRAM의 단면도이다.

도 5 내지 도 12는 본 발명의 실시예에 의한 PRAM의 물리적 특성 측정을 위해 실시한 실험 결과를 나타낸 그래프들이다.

도 13은 도 1의 PRAM에서 하부전극 콘택층의 변형 예를 나타낸 단면도이다.

도 14 및 도 15는 본 발명의 실시예에 의한 PRAM의 제조 방법을 단계별로 나타낸 단면도들이다.

도 16은 본 발명의 실시예에 의한 PRAM의 동작 방법을 나타낸 단면도이다.

도면의 주요 부분에 대한 부호설명

40:기판 42:게이트 산화막

44:게이트 46, 54:제1 및 제2 층간 절연층

48, 56, 68:콘택홀 52:하부전극

50:도전성 플러그 58:하부전극 콘택층

59a, 59b:제1 및 제2 하부전극 콘택층

60, 72:상변화층 62, 74:상부전극

66:절연층 70:스페이서

80:서셉터 90:비정질 영역

AA1, AA2:제1 및 제2 구간 B1, B2, B3:제1 내지 제3 박스

G1, GG1:제1 그래프 G2, GG2:제2 그래프

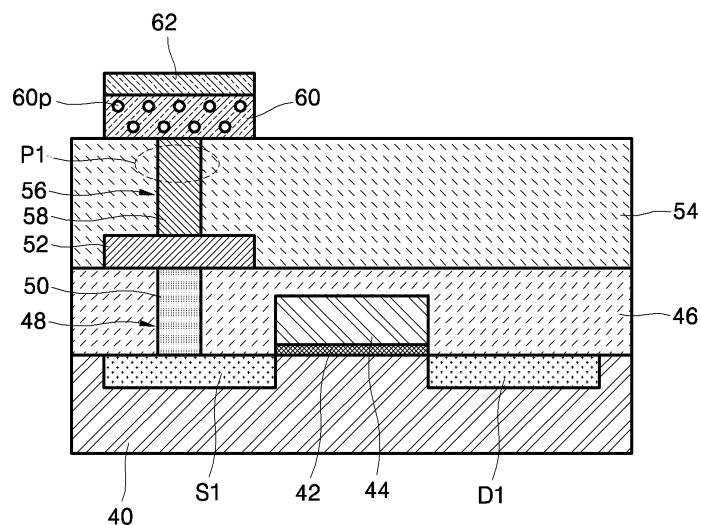
G3, GG3:제3 그래프 P1, P2, P3:제1 내지 제3 전력 공급원

S1, D1:제1 및 제2 불순물 영역

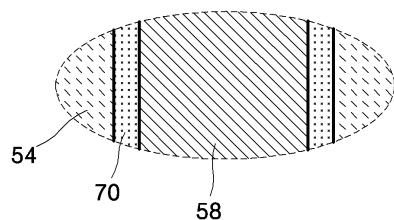
T1, T2, T3:제1 내지 제3 타겟

도면

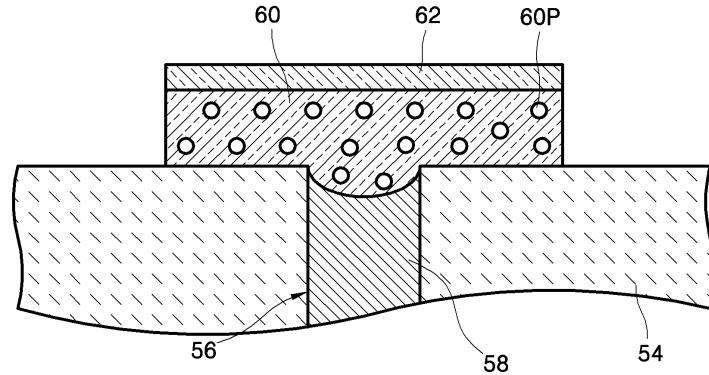
도면1



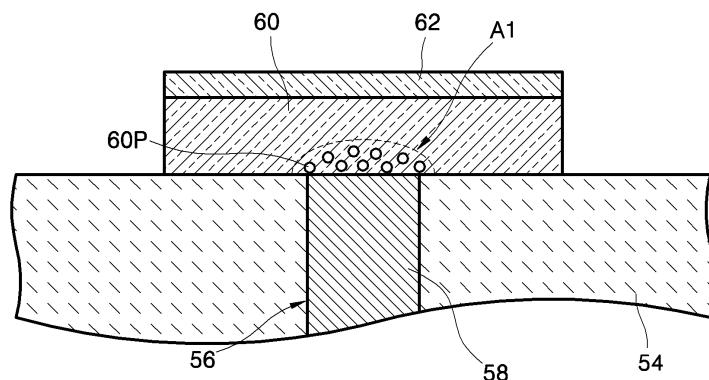
도면2



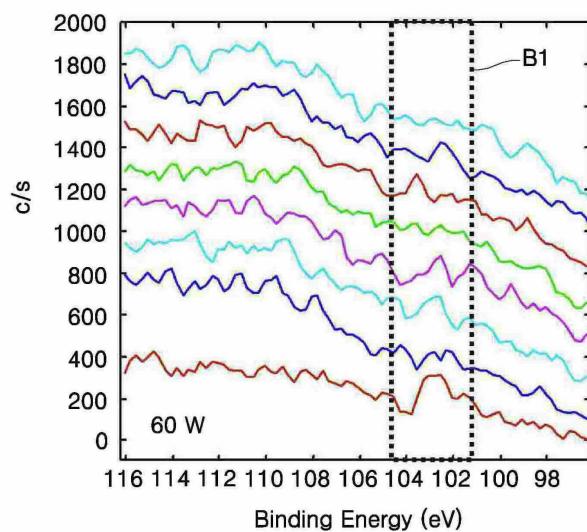
도면3



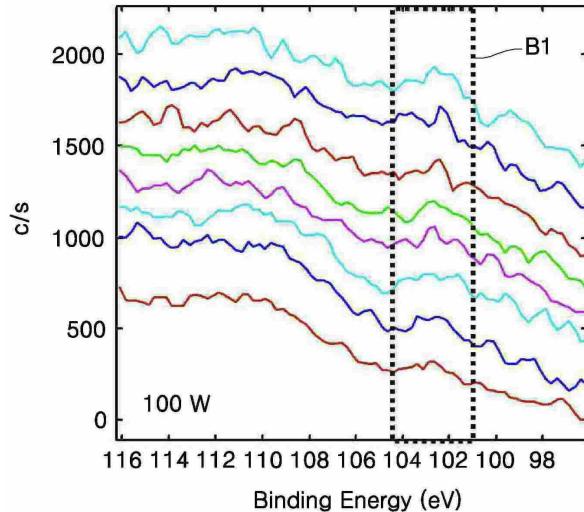
도면4



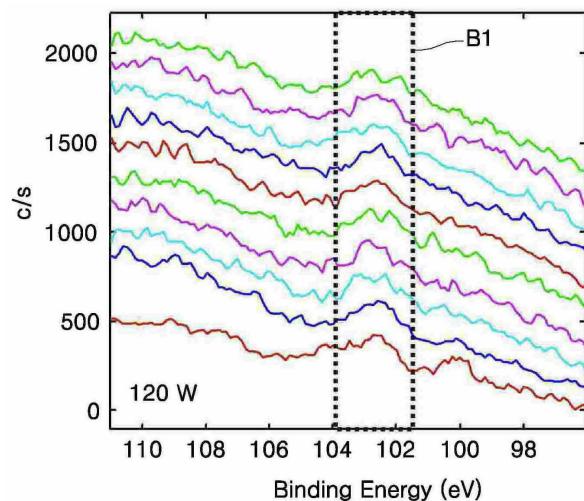
도면5



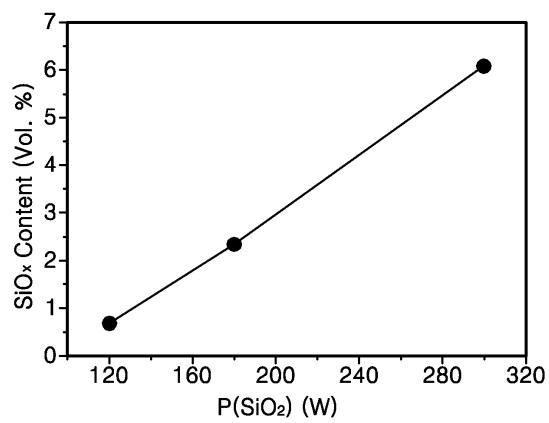
도면6



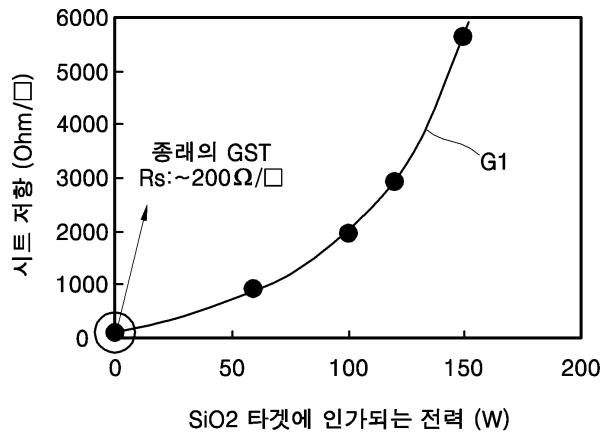
도면7



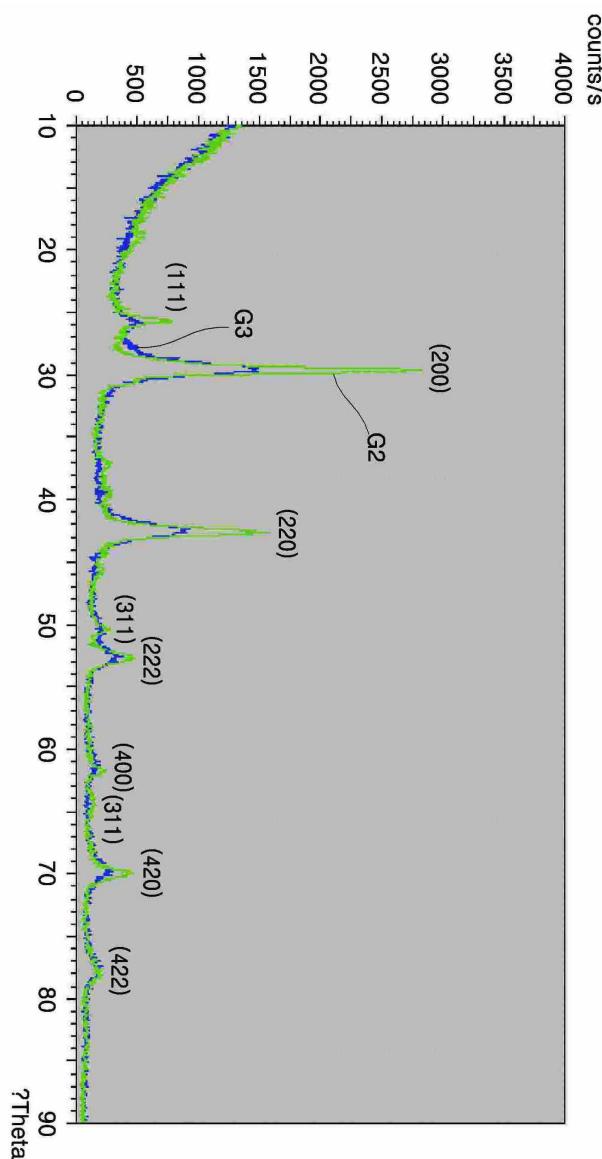
도면8



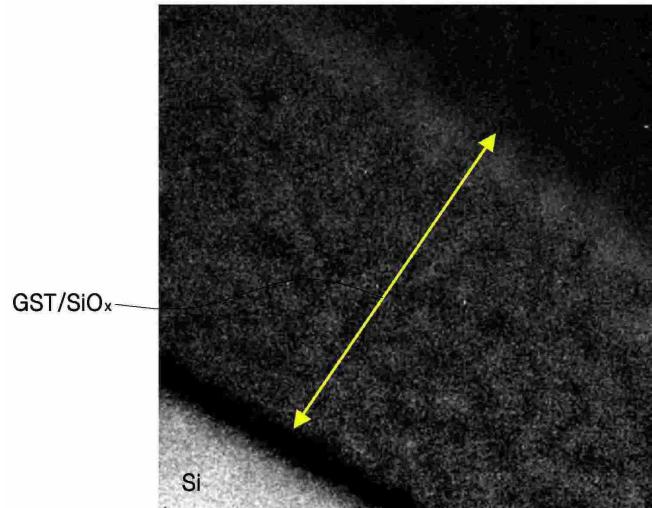
도면9



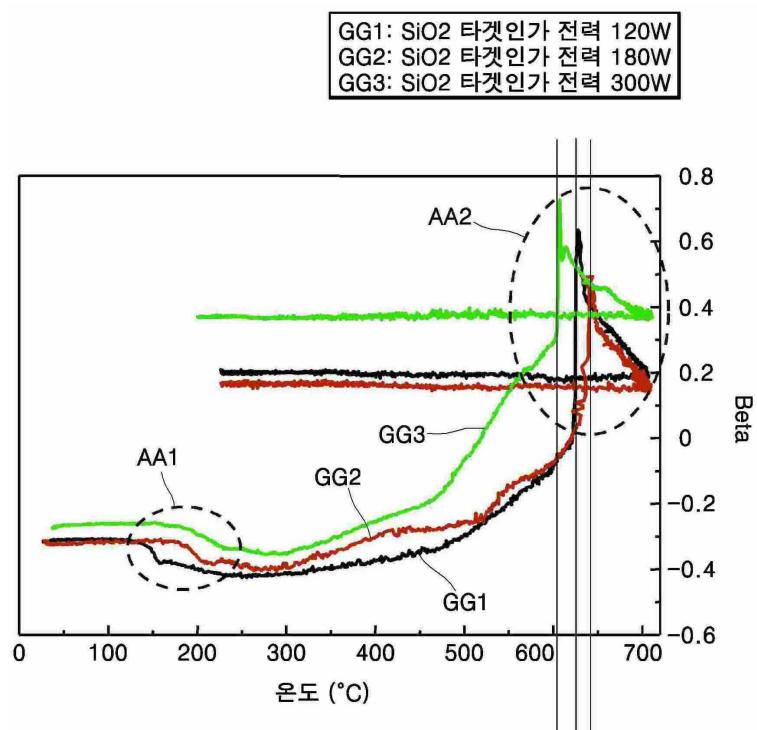
도면10



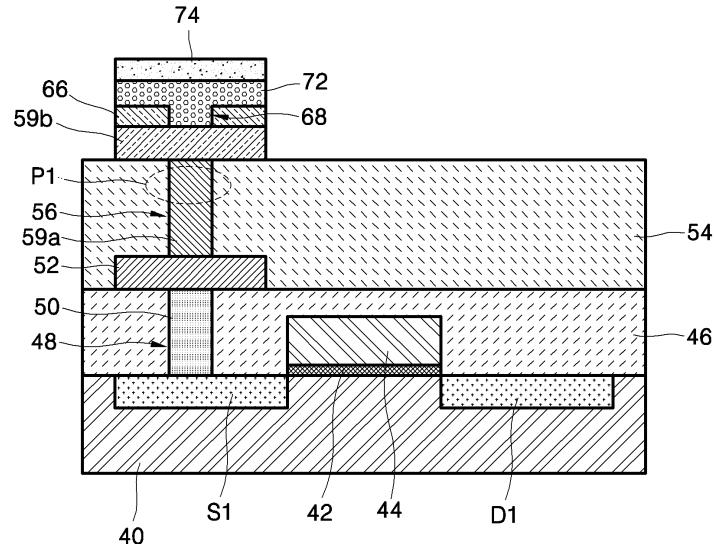
도면11



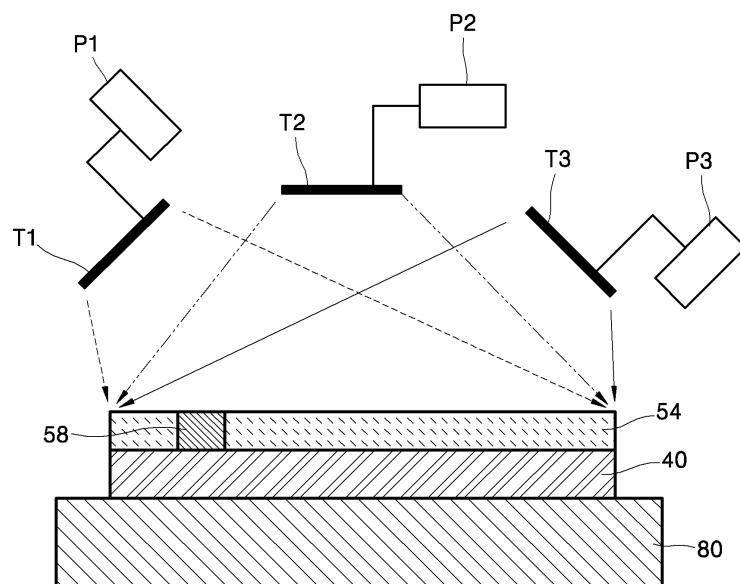
도면12



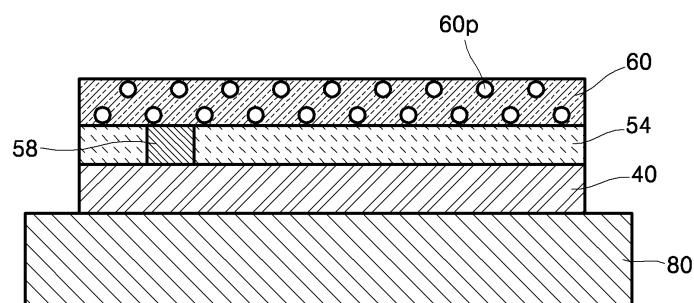
도면13



도면14



도면15



도면16

