(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104702269 B
(45)授权公告日 2018.07.10

(21)申请号 201410757917.6

(22)申请日 2014.12.10

(65)同一申请的已公布的文献号
申请公布号 CN 104702269 A

(43)申请公布日 2015.06.10

(30)优先权数据
2013-255325 2013.12.10 JP

(73)专利权人 精工爱普生株式会社
地址 日本东京

(72)发明人 牧克彦 仓科隆 井伊巨树

(74)专利代理机构 北京金信知识产权代理有限公司 11225
代理人 黄威 苏萌萌

(51)Int.Cl.
H03L 7/08(2006.01)

(56)对比文件
CN 101136240 A,2008.03.05,
CN 202153136 U,2012.02.29,
US 2010/0289480 A1,2010.11.18,
CN 1521951 A,2004.08.18,
JP 特开2012-163477 A,2012.08.30,
JP 特开2012-198099 A,2012.10.18,

审查员 庞双德

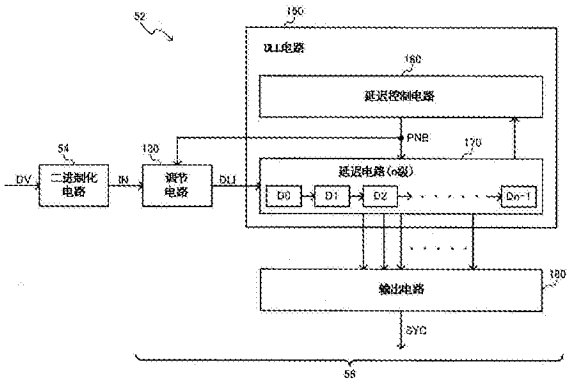
权利要求书3页 说明书22页 附图20页

(54)发明名称

检测装置、传感器、电子设备以及移动体

(57)摘要

本发明提供一种检测装置、传感器、电子设备以及移动体等，其能够以小规模的电路来实现同步信号的微调与粗调。检测装置(20)包括物理量转换器的驱动电路、同步信号输出电路(52)、实施与物理量对应的物理量信号的检测处理的检测电路。同步信号输出电路(52)包括：DLL电路(150)，其包括输出延迟控制信号PNB的延迟控制电路(160)，与具有通过延迟控制信号PNB而对延迟时间进行控制的多个延迟单元D0～Dn-1的延迟电路(170)；调节电路(130)，其至少具有一个通过延迟控制信号PNB而对延迟时间进行控制的延迟单元，并将基于来自驱动电路的输出信号的输入信号IN的被延迟后的信号DLI输出至DLL电路(150)；输出电路(180)，其根据来自DLL电路(150)的多相时钟信号而输出同步信号SYC。



CN 104702269 B

1.一种检测装置,其特征在于,包括:

驱动电路,其接收来自物理量转换器的反馈信号而对所述物理量转换器进行驱动;

同步信号输出电路,其接收来自所述驱动电路的输出信号而输出同步信号;

检测电路,其根据来自所述物理量转换器的信号以及所述同步信号而实施与物理量对应的物理量信号的检测处理,并输出检测数据,

所述同步信号输出电路包括:延迟锁相环电路,其包括输出延迟控制信号的延迟控制电路、和具有通过所述延迟控制信号而对延迟时间进行控制的多个延迟单元的延迟电路;

调节电路,其具有通过所述延迟控制信号而对延迟时间进行控制的至少一个延迟单元,并将如下信号输出至所述延迟锁相环电路,所述信号为,将基于来自所述驱动电路的所述输出信号而生成的输入信号延迟而得到的信号;

输出电路,其根据来自所述延迟锁相环电路的多相时钟信号而输出所述同步信号。

2.如权利要求1所述的检测装置,其特征在于,

所述调节电路包括第二延迟电路,所述第二延迟电路通过与构成所述延迟锁相环电路的所述延迟电路的所述延迟单元相比而延迟时间较少的延迟单元而构成。

3.如权利要求1所述的检测装置,其特征在于,

所述调节电路包括第三延迟电路,所述第三延迟电路通过与构成所述延迟锁相环电路的所述延迟电路的所述延迟单元的个数相比而为较少个数的延迟单元而构成。

4.如权利要求1所述的检测装置,其特征在于,

所述输出电路在m以及n为大于1的整数并且m小于n时,根据来自所述延迟锁相环电路的n个所述多相时钟信号之中的m个多相时钟信号而输出所述同步信号。

5.如权利要求1至4中的任意一项所述的检测装置,其特征在于,

所述输出电路包括:

第一选择器,其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第一多相时钟信号组而输出第一信号;

第二选择器,其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第二多相时钟信号组而输出第二信号,

第三选择器,其接收所述第一信号和所述第二信号而输出所述同步信号。

6.如权利要求1至4中的任意一项所述的检测装置,其特征在于,

所述输出电路包括:

第一选择器,其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第一多相时钟信号组而输出第一信号;

第二选择器,其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第二多相时钟信号组而输出第二信号;

波形整形电路,其输出通过所述第一信号而被设定下降沿、通过所述第二信号而被设定上升沿的所述同步信号。

7.如权利要求6所述的检测装置,其特征在于,

所述输出电路包括:

第三选择器,其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第三多相时钟信号组而输出第三信号;

第四选择器，其接收来自所述延迟锁相环电路的所述多相时钟信号之中的第四多相时钟信号组而输出第四信号；

第二波形整形电路，其输出通过所述第三信号而被设定下降沿、通过所述第四信号而被设定上升沿的第二同步信号。

8.如权利要求1至4中的任意一项所述的检测装置，其特征在于，

所述延迟控制电路实施所述延迟锁相环电路的输入信号与输出信号的相位比较而生成所述延迟控制信号。

9.如权利要求1至4中的任意一项所述的检测装置，其特征在于，

所述延迟控制电路在n以及j为大于1的整数、并且j小于n时，实施所述延迟锁相环电路中的n个所述多相时钟信号之中的j个多相时钟信号的相位比较，从而生成所述延迟控制信号。

10.如权利要求1至4中的任意一项所述的检测装置，其特征在于，

构成所述延迟锁相环电路以及所述调节电路的各所述延迟单元为差动输入以及差动输出的差动型电路。

11.如权利要求1所述的检测装置，其特征在于，

所述驱动电路被配置于所述同步信号输出电路与所述检测电路之间。

12.如权利要求1所述的检测装置，其特征在于，

在将与第一方向正交的方向设为第二方向，将所述第一方向的相反方向设为第三方向的情况下，

所述延迟锁相环电路的所述多个延迟单元之中的第一延迟单元组，以各个所述延迟单元的从输入到输出的方向沿着所述第一方向的方式而被配置，与所述第一延迟单元组相继的第二延迟单元组被配置于所述第一延迟单元组的所述第二方向侧，且以各个所述延迟单元的从输入到输出的方向沿着所述第三方向的方式而被配置。

13.一种检测装置，其特征在于，包括：

驱动电路，其接收来自物理量转换器的反馈信号而对所述物理量转换器进行驱动；

同步信号输出电路，其接收来自所述驱动电路的输出信号而输出同步信号；

检测电路，其根据来自所述物理量转换器的信号以及所述同步信号而实施与物理量对应的物理量信号的检测处理，并输出检测数据，

所述同步信号输出电路包括：

延迟锁相环电路，其包括输出延迟控制信号的延迟控制电路、和具有根据所述延迟控制信号而对延迟时间进行控制的多个延迟单元的延迟电路；

调节电路，其具有通过所述延迟控制信号而对延迟时间进行控制的至少一个延迟单元，并被设置于所述延迟锁相环电路的环外，而对所述同步信号的相位进行调节；

输出电路，其根据来自所述延迟锁相环电路的多相时钟信号而输出所述同步信号。

14.如权利要求13所述的检测装置，其特征在于，

所述驱动电路被配置于所述同步信号输出电路与所述检测电路之间。

15.如权利要求13中的任意一项所述的检测装置，其特征在于，

在将与第一方向正交的方向设为第二方向，将所述第一方向的相反方向设为第三方向的情况下，

所述延迟锁相环电路的所述多个延迟单元之中的第一延迟单元组，以各个所述延迟单元的从输入到输出的方向沿着所述第一方向的方式而被配置，与所述第一延迟单元组相继的第二延迟单元组被配置于所述第一延迟单元组的所述第二方向侧，且以各个所述延迟单元的从输入到输出的方向沿着所述第三方向的方式而被配置。

16.一种检测装置，其特征在于，包括：

驱动电路，其接收来自物理量转换器的反馈信号而对所述物理量转换器进行驱动；

同步信号输出电路，其接收来自所述驱动电路的输出信号而输出同步信号；

检测电路，其根据来自所述物理量转换器的信号以及所述同步信号而实施与物理量相对应的物理量信号的检测处理，并输出检测数据，

所述同步信号输出电路包括：

延迟锁相环电路，其具有输出延迟控制信号的延迟控制电路、和通过由所述延迟控制信号来对延迟时间进行控制的多个延迟单元而构成的延迟电路；

输出电路，其根据来自所述延迟锁相环电路的多相时钟信号而输出所述同步信号，

所述驱动电路被配置于所述同步信号输出电路与所述检测电路之间。

17.如权利要求16中的任意一项所述的检测装置，其特征在于，

在将与第一方向正交的方向设为第二方向，将所述第一方向的相反方向设为第三方向的情况下，

所述延迟锁相环电路的所述多个延迟单元之中的第一延迟单元组，以各个所述延迟单元的从输入到输出的方向沿着所述第一方向的方式而被配置，与所述第一延迟单元组相继的第二延迟单元组被配置于所述第一延迟单元组的所述第二方向侧，且以各个所述延迟单元的从输入到输出的方向沿着所述第三方向的方式而被配置。

18.一种传感器，其特征在于，包括：

权利要求1至17中的任意一项所述的检测装置；

所述物理量转换器。

19.一种电子设备，其特征在于，

包括权利要求1至17中的任意一项所述的检测装置。

20.一种移动体，其特征在于，

包括权利要求1至17中的任意一项所述的检测装置。

检测装置、传感器、电子设备以及移动体

技术领域

[0001] 本发明涉及到检测装置、传感器、电子设备以及移动体等。

背景技术

[0002] 在数码相机、智能电话等的电子设备与汽车、飞机等的移动体中，组装有用于对由于外部要因而变化的物理量进行检测的陀螺传感器。陀螺传感器对角速度等的物理量进行检测，被使用于所谓的抖动补正、姿态控制、GPS自动导航等。

[0003] 例如作为陀螺传感器中的一种，已知水晶压电振动陀螺传感器这类的振动陀螺传感器。在振动陀螺传感器中，对与通过旋转而产生的科里奥利力对应的物理量进行检测。

[0004] 在这样的陀螺传感器的检测装置中，为了对多余信号进行除去而设置有同步检波电路。为了实施合理的同步检波，需要将来自振子的检测信号与使用于同步检波电路的同步信号(参照信号，检波信号)之间的相位关系调整为合理。作为涉及到这样的相位调整的现有技术，例如已知专利文献1、2所公开的现有技术。

[0005] 例如在专利文献1中公开了一种设置通过PLL(Phase Locked Loop：锁相环)电路而被构成的相位调节电路来实施同步信号的相位调整的技术。专利文献2中公开了设置通过DLL(Delay Locked Loop：延迟锁相环)电路而被构成的相位调节电路来实施同步信号的相位调整的技术。

[0006] 然而，像专利文献1那样以PLL电路来构成相位调节电路的方法，会产生消耗功率增加及电路大规模化等的问题。

[0007] 此外在以DLL电路来构成相位调节电路的专利文献2中，为了实现相位的微调，由较小的相位调整量(例如0.5度)的多个延迟单元串联连接而成的延迟电路成为必要。因此，延迟单元的数目变得较多，从而导致延迟电路的大规模化。此外在设置有从来自DLL电路的多相位时钟信号来选择同步信号的选择器的情况下，会产生导致选择器的电路面积的增加、与对DLL电路与选择器进行连接的信号线的配线区域的面积的增加，从而检测装置被实施为大规模化等的问题。

[0008] 根据本发明的多个方式能够提供一种检测装置、传感器、电子设备以及移动体等，其能够通过小规模的电路结构来实现同步信号的微调、粗调。

[0009] 专利文献1：日本特开2012-163477号公报

[0010] 专利文献2：日本特开2009-281888号公报

发明内容

[0011] 本发明为为了解决上述课题中的至少一部分而被完成，可作为以下的形态或方式而实现。

[0012] 本发明的一个方式涉及到一种检测装置，其中包括：驱动电路，其接收来自物理量转换器的反馈信号而对所述物理量转换器进行驱动；同步信号输出电路，其接收来自所述驱动电路的输出信号而输出同步信号；检测电路，其根据来自所述物理量转换器的信号以

及所述同步信号而实施与物理量对应的物理量信号的检测处理，并输出检测数据，所述同步信号输出电路包括DLL(Delay Locked Loop)电路，其包括输出延迟控制信号的延迟控制电路、和具有通过所述延迟控制信号而对延迟时间进行控制的多个延迟单元的延迟电路；调节电路，其具有通过所述延迟控制信号而对延迟时间进行控制的至少一个延迟单元，并将如下信号输出至所述DLL电路，所述信号为，将基于来自所述驱动电路的所述输出信号而生成的输入信号延迟而得到的信号；输出电路，其根据来自所述DLL电路的多相时钟信号而输出所述同步信号。

[0013] 根据本发明的一个方式，同步信号输出电路输出同步信号，从而检测电路使用同步信号而实施物理量信号的检测处理。在该同步信号输出电路中设置有具有延迟控制电路与延迟电路的DLL电路、输出电路、和调节电路。而后调节电路根据DLL电路中的延迟单元用的延迟控制信号而对该延迟单元的延迟时间进行控制，并将基于来自驱动电路的输出信号的输入信号的、被延迟后的信号输出至DLL电路。因此，在DLL电路锁定了延迟时间的情况下，通过调节电路的延迟单元而以基于该延迟控制信号的延迟时间来使输入信号延迟、并使其输入至DLL电路。由此，同步信号的相位的微调、粗调等成为可能。

[0014] 此外本发明也可以采用下述方式，即，所述调节电路包括第二延迟电路，所述第二延迟电路通过与构成所述DLL电路的所述延迟电路的所述延迟单元相比而延迟时间较少的延迟单元而被构成。

[0015] 这样，可实施同步信号的相位的微调，并能够实现高解析度的相位调整等。

[0016] 此外本发明也可以采用下述方式，即，所述调节电路包括第三延迟电路，所述第三延迟电路通过与构成所述DLL电路的所述延迟电路的所述延迟单元的个数相比而为较少个数的延迟单元而被构成。

[0017] 这样，可实施同步信号的相位的粗调，并能够实现较宽范围的相位调整等。

[0018] 此外本发明也可以采用下述方式，即，在m以及n为大于1的整数并且m小于n时，所述输出电路根据来自所述DLL电路的n个所述多相时钟信号之中的m个多相时钟信号而输出所述同步信号。

[0019] 这样，便能够对因为多相时钟信号的配线区域等从而电路大规模化等的情况进行抑制。

[0020] 此外本发明还可以采用下述方式，即，所述输出电路包括：第一选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第一多相时钟信号组而输出第一信号；第二选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第二多相时钟信号组而输出第二信号，第三选择器，其接收来自所述第一信号与所述第二信号而输出所述同步信号。

[0021] 这样，可在第一多相时钟信号组、第二多相时钟信号组所对应的调整范围中对相位进行调整，并能够实现较宽范围的相位调整等。

[0022] 此外本发明还可以采用下述方式，即，所述输出电路包括：第一选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第一多相时钟信号组而输出第一信号；第二选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第二多相时钟信号组而输出第二信号；波形整形电路，其输出通过所述第一信号而被设定下降沿、通过所述第二信号而被设定上升沿的所述同步信号。

[0023] 这样，可实施同步信号的占空比的调整等，例如能够使占空比接近50％从而提高

检测装置的检测性能。

[0024] 此外本发明还可以采用下述方式，所述输出电路包括：第三选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第三多相时钟信号组而输出第三信号；第四选择器，其接收来自所述DLL电路的所述多相时钟信号之中的第四多相时钟信号组而输出第四信号；第二波形整形电路，其输出下降沿通过所述第三信号而被设定、上升沿通过所述第四信号而被设定的第二同步信号。

[0025] 这样，除了被实施了占空比的调整等的同步信号之外，还能够同时输出被实施了占空比调整等的第二同步信号。

[0026] 此外本发明还可以采用下述方式，其中，所述延迟控制电路实施所述DLL电路的输入信号与输出信号的相位比较而生成所述延迟控制信号。

[0027] 通过实施这样的相位比较，可实施基于DLL电路的延迟时间的锁定。

[0028] 此外本发明还可以采用下述方式，其中，所述延迟控制电路在n以及j为大于1的整数、并且j小于n时，实施所述DLL电路中的n个所述多相时钟信号之中的j个多相时钟信号的相位比较，从而生成所述延迟控制信号。

[0029] 通过实施这样的相位比较，可实施基于DLL电路的延迟时间的锁定，同时能够对虚拟锁定的产生等进行抑制。

[0030] 此外本发明还可以采用下述方式，其中，构成所述DLL电路以及所述调节电路的各所述延迟单元为差动输入以及差动输出的差动型电路。

[0031] 这样，能够对因为制造工序的偏差等从而DLL电路的锁定功能成为不正常工作的情况等进行抑制。

[0032] 此外本发明的一个方式涉及到一种检测装置，其包括：驱动电路，其接收来自物理量转换器的反馈信号而对所述物理量转换器进行驱动；同步信号输出电路，其接收来自所述驱动电路的输出信号而输出同步信号；检测电路，其根据来自所述物理量转换器的信号以及所述同步信号而实施与物理量对应的物理量信号的检测处理，并输出检测数据，所述同步信号输出电路包括：DLL(Delay Locked Loop)电路，其包括输出延迟控制信号的延迟控制电路、和具有根据所述延迟控制信号而对延迟时间进行控制的多个延迟单元的延迟电路；调节电路，其具有通过所述延迟控制信号而对延迟时间进行控制的至少一个延迟单元，并被设置于所述延迟锁相环电路的环外，而对所述同步信号的相位进行调节；输出电路，其根据来自所述DLL电路的多相时钟信号而输出所述同步信号。

[0033] 根据本发明的一个方式，同步信号输出电路输出同步信号，检测电路使用该同步信号而实施物理量信号的检测处理。在该同步信号输出电路中，设置有具有延迟控制电路与延迟电路的DLL电路、输出电路、调节电路。而且调节电路被设置于DLL电路的回路之外，并对同步信号的相位进行调整。并且，在该调节电路中，根据DLL电路的延迟单元用的延迟控制信号而对该延迟单元的延迟时间进行控制。因此，在DLL电路锁定了延迟时间的情况下，通过该延迟控制信号对调节电路的延迟单元的延迟时间进行控制，从而对同步信号的相位进行调整。由此，可实施同步信号的相位的微调、粗调等。

[0034] 此外本发明还可以采用下述方式，其中，所述驱动电路被配置于所述同步信号输出电路与所述检测电路之间。

[0035] 此外本发明还可以采用下述方式，其中包括：驱动电路，其接收来自物理量转换器

的反馈信号而对所述物理量转换器进行驱动;同步信号输出电路,其接收来自所述驱动电路的输出信号而输出同步信号;检测电路,其根据来自所述物理量转换器的信号以及所述同步信号而实施与物理量相对应的物理量信号的检测处理,并输出检测数据,所述同步信号输出电路包括:DLL(Delayed Locked Loop)电路,其具有输出延迟控制信号的延迟控制电路、和通过由所述延迟控制信号来对延迟时间进行控制的多个延迟单元而被构成的延迟电路;输出电路,其根据来自所述DLL电路的多相时钟信号而输出所述同步信号,所述驱动电路被配置于所述同步信号输出电路与所述检测电路之间。

[0036] 根据本发明的一个方式,同步信号输出电路通过来自驱动电路的输出信号而输出同步信号,并且检测电路使用该同步信号而实施物理量信号的检测处理。而后,同步信号输出电路具有DLL电路与输出电路,驱动电路被配置于同步信号输出电路与检测电路之间。这样,因为能够对同步信号输出电路与检测电路之间的距离进行分离,从而能够对同步信号输出电路的DLL电路的多个延迟单元所产生的数字噪声被传递至检测电路进而使检测性能下降等的情况进行抑制。

[0037] 此外本发明还可以采用下述方式,其中,在将与第一方向正交的方向设为第二方向,将所述第一方向的相反方向设为第三方向的情况下,所述延迟锁相环电路的所述多个延迟单元之中的第一延迟单元组,以各个所述延迟单元的从输入到输出的方向沿着所述第一方向的方式而被配置,与所述第一延迟单元组相继的第二延迟单元组被配置于所述第一延迟单元组的所述第二方向侧,且以各个所述延迟单元的从输入到输出的方向沿着所述第三方向的方式而被配置

[0038] 这样,能够以较高效率对DLL电路的多个延迟单元进行布局配置。并且,例如通过实施从第一延迟单元组向第二延迟单元组前行的折回点的调整等,可实施同步信号输出电路的第一方向的宽度的调整等,从而能够提高布局效率。

[0039] 本发明的其他的方式涉及到包括上文所述的检测装置和所述物理量转换器的传感器。

[0040] 本发明的其他的方式涉及到包括上文所述的检测装置的电子设备。

[0041] 本发明的其他的方式涉及到包括上文所述的检测装置的移动体。

附图说明

[0042] 图1为本实施方式的检测装置、电子设备、陀螺传感器的结构例。

[0043] 图2为检测装置的详细的结构例。

[0044] 图3中的图3(A)～图3(D)为同步检波的说明图。

[0045] 图4中的图4(A)、图4(B)为本实施方式的比较例。

[0046] 图5为本实施方式的同步信号输出电路的基本结构例。

[0047] 图6为同步信号输出电路的详细的第一结构例。

[0048] 图7为作为延迟单元的一个示例的电流控制型倒相电路的结构例。

[0049] 图8中的图8(A)、图8(B)为延迟控制电路的结构例。

[0050] 图9为同步信号输出电路的详细的第二结构例。

[0051] 图10为作为延迟单元的一个示例的差动型电路的结构例。

[0052] 图11为同步信号输出电路的详细的第三结构例。

[0053] 图12为同步信号输出电路的详细的第四结构例。

[0054] 图13中的图13(A)、图13(B)为延迟控制电路的结构例。

[0055] 图14为对延迟控制电路的动作进行说明的信号波形例。

[0056] 图15为波形整形电路的结构例。

[0057] 图16中的图16(A)、图16(B)为对波形整形电路的动作进行说明的信号波形例。

[0058] 图17为检测装置的布局配置例。

[0059] 图18为同步信号输出电路的布局配置例。

[0060] 图19为全差动开关混频器方式的检测装置的结构例。

[0061] 图20为应用了本实施方式的检测装置的移动体的一个示例。

具体实施方式

[0062] 以下,对本发明所适合的实施方式详细地进行说明。以下所说明的本实施方式并不对权利要求书中所记载的本发明的内容进行不适当的限定,在本实施方式中所说明的全部结构并不一定都是作为本发明的解决手段所必须的。例如虽然在下文中,采用物理量转换器为压电型的振子(振动陀螺),传感器为陀螺传感器的情况为例而进行说明,但本发明不限定于此。例如由硅基板等所形成的静电电容检测方式的振子(振动陀螺)、对与角速度信息等价的物理量和角速度信息以外的物理量进行检测的物理量转换器、传感器等也可应用于本发明。

[0063] 1.电子设备、陀螺传感器

[0064] 图1表示包括本实施方式的检测装置20的陀螺传感器510(广义而言为传感器),与包括陀螺传感器510的电子设备500的结构例。另外电子设备500、陀螺传感器510不限定于图1的结构,可改变实施为省略该结构元件的一部分,或追加其他的结构元件等。此外作为本实施方式的电子设备500,能够预想为数码相机、摄像机、智能电话、移动电话、导航系统、机器人、电子游戏机、时钟、健康器具、或移动型信息终端等的各种设备。

[0065] 电子设备500包括陀螺传感器510与处理部520。此外还能够包括存储器530、操作部540、显示部550。处理部520(CPU、MPU等)实施陀螺传感器510等的控制与电子设备500的全体控制。此外处理部520根据通过陀螺传感器510所检测出的角速度信息(广义而言为物理量)而实施处理。例如根据角速度信息而实施用于抖动补正、姿态控制、GPS自动导航等的处理。存储器530(ROM,RAM等)对控制程序与各种数据进行存储,并作为工作区域与数据收纳区域而发挥功能。操作部540用于用户对电子设备500进行操作,显示部550将各种信息对用户进行显示。

[0066] 陀螺传感器510(传感器)包括振子10、检测装置20。图1的振子10(广义而言为物理量转换器)为由水晶等的压电材料的薄板所形成的音叉型的压电振子,其具有驱动用振子11、12,与检测用振子16、17。在驱动用振子11、12上设置有驱动端子2、4,在检测用振子16、17上设置有检测端子6、8。

[0067] 检测装置20包括驱动电路30、同步信号输出电路52、检测电路60。驱动电路30接收来自振子10的反馈信号而对振子10进行驱动。例如,驱动电路30输出驱动信号(驱动电压)而对振子10进行驱动。而后从振子10接收反馈信号,并由此而使振子10激励。

[0068] 同步信号输出电路52接收来自驱动电路30的信号而输出同步信号SYC。例如同步

信号输出电路52接收来自具有驱动电路30的I/V转换电路(放大电路)的被实施了I/V转换(电流/电压转换)后的信号。而且,将该信号(二进制化后的信号)的、相位被调整了的信号作为同步信号SYC而对检测电路60的同步检波电路进行输出。

[0069] 检测电路60根据来自振子10的信号,与来自同步信号输出电路52的同步信号SYC而实施所需信号(对应于物理量的物理量信号)的检测处理,并输出检测数据。例如,检测电路60从通过驱动信号而被驱动的振子10接收检测信号(检测电流、电荷)。而后使用同步信号来对检测信号实施同步检波处理,从而对与施加于振子10上的物理量对应的所需信号(科里奥利力信号)进行检测(抽出)。

[0070] 具体是指,来自驱动电路30的交流驱动信号(驱动电压)被施加于驱动用振子11的驱动端子2。这样通过逆压电效果从而驱动用振子11开始进行振动,并且通过音叉振动从而驱动用振子12也开始进行振动。此时,由驱动用振子12的压电效果所产生的电流(电荷)作为反馈信号从驱动端子4被反馈至驱动电路30。由此形成了包括振子10的振荡回路。

[0071] 当驱动用振子11、12进行振动时,检测用振子16、17在图1所示的方向上以振动速度v进行振动。这样,由于检测用振子16、17的压电效果所产生的电流(电荷)作为检测信号(第一、第二检测信号)而被从检测端子6、8输出。这样,检测电路60接收来自该振子10的检测信号,并对作为与科里奥利力对应的信号的所需信号(所需波)进行检测。即,当振子10(陀螺传感器)以检测轴19为中心进行旋转时,在与振动速度v的振动方向正交的方向上产生科里奥利力Fc。例如当将以检测轴19为中心进行旋转时的角速度设为ω、将振子的质量设为m、将振子的振动速度设为v时,科里奥利力被表示为Fc=2m·v·ω。因此通过检测电路60对作为与科里奥利力(广义而言为物理量)对应的信号的所需信号(与物理量对应的物理量信号)进行检测,能够对陀螺传感器的旋转角速度ω进行求解。而后处理部520能够通过使用所求出的角速度ω来实施用于抖动补正、姿态控制、或GPS自动导航等等的各种处理。

[0072] 另外虽然在图1中,表示了振子10为音叉型的情况下的示例,本实施方式的振子10不限定于这样的构造。例如也可以为T字型与双T字型等。此外振子10的压电材料也可以为水晶以外的材料。

[0073] 2.检测装置

[0074] 图2表示本实施方式的检测装置20的详细的结构例。

[0075] 驱动电路30包括输入有来自振子10的反馈信号DI的放大电路32、实施自动增益控制的增益控制电路40、将驱动信号DQ输出至振子10的驱动信号输出电路50。另外,驱动电路30的结构不限定于图2所示,可实施改变为省略这些结构元件的一部分,或追加其他的结构元件等。

[0076] 放大电路32(I/V转换电路)对来自振子10的反馈信号DI进行放大。例如将来自振子10的电流信号DI转换为电压信号DV而进行输出。该放大电路32能够通过电容器、电阻元件、运算放大器等而实现。

[0077] 驱动信号输出电路50根据由放大电路32实施放大后的信号DV而输出驱动信号DQ。例如驱动信号输出电路50输出矩形波(或者正弦波)的驱动信号。该驱动信号输出电路50能够通过比较器等来实现。另外也可以在放大电路32与驱动信号输出电路50之间设置例如滤波器部(高通滤波器、低通滤波器)等的其他的电路。

[0078] 增益控制电路40(AGC)对驱动信号输出电路50输出控制电压DS而对驱动信号DQ的振幅进行控制。具体是指,增益控制电路40对信号DV进行监视而控制振荡回路的增益。例如在驱动电路30中,为了将陀螺传感器的灵敏度保持为固定,需要将供给于振子10(驱动用振子)的驱动电压的振幅保持为固定。因此,在驱动振动系的振荡回路内设置有用于对增益进行自动调整的增益控制电路40。增益控制电路40以来自振子10的反馈信号DI的振幅(振子的振动速度v)成为一定的方式将增益自动调整为可变。

[0079] 同步信号输出电路52接收由放大电路32实施放大后(I/V转换后)的输出信号DV,并将同步信号SYC(参照信号)输出至检测电路60。例如同步信号输出电路52能够包括对正弦波(交流)的输出信号DV实施二进制化处理而生成矩形波的信号的二进制化电路。该二进制化电路能够通过比较器等来实现。而后同步信号输出电路52实施二进制化后的矩形波的信号的相位调整而生成同步信号SYC,并将所述同步信号SYC对同步检波电路81进行输出。

[0080] 检测电路60包括放大电路61、同步检波电路81、A/D转换电路100。放大电路61接收来自振子10的第一、第二检测信号IQ1、IQ2而实施信号放大与电荷-电压转换。同步检波电路81根据来自驱动电路30的同步信号SYC而实施同步检波。A/D转换电路100实施经同步检波后的信号的A/D转换。

[0081] 控制部120实施检测装置20的各电路的控制处理与数字滤波器处理等的数字信号处理。例如控制部120对驱动电路30、同步信号输出电路52、检测电路60输出控制信号而对这些电路进行控制。此外控制部120根据来自A/D转换电路100的数字信号而实施多余信号成分的除去,与用于进行频带限制的数字滤波器处理。

[0082] 3.同步检波

[0083] 接下来,使用图3(A)至图3(D)的模式图而对同步检波进行说明。另外虽然实际上多余信号的振幅与所需信号(与物理量对应的物理量信号)的振幅相比非常大,但为了方便图示,使多余信号的振幅与所需信号的振幅相等。

[0084] 在像图3(A)所示那样在所需信号的相位与同步信号的相位完全相同的情况下,在实施同期检波后所需信号与多余信号成为如图3(B)所示。即,所需信号成为完全的全波整流波形,多余信号成为正的部分与负的部分的面积相等的波形。因此,通过以后级的低通滤波器等来实施平滑化,从而成为所需信号的DC成分作为输出信号而被输出,多余信号的成分不会出现在输出信号中。通过以该方式来实施同步检波,能够对相对于所需信号而有着90度的相位差的机械振动泄漏等的多余信号进行除去。

[0085] 另一方面,像图3(C)那样在所需信号的相位与同步信号的相位仅偏差有γ的情况下,在实施同步检波后所需信号与多余信号成为如图3(D)所示。即,所需信号为不完全的全波整流波形,并包括负的成分。此外,多余信号的正的部分与负的部分的面积不相等。因此,在通过以后段的低通滤波器等实施平滑化所得到的输出信号中,所需信号的DC成分与图3(B)的情况相比成为较小,并且同时出现多余信号的成分,其成为零点变动等的原因。

[0086] 为了使以上那样的同步检波合理地实现,将检测信号(所需信号)与同步信号之间的相位关系调整成为合理的相位调节电路成为必要。

[0087] 而且,为了提高检测装置的评价、设计、与结构的自由度,优选为较广的调整范围(例如180度左右)的相位调整(较宽范围相位调整)的实现。例如在实施检测装置的评价时,如果能够对检测信号与同步信号之间的相位关系实施各种变化、从而对泄漏信号对检测性

能造成的影响等进行评价，则能够提高便利性。

[0088] 此外，为了以较高精度来对检波效率进行调节，优选为较小的相位调整量(例如0.5度左右)的相位调整(高解析度相位调整)的实现。例如，在实施检测装置的制造时，通过对检测信号与同步信号之间的相位关系进行微调、并将相位的调整数据写入非易失性存储器等，能够提高检测装置的实际进行动作时的检测性能。

[0089] 此外为了对应驱动频率(振动频率)不同的多个种类的振子，优选为较广范围的动作频率对应(较宽频率对应)。例如优选为不论是较低驱动频率(例如50kHz以下)的振子，还是较高驱动频率(例如200kHz以上)的振子，都能够通过相同电路结构的检测装置来实现检测以及驱动。

[0090] 图4(A)、图4(B)表示作为本实施方式的比较例的相位调节电路的示例。图4(A)为使用了PLL电路的相位调节电路的示例。该相位调节电路包括相位比较器610、电荷泵电路612、低通滤波器614、VCO(电压控制振荡器)616，分频电路618、620。

[0091] VCO616接收基于与输入信号IN相比较的相位比较结果的控制电压VC，并以对输入信号IN的频率实施了倍增(例如360倍、720倍)的频率而进行振荡。而后将时钟信号CKSEL对分频电路620进行输出，所述时钟信号CKSEL为从通过VCO616所生成的多相时钟信号之中所选择。分频电路620根据输入信号IN与时钟信号CKSEL而将使输入信号IN的相位偏移了的信号作为同步信号SYC而进行输出。

[0092] 在该图4(A)的比较例中，因为VCO616以较高频率进行振荡，因此功率消耗成为较大。例如在输入信号IN的频率(驱动电路的驱动频率)为100kHz、并使相位调整量为每次1度(degree)的情况下，VCO616需要以将100kHz倍增了360倍的36MHz来进行振荡。而在将相位调整量设置为每次0.5度的情况下，VCO616需要以将100kHz倍增了720倍的72MHz来进行振荡。因此，在图4(A)的比较例中，当欲使相位调整量的解析度提高时，功率消耗会变得非常大。此外在分频电路620相位选择的功能成为必要，进而使电路大规模化。

[0093] 图4(B)为使用了DLL电路的相位调节电路的示例。该相位调节电路包括相位比较器630、电荷泵电路632、低通滤波器634、延迟电路636、选择器638。

[0094] 在图4(B)中，构成DLL电路的延迟电路636具有被串联连接的n个延迟单元D0～Dn-1。为了通过图4(B)的构成来将相位调整量设为每次0.5度，n＝720个的延迟单元成为必要，从而延迟电路636的电路规模成为较大。即，当欲实现前文所述的高解析度的相位调整时，会导致电路的大规模化。此外为了对应较宽范围的相位调整，例如当欲将相位调整范围设定为180度这样的较广范围时，从n＝360个(或者720个)的多相时钟信号之中对信号进行选择的选择器638成为必要，进而使选择器638的电路大规模化。此外对延迟电路636与选择器638进行连接的信号线的配线区域也变得较大，从而导致相位调节电路的大规模化。

[0095] 4.同步信号输出电路

[0096] 图5表示为解决以上那样的问题点的本实施方式的同步信号输出电路52的基本结构例。该同步信号输出电路52具有调节电路130、DLL(Delay Locked Loop：延迟锁相环)电路150、与输出电路180。具体而言，图5的同步信号输出电路52具有2进制化电路54与相位调节电路56，相位调节电路56通过调节电路130、DLL电路150、与输出电路180而被构成。另外，同步信号输出电路52的结构不限定于图5所示，可实施改变为省略这些结构元件的一部分，或追加其他的结构元件。

[0097] 二进制化电路(波形整形电路)54接收来自驱动电路30的正弦波的输出信号DV而实施输出信号DV的二进制化处理(波形整形),例如输出矩形波的信号IN。该二进制化电路54例如能够通过对输出信号DV与基准电压(驱动信号的基准电压)进行比较而输出信号IN的比较器等而实现。

[0098] 另外,虽然来自驱动电路30的输出信号DV为如图2所示那样的实施了I/V转换后(放大后)的信号,也可以将对输出信号DV实施了滤波器处理(高通滤波器、低通滤波器等)的信号输入至同步信号输出电路52(二进制化电路54)。

[0099] 而且本实施方式的同步信号输出电路52(相位调节电路56)实施输入信号IN的相位调整,并将相位调整后的信号作为同步信号SYC而进行输出。

[0100] 具体是指,DLL电路150具有延迟控制电路160与延迟电路170。延迟控制电路160输出延迟控制信号PNB。例如延迟控制电路160实施基于来自DLL电路150的反馈信号的相位比较处理而生成延迟控制信号PNB。作为该相位比较处理,能够像后文所述那样预想为各种处理。

[0101] 延迟电路170具有多个延迟单元D0～Dn-1(第一～第n的延迟单元)。这些延迟单元D0～Dn-1被串联连接。例如第k(1≤k＜n)延迟单元Dk的输出被输入至下一级的第k+1延迟单元Dk+1,第k+1延迟单元Dk+1的输出被输入至下一级的第k+2延迟单元Dk+2。

[0102] 在延迟单元D0～Dn-1中,延迟时间通过来自延迟控制电路160的延迟控制信号PNB而被控制。例如在延迟单元D0～Dn-1为电流控制型的倒相电路的情况下,延迟控制信号PNB为对流经该倒相电路的电流(偏置电流)进行控制的信号。而且,如果流经倒相电路的电流成为较大,则延迟时间成为较短,如果电流成为较小,则延迟时间成为较长。而且通过来自延迟电路170的信号被反馈至延迟控制电路160来形成DLL电路150的回路,并实施D0～Dn-1的各延迟单元的延迟时间被锁定的DLL动作。具体而言,以从延迟单元D0至延迟单元Dn-1的相位差例如成为360度的方式来锁定D0～Dn-1的各延迟单元的延迟时间。

[0103] 输出电路180根据来自DLL电路150的多相时钟信号而输出同步信号SYC。多相时钟信号为相位顺次进行了转换的时钟信号。例如多相时钟信号的第一时钟信号为延迟单元D0的输出信号。此外多相时钟信号的第二、第三时钟信号为延迟单元D1、D2的输出信号。而且第二时钟信号相对于第一时钟信号而言仅有相当于延迟单元D1的延迟时间的部分的相位进行了转换,第三时钟信号相对于第二时钟信号而言仅有相当于延迟单元D2的延迟时间的部分的相位进行了转换。

[0104] 调节电路130至少具有一个延迟时间通过延迟控制信号PNB而被控制的延迟单元。而后,将信号DLI输出至DLL电路150,所述信号DLI为输入信号IN(例如将输出信号DV二进制化了的信号)被延迟后的信号,所述输入信号IN为基于来自驱动电路30的输出信号DV的信号。即,通过调节电路130所具有的延迟单元而使信号IN延迟,并且延迟后的信号DLI被输入至DLL电路150。

[0105] 具体而言,调节电路140具有与延迟电路170的延迟单元D0～Dn-1为相同的结构的延迟单元。而且,该调节电路130的延迟单元也与DLL电路150的延迟单元D0～Dn-1同样,其延迟时间根据延迟控制信号PNB而被控制。例如在延迟单元D0～Dn-1通过电流控制型的倒相电路而被构成的情况下,调节电路130也通过相同的结构的电流控制型的倒相电路而被构成。而且,该倒相电路与构成DLL电路150的延迟单元D0～Dn-1的倒相电路同样,其延迟时

间根据延迟控制信号PNB而被控制。另外，也可以设定为调节电路140的延迟单元的延迟时间与延迟电路170的各延迟单元D0～Dn-1的延迟时间相比成为较短，或成为较长。

[0106] 根据以上的本实施方式的同步信号输出电路52，调节电路130的延迟单元使用DLL电路150的延迟电路170所使用的延迟控制信号PNB而对延迟时间进行控制。而后通过该调节电路170的延迟单元使输入信号IN延迟，并且延迟后的信号DLI被输入至DLL电路150。

[0107] 例如设为延迟电路170的延迟单元D0～Dn-1的个数为n＝360，以1个延迟单元的相位延迟(相位变化量)成为1度的方式来通过DLL电路150而对D0～Dn-1的各延迟单元的延迟时间进行锁定。

[0108] 在该情况下，例如如果将为延迟电路170的D0～Dn-1的各延迟单元的一半的延迟时间的延迟单元设置于调节电路130，则能够通过调节电路130来实现0.5度每次的相位的微调。此外例如如果将通过延迟控制信号PNB而被控制的30个延迟单元设置于调节电路130，则能够通过调节电路130实现30度每次的相位的粗调。因此根据本实施方式，能够通过只需追加以延迟控制信号PNB来控制延迟时间的调节电路130这样的简单的方法来实现相位的微调与粗调。

[0109] 特别是在本实施方式中，调节电路130的特征在于没有进入DLL电路150的回路(延迟时间的锁定回路)内这一点。这样，由延迟控制信号PNB所设定的相位调整量(延迟时间)通过DLL电路150的回路被锁定从而被固定。例如如果将延迟电路170的延迟单元的级数设为360级，则通过延迟控制信号PNB而被设定的相位调整量被固定为1度(degree)，如果设为180级则被固定为2度。而且因为调节电路130未进入DLL回路150的回路内，即使对调节电路130中的延迟单元的级数进行增加或减少，通过延迟控制信号PNB而被设定的相位调整量也不会受到影响，从而不发生变化。因此，具有以下优点，能够通过调节电路130中的延迟单元的级数的设定，与延迟单元的延迟时间的设定来实现相位的正确的微调与粗调。

[0110] 此外本实施方式中的输出电路180例如根据来自DLL电路150的n个多相时钟信号中的m个多相时钟信号而输出同步信号SYC。在此m以及n为大于1的整数，并且m小于(m＜n)。

[0111] 即，在图4(B)的比较例中，来自延迟电路636的全部多相时钟信号DL0～DLn-1被输入选择器638。

[0112] 与此相对，在图5的本实施方式中，通过延迟单元D0～Dn-1而被生成的n个多相时钟信号中的、仅仅一部分多相时钟信号被输入至输出电路180。而且，该输出电路180仅使用该一部分多相时钟信号而输出同步信号SYC。

[0113] 通过该方式，与图4(B)相比能够使输出电路180的电路规模缩小。即，在对输出电路180设置了选择器的情况下，根据本实施方式，因为成为选择器的选择对象的信号线的个数(m个)成为较少，从而能够缩小选择器的电路规模。此外，因为对延迟电路170与输出电路180进行连接的信号线的个数较少，这些信号线的配线区域成为较小，从而能够缩小电路的布局面积。

[0114] 另外虽然在图5中将调节电路130设置于DLL电路150的前级侧(输入侧)，本实施方式不限定于此，可为各种改变实施。例如也可以将调节电路130设定于DLL电路150的后级侧(输出侧)。例如也可以通过使输出电路180中的信号的相位由调节电路130来进行调整从而对同步信号SYC的相位进行调整(微调，粗调)。例如也可以使后文所述的输出电路180的选择器的输出信号的位相由调节电路130来进行调整从而对同步信号SYC的相位进行调整。这

样，调节电路130至少具有一个延迟时间通过延迟控制信号PNB而被控制的延迟单元，并被设置于DLL电路150的回路外(延迟时间的锁定回路之外)，其只要为对同步信号SYC的相位进行调整的电路即可。此外本实施方式的同步信号输出电路52也可以作为具有陀螺传感器510等的检测装置20以外的用途的相位调节电路而使用。

[0115] 5.第一结构例

[0116] 图6表示本实施方式的同步信号输出电路52的详细的第一结构例。在图6中，延迟电路DCM具有360个被串联连接的延迟单元D0～D359。该延迟电路DCM相当于图5的DLL电路150的延迟电路170。

[0117] 延迟单元D0～D359通过以偏置电流来对延迟时间进行控制的电流控制型的倒相电路而被构成。图7表示电流控制型的倒相电路的结构例。该倒相电路具有在高电位电源(VDD)与低电位电源(VSS)之间被串联连接的P型晶体管TA1、TA2与N型晶体管TA3、TA4。来自前一级的倒相电路的输入信号INIV被输入至晶体管TA2、TA3的栅极，并且下一级的向倒相电路输出的输出信号QIV从晶体管TA2、TA3的漏极输出。延迟控制信号PB被输入至晶体管TA1的栅极，延迟控制信号NB被输入至晶体管TA4的栅极。通过这些延迟控制信号PB、NB而对流经倒相电路的偏置电流进行控制，从而对延迟时间进行控制。该延迟时间例如能够通过与晶体管TA2、TA3的漏极相连接的电容器CA的电容值与晶体管TA1、TA4的晶体管尺寸(W/L)等而进行设定。另外电容器CA也可以为漏极电容等的寄生电容。

[0118] 在图6中，延迟控制电路160实施DLL电路150的输入信号DLI与输出信号DLQ的相位比较而生成延迟控制信号PB、NB(相当于图5的PNB)。

[0119] 具体而言，延迟控制电路160包括相位比较器162、电荷泵电路164、低通滤波器166、偏压电路168。相位比较器162实施DLL电路150(延迟电路DCM)的输入信号DLI与输出信号DLQ的相位比较而输出作为相位比较结果信号的信号UP、DN。电荷泵电路164根据来自相位比较器162的信号UP、DN而实施电荷泵动作。而且基于低通滤波器166的平滑后的控制电压VCT被输出至偏压电路168。偏压电路168根据该控制电压VCT而生成延迟控制信号(电流控制信号)PB、NB并进行输出。

[0120] 图8(A)表示电荷泵电路164以及低通滤波器166的结构例。在图8(A)中，当信号UP成为高电平(激活)时，电流源ISU的电流iup经由成为导通的晶体管TB1而流过，从而对电容器CB进行充电。由此控制电压VCT上升。此外当信号DN成为高电平(激活)时，电流源ISD的电流idn经由成为导通的晶体管TB2而从电容器CB被实施放电。由此控制电压VCT降低。

[0121] 图8(B)为偏压电路168的结构例。该偏压电路168具有构成电流镜电路的P型晶体管TC1、TC2，与分别与该晶体管TC1、TC2串联连接的晶体管TC3、TC4。上述的控制电压VCT被输入至晶体管TC3的栅极。而且晶体管TC3的漏极电压作为延迟控制信号PB而被输出，晶体管TC4的漏极电压作为延迟控制信号NB而被输出。

[0122] 例如当延迟电路DCM中的延迟时间成为较长从而输出信号DLQ的相位延迟时(相对于输入信号DLI的相对的相位差成为较大)，来自相位比较器162的信号UP成为高电平，从而如图8(A)所说明那样控制电压VCT上升。这样从图8(B)显然而知延迟控制信号PB的电压降低，而延迟控制信号NB的电压上升。由此由图7显然而知构成延迟单元D0～D359的电流控制型的倒相电路的偏置电流增大，从而实施使延迟电路DCM中的延迟时间较短的反馈控制。

[0123] 另一方面，当延迟电路DCM中的延迟时间成为较短从而输出信号DLQ的相位前进时

(当相对于输入信号DLI的相对的相位差成为较小时)，来自相位比较器162的信号DN成为高电平，从而如图8(A)所说明那样控制电压VCT降低。这样从图8(B)显然可知延迟控制信号PB的电压上升，并且延迟控制信号NB的电压下降。由此从图7显然而知电流控制型的倒相电路的偏置电流减少，从而实施使延迟电路DCM中的延迟时间较长的反馈控制。

[0124] 通过以上那样的反馈控制，DLL电路150的输入信号DLI与输出信号DLQ的相位差例如被锁定为360度。由此，360级的D0～D359的各延迟单元的相位延迟被锁定为1度。

[0125] 另外在图6中为了模式化的对流经延迟单元D0～D359的偏置电流进行表示而对电流源ISP、ISN进行了记载。然而，实际上像上述那样，流至延迟单元D0～D359的偏置电流通过来自偏压电路168的延迟控制信号PB、NB输入至图7的倒相电路的晶体管TA1、TA4的栅极而被控制。

[0126] 而且在图6中，调节电路130具有相位微调用的延迟电路DCF，与相位粗调用的延迟电路DCC(DCC1、DCC2)。

[0127] 在此，微调用的延迟电路DCF(第二延迟电路)通过与构成DLL电路150的延迟电路DCM的延迟单元D0～D359相比而延迟时间较短的延迟单元DF而被构成。例如延迟单元DF与延迟单元D0～D359同样地，通过图7所示的电流控制型的倒相电路而被构成。然而，延迟单元DF例如通过电容器CA的电容值与晶体管TA1、TA4的晶体管尺寸的设定等，其延迟时间成为延迟单元D0～D359的延迟时间(1级)的例如一半的延迟时间(0.5级)。

[0128] 因此，在延迟单元D0～D359的相位延迟通过DLL电路150而被锁定为1度的情况下，则延迟单元DF的相位延迟被固定为0.5度。因此，通过具有该延迟单元DF的延迟电路DCF，可实施0.5度每次这样的相位的微调。例如如果将图6的开关S5、S1、S3设为接通而将其他的开关(S2、S6、S7)设为切断，则信号IN流过延迟电路DCF而作为信号DIN被输入至DLL电路150。而且信号DLI以通过延迟电路DCF而延迟的方式、成为相对于信号IN而仅延迟了0.5度相位的信号。

[0129] 此外延迟电路DCC1(第三延迟电路)通过由与构成DLL电路150的延迟电路DCM的延迟单元D0～D359的个数(360级)相比较少的个数(30级)的延迟单元DG0～DG29而被构成。同样地延迟电路DCC2(第三延迟电路)也通过与延迟单元D0～D359的个数(360级)相比较少的个数(30级)的延迟单元DH0～DH29而被构成。

[0130] 而且，延迟单元DG0～DG29、DH0～DH29通过图7所示的电流控制型的倒相电路而被构成，其延迟时间也被设定为与延迟单元D0～D359相同的延迟时间。

[0131] 因此，可分别通过延迟电路DCC1、DCC2而实施30度每次的相位粗调。例如如果使开关S1、S6、S2、S3为接通并使其他的开关切断，则信号DLI以通过延迟电路DCC1而延迟的方式，成为相对于信号IN而仅延迟了30度相位的信号。此外如果使开关S1、S6、S7为接通并使其他的开关切断，信号DLI以通过延迟电路DCC1以及DCC2而延迟的方式，成为相对于信号IN而只延迟了60度相位的信号。

[0132] 此外在图6中，输出电路180具有第一、第二、第三选择器182、184、186。第一选择器182接收来自DLL电路150的多相时钟信号(n＝360的时钟信号)之中的作为第一多相时钟信号组的DL0～DL29而输出第一信号SLD0。第二选择器184接收来自DLL电路150的多相时钟信号中的作为第二多相时钟信号组的DL90～DL119而输出第二信号SLD90。第三选择器186接收第一信号SLD0与第二信号SLD90而输出同步信号SYC。

[0133] 具体而言，选择器182将从为30度的相位范围的多相时钟信号DL0～DL29之中所选择的时钟信号作为信号SLD0而进行输出。选择器184将从为30度的相位范围的多相时钟信号DL90～DL119之中所选择的时钟信号作为信号SLD90进行而输出。而后选择器186选择信号SLD0、SLD90中的任意一个而作为同步信号SYC进行输出。即，输出电路180根据来自DLL电路150的n＝360的多相时钟信号中的m＝60的多相时钟信号而输出同步信号SYC。

[0134] 根据以上的第一结构例，能够通过选择器182、184而从由360级的延迟级所构成的延迟电路DCM(D0～D359)的两处分别选择出连续的30级的量的时钟信号DL0～DL29、DL90～DL119。因此，可实施范围为30度的相位选择。

[0135] 并且，通过30级的延迟级而被构成的延迟电路DCC1、DCC2被设置于延迟电路DCM的前级侧，并可通过开关而实施选择。因此，作为时钟信号DL0，可输出相位延迟了0度、30度或60度的信号。此外作为时钟信号DL90可输出相位延迟了90度、120度或150度的信号。

[0136] 当例如仅使开关S3接通，从而使延迟电路DCC1、DCC2(以及DCF)为非选择状态时，作为时钟信号DL0，其输出相位延迟了0度的信号。而后通过选择器182的选择，能够将相位延迟范围为0度～29度的信号作为SLD0而进行输出。此外作为时钟信号DL90，其输出相位延迟了90度的信号。而后通过选择器184的选择，能够将相位延迟范围为90度～119度的信号作为SLD90而进行输出。

[0137] 此外当仅使开关S1、S6、S2、S3接通从而使延迟电路DCC1为选择状态时，作为时钟信号DL0其输出相位延迟了30度的相位延迟信号。而后通过选择器182的选择，能够将相位延迟范围为30度～59度的信号作为SLD0而进行输出。此外作为时钟信号DL90其能够输出相位延迟了120度的信号。而后通过选择器184的选择，能够将相位延迟范围为120度～149度的信号作为SLD90而进行输出。

[0138] 此外当仅使开关S1、S6、S7为接通，从而使延迟电路DCC1、DCC2双方为选择状态时，作为时钟信号DL0其输出相位延迟了60度的信号。而后通过选择器182的选择，能够将相位延迟范围为60度～89度的信号作为SLD0而进行输出。此外作为时钟信号DL90其输出相位延迟了150度的相位延迟信号。而后通过选择器184的选择，能够将相位延迟范围为150度～179度的信号作为SLD90而进行输出。

[0139] 因此，其结果为，能够将相位延迟范围为180度左右(0度～179度)的信号作为同步信号SYC而进行输出。例如选择器186通过选择信号SLD0而将相位延迟范围为0度～89度的信号作为同步信号SYC而进行输出，选择器186通过选择信号SLD90而将相位延迟范围为90度～179度的信号作为同步信号SYC而进行输出。因此，可实施前文所述的较宽范围的相位调整，并可提高检测装置20的评价、设计、结构的自由度。例如能够在实施检测装置20的评价时，使检测信号与同步信号之间的相位关系进行各种变化，从而对信号泄漏对检测性能造成的影响等进行评价。

[0140] 此外在图6中，延迟时间为1/2、相当于0.5段的延迟级的微调用的迟延电路DCF被设置于延迟电路DCM的前级侧，并可通过开关而被进行选择。因此，作为同步信号SYC而能够输出相位延迟为0.5度的信号。例如通过结合前文所述的以延迟电路DCC1、DCC2以及选择器182、184、186来输出相位延迟范围为0度～179的信号的方法，从而能够将相位延迟范围为0～179度之内的刻度为0.5度的信号作为同步信号SYC而进行输出。即，能够将0度、0.5度、1度、1.5度、2度……、178度、178.5度、179度这样的相位延迟范围为0～179度之内的刻度为

0.5度的信号作为同步信号SYC而进行输出。因此，可实现前述的高清晰度的相位调整，并能够提高检测装置20的检测性能。

[0141] 此外，通过将供给至延迟单元的偏置电流控制为可变，可对应前文所述的较宽范围的频率。在例如图8(B)的偏压电路168中，例如通过将流经晶体管TC3的电流控制为可变，从而能够将流经构成延迟单元的电流控制型的倒相电路的偏置电流也控制为可变。因此，能够使可对应的频率范围扩宽。从而例如无论是较低驱动频率的振子，还是较高驱动频率的振子，都能够通过相同电路结构的检测装置20来实现检测处理等。

[0142] 如上所述，根据本实施方式，可在将电路规模的增加抑制为最小限度的同时，以低功率消耗来实现下述的相位调节电路，所述相位调节电路能够实现全部的下述的、较宽范围的相位调整(180度的相位调整范围)、高解析度的相位调整(0.5度的解析度)、较宽范围的频率对应。

[0143] 6.第二结构例

[0144] 图9表示本实施方式的同步信号输出电路52的详细的第二结构例。图9的第二结构例与图6的第一结构例的不同点为，构成DLL电路150、调节电路130的延迟电路DCM、DCF、DCC1、DCC2的延迟单元为差动输入以及差动输出的差动型电路(差动型倒相电路，差动型放大电路)。

[0145] 图10表示差动型电路(全差动型电路)的具体的电路结构例。该差动型电路具有晶体管TD1～TD6与电容器CD1、CD2。延迟控制信号PB、NB被分别输入至P型的晶体管TD1、N型的晶体管TD4的栅极。而且，串联连接的晶体管TD2以及TD3，与串联连接的晶体管TD5以及TD6被并联连接于晶体管TD1与TD4之间。通过该差动型电路也能够与图7的电路同样地，根据延迟控制信号PB、NB而对偏置电流进行控制从而控制其延迟时间。

[0146] 晶体管TD2以及TD3的栅极成为差动型电路的非反相输入端子(+)，并输入有信号P。晶体管TD5以及TD6的栅极成为反向输入端子(-)，并输入有信号N。晶体管TD2以及TD3的漏极成为非反相输出端子(+)，并输入有信号XP。晶体管TD5以及TD6的漏极成为反相输出端子(-)，并输入有信号XN。另外“X”意为逻辑反。

[0147] 例如从前一级的差动型电路(例如图9的D0)的非反相输出端子所输出的信号XP作为信号N而被对下一级的差动型电路(D1)的反相输入端子进行输入。从前一级的差动型电路(D0)的反相输出端子所输出的信号XN作为信号P而被对下一级的差动型电路(D1)的非反相输入端子进行输入。

[0148] 例如为了实现合理的同步检波，而优选为同步信号SYC的占空比(矩形波的脉冲宽度除以脉冲周期的比)为50％。

[0149] 对于这一点，当为图7的电路结构时，当由于制造工序的偏差等从而P型晶体管与N型晶体管的平衡的偏移成为较大时，在信号通过延迟单元期间，信号的占空比会偏离于50％。对于这样的占空比，可通过后文所述的波形整形电路实施补正。然而，在延迟电路DCM的延迟单元的数目较多的情况下，当P型晶体管与N型晶体管的平衡的偏移较大时，从占空比的50％起的偏移会成为非常大。其结果，无法实施相位比较器162的相位比较，并且DLL电路150的锁定功能无法发挥。

[0150] 对于这一点，根据图10的差动型电路，即使由于制造工序的偏差等从而P型晶体管与N型晶体管的平衡生成有偏移，也能够将在信号通过延迟单元期间将信号的占空比偏离

于50％的情况抑制为最小限度。因此，可将占空比维持为接近50％，并能够防止DLL电路150的锁定功能成为不能正常发挥的情况的发生。

[0151] 7.第三结构例

[0152] 图11表示本实施方式的同步信号输出电路52的详细的第三结构例。图11的第三结构例与图6的第一结构例的不同点为，延迟电路DCM的延迟级为180级这一点。即，延迟电路DCM通过n＝180个的串联连接的延迟单元D0～D179而被构成。而后选择器182将从多相时钟信号DL0～DL14之中所选择的信号作为SDL0而进行输出。选择器184将从多相时钟信号DL45～DL59之中所选择的信号作为SDL45而进行输出。而后选择器186将信号SDL0、SDL45中的任意一个作为同步信号SYC而进行输出。

[0153] 此外，作为调节电路130的微调用的延迟电路DCF，设置有具有延迟时间为延迟单元D0～D179的1/4(0.25级)的延迟单元DF1的延迟电路DCF1。此外还设置有具有延迟时间为延迟单元D0～D179的1/2(0.5级)的延迟单元DF2的延迟电路DCF2。此外作为调节电路130的粗调用的延迟电路DCC，设置有由15个延迟单元所构成的延迟电路DCC1、DCC2。

[0154] 在图11中，在DLL电路150的延迟电路DCM中设置有180个延迟单元D0～D179。因此，D0～D179中的各延迟单元的相位延迟通过DLL电路150而被锁定为2度。因此，通过具有延迟时间为1/4的延迟单元DF1的延迟电路DCF1可实施2度×0.25＝0.5度的相位的微调。此外通过具有延迟时间为1/2的延迟单元DF1的延迟回路DCF2，可实施2度×0.5＝1度的相位的微调。因此，通过对该微调进行组合，例如可实施0.5度、1度、1.5度的相位的微调。

[0155] 此外通过具有15个延迟单元的延迟电路DCC1、DCC2，从而作为时钟信号DL0而能够输出0度、30度、60度的信号。并且通过选择器182、184等，可实施30度的范围的相位选择。

[0156] 因此，根据该第三结构例，也能够以较少电流消耗的小规模的电路结构来实现较宽的相位调整、高解析度的相位调整、对应较宽范围的频率。

[0157] 8.第四结构例

[0158] 图12表示本实施方式的同步信号输出电路52的详细的第四结构例。在第四结构例中，作为延迟单元而使用了图10的差动型电路。而且DLL电路150的延迟电路DCM具有串联连接的延迟单元D0～D404。

[0159] 此外，调节电路130具有设置于延迟电路DCM的前级的微调用的延迟电路DCF，与设置于延迟电路DCF的前级的粗调用的延迟电路DCC。微调用的延迟电路DCF具有延迟时间为1/2的延迟单元DF。粗调用的延迟电路DCC具有由30个延迟单元所构成的延迟电路DCC1、DCC2、DCC3。

[0160] 此外图12的延迟控制电路160使用DLL电路150的多相时钟信号DL0～DL405之中的多相时钟信号DL45、DL90、DL135、DL180、DL225、DL270、DL315、DL360、DL405而生成延迟控制信号PB、NB。即，延迟控制电路160实施DLL电路150中的n个多相时钟信号之中的j个多相时钟信号的相位比较而生成延迟控制信号PB、NB。而后，以各延迟单元的相位延迟成为1度的方式来实施基于DLL电路150的延迟时间的锁定动作。在此j以及n为大于1的整数，并且j小于n(j＜n)。

[0161] 此外输出电路180具有第1选择器191，其接收来自DLL电路150的多相时钟信号中的作为第一多相时钟信号组的DL164～DL196而输出第一信号SDF。此外还具有第二选择器192，其接收来自DLL电路150的作为第二多相时钟信号组的DL344～DL375而输出第二信号

SDR。此外还具有波形整形电路196，其输出下降沿通过第一信号SDF而被设定、上升沿通过第二信号SDR而被设定的同步信号SYC。

[0162] 并且输出电路180还具有第三选择器193，其接收来自DLL电路150的作为第三多相时钟信号组的DL74～DL105而输出第三信号SD90F。此外还具有第四选择器194，其接收来自DLL电路180的作为第四多相时钟信号组的DL254～DL285而输出第四信号SD90R。此外还具有波形整形电路198，其输出下降沿通过第三信号SD90F而被设定、上升沿通过第四信号SD90R而被设定的第二同步信号SYC90。

[0163] 即，在图12的输出电路180中，选择器191从DL164～DL195之中选择出用于设定同步信号SYC的下降沿的信号SDF。选择器192从DL344～DL375之中选择出用于设定同步信号SYC的上升沿的信号SDR。因此，能够通过对以选择器191、192来实施的信号选择进行控制而任意设定同步信号SYC的占空比。由此，能够将同步信号SYC的占空比设定为作为理想的占空比的50％。

[0164] 此外选择器193从DL74～DL105中选择出用于设定同步信号SYC90的下降沿的信号SD90F。此外选择器194从DL254～DL285之中选择出用于设定同步信号SYC90的上升沿的信号SD90R。因此，能够通过对以选择器193、194来实施的信号选择进行控制而任意设定同步信号SYC90的占空比。由此，能够将同步信号SYC90的占空比设定为作为理想的占空比的50％。

[0165] 此外同步信号SYC90成为相对于同步信号SYC其相位前进了90度的信号。而后在图12中，成为能够将该同步信号SYC与SYC90同时输出的结构。

[0166] 而且同步信号SYC可以将第360级的延迟单元作为基准而在+16度～15度的范围设定相位，同步信号SYC90可以将第270级的延迟单元作为基准而在+16度～15度的范围设定相位。从而该同步信号SYC、SYC90可分别实施相位以及占空比的设定。

[0167] 图13(A)、图13(B)表示第四结构例中的延迟控制电路160的结构例。图13(A)为相位比较器162的结构例，图13(B)为电荷泵电路164的结构例。

[0168] 如图13(A)所示，相位比较器162具有NAND电路NA1～NA10与倒相电路IV1～IV8。时钟信号DL45与时钟信号DL90的反相信号被输入至NAND电路NA1。时钟信号DL90与时钟信号DL135的反相信号被输入至NAND电路NA2。时钟信号DL135与时钟信号DL180的反相信号被输入至NAND电路NA3。像这样在图13(A)的相位比较器162中以45度的相位刻度来取出时钟信号，并通过NAND电路NA1～NA8来实施2个信号的相位比较。这样，通过实施较多时钟信号的相位比较，能够防止DLL电路150被虚拟锁定为与作为目的的延迟时间(频率)所不同的延迟时间的情况。例如能够对通过DLL电路150而被锁定的延迟时间成为作为目的的延迟时间的二倍的时间(频率成为一半)等的虚拟锁定进行抑制。

[0169] 而后NAND电路NA1～NA4的输出信号PL0～PL3被输入至NAND电路NA9，NAND电路NA9输出信号PW4P。NAND电路NA5～NA9的输出信号PL4～PL7被输入至NAND电路NA10，NAND电路NA10输出信号PW4N。

[0170] 如图13(B)所示那样电荷泵电路164具有D型的触发电路DF1、DF2、与NAND电路NA11。触发电路DF1、DF2的时钟端子上输入有来自图13(A)的相位比较器162的信号PW4P、PW4N。触发电路DF1、DF2的数据端子被设定为高电平(高电位电源电压)。触发电路DF1、DF2的输出信号被输入至NAND回路NA11，NAND电路NA11的输出信号被输入至触发电路DF1、DF2

的复位端子。

[0171] 图14为对第四结构例的延迟控制电路160的动作进行说明的信号波形例。当信号DLI被输入至延迟电路DCM时，生成A1所示的那样的多相时钟信号。通过将该多相时钟信号输入至NAND电路NA1～NA4、NA5～NA8，A2所表示的信号PL0～PL3从NAND电路NA1～NA4被输出，A3所表示的信号PL4～PL7从NAND电路NA5～NA8而被输出。

[0172] 通过将信号PL0～PL3输入至NAND电路NA9，从而生成A4所示的信号PW4P。该信号PW4P相当于取得了信号PL0～PL3的逻辑或(OR)的信号。此外通过将信号PL4～PL7输入NAND电路NA10，从而生成A5所示的信号PW4N。该信号PW4N相当于取得了信号PL4～PL7的逻辑或的信号。

[0173] 当延迟电路DCM中的信号的延迟时间成为较长时，信号PW4P的上升沿(例如A6)一方与信号PW4N的上升沿(例如A7)相比为在先上升。通过信号PW4P在先上升，如图13(B)所示那样，数据端子被设置为高电平(高电位电源电压)的触发电路DF1的输出信号UP成为高电平(激活)。由此流过延迟单元的电流增加，从而成为实施有使延迟电路DCM中的信号的延迟时间较短的反馈。

[0174] 另一方面，当延迟电路DCM中的信号的延迟时间成为较短时，信号PW4N的上升沿(A7)一方与信号PW4P的上升沿(A6)相比为在先上升。通过信号PW4N在先上升，数据端子被设定为高电平的触发电路DF2的输出信号DN成为高电平。由此流过延迟单元的电流减少，从而成为实施有使延迟电路DCM的信号的延迟时间较长的反馈。

[0175] 图15为图12的波形整形电路196的结构例，图16(A)为对其动作进行说明的信号波形例。另外因为与波形整形电路198为相同的结构，图16(B)表示对该动作进行说明的信号波形例，省略其详细的说明。

[0176] 如图15所示那样波形整形电路196具有D型的触发电路DF11～DF15，与异或电路EXR。

[0177] 如图16(A)的信号波形例所示那样，当动作使能信号EN成为高电平之后，信号ENOUT、ENOUTF成为高电平，并且触发电路DF15的复位状态被解除。之后，通过B1所示的信号SDF的上升沿，触发电路DF15的输出信号FE2如B2所示那样成为高电平，同步信号SYC如B3所示那样成为低电平。即，通过图12的选择器191输出信号SDF来设定同步信号SYC的下降沿。

[0178] 此外，如B1所示那样通过信号SDF成为高电平，信号ENOUTR成为高电平，从而触发电路DF14的复位状态被解除。之后，B4所示的信号SDR成为上升沿，从而触发电路DF14的输出信号RE2如B5所示那样成为高电平，同步信号SYC如B6所示那样成为高电平。即，通过图12的选择器192输出信号SDR来设定同步信号SYC的上升沿。

[0179] 通过设定这样的波形整形电路196，可将同步信号SYC的占空比设定为50％。即，当输入同步检波电路81的同步信号SYC的占空比偏离于50％时，会产生1/f噪声信号等，从而产生检波的误差。这样，会产生灵敏度生成误差、生成零点变动等问题。

[0180] 对于这一点，如果设定像本实施方式的那样的波形整形电路196，则容易将同步信号SYC的占空比设定为50％，从而能够谋求检测装置20的检测性能的提高。

[0181] 9.布局配置

[0182] 图17表示在以半导体装置700来实现本实施方式的检测装置(20)的情况下的电路的布局配置例。

[0183] 如图17所示那样在半导体装置(半导体芯片)700中,布局配置有同步信号输出电路(52)、驱动电路(30)、检测电路(60),控制部(120)。此外在半导体装置700的端部的区域设置有配置了衬垫与I/O电路的I/O区域(接口区域)702。检测装置的输入信号与输出信号经由该I/O区域702而被输入输出。

[0184] 在半导体装置700中,使用半导体处理来在半导体的基板上形成阱区域(P阱、N阱)、扩散区域(P型、N型)、栅极氧化膜、绝缘膜、聚硅层、金属配线层等。由此同步信号输出电路、驱动电路、检测电路、控制部的晶体管与信号线被形成。图17为从与半导体的基板正交的方向所观察到的俯视图。

[0185] 在图17中,将与第一方向DR1正交的方向设为第二方向DR2,将第一方向DR1的相反方向设为第三方向DR3,将第二方向DR2的相反方向设为第四方向DR4。第一方向DR1为从矩形的半导体装置700的第一边而朝向与其对置的第三边的方向。第二方向DR2为从半导体装置700的第二边朝向与其对置的第四边的方向。

[0186] 而且在图17中,驱动电路被配置(布局配置)于同步信号输出电路(相位调节电路)与检测电路之间。即,在同步信号输出电路的第二方向DR2一侧设置有驱动电路,并且在驱动电路的第二方向DR2一侧设置有检测电路。此外在同步信号输出电路、驱动电路、检测电路的第一方向DR1一侧配置有控制部。另外图17中的同步信号输出电路、驱动电路、检测电路、控制部表示该各电路的晶体管与信号线被形成的电路配置区域。

[0187] 例如在图2的检测装置的电路图(原理图)中,在驱动电路30的下侧配置有同步信号输出电路52,在同步信号输出电路52的下侧配置有检测电路60。即,来自驱动电路30的信号被输入至同步信号输出电路52,来自同步信号输出电路52的同步信号SYC被输入至检测电路60。在图2中,以沿着该信号的流通的方式,在驱动电路30的下侧配置了同步信号输出电路52,在同步信号输出电路52的下侧配置了检测电路60。

[0188] 与此相对,在本实施方式中,在半导体装置700中的布局配置(芯片上的实际的晶体管等的配置)中,与图2的信号的流通不同,将同步信号输出电路配置于驱动电路的第四方向DR4一侧(图中的上侧),将检测电路配置于驱动电路的第二方向DR2一侧(下侧)。

[0189] 即,如图5等所说明那样,在同步信号输出电路的延迟电路中设置有多个延迟单元,并实施基于DLL电路的延迟时间的锁定动作。因此,因为多个延迟单元例如以驱动频率的时钟频率来进行动作,所以会发生噪声电平较高的数字信号噪声。

[0190] 另一方面,在通过检测电路来对所需信号进行检测时,因为需要实施较高S/N比的检测处理,因而优选为噪声电平极低的噪声信号环境。因此,当产生较高噪声电平的数字噪声的同步信号输出电路被配置于距检测电路较近时,检测处理的S/N比恶化,检测性能会下降。对于这一点,在驱动电路中并未要求像检测电路所要求的那样的噪声电平极低的噪声信号环境。

[0191] 因此在图17中,采用隔着驱动电路来对同步信号输出电路与检测电路进行配置的布局方法。这样,能够对同步信号输出电路与检测电路之间的距离进行分离。由此,能够对同步信号输出电路中所产生的数字噪声信号传递至检出电路的情况进行抑制。因此,能够对同步信号输出电路的数字噪声信号为要因的检测电路的性能降低的情况进行抑制。

[0192] 此外在图17中,例如以合并驱动电路与检测电路的第一方向DR1上的宽度来决定同期信号输出电路的宽度的方式来进行配置。通过实施这样的方式,能够提高半导体装置

700的全体的布局效率。因此，能够缩小半导体装置700的芯片面积，从而实现低成本化等。

[0193] 此外在图17中，将控制部配置于同步信号输出电路、驱动电路、检测电路的第一方向DR1一侧。根据这样的布局配置，可使从控制部输出的输出信号与向控制部输入的输入信号的配线通过短路总线而与同步信号输出电路、驱动电路、检测电路相连接。由此能够提高布局效率，并谋求半导体装置700的小规模化。

[0194] 图18为表示同步信号输出电路的详细的布局配置例的图。图18中，向同步信号输出电路进行输出的输入信号通过图12的延迟电路DCC1、DCC2、DCC3、DCF的延迟单元而被延迟，同时被进行信号传递而输入至延迟电路DCM。而后通过延迟电路DCM的延迟单元D0、D1…D404而被延迟，同时被进行信号传递。

[0195] 在该情况下DLL电路(150)的延迟电路(DCM)的多个延迟单元(D0～D404)中的第一延迟单元组如E1所示那样沿着从各延迟单元的输入而朝向输出的方向的第一方向DR1而被配置。即，该第一延迟单元组如E1所示那样沿着第一方向DR1被配置为串联连接。

[0196] 此外接续于第一延迟单元组的第二延迟单元组如E2所示那样，被配置于E1所表示的第一延迟单元组的第二方向DR2一侧。而后第二延迟单元组如E2所示那样，沿着从各延迟单元的输入而朝向输出的方向的第三方向DR3而被配置。即，该第二延迟单元组如E2所示那样沿着第三方向DR3而被配置为串联连接。

[0197] 此外接续于第二延迟单元组的第三延迟单元组如E3所示被配置为E2所示的第二延迟单元组的第二方向DR2一侧。而后第三延迟单元组如E3所示那样，沿着从各延迟单元的输入而朝向输出的方向的第一方向DR1而被配置。

[0198] 此外接续于第三延迟单元组的第四延迟单元组如E4所示那样被配置于E3所示的第三延迟单元组的第二方向DR2侧。而后第四延迟单元组如E4所示那样沿着从各延迟单元的输入而朝向输出的方向的第三方向DR3而被配置。

[0199] 像这样在图18中，DLL电路的延迟单元的第一延迟单元组如E1所示那样沿着第一方向DR1而被配置，与之接续的第二延迟单元组如E2所示那样沿着为第一方向DR1的相反方向的第三方向DR3而被配置。此外第三延迟单元组如E3所示那样沿着第一方向DR1而被配置，与之接续的第四延迟单元组如E4所示那样沿着第三方向DR3而被配置。

[0200] 通过以这样的方式来进行布局配置，能够提高延迟单元的布局效率，并能够谋求同步信号输出电路的布局面积的缩小。

[0201] 此外，通过将多个延迟单元如图18那样进行配置，从而能够采用以同步信号输出电路的第一方向DR1上的宽度与驱动电路、检测电路的第一方向DR1上的宽度为一致的方式而进行布局配置的方法，进而能够提高布局效率。

[0202] 例如实施模拟电路等的设计来决定驱动电路与检测电路的电路结构，并决定驱动电路与检测电路的布局配置模式。而后通过所决定的布局模式来如图17那样对驱动电路、检测电路进行布局配置。

[0203] 接下来在对同步信号输出电路进行布局配置时，以与驱动电路和检测电路的第一方向的宽度一致(大致一致)的方式来决定同步信号输出电路的宽度。即，在图18中，通过对多个延迟单元的配置中的折回点进行调整来使同步信号输出电路的宽度与驱动电路、检测电路的宽度一致。例如能够通过对配置于E1所示的第一延迟单元组与E2所示的第二延迟单元组的转折点RP的延迟单元进行决定来调整同步信号输出电路的宽度。

[0204] 这样，在图17中的驱动电路的第四方向DR4侧的区域，能够布局配置与驱动电路的宽度为相同宽度的同步信号输出电路。因此，能够提高检测装置的全体的布局效率，并能够谋求半导体装置700的小面积化、低成本化。

[0205] 此外在图18中，通过选择器等而被构成的输出电路(180)被配置于DLL电路的多个延迟单元(D0～D404)的第二方向DR2侧。这样，能够提高从DLL电路的多个延迟单元而被输入至输出电路的多相时钟信号的布局配线的效率，并能够谋求同步信号输出电路的布局面积的缩小。例如图12的时钟信号DL164～DL195、DL344～DL375、DL74～DL105、DL254～DL285的信号线以相互不重叠重的方式而被进行布局配线，并与输出电路180的选择器191、192、193、194相连接。这样，能够防止因为该信号线的配线区域的增加从而同步信号输出电路的布局面积增加的情况。另外如图18所示那样在输出电路的第二方向DR2一侧布局配置有电荷泵电路、低通滤波器的电容器等。

[0206] 10.检测电路

[0207] 图19表示检测电路60的详细的结构例。图19为全差动开关混频器方式的检测电路60的示例。

[0208] 检测电路60包括第一、第二Q/V转换电路62、64、第一、第二增益调整放大器72、74、开关混频器80、第一、第二过滤器92、94、A/D转换电路100。另外，检测电路60的结构不限定于图19，可实施为省略该结构元件的一部分，或追加其他的结构元件要素等各种改变。

[0209] Q/V转换电路62、64(电荷-电压转换电路)中输入有来自振子10的差动的第一、第二检测信号IQ1、IQ2。而后Q/V转换电路62、64将在振子10所产生的电荷(电流)转换为电压。该Q/V转换电路62、64为具有反馈电阻的连续型的电荷-电压转换电路。

[0210] 增益调整放大器72、74对Q/V转换电路62、64的输出信号QA1、QA2进行增益调整并放大。增益调整放大器72、74为所谓的可编程增益放大器，其通过所设定的增益而对信号QA1、QA2进行放大。例如放大为适合A/D转换电路100的电压转换范围的振幅的信号。

[0211] 开关混频器80为根据来自驱动电路30的同步信号SYC而实施差动同期检波的混频器。具体而言在开关混频器80中，增益调整放大器72的输出信号QB1被输入第一输入节点NI1，增益调整放大器74的输出信号QB2被输入第二输入节点NI2。而后通过来自驱动电路30的同步信号SYC而实施差动同步检波，并使差动第一、第二输出信号QC1、QC2对第一、第二输出节点NQ1、NQ2进行输出。通过该开关混频器80而将前级电路(Q/V转换电路、增益调整放大器)所产生的噪声信号(1/f噪声信号)等的多余信号转换为高频带。此外，使作为与科里奥利力对应的信号的所需信号进入直流信号。

[0212] 滤波器92中输入有来自开关混频器80的第一输出节点NQ1的第一输出信号QC1。滤波器94中输入有来自开关混频器80的第二输出节点NQ2的第二输出信号QC2。该滤波器92、94为具有例如除去(衰减)多余信号而使所需信号通过的频率特性的低通滤波器。例如通过开关混频器80而被转换为高频带域的1/f噪声信号等的多余信号通过滤波器92、94而被除去。此外滤波器92、94为例如通过无源元件而被构成的无源滤波器。即，作为滤波器92、94，能够不使用运算放大器，而采用通过电阻元件、电容器等的无源元件而被构成的无源滤波器。

[0213] A/D转换电路100接收来自滤波器92的输出信号QD1与滤波器94的输出信号QD2而实施差动A/D转换。具体而言，A/D转换电路100将滤波器92、94作为抗锯齿波用的滤波器(前

置滤波器)而实施输出信号QD1、QD2的采样并实施A/D转换。并且在本实施方式中,来自滤波器92的输出信号QD1以及来自滤波器94的输出信号QD2未经由有源元件而被输入A/D转换电路100。

[0214] 作为A/D转换电路100,例如能够采用Σ-Δ型或逐次比较型等多种方式的A/D转换电路。在采用Σ-Δ型的情况下,例如能够使用具有用于使1/f噪声信号降低的CDS(Correlated double sampling:相关双采样电路)与斩波器的功能等的、例如通过2次的Σ-Δ调制器等而被构成的A/D转换电路。此外在采用逐次比较型的情况下,例如能够使用具有对由DAC(Digital to Analog Conversion:数模转换)的元件偏差所引起的S/N比(Signal/Noise比:信噪比)的劣化进行抑制的DEM(Dynamic Element Matching:动态元件匹配)的功能等的、通过电容DAC以及逐次比较控制逻辑而被构成的A/D转换电路。

[0215] 控制部120实施各种数字信号处理。例如控制部120实施对噪声信号进行除去的数字滤波器处理,所述噪声信号通过与所需信号的应用对应的频带限制的数字滤波器处理、A/D转换电路100等而产生。此外还实施增益补正(灵敏度调整),复位补正等的数字补正处理。

[0216] 在图19的检测装置20中采用了全差动开关混频器方式。根据该全差动开关混频器方式,Q/V转换电路62、64、增益调整放大器72、74中所产生的1/f噪声等通过开关混频器80的频率转换与基于滤波器92、94的低通滤波器特性而被除去。并且在增益调整放大器72、74与AD转换电路100之间,成为设置有通过不获得增益也不产生1/f噪声信号的开关混频器80、与低噪声信号的无源元件而被构成的滤波器92、94的结构。因此,因为Q/V转换电路62、64、与增益调整放大器72、74中所产生的噪声信号被除去,同时开关混频器80与滤波器92、94所产生的噪声信号也被抑制为最小限度,从而能够将低噪声信号状态下的信号QD1、QD2输入A/D转换电路100,并实施A/D转换。而且,因为能够将信号QD1、QD2作为差动信号而实施A/D转换,与通过单端信号来实施A/D转换的情况比较,能够进一步提高S/N比。

[0217] 特别是在全差动开关混频器方式中,将输入开关混频器80的同步信号SYC的占空比设置为50%成为较重要。当占空比偏离于50%时,由于1/f噪声信号等检测性能会大幅度恶化。对于这一点,根据本实施方式的同步信号输出电路52,例如通过设置图12所示那样的波形整形电路196、198,可实施将同步信号SYC的占空比设定为50%的那样的调整。因此,能够提高全差动开关混频器方式的检测装置20的检测性能。

[0218] 另外本实施方式的检测装置20不限定于图19所示的那样的全差动开关混频器方式的结构。例如能够采用包括离散型Q/V转换电路与直接与该离散型Q/V转换电路相连接的A/D转换电路的直接采样方式的结构等的多种结构。

[0219] 图20表示包括本实施方式的检测装置20的移动体的示例。本实施方式检测装置20例如能够组装于汽车、飞机、摩托车、自行车、或船舶等的多种移动体中。移动体为具备例如发动机、电机等的驱动机构、方向盘、舵轮等的操控机构、各种电子设备并在地上、天空、海上进行移动的设备与装置。图20概要地表示作为移动体的具体示例的汽车206。在汽车206中组装有具有振子10与检测装置20的陀螺传感器510(传感器)。陀螺传感器510能够对车身207的姿态进行检测。陀螺传感器510的检测信号能够被供给至车身姿态控制装置208。车身姿态控制装置208例如能够按照车身207的姿态而对悬架的软硬进行控制、或对车轮209的制动器分别进行控制。其他地,这种姿态控制还能够利用于双足步行机器人、飞机、直升机

等的各种移动体。因此为了实现姿态控制，能够组装有陀螺传感器510。

[0220] 另外，虽然如上文所述对本发明的实施方式进行了详细说明，但本领域技术人员能够很容易地理解到可以实施实质上不脱离本发明的新事项以及效果的多种改变。因此，这种改变例全都被包含在本发明的保护范围内。例如，在说明书或附图中，至少一次与更广义或同义的不同用语(物理量转换器、传感器、物理量等)一起记载的用语(振子、陀螺传感器、角速度等)在说明书或附图的任意位置处均能够被替换为该不同用语。此外，检测装置、传感器、电子设备、移动体的结构，振子的结构等也不限定于本实施方式所说明的内容，可实施为各种改变。

[0221] 符号说明

[0222] D0～Dn-1、DF、DG0～DG29、DH0～DH29延迟单元；DCM、DCF、DCF1、DCF2、DCC、DCC1～DCC3延迟电路；PNB、PB、NB延迟控制信号；DL0～DL405多相时钟信号；IN、DLIN输入信号；DLQ输出信号；SYC同步信号；10振子；20检测装置；30驱动电路；32放大电路；40增益控制电路；50驱动信号输出电路；52同步信号输出电路；54二进制化电路；56相位调节电路；60检测电路；62、64Q/V转换电路；72、74增益调整放大器；80开关混频器；92、94滤波器；100A/D转换电路；120控制部；130调节电路；150DLL电路；160延迟控制电路；162相位比较器；164低通滤波器；168偏压电路；170延迟电路；180输出电路；182、184、186、191～194、196、198选择器；206汽车；207车身；208车身姿态控制装置；209车轮；500电子设备；510陀螺传感器；520处理部；530存储器；540操作部；550显示部；610相位比较器；612电荷泵电路；614低通滤波器；616VCO；618、620分频电路；630相位比较器；632电荷泵电路；634低通滤波器；636延迟电路；638选择器。

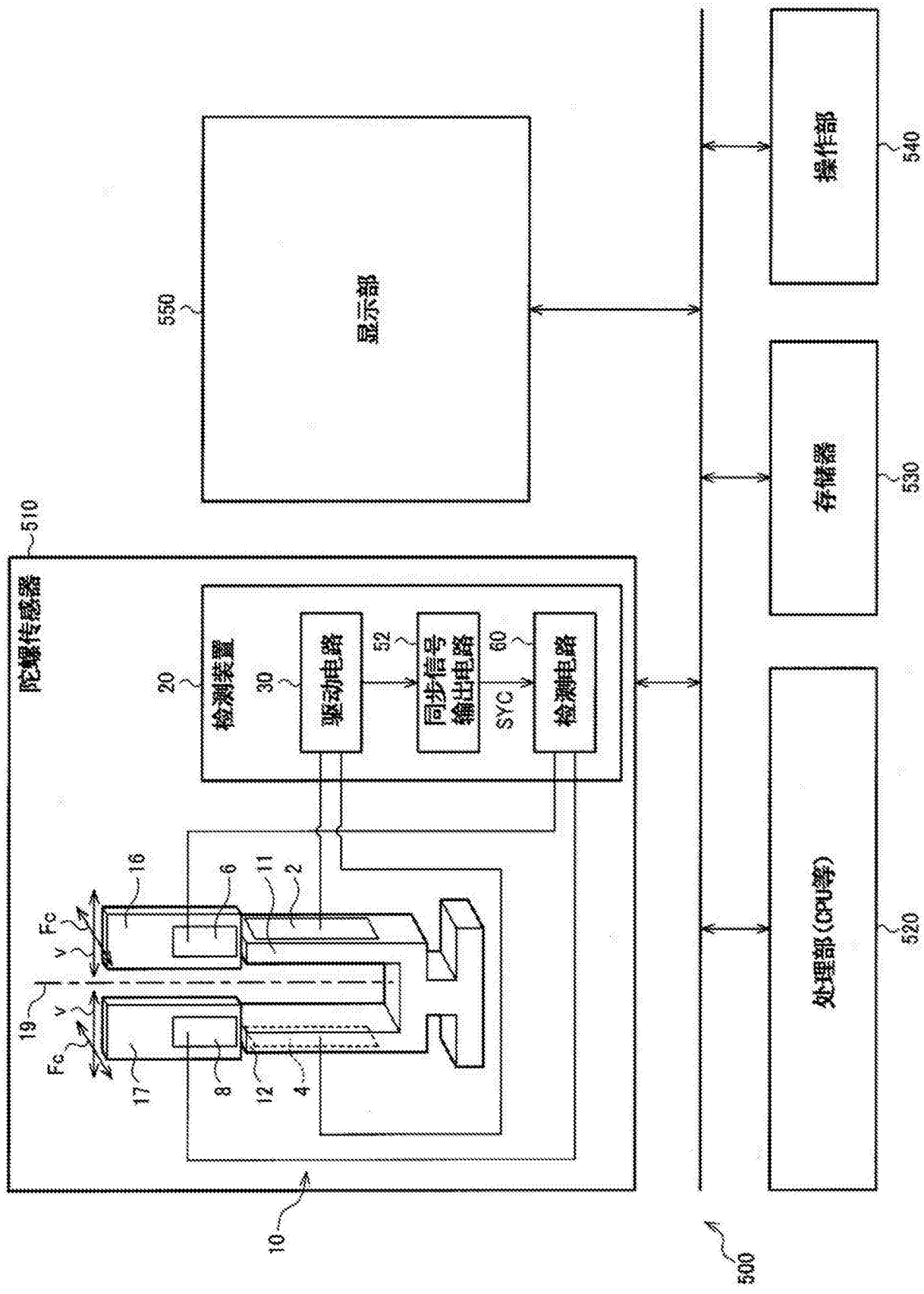

550
显示部
操作部
540
存储器
530
处理部(CPU等)
520
500
510
陀螺传感器
20
检测装置
30
驱动电路
52
同步信号输出电路
60
SYC
检测电路
10
16
6
11
2
Fc
v
19
17
8
12
4

图1

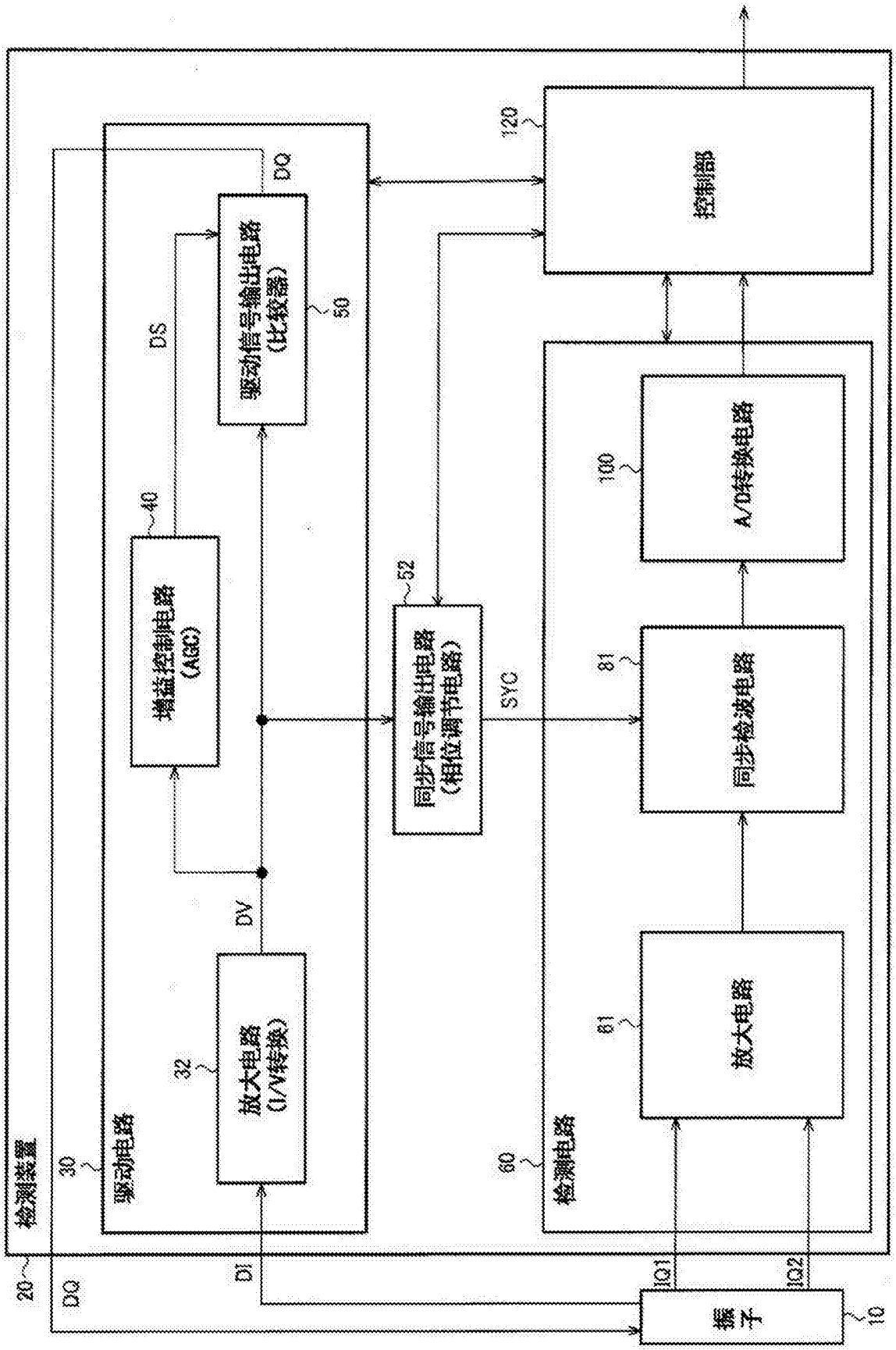

检测装置
20
DQ
驱动电路
30
放大电路
(I/V转换)
32
增益控制电路
(AGC)
40
驱动信号输出电路
(比较器)
50
DQ
DS
DV
DI
同步信号输出电路
(相位调节电路)
52
SYC
控制部
120
A/D转换电路
100
同步检波电路
81
放大电路
61
检测电路
60
IQ1
IQ2
振子
10

图2

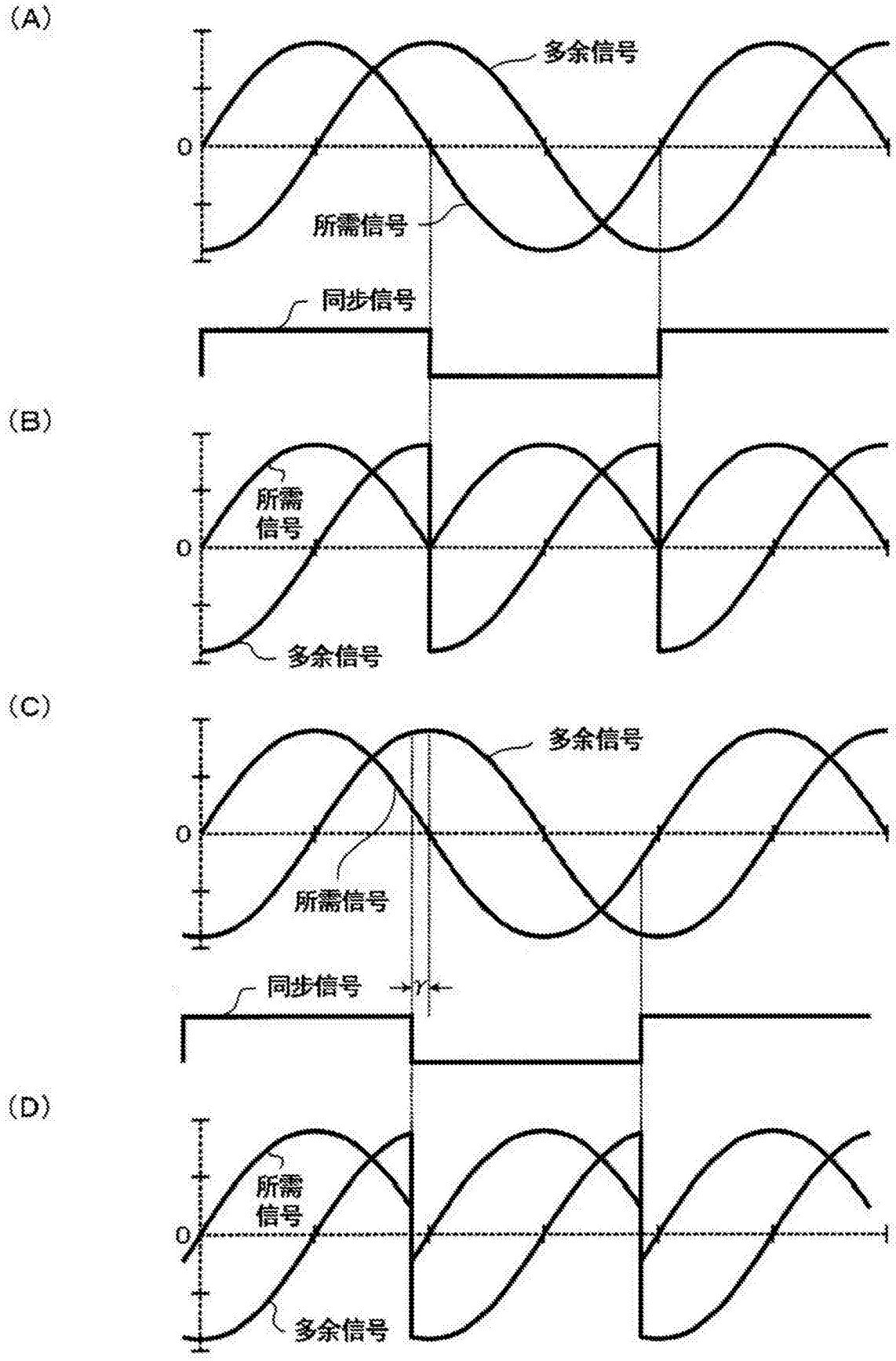


图3

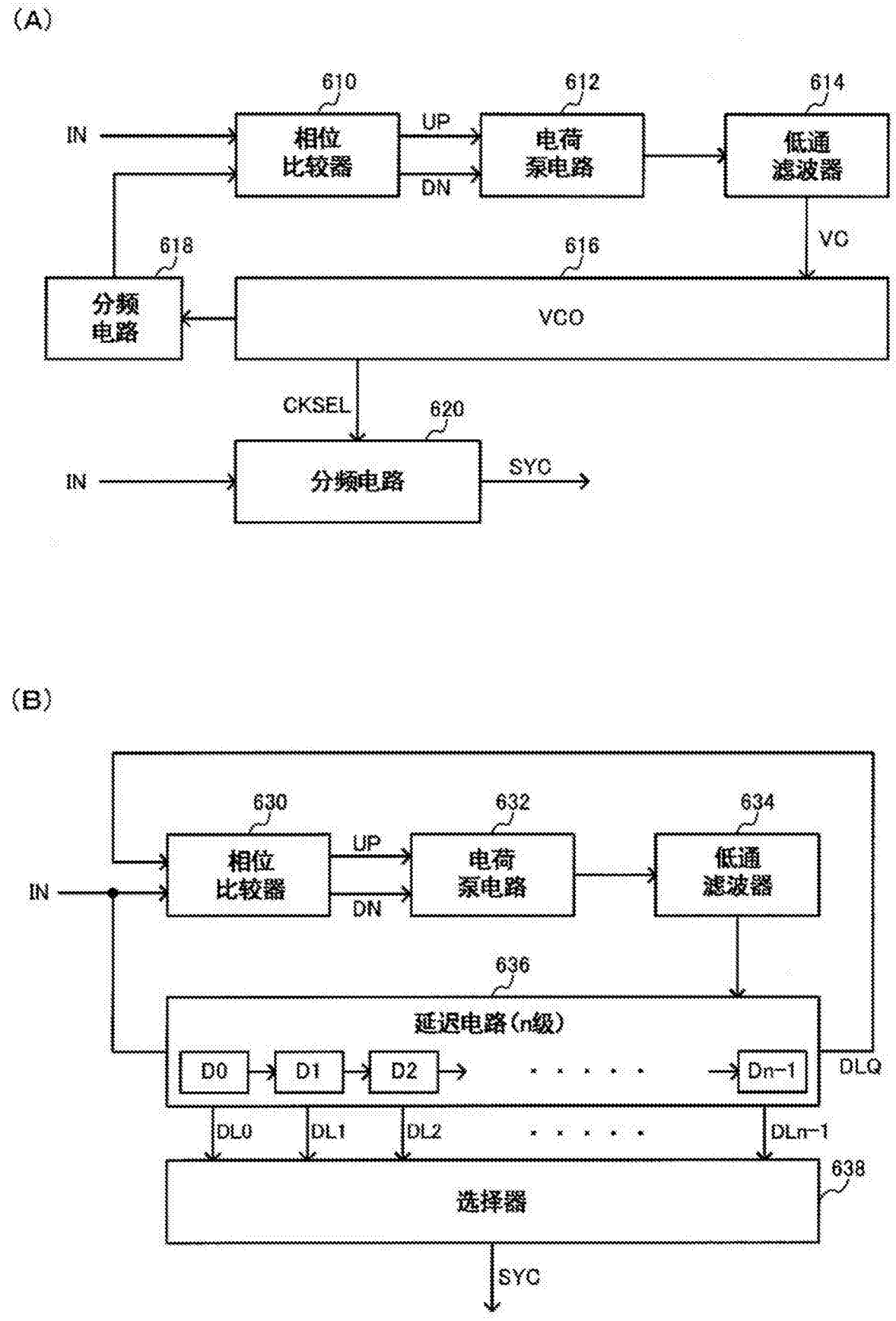

(A)
610
612
614
IN
相位
比较器
UP
DN
电荷
泵电路
低通
滤波器
VC
618
616
分频
电路
VCO
CKSEL
620
IN
分频电路
SYC
(B)
630
632
634
IN
相位
比较器
UP
DN
电荷
泵电路
低通
滤波器
636
延迟电路(n级)
D0
D1
D2
Dn-1
DLQ
DL0
DL1
DL2
DLn-1
638
选择器
SYC

图4

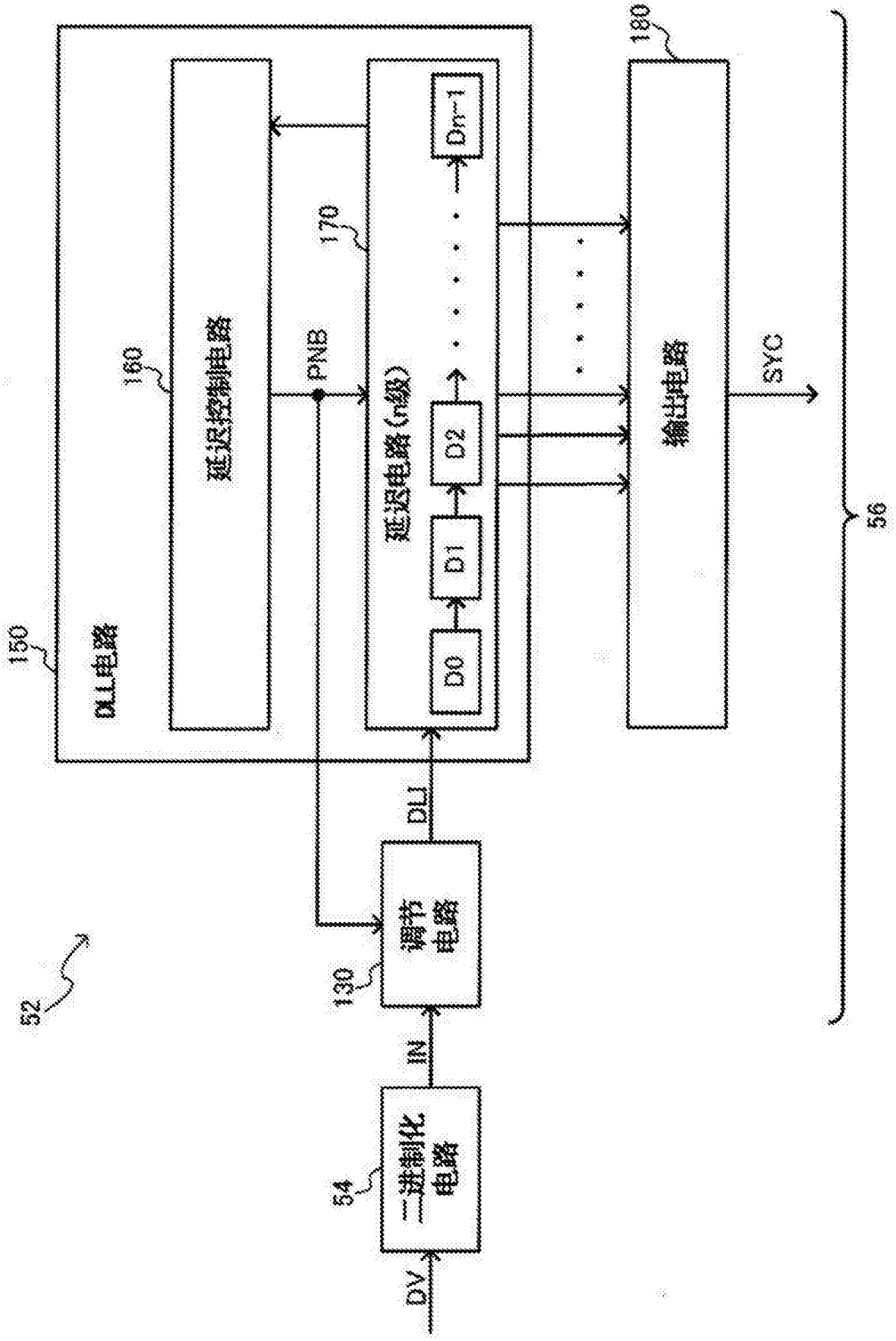

150
DLL电路
160
延迟控制电路
170
PNB
延迟电路(n级)
D0
D1
D2
Dn-1
180
输出电路
SYC
56
DLI
130
调节电路
52
IN
54
二进制化电路
DV

图5

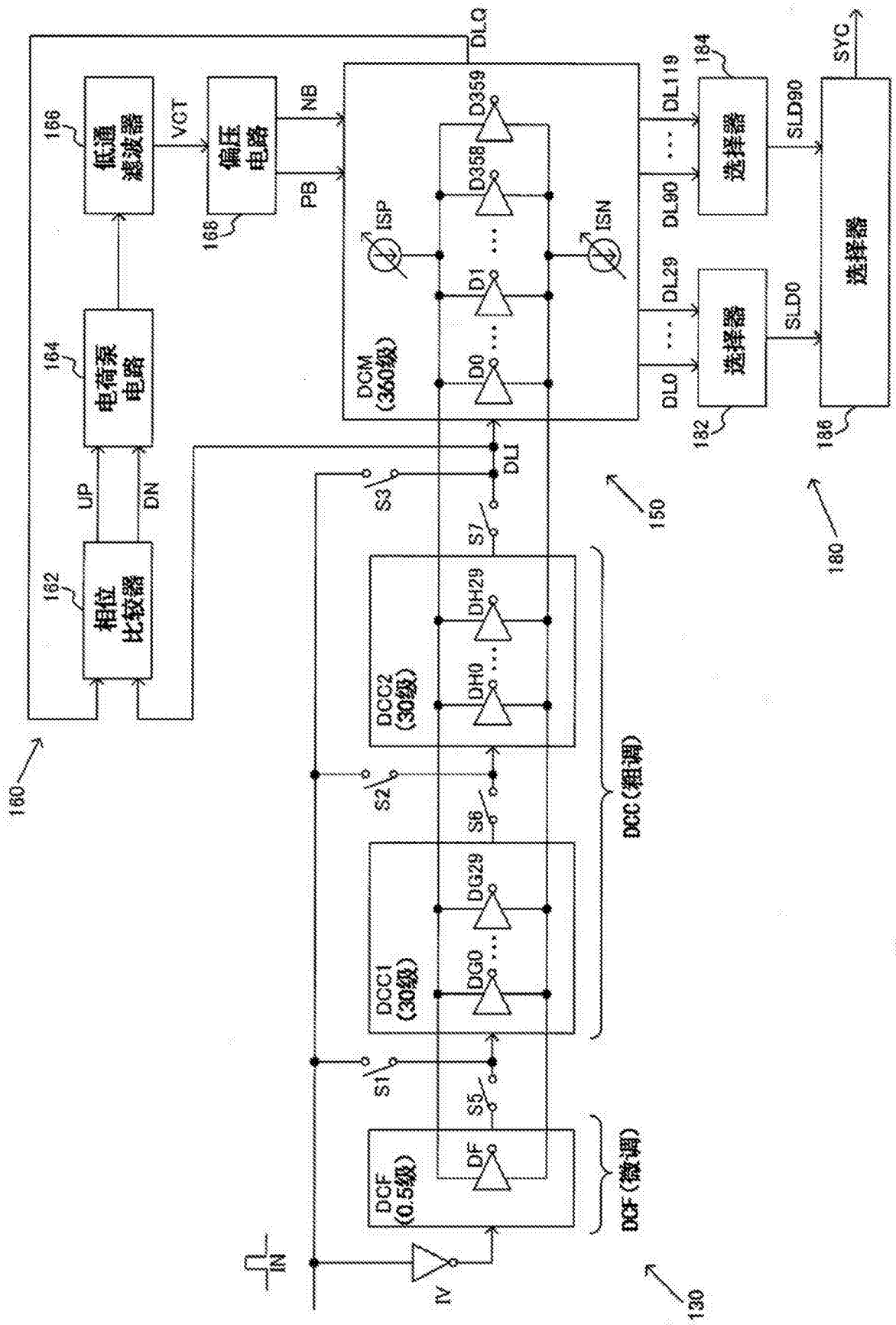

DLQ
166
低通滤波器
VCT
偏压电路
NB
PB
168
D359
D358
D1
D0
ISP
ISN
DCM (360级)
DL119
DL90
DL29
DL0
164
选择器
SLD90
SLD0
SYC
选择器
182
186
164
电荷泵电路
UP
DN
DLI
S3
S7
150
180
162
相位比较器
DH29
DH0
DCC2 (30级)
S2
S8
DG29
DG0
DCC1 (30级)
DCC (粗调)
S1
S5
DF
DCF (0.5级)
DCF (微调)
CLKIN
IV
160
130

图6

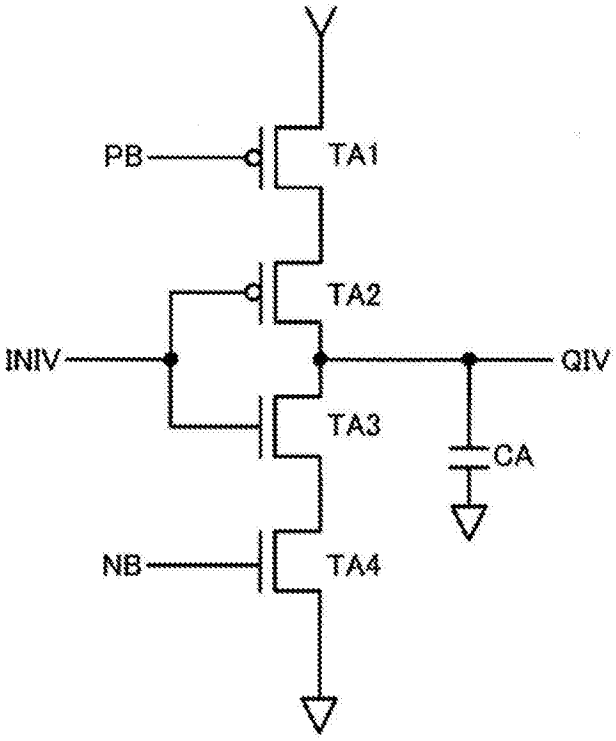
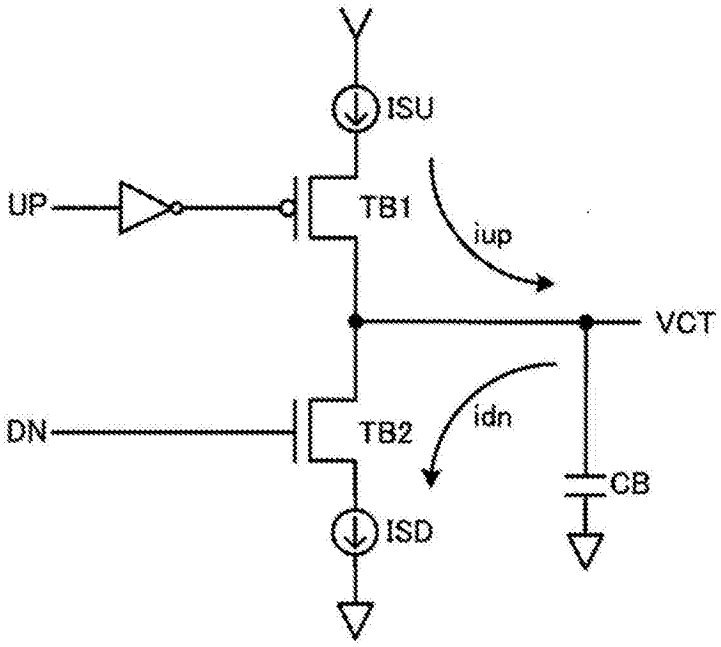


图7

(A)



(B)

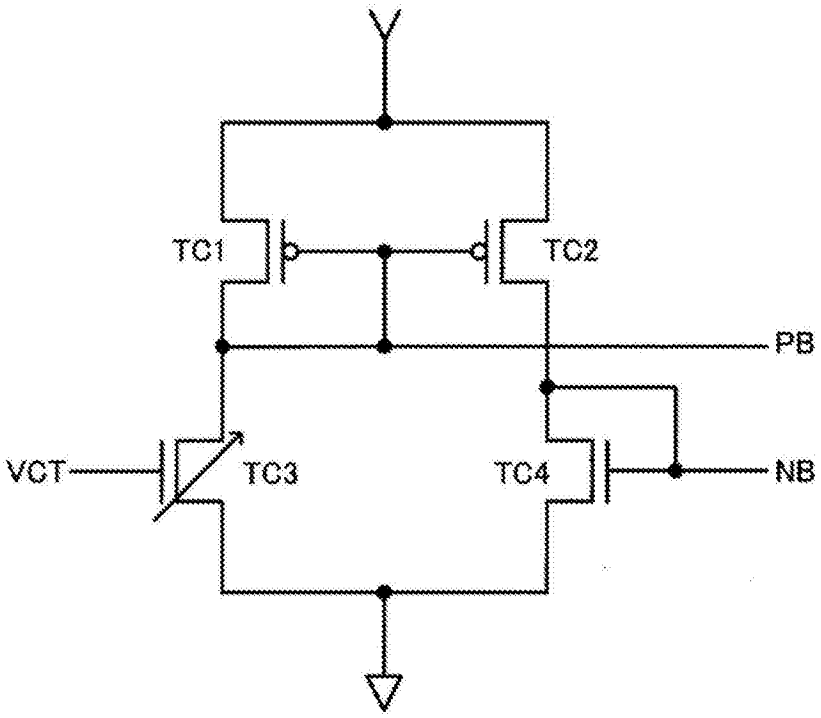


图8

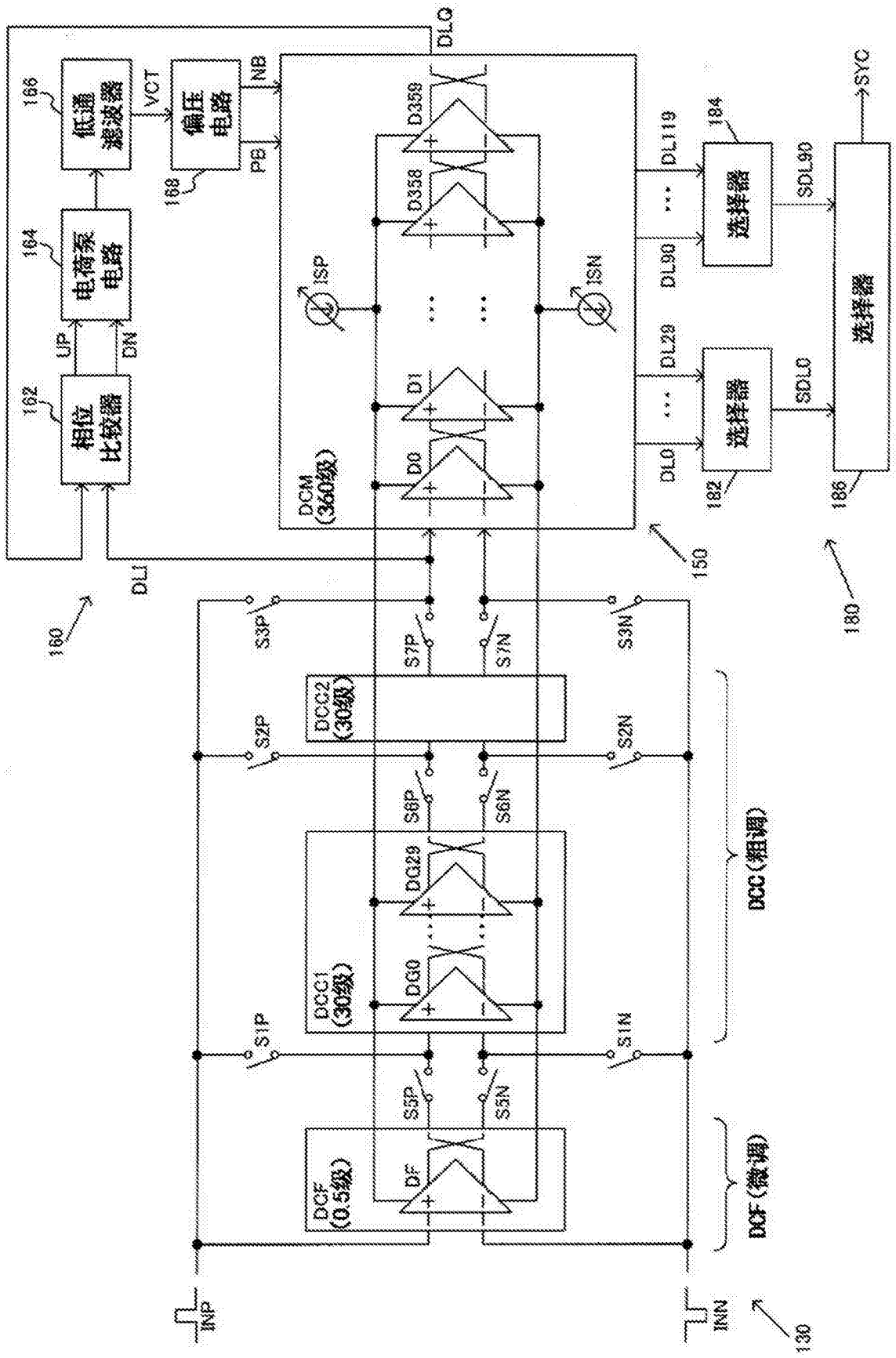

DLO
166
低通滤波器
VCT
偏压电路
NB
PB
168
164
电荷泵电路
UP
DN
162
相位比较器
DLI
160
DCM (360级)
D359
D358
D1
D0
ISP
ISN
150
DL119
DL90
DL29
DL0
184
选择器
182
SDL90
SDL0
选择器
186
SYO
180
S3P
S3N
S7P
S7N
DCC2 (30级)
S2P
S2N
S6P
S6N
DCC1 (30级)
DC29
DC0
S1P
S1N
S5P
S5N
DCF (0.5级)
DF
DCC (粗调)
DCF (微调)
INP
INN
130

图9

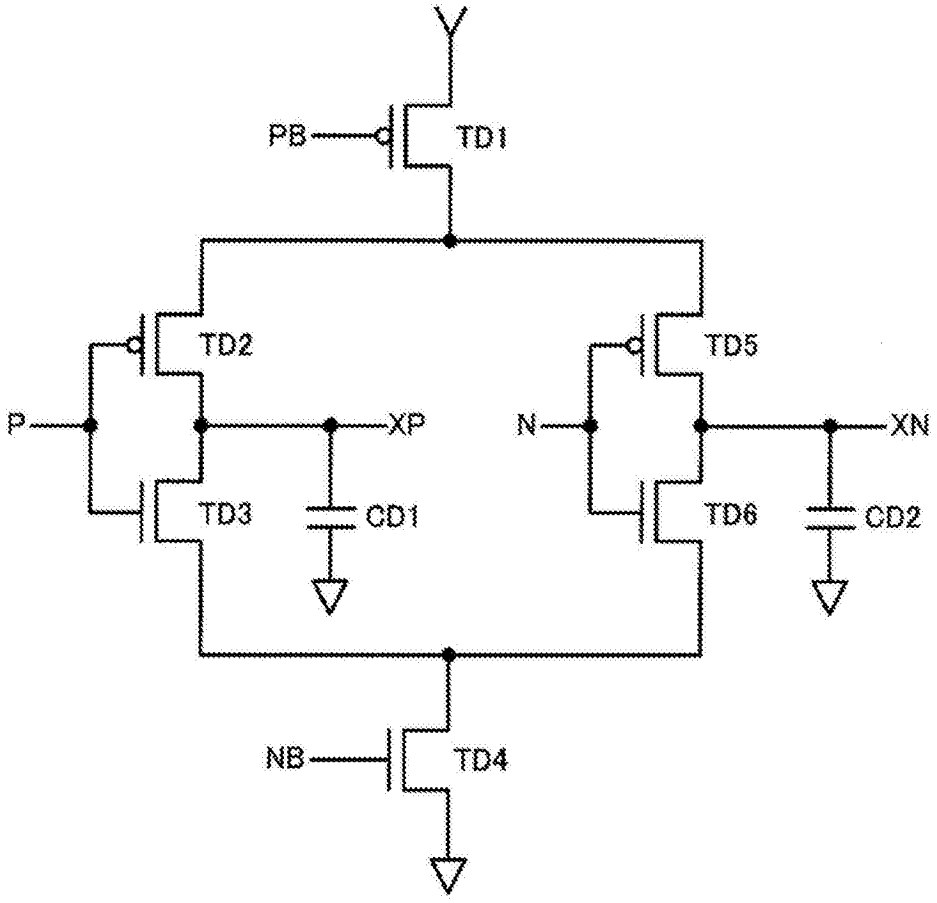


图10

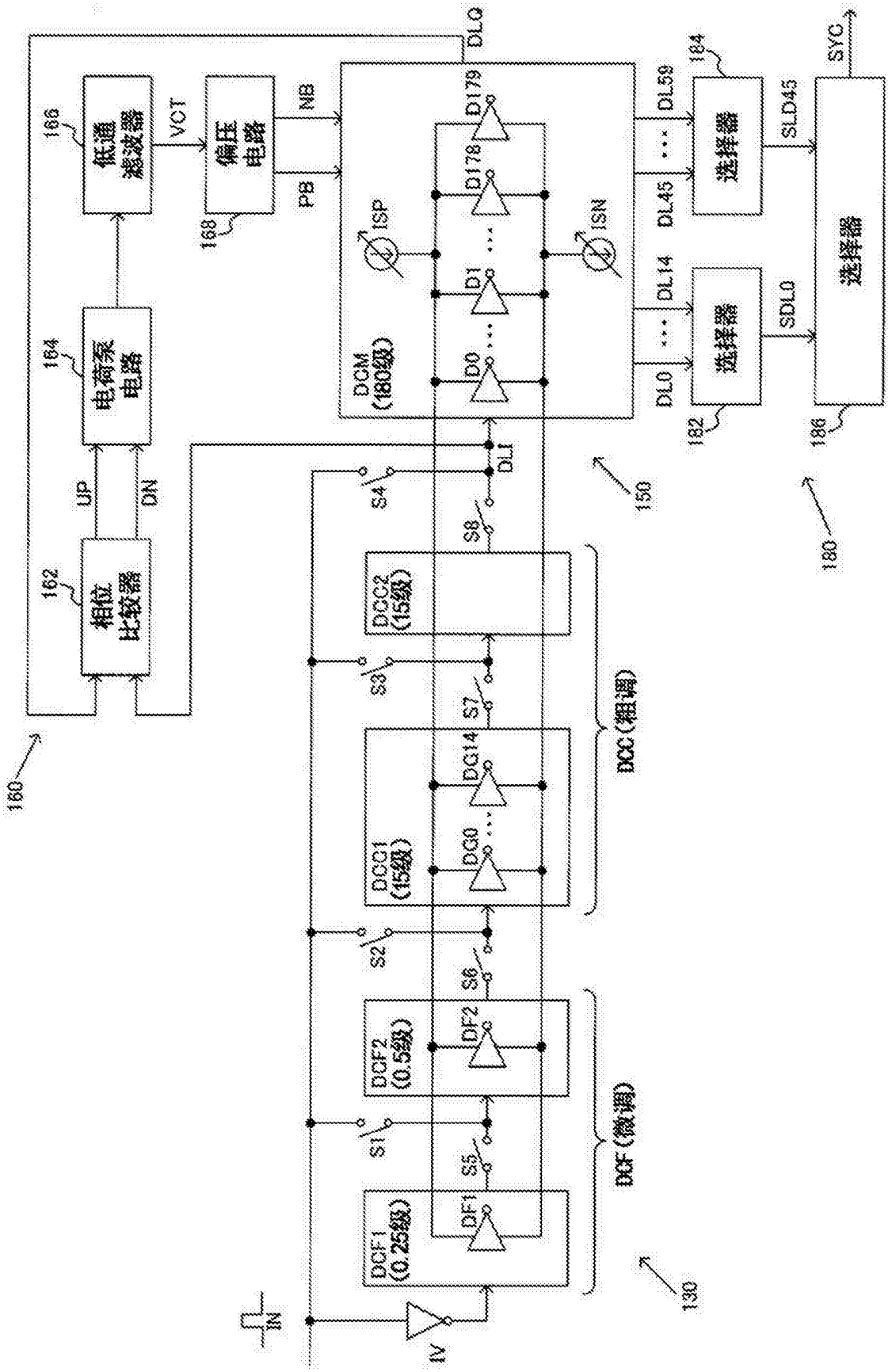

DLQ
低通滤波器
VCT
偏压电路
NB
PB
ISP
ISN
DCM (180级)
D179
D178
D1
D0
DL59
DL45
DL14
DL0
选择器
SLD45
SLD0
SYC
选择器
DLI
S4
S8
DCC2 (15级)
S3
S7
DCC1 (15级)
DG14
DG0
DCC (粗调)
S2
S6
DCF2 (0.5级)
DF2
S1
S5
DCF1 (0.25级)
DF1
DCF (微调)
IN
IV
UP
DN
电荷泵电路
相位比较器
160
162
164
166
168
180
182
184
186
150
130

图11

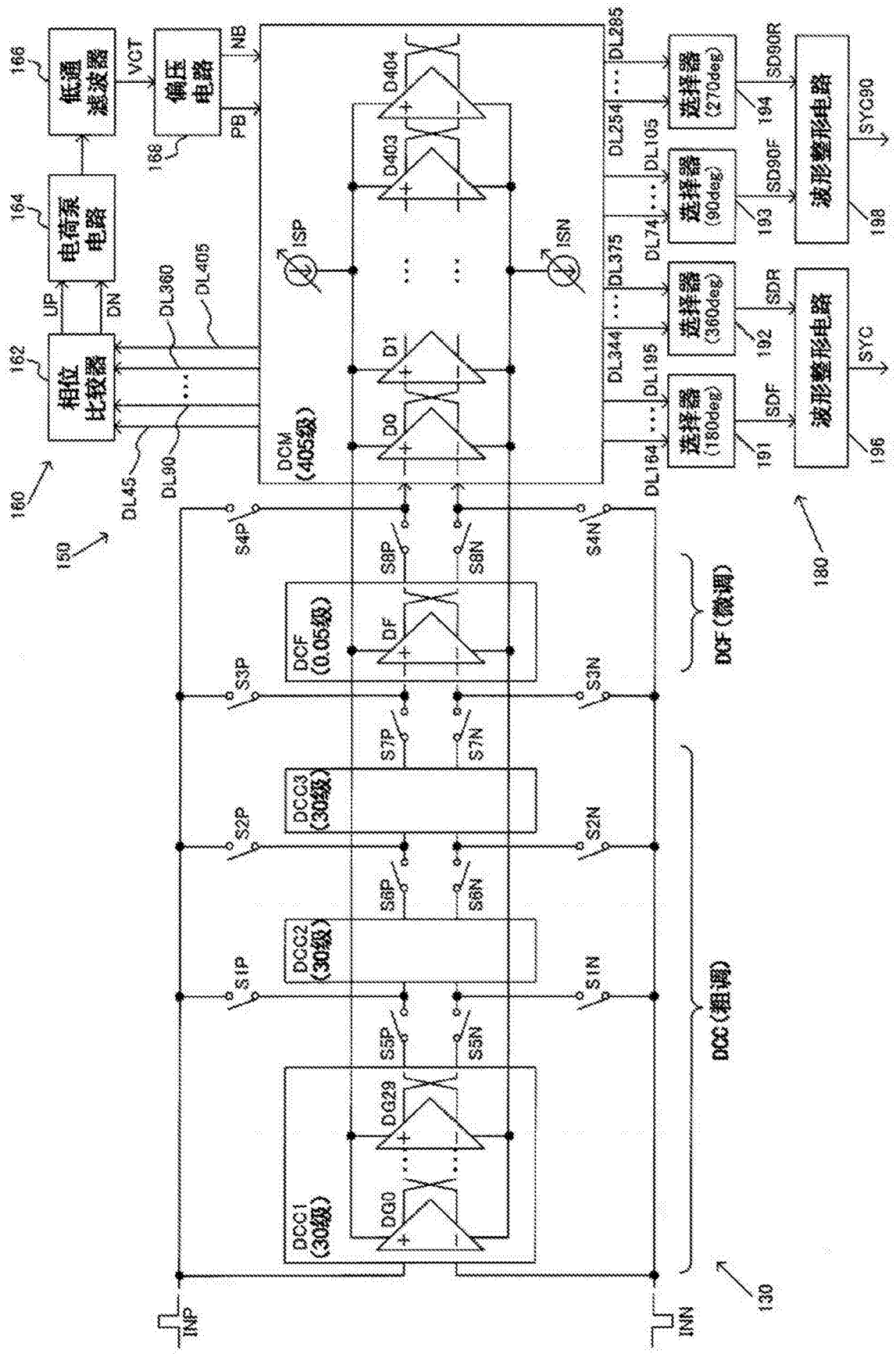
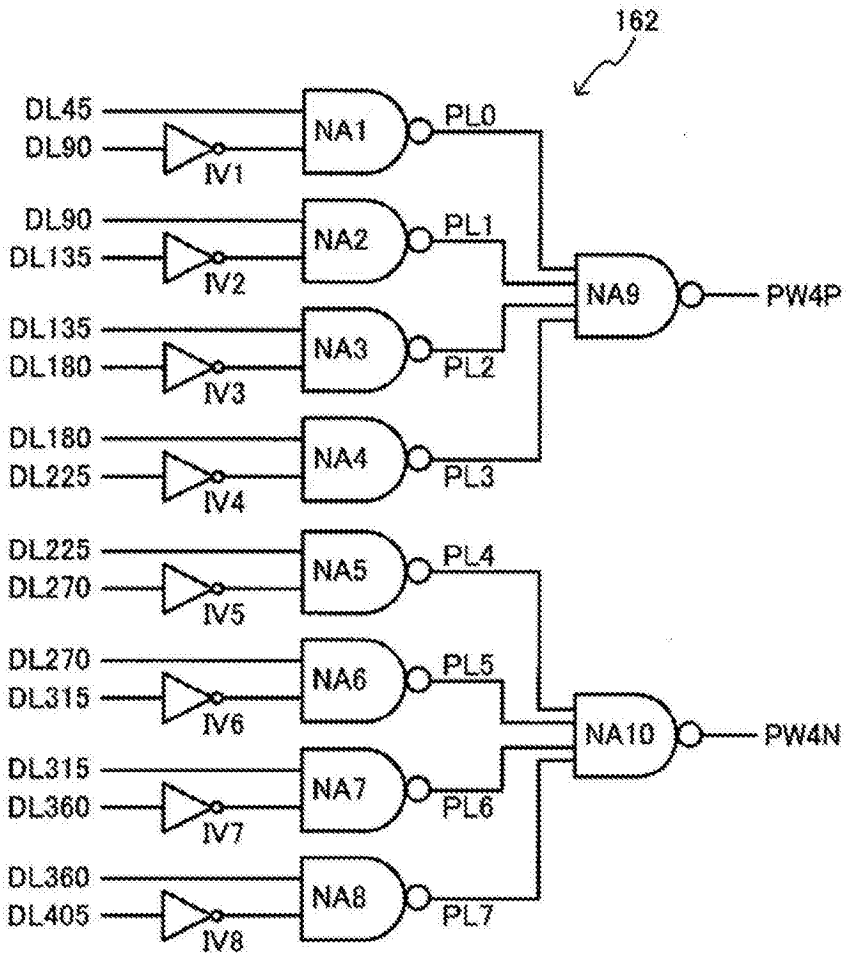

低通滤波器
偏压电路
电荷泵电路
相位比较器
DCM (405级)
DCF (0.05级)
DCC3 (30级)
DCC2 (30级)
DCC1 (30级)
选择器 (270deg)
选择器 (90deg)
选择器 (360deg)
选择器 (180deg)
波形整形电路
波形整形电路
DCF (微调)
DCC (粗调)
INP
INM
VCT
NB
PB
UP
DN
ISP
ISN
SYC90
SYC
160
162
164
166
168
130
180

图12

(A)


162
DL45
DL90
IV1
NA1
PL0
DL90
DL135
IV2
NA2
PL1
DL135
DL180
IV3
NA3
PL2
DL180
DL225
IV4
NA4
PL3
NA9
PW4P
DL225
DL270
IV5
NA5
PL4
DL270
DL315
IV6
NA6
PL5
DL315
DL360
IV7
NA7
PL6
DL360
DL405
IV8
NA8
PL7
NA10
PW4N

(B)

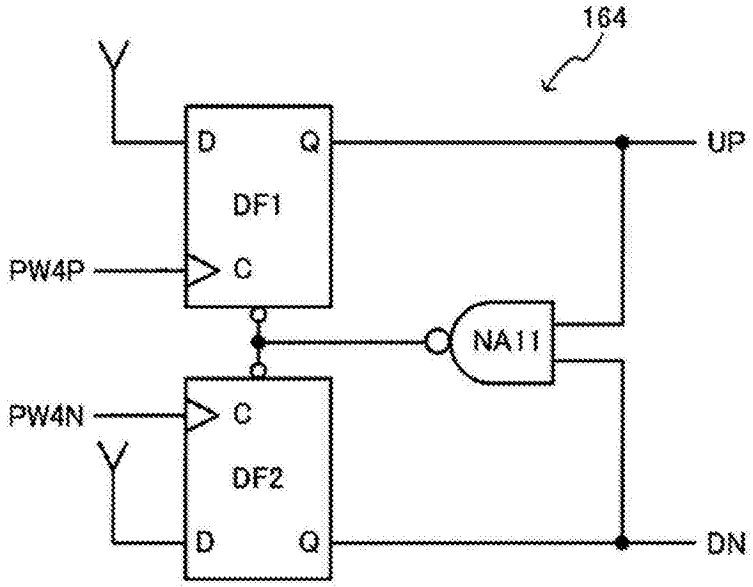

164
D
Q
DF1
C
UP
PW4P
NA11
PW4N
C
DF2
D
Q
DN

图13

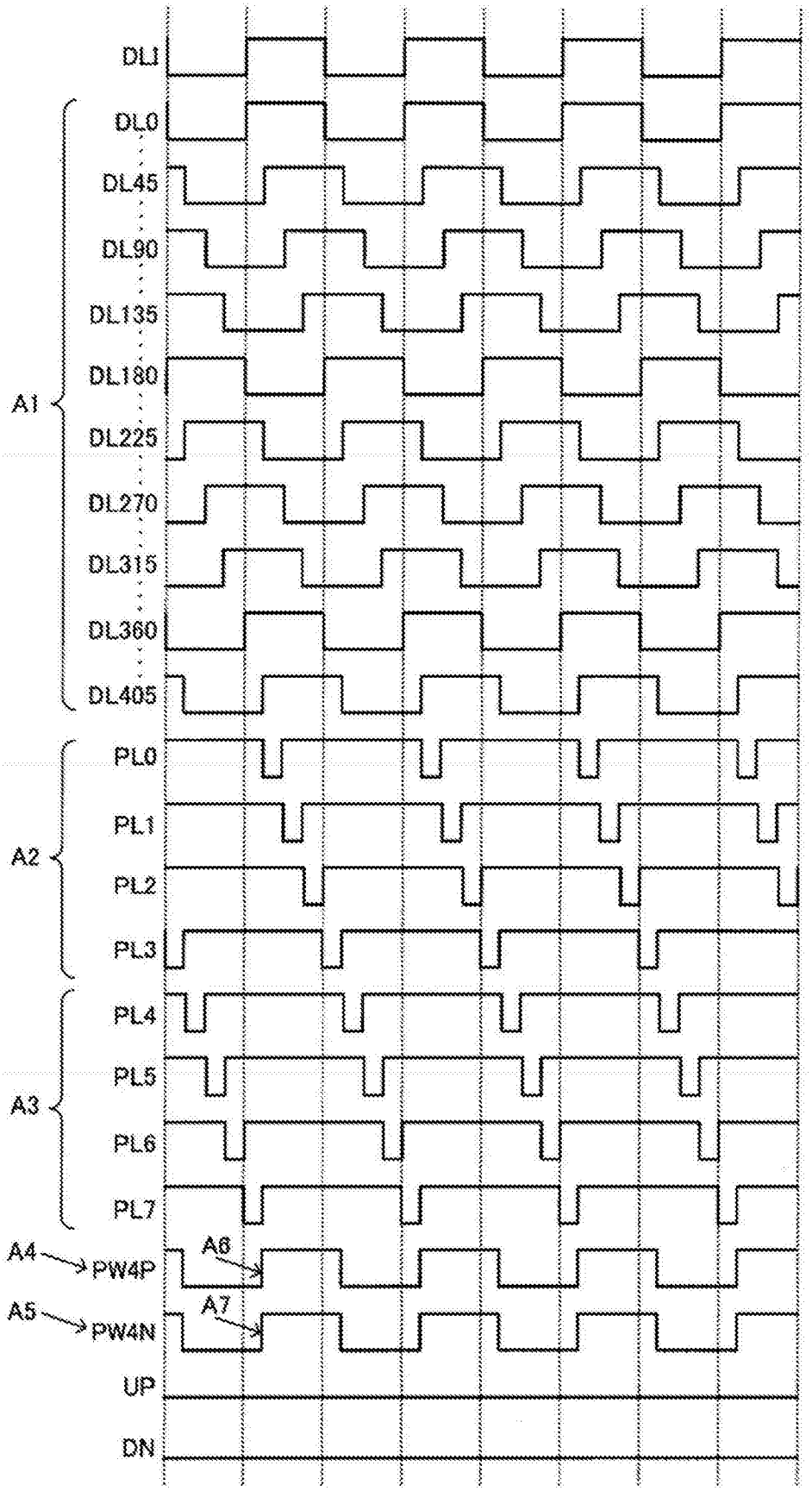

DLJ
DL0
DL45
DL90
DL135
DL180
DL225
DL270
DL315
DL360
DL405
A1
PL0
PL1
PL2
PL3
A2
PL4
PL5
PL6
PL7
A3
A4
PW4P
A6
A5
PW4N
A7
UP
DN

图14

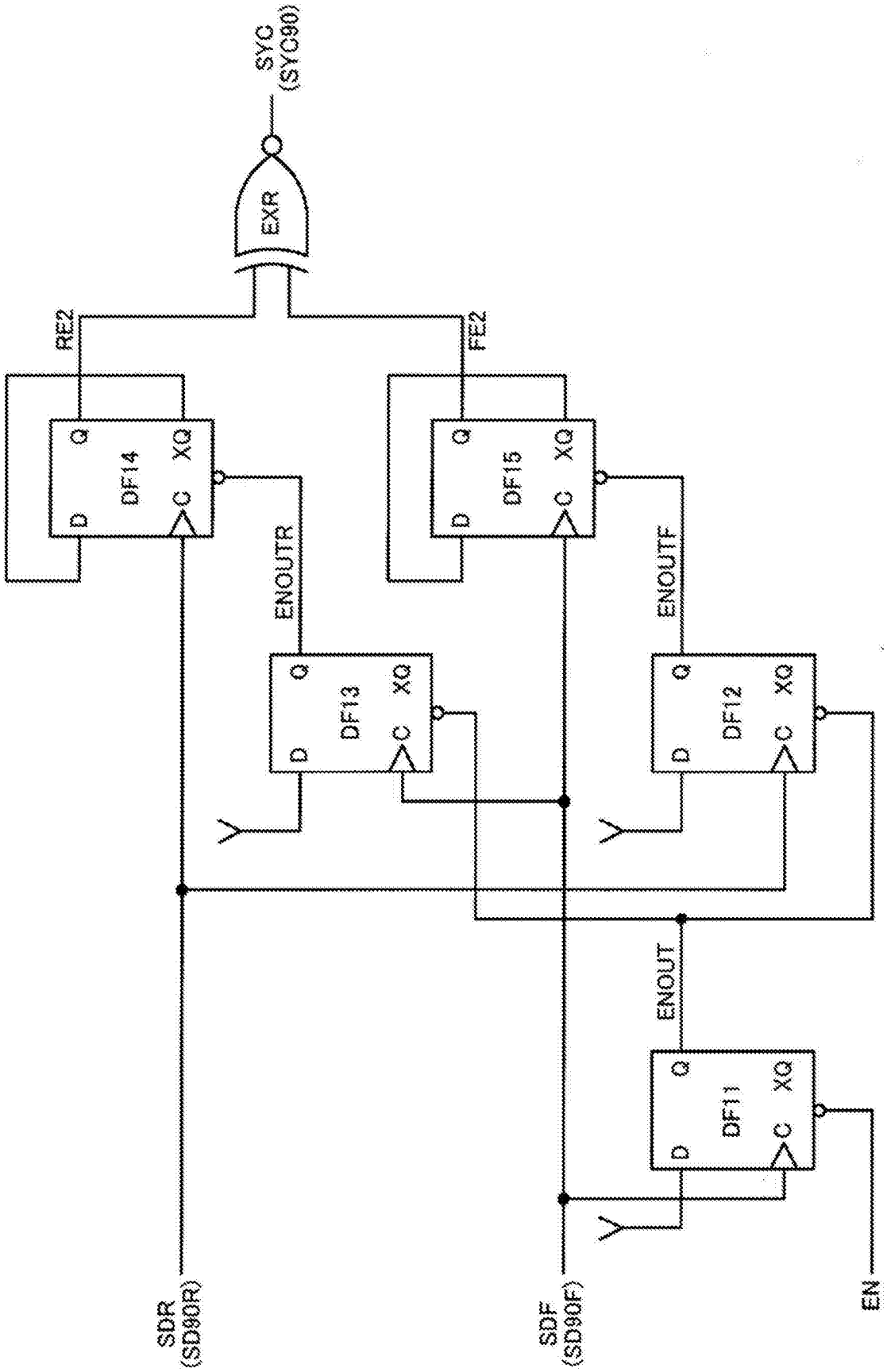

SYC
(SYC90)
EXR
RE2
FE2
Q
XQ
D
C
DF14
DF15
DF13
DF12
DF11
ENOUTR
ENOUTF
ENOUT
Y
SDR
(SD90R)
SDF
(SD90F)
EN

图15

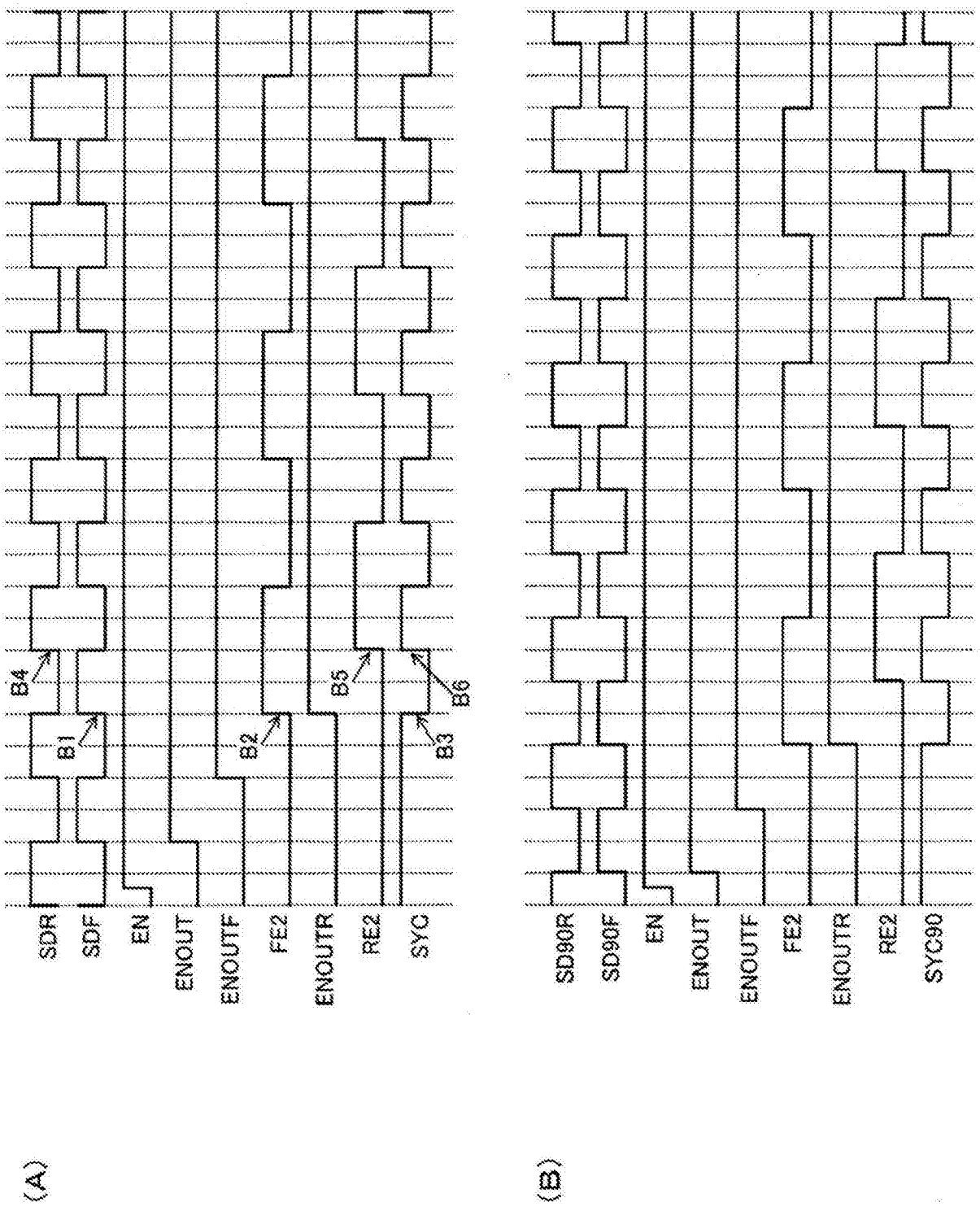

B4
B1
B2
B5
B6
B3
SDR
SDF
EN
ENOUT
ENOUTF
FE2
ENOUTR
RE2
SYC
SD90R
SD90F
EN
ENOUT
ENOUTF
FE2
ENOUTR
RE2
SYC90
(A)
(B)

图16

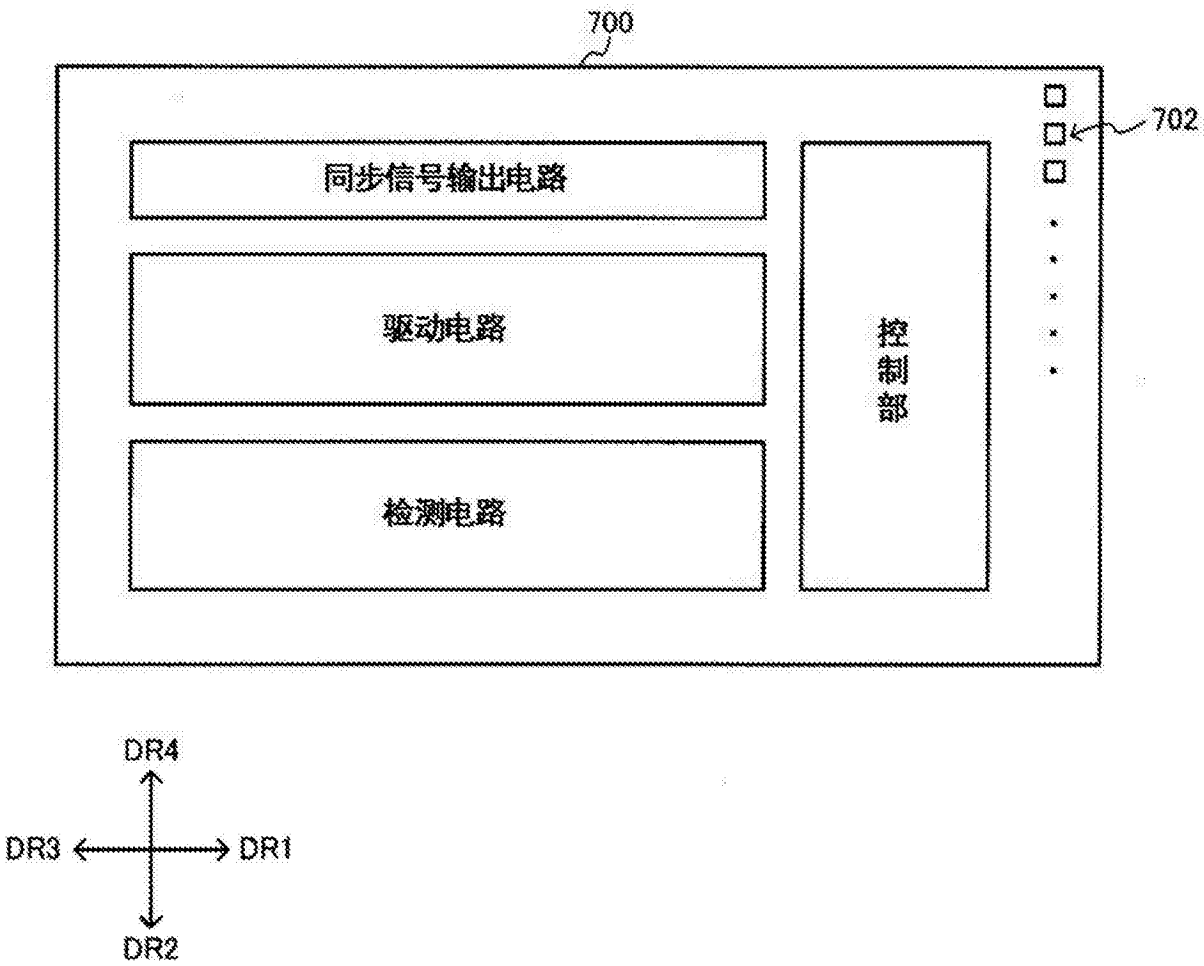


图17

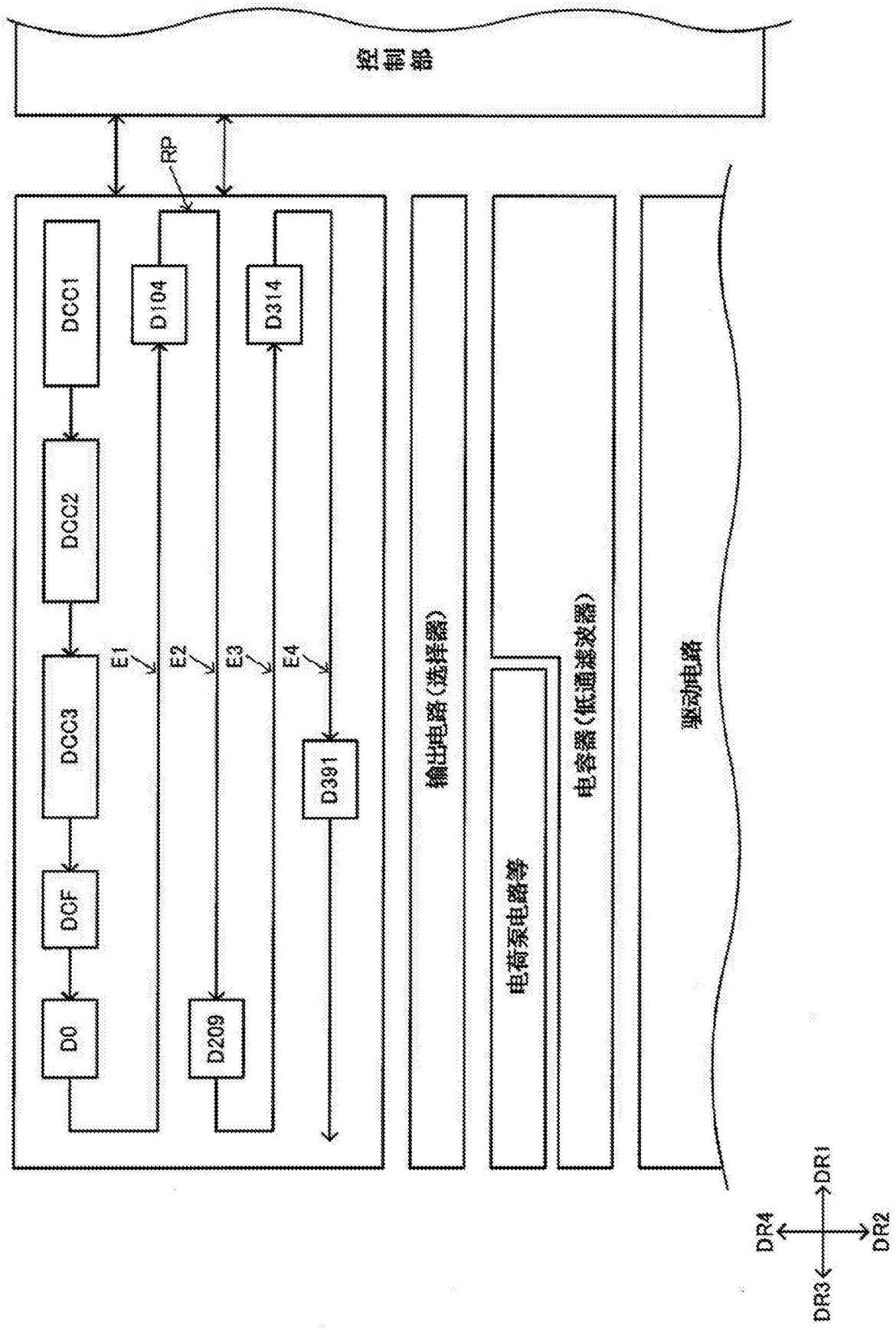

控制部
RP
DCC1
DCC2
DCC3
DCF
D0
D104
D209
D314
D391
E1
E2
E3
E4
输出电路(选择器)
电荷泵电路等
电容器(低通滤波器)
驱动电路
DR1
DR2
DR3
DR4

图18

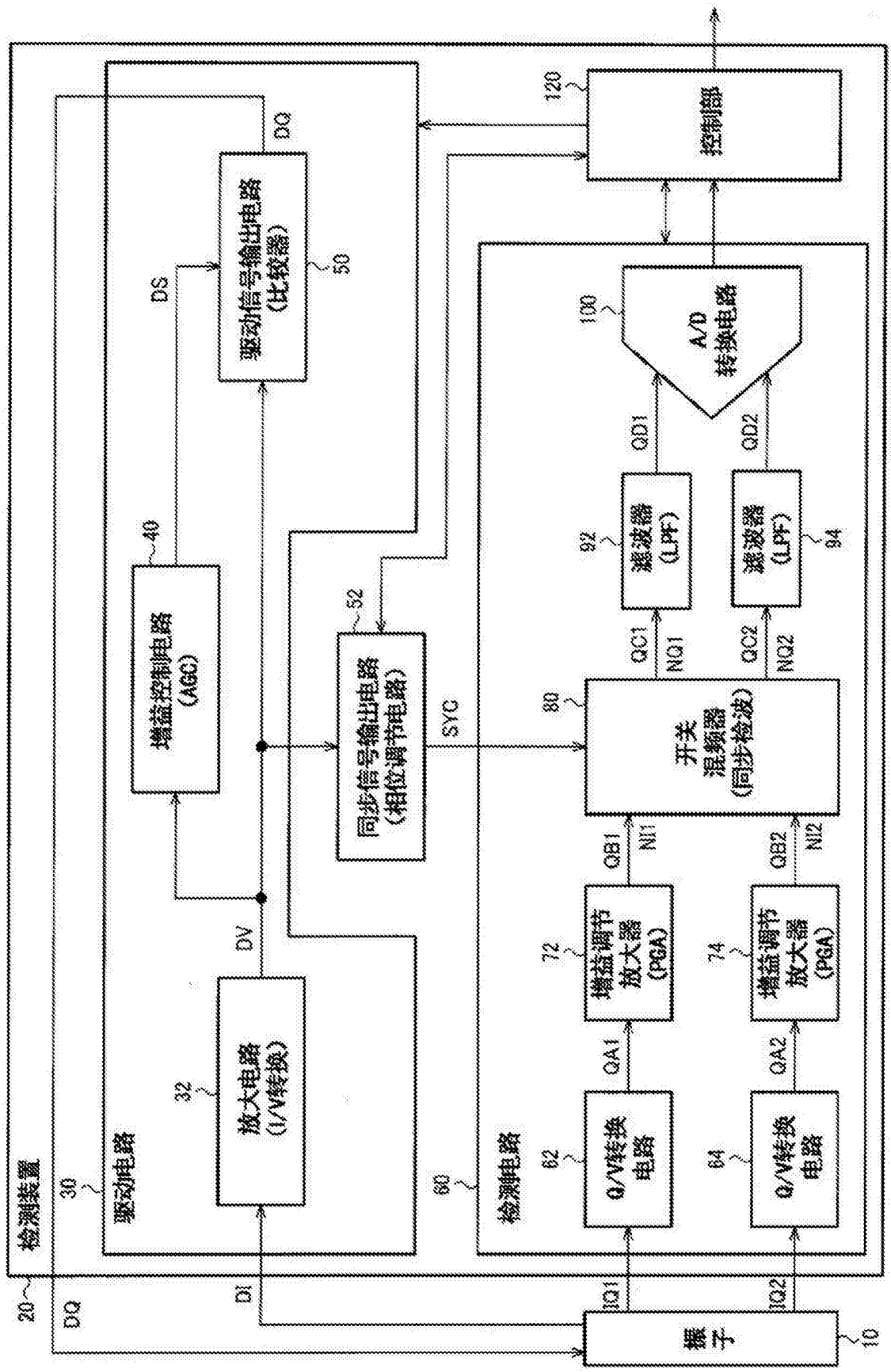

检测装置
20
DQ
DI
振子
10
IQ1
IQ2
驱动电路
30
放大电路
(I/V转换)
32
DV
增益控制电路
(AGC)
40
DS
驱动信号输出电路
(比较器)
50
DQ
同步信号输出电路
(相位调节电路)
52
SYC
检测电路
60
Q/V转换
电路
62
Q/V转换
电路
64
QA1
QA2
增益调节
放大器
(PGA)
72
增益调节
放大器
(PGA)
74
QB1
QB2
NI1
NI2
开关
混频器
(同步检波)
80
QC1
QC2
NQ1
NQ2
滤波器
(LPF)
82
滤波器
(LPF)
84
QD1
QD2
A/D
转换电路
100
控制部
120

图19

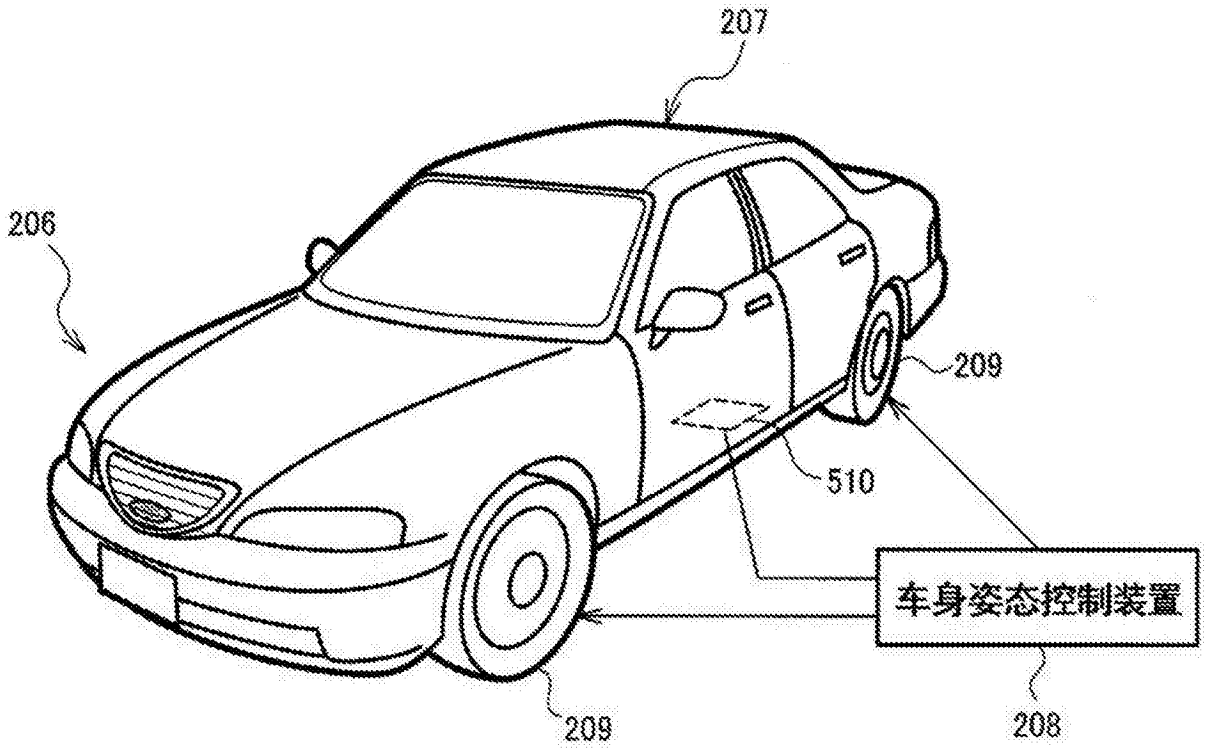


图20