



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017866

(43) 공개일자 2016년02월17일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(21) 출원번호 10-2014-0101324

(22) 출원일자 2014년08월06일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

김지아

경기 고양시 일산동구 정발산로 95, 804동 203호
(마두동, 정발마을8단지청구빌라)

이주영

경기 파주시 후곡로 77, 103동 402호 (금촌동, 쇠재마을풍림아이원아파트)

(뒷면에 계속)

(74) 대리인

특허법인로알

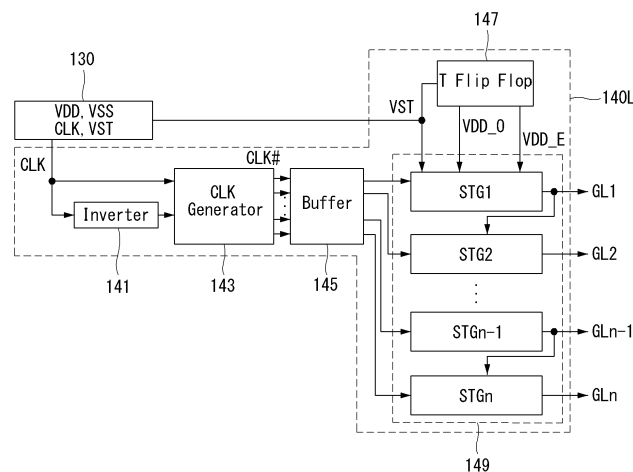
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 표시패널; 및 레벨 시프터와 상기 레벨 시프터로부터 공급된 전원 및 신호를 기반으로 상기 표시패널에 공급할 스캔신호를 생성하는 스캔신호 발생회로를 포함하는 스캔 구동부를 포함하고, 상기 스캔신호 발생회로는 클럭신호를 시프트 레지스터의 스테이지에 전달하는 버퍼를 포함하고, 상기 버퍼는 두 개의 인버터를 포함하고, 상기 두 개의 인버터 중 하나는 멀티 버퍼로 구현된 것을 특징으로 하는 표시장치를 제공한다.

대표도 - 도3



(72) 발명자

소병성

경기 파주시 월롱면 엘지로 245, 기숙사 F동 429호
(파주LCD산업단지)

이승준

서울 마포구 큰우물로 28, 108동 402호 (용강동,
래미안아파트)

특허청구의 범위

청구항 1

표시패널; 및

레벨 시프터와 상기 레벨 시프터로부터 공급된 전원 및 신호를 기반으로 상기 표시패널에 공급할 스캔신호를 생성하는 스캔신호 발생회로를 포함하는 스캔 구동부를 포함하고,

상기 스캔신호 발생회로는 클록신호를 시프트 레지스터의 스테이지에 전달하는 버퍼를 포함하고,

상기 버퍼는 두 개의 인버터를 포함하고, 상기 두 개의 인버터 중 하나는 멀티 버퍼로 구현된 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서,

상기 두 개의 인버터 중 제1인버터의 뒷 단에 위치하는 제2인버터는 상기 멀티 버퍼로 구현되고, 상기 멀티 버퍼는 병렬구조로 연결된 것을 특징으로 하는 표시장치.

청구항 3

제2항에 있어서,

상기 멀티 버퍼로 구현되는 상기 제2인버터는

상기 제1인버터보다 회로가 더 작고 단순하게 구성되는 것을 특징으로 하는 표시장치.

청구항 4

제2항에 있어서,

상기 멀티 버퍼로 구현되는 상기 제2인버터는

상기 클록신호의 로드로 인한 전파지연(propagation delay)을 최소화하도록 상기 표시패널의 비표시영역에 분산되어 형성된 것을 특징으로 하는 표시장치.

청구항 5

제1항에 있어서,

상기 스캔신호 발생회로는

상기 레벨 시프터로부터 공급된 하나의 클록신호를 다수의 클록신호로 분주하고, 상기 표시패널의 비표시영역에 형성된 클록신호 발생회로를 포함하는 표시장치.

청구항 6

제5항에 있어서,

상기 클록신호 발생회로는 다수의 분주회로로 구현되고,

하나의 분주회로는 제1 내지 제6노아 회로로 구성된 T 플립 플롭(T Flip Flop)으로 이루어진 것을 특징으로 하는 표시장치.

청구항 7

제6항에 있어서,

상기 제1노아 회로는 제1입력단이 상기 제3노아 회로의 제3입력단에 연결되고 제2입력단이 상기 제3노아 회로의 제1입력단에 연결되고 자신의 출력단이 상기 제2노아 회로의 제1입력단에 연결되고,

상기 제2노아 회로는 제1입력단이 상기 제1노아 회로의 출력단에 연결되고 제2입력단이 상기 하나의 분주회로의 입력단에 연결되고 자신의 출력단이 상기 제5노아 회로의 제1입력단에 연결되고,

상기 제3노아 회로는 제1입력단이 상기 제1노아 회로의 제2입력단에 연결되고 제2입력단이 상기 하나의 분주회로의 입력단에 연결되고 제3입력단이 상기 제1노아 회로의 제1입력단에 연결되고 자신의 출력단이 상기 제6노아 회로의 제2입력단에 연결되고,

상기 제4노아 회로는 제1입력단이 상기 제3노아 회로의 출력단에 연결되고 제2입력단이 상기 제6노아 회로의 출력단에 연결되고 자신의 출력단이 상기 제3노아 회로의 제3입력단에 연결되고,

상기 제5노아 회로는 제1입력단이 상기 제2노아 회로의 출력단에 연결되고 제2입력단이 상기 제6노아 회로의 출력단에 연결되고 자신의 출력단이 상기 하나의 분주회로의 출력단에 연결되고,

상기 제6노아 회로는 제1입력단이 상기 제5노아 회로의 출력단에 연결되고 제2입력단이 상기 제3노아 회로의 출력단에 연결되고 자신의 출력단이 상기 제5노아 회로의 제2입력단에 연결된 것을 특징으로 하는 표시장치.

청구항 8

제5항에 있어서,

상기 스캔신호 발생회로는

상기 클록신호 발생회로에 상기 하나의 클록신호를 공급하고, 상기 표시패널의 비표시영역에 형성된 인버터를 포함하고,

상기 인버터는 상기 하나의 클록신호를 지연하여 내부 클록신호로 출력함과 더불어 상기 하나의 클록신호를 지연 및 반전하여 내부 반전클록신호로 출력하는 것을 특징으로 하는 표시장치.

청구항 9

제8항에 있어서,

상기 인버터는

제N1 내지 제N7트랜지스터와 제1커패시터를 포함하고,

상기 제N1트랜지스터는 고전위전원라인에 게이트전극 및 제1전극이 연결되고 상기 제N3트랜지스터의 게이트전극에 제2전극이 연결되고,

상기 제N2트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N3트랜지스터의 제2전극에 제1전극이 연결되고 저전위전원라인에 제2전극이 연결되고,

상기 제N3트랜지스터는 상기 제N1트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N2트랜지스터의 제1전극에 제2전극이 연결되고,

상기 제N4트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N5트랜지스터의 제2전극에 제1전극이 연결되고 상기 저전위전원라인에 제2전극이 연결되고,

상기 제N5트랜지스터는 상기 제N3트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N4트랜지스터의 제1전극에 제2전극이 연결되고,

상기 제1커패시터는 상기 제N1트랜지스터의 제2전극과 상기 제N3트랜지스터의 게이트전극에 일단이 연결되고 상기 제N5트랜지스터의 제2전극과 상기 제N7트랜지스터에 게이트전극에 타단이 연결되고,

상기 제N6트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N7트랜지스터의 제2전극 및 상기 인버터의 출력단에 제1전극이 연결되고 상기 저전위전원라인에 제2전극이 연결되고,

상기 제N7트랜지스터는 상기 제N5트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N6트랜지스터의 제1전극 및 상기 인버터의 출력단에 제2전극이 연결된 것을 특징으로 하는 표시장치.

청구항 10

제1항에 있어서,

상기 스캔신호 발생회로는

1 프레임마다 로직 상태가 전환되는 신호를 기반으로 고전위전원을 스위칭하여 상호 교번하는 홀수 고전위전원과 짝수 고전위전원을 출력하는 전원제어회로를 포함하는 표시장치.

명세서

기술분야

[0001] 본 발명은 표시장치에 관한 것이다.

배경기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 위와 같은 표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 스캔신호를 출력하는 스캔 구동부는 집적회로 형태로 표시패널의 외부기판에 실장되는 외장형과 박막 트랜지스터 공정과 함께 이루어지는 게이트인패널(Gate In Panel; GIP) 형태로 표시패널에 형성되는 내장형으로 구분된다. 그런데, 종래의 내장형 스캔 구동부는 표시장치를 고해상도, 대화면으로 구현할 때 회로의 특성상 유발되는 다양한 문제를 개선해야 할 필요가 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시장치를 고해상도, 대화면으로 구현할 때 스캔 구동부의 전파지연 최소화는 물론 외부회로의 감소로 인한 비용 절감, 소비전력 감소 및 소형화로 베젤의 크기를 줄이는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 표시패널; 및 레벨 시프터와 상기 레벨 시프터로부터 공급된 전원 및 신호를 기반으로 상기 표시패널에 공급할 스캔신호를 생성하는 스캔신호 발생회로를 포함하는 스캔 구동부를 포함하고, 상기 스캔신호 발생회로는 클럭신호를 시프트 레지스터의 스테이지에 전달하는 버퍼를 포함하고, 상기 버퍼는 두 개의 인버터를 포함하고, 상기 두 개의 인버터 중 하나는 멀티 버퍼로 구현된 것을 특징으로 하는 표시장치를 제공한다.

[0008] 상기 두 개의 인버터 중 제1인버터의 뒷 단에 위치하는 제2인버터는 상기 멀티 버퍼로 구현되고, 상기 멀티 버퍼는 병렬구조로 연결될 수 있다.

[0009] 상기 멀티 버퍼로 구현되는 상기 제2인버터는 상기 제1인버터보다 회로가 더 작고 단순하게 구성될 수 있다.

[0010] 상기 멀티 버퍼로 구현되는 상기 제2인버터는 상기 클럭신호의 로드로 인한 전파지연(propagation delay)을 최소화하도록 상기 표시패널의 비표시영역에 분산되어 형성될 수 있다.

[0011] 상기 스캔신호 발생회로는 상기 레벨 시프터로부터 공급된 하나의 클럭신호를 다수의 클럭신호로 분주하고, 상기 표시패널의 비표시영역에 형성된 클럭신호 발생회로를 포함할 수 있다.

- [0012] 상기 클록신호 발생회로는 다수의 분주회로로 구현되고, 하나의 분주회로는 제1 내지 제6노아 회로로 구성된 T 플립 플롭(T Flip Flop)으로 이루어질 수 있다.
- [0013] 상기 제1노아 회로는 제1입력단이 상기 제3노아 회로의 제3입력단에 연결되고 제2입력단이 상기 제3노아 회로의 제1입력단에 연결되고 자신의 출력단이 상기 제2노아 회로의 제1입력단에 연결되고, 상기 제2노아 회로는 제1입력단이 상기 제1노아 회로의 출력단에 연결되고 제2입력단이 상기 하나의 분주회로의 입력단에 연결되고 자신의 출력단이 상기 제5노아 회로의 제1입력단에 연결되고, 상기 제3노아 회로는 제1입력단이 상기 제1노아 회로의 제2입력단에 연결되고 제2입력단이 상기 하나의 분주회로의 입력단에 연결되고 제3입력단이 상기 제1노아 회로의 제1입력단에 연결되고 자신의 출력단이 상기 제6노아 회로의 제2입력단에 연결되고, 상기 제4노아 회로는 제1입력단이 상기 제3노아 회로의 출력단에 연결되고 제2입력단이 상기 제6노아 회로의 출력단에 연결되고 자신의 출력단이 상기 제3노아 회로의 제3입력단에 연결되고, 상기 제5노아 회로는 제1입력단이 상기 제2노아 회로의 출력단에 연결되고 제2입력단이 상기 제6노아 회로의 출력단에 연결되고 자신의 출력단이 상기 하나의 분주회로의 출력단에 연결되고, 상기 제6노아 회로는 제1입력단이 상기 제5노아 회로의 출력단에 연결되고 제2입력단이 상기 제3노아 회로의 출력단에 연결되고 자신의 출력단이 상기 제5노아 회로의 제2입력단에 연결될 수 있다.
- [0014] 상기 스캔신호 발생회로는 상기 클록신호 발생회로에 상기 하나의 클록신호를 공급하고, 상기 표시패널의 비표시영역에 형성된 인버터를 포함하고, 상기 인버터는 상기 하나의 클록신호를 지연하여 내부 클록신호로 출력함과 더불어 상기 하나의 클록신호를 지연 및 반전하여 내부 반전클록신호로 출력할 수 있다.
- [0015] 상기 인버터는 제N1 내지 제N7트랜지스터와 제1커패시터를 포함하고, 상기 제N1트랜지스터는 고전위전원라인에 게이트전극 및 제1전극이 연결되고 상기 제N3트랜지스터의 게이트전극에 제2전극이 연결되고, 상기 제N2트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N3트랜지스터의 제2전극에 제1전극이 연결되고 저전위전원라인에 제2전극이 연결되고, 상기 제N3트랜지스터는 상기 제N1트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N2트랜지스터의 제1전극에 제2전극이 연결되고, 상기 제N4트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N5트랜지스터의 제2전극에 제1전극이 연결되고 상기 저전위전원라인에 제2전극이 연결되고, 상기 제N5트랜지스터는 상기 제N3트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N4트랜지스터의 제1전극에 제2전극이 연결되고, 상기 제1커패시터는 상기 제N1트랜지스터의 제2전극과 상기 제N3트랜지스터의 게이트전극에 일단이 연결되고 상기 제N5트랜지스터의 제2전극과 상기 제N7트랜지스터에 게이트전극에 타단이 연결되고, 상기 제N6트랜지스터는 상기 인버터의 입력단에 게이트전극이 연결되고 상기 제N7트랜지스터의 제2전극 및 상기 인버터의 출력단에 제1전극이 연결되고 상기 저전위전원라인에 제2전극이 연결되고, 상기 제N7트랜지스터는 상기 제N5트랜지스터의 제2전극에 게이트전극이 연결되고 상기 고전위전원라인에 제1전극이 연결되고 상기 제N6트랜지스터의 제1전극 및 상기 인버터의 출력단에 제2전극이 연결될 수 있다.
- [0016] 상기 스캔신호 발생회로는 1 프레임마다 로직 상태가 전환되는 신호를 기반으로 고전위전원을 스위칭하여 상호 교번하는 홀수 고전위전원과 짝수 고전위전원을 출력하는 전원제어회로를 포함할 수 있다.

발명의 효과

- [0017] 본 발명은 표시장치를 고해상도, 대화면으로 구현할 때 스캔 구동부의 전파지연 최소화는 물론 외부회로의 감소로 인한 비용 절감, 소비전력 감소 및 소형화로 베젤의 크기를 줄일 수 있는 효과가 있다. 또한, 본 발명은 GIP 방식으로 스캔 구동부의 스캔신호 발생회로를 형성할 때, 회로의 특성상 유발되는 다양한 문제를 고려하고 개선하여 표시장치의 신뢰성과 수명을 향상할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 표시장치의 개략적인 블록도.
 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도.
 도 3은 본 발명의 일 실시예에 따른 스캔 구동부의 개략적인 블록도.
 도 4는 도 3의 인버터의 상세 블록도.
 도 5는 도 4의 인버터의 상세 회로 구성도.

도 6은 도 3의 클록신호 발생회로의 상세 블록도.
 도 7은 도 6의 분주회로에 대한 논리회로 구성도.
 도 8은 도 7의 노아 회로의 상세 회로 구성도.
 도 9는 도 6의 클록신호 발생회로부터 발생된 클록신호들의 출력 시뮬레이션 파형도.
 도 10은 본 발명의 일 실시예에 따른 버퍼의 블록도.
 도 11은 도 10의 버퍼의 상세 블록도.
 도 12는 종래에 제안된 클록신호 발생회로와 버퍼의 배치를 나타낸 블록도.
 도 13은 본 발명의 일 실시예에 따른 클록신호 발생회로와 버퍼의 배치를 나타낸 블록도.
 도 14는 스캔 구동부의 출력단 전파지연과 관련하여 종래에 제안된 구조와 본 발명의 일 실시예를 비교 설명하기 위한 파형도.
 도 15는 도 3의 전원제어회로에 포함된 분주회로의 블록도.
 도 16은 도 15의 분주회로에 대한 논리회로 구성도.
 도 17은 도 16의 제1노아 회로의 상세 회로 구성도.
 도 18은 도 15의 분주회로의 입출력 신호를 나타낸 파형도.
 도 19는 전원제어회로부터 발생된 제1 및 제2고전위전원의 출력 시뮬레이션 파형도.
 도 20은 도 19의 전원제어회로가 적용된 시프트 레지스터를 나타낸 블록도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 표시장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도이다.
- [0021] 도 1에 도시된 바와 같이, 표시장치에는 표시패널(100), 타이밍 제어부(110), 데이터 구동부(120) 및 스캔 구동부(130, 140L, 140R)가 포함된다.
- [0022] 표시패널(100)에는 상호 교차하는 데이터 라인들(DL) 및 스캔 라인들(GL)에 구분되어 연결된 서브 픽셀들이 포함된다. 표시패널(100)은 서브 픽셀들이 형성되는 표시영역(AA)과 표시영역(AA)의 외측으로 각종 신호라인들이나 패드 등이 형성되는 비표시영역(LNA, RNA)을 포함한다. 표시패널(100)은 액정표시장치(LCD), 유기발광표시장치(OLED), 전기영동표시장치(EPD) 등으로 구현될 수 있다.
- [0023] 도 2에 도시된 바와 같이, 하나의 서브 픽셀(SP)에는 제1스캔 라인(GL1)과 제1데이터 라인(DL1)에 연결된 스위칭 트랜지스터(SW)와 스위칭 트랜지스터(SW)를 통해 공급된 스캔신호에 대응하여 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 서브 픽셀(SP)은 픽셀회로(PC)의 구성에 따라 액정소자를 포함하는 액정표시패널이나 유기발광소자를 포함하는 유기발광표시패널 등으로 구현된다.
- [0024] 표시패널(100)이 액정표시패널로 구성된 경우, 이는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다. 표시패널(100)이 유기발광표시패널로 구성된 경우, 이는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다.
- [0025] 타이밍 제어부(110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로 등을 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 도트 클럭 등의 타이밍신호를 입력받는다. 타이밍 제어부(110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)와 스캔 구동부(130, 140L, 140R)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.
- [0026] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 제어부(110)로부터 데이터신호(DATA)와 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 디지털신호에서 아날로그신호로 변환하고, 이를 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나

TAB(Tape Automated Bonding) 공정에 의해 표시패널(100)의 데이터 라인들(DL)에 접속된다.

- [0027] 스캔 구동부(130, 140L, 140R)는 레벨 시프터(130) 및 스캔신호 발생회로(140L, 140R)를 포함한다. 스캔 구동부(130, 140L, 140R)는 레벨 시프터(130)와 스캔신호 발생회로(140L, 140R)가 구분되어 형성된 게이트인패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.
- [0028] 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 외부 기판에 형성된다. 레벨 시프터(130)는 타이밍 제어부(11)의 제어하에 클럭신호라인, 스타트신호라인, 고전위전원라인 및 저전위전원라인 등을 통해 공급되는 신호 및 전원의 레벨을 시프팅한 후 시프트 레지스터(140L, 140R)에 공급한다.
- [0029] 스캔신호 발생회로(140L, 140R)는 GIP 방식에 의해 표시패널(100)의 비표시영역(LNA, RNA)에 박막 트랜지스터 형태로 형성된다. 스캔신호 발생회로(140L, 140R)는 표시패널(100)의 비표시영역(LNA, RNA)에 구분되어 형성된다. 스캔신호 발생회로(140L, 140R)는 레벨 시프터(130)로부터 공급된 신호 및 전원에 대응하여 스캔신호를 시프트하고 출력하는 스테이지들로 이루어진다. 스캔신호 발생회로(140L, 140R)에 포함된 스테이지들은 출력단들을 통해 스캔신호들을 순차적으로 출력한다.
- [0030] 위와 같이 레벨 시프터(130)와 스캔신호 발생회로(140L, 140R)가 구분되어 형성된 내장형 스캔 구동부는 스캔신호 발생회로(140L, 140R)를 산화물이나 아몰포스 실리콘 박막 트랜지스터 등으로 구현된다.
- [0031] 산화물 박막 트랜지스터는 전류의 이동 특성이 우수하여 아몰포스 실리콘 박막 트랜지스터 대비 회로의 크기를 축소 설계할 수 있는 장점이 있다. 아몰포스 실리콘 박막 트랜지스터는 시간이 지나도 문턱전압을 일정하게 유지할 수 있어 산화물 박막 트랜지스터 대비 스트레스 바이어스에 따른 문턱전압의 회복 특성이 좋은 장점이 있다.
- [0032] 그런데, 내장형 스캔 구동부는 표시장치를 고해상도, 대화면으로 구성할 때 회로의 특성상 유발되는 다양한 문제를 개선해야 할 필요가 있는바, 이를 해결 및 개선할 수 있는 방안을 모색한다.
- [0033] 도 3은 본 발명의 일 실시예에 따른 스캔 구동부의 개략적인 블록도이고, 도 4는 도 3의 인버터의 상세 블록도이며, 도 5는 도 4의 인버터의 상세 회로 구성도이다. 이하, 표시패널의 좌측에 형성된 스캔신호 발생회로(140L)를 기준으로 본 발명에 대한 설명을 구체화한다.
- [0034] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 스캔 구동부의 스캔신호 발생회로(140L)에는 인버터(141), 클럭신호 발생회로(143), 버퍼(145), 전원제어회로(147) 및 시프트 레지스터(149)가 포함된다.
- [0035] 본 발명의 일 실시예에 따른 스캔 구동부는 레벨 시프터(130)를 제외한 인버터(141), 클럭신호 발생회로(143), 버퍼(145), 전원제어회로(147) 및 시프트 레지스터(149)가 표시패널 상에 형성된다. 즉, 인버터(141), 클럭신호 발생회로(143), 버퍼(145), 전원제어회로(147) 및 시프트 레지스터(149)는 GIP 방식으로 형성된다.
- [0036] 레벨 시프터(130)는 클럭신호(CLK), 스타트신호(VST), 고전위전원(VDD) 및 저전위전원(VSS)을 생성하고 이를 출력한다. 클럭신호(CLK) 및 스타트신호(VST)는 서로 다른 위상을 갖도록 생성되며 시프트 레지스터(149)가 순차적으로 스캔신호를 출력할 수 있도록 돕는다.
- [0037] 클럭신호(CLK)의 개수는 시프트 레지스터(149)의 구성 여하에 따라 다르지만 적어도 2개가 요구된다. 스타트신호(VST)는 시프트 레지스터(149)의 제1스테이지(STG1)에만 공급되고, 제1스테이지(STG1)의 출력단을 통해 출력된 제1스캔신호는 다음 단의 스타트신호로 사용된다. 그러나, 시프트 레지스터(149)의 구성에 따라 그리고 클럭신호(CLK)의 파형 체계에 따라 제1스캔신호는 다음단이 아닌 다다음단의 스타트신호 등으로 사용된다.
- [0038] 한편, 종래 레벨 시프터는 복수의 클럭신호를 출력한다. 그러나, 본 발명의 일 실시예에 따른 레벨 시프터(130)는 단 하나의 클럭신호(CLK)만을 출력한다. 그 이유는 인터버(141)와 클럭신호 발생회로(143)에 의해 하나의 클럭신호가 분주되어 복수의 클럭신호로 출력되기 때문이다.
- [0039] 도 4에 도시된 바와 같이, 인터버(141)에는 하나의 클럭신호(CLK)가 공통으로 입력되는 제1 및 제2입력단, 하나의 클럭신호(CLK)를 지연하여 내부 클럭신호(Inner CLK)로 출력하는 제1출력단 및 하나의 클럭신호(CLK)를 지연 및 반전하여 내부 반전클럭신호 (Inner CLK_B)로 출력하는 제2출력단이 포함된다.
- [0040] 인터버(141)는 적어도 5개의 인버터(INV1 ~ INV5)로 구성된다. 제1 및 제2인버터(INV1 ~ INV2)는 하나의 클럭신호(CLK)를 지연하여 내부 클럭신호(Inner CLK)로 출력한다. 하나의 클럭신호(CLK)는 제1 및 제2인버터(INV1 ~ INV2)를 거치므로 2 회의 반전이 일어나지만 원 신호로 회복되며 지연되어 출력된다.

- [0041] 제3 내지 제5인버터(INV3 ~ INV5)는 하나의 클록신호(CLK)를 지연 및 반전하여 내부 반전클록신호 (Inner CLK_B)로 출력한다. 하나의 클록신호(CLK)는 제3 내지 제5인버터(INV3 ~ INV5)를 거치므로 3 회의 반전이 일어나고 원 신호가 아닌 반전 신호로 전환되며 지연되어 출력된다.
- [0042] 도 5에 도시된 바와 같이, 하나의 인버터는 제N1 내지 제N7트랜지스터(N1 ~ N7)와 제1커패시터(C1)로 각각 이루어진다. 즉, 제1 내지 제5인버터(INV1 ~ INV5)는 도 5와 같은 회로로 이루어지는데, 이에 대한 설명을 덧붙이면 다음과 같다.
- [0043] 제N1트랜지스터(N1)는 고전위전원라인(VDD)에 게이트전극 및 제1전극이 연결되고 제N3트랜지스터(N3)의 게이트전극에 제2전극이 연결된다.
- [0044] 제N2트랜지스터(N2)는 인버터의 입력단(IN)에 게이트전극이 연결되고 제N3트랜지스터(N3)의 제2전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0045] 제N3트랜지스터(N3)는 제N1트랜지스터(N1)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제N2트랜지스터(N2)의 제1전극에 제2전극이 연결된다. 제N3트랜지스터(N3)의 게이트전극에 연결된 라인은 제1네트(NET1)로 정의된다.
- [0046] 제N4트랜지스터(N4)는 인버터의 입력단(IN)에 게이트전극이 연결되고 제N5트랜지스터(N5)의 제2전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0047] 제N5트랜지스터(N5)는 제N3트랜지스터(N3)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제N4트랜지스터(N4)의 제1전극에 제2전극이 연결된다. 제N5트랜지스터(N5)의 게이트전극에 연결된 라인은 제2네트(NET2)로 정의된다.
- [0048] 제1커패시터(C1)는 제N1트랜지스터(N1)의 제2전극과 제N3트랜지스터(N3)의 게이트전극에 일단이 연결되고 제N5트랜지스터(N5)의 제2전극과 제N7트랜지스터(N7)에 게이트전극에 타단이 연결된다.
- [0049] 제N6트랜지스터(N6)는 인버터의 입력단(IN)에 게이트전극이 연결되고 제N7트랜지스터(N7)의 제2전극 및 인버터의 출력단(OUT)에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0050] 제N7트랜지스터(N7)는 제N5트랜지스터(N5)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제N6트랜지스터(N6)의 제1전극 및 인버터의 출력단(OUT)에 제2전극이 연결된다. 제N7트랜지스터(N7)의 게이트전극에 연결된 라인은 제3네트(NET3)로 정의된다.
- [0051] 도 5의 인버터는 자신의 입력단(IN)에 로직하이에 해당하는 신호가 공급되면 제N2, 제N4 및 제N6트랜지스터(N2, N4, N6)는 턴온된다. 이 경우, 저전위전원라인(VSS)을 통해 공급된 저전위전원은 턴온된 제N6트랜지스터(N6)를 통해 출력된다. 이로 인하여, 자신의 입력단(IN)에 로직하이에 해당하는 신호가 공급되면 자신의 출력단(OUT)에는 이의 반대인 로직로우에 해당하는 신호가 출력된다.
- [0052] 이와 반대로, 도 5의 인버터는 자신의 입력단(IN)에 로직로우에 해당하는 신호가 공급되면 제N2, 제N4 및 제N6트랜지스터(N2, N4, N6)는 턴오프되고 제N1, 제N3, 제N5 및 제N7트랜지스터(N1, N3, N5, N7)는 턴온된다. 이 경우, 고전위전원라인(VDD)을 통해 공급된 고전위전원은 턴온된 제N7트랜지스터(N7)를 통해 출력된다. 이로 인하여, 입력단(IN)에 로직로우에 해당하는 신호가 공급되면 자신의 출력단(OUT)에는 이의 반대인 로직하이에 해당하는 신호가 출력된다.
- [0053] 위의 설명에서 제1커패시터(C1)는 제N3트랜지스터(N3)의 게이트전극의 전압을 유지하는 역할을 한다. 한편, 제N3트랜지스터(N3)가 턴온되면 제N5트랜지스터(N5)의 노드 전압이 상승하게 되어 제N5트랜지스터(N5) 또한 턴온되는 포지티브 피드백(positive feedback)이 일어나게 된다. 그리고 제N7트랜지스터(N7)의 노드가 제1커패시터(C1)에 의해 부트 스트랩(bootstrap) 된다. 그러므로, 도 5의 인버터는 출력단의 충전이 더욱 잘 일어난다.
- [0054] 도 6은 도 3의 클록신호 발생회로의 상세 블록도이고, 도 7은 도 6의 분주회로에 대한 논리회로 구성도이며, 도 8은 도 7의 노아 회로의 상세 회로 구성도이고, 도 9는 도 6의 클록신호 발생회로부터 발생된 클록신호들의 출력 시물레이션 파형도이다.
- [0055] 도 6에 도시된 바와 같이, 클록신호 발생회로(143)는 내부 클록신호(Inner CLK)와 내부 반전클록신호(Inner CLK_B) 이상 두 개의 클록신호가 입력되는 입력단, 두 개의 클록신호(Inner CLK, Inner CLK_B)를 분주하여 제1 내지 제8클록신호(CLK1 ~ CLK8)로 출력하는 제 1 내지 제8출력단을 포함한다.

- [0056] 클록신호 발생회로(143)는 적어도 6개의 분주회로(DIV1 ~ DIV6)로 구성된다. 제1 내지 제6분주회로(DIV1 ~ DIV6)에는 신호를 입력받는 제1 및 제2입력단(I1, I2)과 신호를 출력하는 제1 및 제2출력단(O1, O2)이 각각 포함된다.
- [0057] 제1분주회로(DIV1), 제3분주회로(DIV3) 및 제4분주회로(DIV4)는 내부 클록신호(Inner CLK)를 분주하여 제2, 제4, 제6 및 제8클록신호(CLK2, CLK4, CLK6, CLK8)로 출력한다.
- [0058] 하나의 분주회로는 하나의 입력신호를 두 개의 출력신호로 분주하여 출력하므로 제1분주회로(DIV1)로부터 출력된 제1 및 제2분주신호(CLK_F, CLK_F_B)를 공급받는 제3분주회로(DIV3) 및 제4분주회로(DIV4)는 이를 기반으로 네 개의 클록신호를 생성하게 된다. 이에 따라, 제3분주회로(DIV3) 및 제4분주회로(DIV4)는 제2, 제4, 제6 및 제8클록신호(CLK2, CLK4, CLK6, CLK8)를 출력하게 된다.
- [0059] 제2분주회로(DIV2), 제5분주회로(DIV5) 및 제6분주회로(DIV6)는 내부 반전클록신호(Inner CLK_B)를 분주하여 제1, 제3, 제5 및 제7클록신호(CLK1, CLK3, CLK5, CLK7)로 출력한다.
- [0060] 하나의 분주회로는 하나의 입력신호를 두 개의 출력신호로 분주하여 출력하므로 제2분주회로(DIV2)로부터 출력된 제3 및 제4분주신호(CLK_R, CLK_R_B)를 공급받는 제5분주회로(DIV5) 및 제6분주회로(DIV6)는 이를 기반으로 네 개의 클록신호를 생성하게 된다. 이에 따라, 제5분주회로(DIV5) 및 제6분주회로(DIV6)는 제1, 제3, 제5 및 제7클록신호(CLK1, CLK3, CLK5, CLK7)를 출력하게 된다.
- [0061] 한편, 제1 내지 제6분주회로(DIV1 ~ DIV6)는 각각 자신의 제2출력단(O2)으로부터 출력되는 신호를 제2입력단(I2)에 되먹임받게 되고, 제1 및 제2입력단(I1, I2)으로 입력된 신호를 기반으로 출력신호를 생성하게 된다.
- [0062] 도 7에 도시된 바와 같이, 하나의 분주회로는 6개의 노아 회로(NOR1 ~ NOR6)로 구현된 T 플립 플롭(T Flip Flop)을 각각 포함한다. 노아 회로는 입력단들을 통해 공급된 신호들을 논리 덧셈한 이후 그 결과값을 반전하여 자신의 출력단을 통해 출력한다.
- [0063] 제1노아 회로(NOR1)는 제1입력단(A)이 제3노아 회로(NOR)의 제3입력단(C)에 연결되고 제2입력단(B)이 제3노아 회로(NOR)의 제1입력단(A)에 연결되고 자신의 출력단(D)이 제2노아 회로(NOR2)의 제1입력단(A)에 연결된다.
- [0064] 제2노아 회로(NOR2)는 제1입력단(A)이 제1노아 회로(NOR1)의 출력단(OUT)에 연결되고 제2입력단(B)이 분주회로의 입력단(IN)에 연결되고 자신의 출력단(D)이 제5노아 회로(NOR5)의 제1입력단(A)에 연결된다.
- [0065] 제3노아 회로(NOR3)는 제1입력단(A)이 제1노아 회로(NOR1)의 제2입력단(B)에 연결되고 제2입력단(B)이 분주회로의 입력단(IN)에 연결되고 제3입력단(C)이 제1노아 회로(NOR1)의 제1입력단(A)에 연결되고 자신의 출력단(D)이 제6노아 회로(NOR6)의 제2입력단(B)에 연결된다.
- [0066] 제4노아 회로(NOR4)는 제1입력단(A)이 제3노아 회로(NOR3)의 출력단(OUT)에 연결되고 제2입력단(B)이 제6노아 회로(NOR6)의 출력단(OUT)에 연결되고 자신의 출력단(D)이 제3노아 회로(NOR3)의 제3입력단(C)에 연결된다.
- [0067] 제5노아 회로(NOR5)는 제1입력단(A)이 제2노아 회로(NOR2)의 출력단(OUT)에 연결되고 제2입력단(B)이 제6노아 회로(NOR6)의 출력단(OUT)에 연결되고 자신의 출력단(D)이 분주회로의 출력단(OUT)에 연결된다.
- [0068] 제6노아 회로(NOR6)는 제1입력단(A)이 제5노아 회로(NOR5)의 출력단(OUT)에 연결되고 제2입력단(B)이 제3노아 회로(NOR3)의 출력단(D)에 연결되고 자신의 출력단(D)이 제5노아 회로(NOR5)의 제2입력단(B)에 연결된다.
- [0069] 도 8에 도시된 바와 같이, 하나의 노아 회로는 제T1 내지 제T10트랜지스터(T1 ~ T10)와 제1커패시터(C1)로 이루어지는데, 이에 대한 설명을 덧붙이면 다음과 같다.
- [0070] 제T1트랜지스터(T1)는 고전위전원라인(VDD)에 게이트전극 및 제1전극이 연결되고 제T3트랜지스터(T3)의 게이트전극에 제2전극이 연결된다.
- [0071] 제T2트랜지스터(T2)는 제T1트랜지스터(T1)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T3 및 T4트랜지스터(T3, T4)의 제1전극에 제2전극이 공통으로 연결된다.
- [0072] 제T3트랜지스터(T3)는 제1입력단(A)에 게이트전극이 연결되고 제T4트랜지스터(T4)의 제1전극에 제1전극이 연결되고 제T4트랜지스터(T4)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0073] 제T4트랜지스터(T4)는 제2입력단(B)에 게이트전극이 연결되고 제T3트랜지스터(T3)의 제1전극에 제1전극이 연결되고 제T3트랜지스터(T3)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.

- [0074] 제T5트랜지스터(T5)는 제T2트랜지스터(T2)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T6 및 제T7트랜지스터(T6, T7)의 제1전극에 제2전극이 공통으로 연결된다.
- [0075] 제1커패시터(C1)는 제T1트랜지스터(T1)의 제2전극과 제T2트랜지스터(T2)의 게이트전극에 일단이 연결되고 제T5트랜지스터(T5)의 제2전극과 제T8트랜지스터(T8)에 게이트전극에 타단이 연결된다.
- [0076] 제T6트랜지스터(T6)는 제1입력단(A)에 게이트전극이 연결되고 제T7트랜지스터(T7)의 제1전극에 제1전극이 연결되고 제T7트랜지스터(T7)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0077] 제T7트랜지스터(T7)는 제2입력단(B)에 게이트전극이 연결되고 제T6트랜지스터(T6)의 제1전극에 제1전극이 연결되고 제T6트랜지스터(T6)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0078] 제T8트랜지스터(T8)는 제T5트랜지스터(T5)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T9 및 제T10트랜지스터(T9, T10)의 제1전극 및 출력단(OUT)에 제2전극이 연결된다.
- [0079] 제T9트랜지스터(T9)는 제2입력단(B)에 게이트전극이 연결되고 제T10트랜지스터(T10)의 제1전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0080] 제T10트랜지스터(T10)는 제1입력단(A)에 게이트전극이 연결되고 제T9트랜지스터(T8)의 제1전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0081] 도 5의 인버터와 도 8의 노아 회로를 비교해 보면, 도 8의 노아 회로는 도 5의 인버터를 응용하여 구성하였음을 알 수 있다. 인버터에서 회로 내부의 각 노드들(NET1 ~ NET3)은 제N2, 제N4, 제N6트랜지스터(N2, N4, N6)가 턴온되지 않으면 방전되지 않고 계속 충전상태에 놓이게 된다.
- [0082] 노아 회로의 진리표는 모든 입력이 로직로우일 때에만 출력이 로직하이가 되므로, 제N2, 제N4, 제N6트랜지스터(N2, N4, N6)와 유사 또는 동일한 역할을 수행하는 트랜지스터를 추가하면 된다.
- [0083] 즉, 입력이 모두 로직로우일 때에만 출력이 로직하이가 되고, 둘 중 하나라도 로직하이가 되면 출력이 로직로우가 되기 때문에 제T3, 제T4, 제T6, 제T7, 제T9 및 제T10트랜지스터(T3, T4, T6, T7, T9, T10)를 병렬로 연결하면 노아 회로를 구현할 수 있게 된다.
- [0084] 도 9를 참조하면, 본 발명의 일 실시예에 따른 인버터(141)와 클록신호 발생회로(143)를 이용하여 하나의 클록신호(CLK)를 다수의 클록신호들(CLK1 ~ CLK8)로 생성한 결과가 도시된다. 여기서, CLK_F와 CLK_R은 제1 및 제2분주회로(DIV1, DIV2)의 출력단을 통해 출력된 분주신호이다. 이와 같이, 인버터(141)와 클록신호 발생회로(143)를 표시패널에 형성하면 외부에 형성되는 회로를 간소화할 수 있게 된다.
- [0085] 도 10은 본 발명의 일 실시예에 따른 버퍼의 블록도이고, 도 11은 도 10의 버퍼의 상세 블록도이며, 도 12는 종래에 제안된 클록신호 발생회로와 버퍼의 배치를 나타낸 블록도이고, 도 13은 본 발명의 일 실시예에 따른 클록신호 발생회로와 버퍼의 배치를 나타낸 블록도이며, 도 14는 스캔 구동부의 출력단 전파지연과 관련하여 종래에 제안된 구조와 본 발명의 일 실시예를 비교 설명하기 위한 파형도이다.
- [0086] 도 3의 버퍼(145)는 클록신호 발생회로(143)로부터 출력된 8개의 서로 다른 위상을 갖는 클록신호들(CLK1 ~ CLK8)을 시프트 레지스터(149)의 스테이지들(STG1 ~ STGn)로 전달하는 역할을 한다.
- [0087] 도 10에 도시된 바와 같이, 본 발명의 일 실시예에 따른 버퍼(145)는 두 개의 인버터(INVA, INVB)를 포함한다. 버퍼(145)는 클록신호 발생회로(143)로부터 출력된 클록신호들(CLK#)을 지연하여 지연된 클록신호들(CLK#_IN)로 출력한다. 버퍼(145)는 두 개의 인버터(INVA, INVB)가 하나의 클록신호(예:CLK1)를 지연 및 출력하도록 구현될 수 있다.
- [0088] 한편, 버퍼(145)를 표시패널 상에 직접 형성하면, 표시패널의 위부분과 중간지점에서 클록신호의 로드(load)로 인한 전파지연(propagation delay)이 생기게 된다. 데이터라인들을 통해 출력된 데이터신호들은 일정시간에 입력되는데, 클록신호의 로드에서 전파지연이 생기면 신호 차가 발생하게 된다.
- [0089] 이러한 신호 차를 줄이기 위해, 본 발명의 일 실시예에 따른 버퍼(145)는 두 개의 인버터(INVA, INVB) 중 하나가 멀티 버퍼로 구현된다. 그리고 멀티 버퍼가 표시패널의 위치마다 다르게 위치하도록 형성된다.
- [0090] 도 11에 도시된 바와 같이, 본 발명의 일 실시예에 따른 버퍼(145)는 두 개의 인버터(INVA, INVB) 중 제2인버터(INVB)가 멀티 버퍼로 구현된다. 멀티 버퍼로 구현되는 제2인버터(INVB)는 다수의 인버터로 나누고 이들을 병렬 구조로 연결하는 형태로 구현된다. 멀티 버퍼로 구현되는 제2인버터(INVB)는 제1인버터(INVA)보다 회로의 구성

을 더 작고 단순하게 구성할수록 더 많은 개수로 나눌 수 있다.

- [0091] 예컨대, 제2인버터(INVB)는 제1 내지 제4스몰 인버터(INVB1 ~ INVB4)와 같이 4개의 인버터로 구성된다. 제1스몰 인버터(INVB1)는 표시패널의 제1지점(AA, AB)(또는 제n열의 일측과 타측)에 형성된다. 그리고 제2스몰 인버터(INVB2)는 표시패널의 제2지점(BA, BB)(또는 제n+i열의 일측과 타측)에 형성된다. 그리고 제3스몰 인버터(INVB3)는 표시패널의 제3지점(CA, CB)(또는 제n+j열의 일측과 타측)에 형성된다. 그리고 제4스몰 인버터(INVB4)는 표시패널의 제4지점(DA, DB)(또는 제n+k열의 일측과 타측)지점에 형성된다.
- [0092] 한편, 위의 설명에서 싱글 버퍼를 기준으로 AA지점은 표시패널 상에서 베스트 케이스(best case)인 반면 DB지점은 워스트 케이스(worst case)로 정의될 수 있다. 그리고 행으로 구분되는 지점은 클록신호의 로드로 인해 구분될 수 있고, 열로 구분되는 지점은 스캔신호의 로드로 인해 구분될 수 있다.
- [0093] 도 12에 도시된 바와 같이, 종래에 제안된 클록신호 발생회로(143)와 버퍼(145)는 표시패널의 비표시영역의 상하에 형성된다. 클록신호 발생회로(143)는 표시패널의 상하가 되는 양쪽 끝단에서 클록신호들을 출력하게 된다. 그리고 버퍼(145) 또한 양쪽 끝단에서 클록신호들을 지연한 후 시프트 레지스터(149)에 전달하게 된다.
- [0094] 이렇듯, 종래의 구조는 클록신호가 하나의 위치에서 공급되고 버퍼(145) 또한 하나의 위치에서 시프트 레지스터(149)에 전달하게 되므로 표시패널의 위치에 따른 전파지연이 다양한 형태로 나타나게 된다.
- [0095] 이 경우, 클록신호들의 라이징(Rising) 시점과 폴링(Falling) 시점은 위치 또는 영역에 따라 다르게 이동으로 된다. 그리고 시프트 레지스터(149)는 위치에 따라 라이징(Rising) 시점과 폴링(Falling) 시점이 다른 클록신호들을 전달받게 되므로 충전시간(Charging Time)에 편차 발생하게 되고, 결국 화질의 열화나 표시품질 저하가 발생할 수 있다.
- [0096] 도 13에 도시된 바와 같이, 본 발명의 일 실시예에 따른 버퍼(145)는 클록신호의 로드나 스캔신호의 로드 등을 고려하여 병렬구조로 연결된 멀티 버퍼형 제2인버터(INVB)의 스몰 인버터를 표시패널의 비표시영역에 골고루 분산시킬 수 있다.
- [0097] 클록신호 발생회로(143)는 표시패널의 상하가 되는 양쪽 끝단에서 클록신호들을 출력하게 된다. 그러나 버퍼(145)는 스테이지들(STG1 ~ STG2160)의 위치에 대응되는 지점에서 클록신호들을 지연한 후 시프트 레지스터(149)에 전달하게 된다.
- [0098] 이렇듯, 본 발명의 일 실시예에 따라 멀티 버퍼로 구현된 제2인버터(INVB)는 클록신호의 로드(load) 등에 대응하여 표시패널의 특정 지점(또는 위치)에 분산시킬 수 있게 되므로 전파지연을 개선 및 방지할 수 있게 된다.
- [0099] 도 14에 도시된 바와 같이, 스캔 구동부의 출력단 전파지연과 관련하여 종래에 제안된 구조와 본 발명의 일 실시예를 시뮬레이션한 결과가 도시된다.
- [0100] 도 14의 (a)와 같이 종래에 제안된 구조의 제1스테이지의 출력단으로부터 출력된 제1스캔신호(VOUT1), 제540스테이지의 출력단으로부터 출력된 제540스캔신호(VOUT540) 및 제1080스테이지의 출력단으로부터 출력된 제1080스캔신호(VOUT1080)를 비교하면 이들 간에 전파지연(Propagation Delay)이 존재함을 알 수 있다.
- [0101] 반면, 도 14의 (b)와 같이 본 발명의 일 실시예에 따른 구조의 제1스테이지의 출력단으로부터 출력된 제1스캔신호(VOUT1), 제540스테이지의 출력단으로부터 출력된 제540스캔신호(VOUT540) 및 제1080스테이지의 출력단으로부터 출력된 제1080스캔신호(VOUT1080)를 비교하면 이들 간에 전파지연(Propagation Delay)이 거의 존재하지 않음을 알 수 있다.
- [0102] 즉, 본 발명의 일 실시예와 같이 멀티(다중) 버퍼 회로를 사용하면 표시패널의 클록신호의 로드(loading)에 대응하여 버퍼를 분산하여 형성할 수 있게 되므로 스캔신호 간에 전파지연이 발생하는 문제를 개선 및 방지할 수 있게 된다.
- [0103] 도 15는 도 3의 전원제어회로에 포함된 분주회로의 블록도이고, 도 16은 도 15의 분주회로에 대한 논리회로 구성도이고, 도 17은 도 16의 제1노아 회로의 상세 회로 구성도이며, 도 18은 도 15의 분주회로의 입출력 신호를 나타낸 파형도이고, 도 19는 전원제어회로로부터 발생된 제1 및 제2고전위전원의 출력 시뮬레이션 파형도이며, 도 20은 도 19의 전원제어회로가 적용된 시프트 레지스터를 나타낸 블록도이다.
- [0104] 도 3의 시프트 레지스터(149)는 레벨 시프터(130)로부터 출력된 각종 신호에 대응하여 제1 내지 제n스캔 라인(GL1 ~ GLn)에 스캔신호를 출력한다. 시프트 레지스터(149)를 구성하는 트랜지스터들은 디플레이션 모드(depletion mode)로 문턱전압(V_{th}) < 0과 같은 조건을 가질 수 있다.

- [0105] 이 때문에, 시프트 레지스터(149)를 구성하는 트랜지스터들의 게이트 소오스간의 전압(V_{gs})이 0V가 되더라도 완전히 꺼지지 않고 누설전류가 흐르는 경우가 생긴다. 즉, 트랜지스터들이 턴오프되지 않고 누설전류가 생김으로써 출력단에 이상이 생기는 경우가 있다. 이 경우, 회로를 구현할 때 트랜지스터들의 게이트 소오스간의 전압(V_{gs}) < 0의 조건으로 만들어주면 소자를 완전히 턴오프 상태로 만들 수 있게 된다.
- [0106] 이를 위해, 최근에는 시프트 레지스터를 구성할 때 내부에 존재하는 QB 노드를 교류 구동할 수 있도록 두 개의 QB 노드(두 개의 QB 노드를 공유하는 구조 포함), 두 개의 풀다운 트랜지스터, 두 개의 고전위전원을 사용하는 등 다양한 사례가 제안 및 소개된 바 있다.
- [0107] 앞서 설명한 예는 시프트 레지스터의 풀다운 트랜지스터의 스트레스를 감소하기 위한 구조이다. 이러한 구조는 풀다운 트랜지스터의 스트레스를 감소하기 위해 두 개의 고전위전원이 홀수 고전위전원과 짝수 고전위전원으로 구분되어 공급된다. 그리고 홀수 고전위전원과 짝수 고전위전원은 적어도 1 프레임을 상호 교번(로직하이와 로직로우 형태로 교번)하는 형태로 공급된다.
- [0108] 이하, 본 발명의 일 실시예에서는 홀수 고전위전원과 짝수 고전위전원을 제어하는 전원제어회로를 분주회로로 구현하여 표시패널 상에 GIP 방식으로 형성한다.
- [0109] 도 15에 도시된 바와 같이, 본 발명의 일 실시예에 따른 전원제어회로(147)는 두 개의 입력단(I1, I2)과 두 개의 출력단(O1, O2)을 갖는 분주회로로 구성된다.
- [0110] 도 16에 도시된 바와 같이, 하나의 분주회로는 6개의 노아 회로(NOR1 ~ NOR6)로 구현된 T 플립 플롭(T Flip Flop)을 각각 포함한다. 노아 회로는 입력단들을 통해 공급된 신호들을 논리 덧셈한 이후 그 결과값을 반전하여 자신의 출력단을 통해 출력한다.
- [0111] 제1노아 회로(NOR1)는 제1입력단(A)이 제3노아 회로(NOR)의 제3입력단(C)에 연결되고 제2입력단(B)이 제3노아 회로(NOR)의 제1입력단(A)에 연결되고 출력단(D)이 제2노아 회로(NOR2)의 제1입력단(A)에 연결된다.
- [0112] 제2노아 회로(NOR2)는 제1입력단(A)이 제1노아 회로(NOR1)의 출력단(OUT)에 연결되고 제2입력단(B)이 분주회로의 입력단(IN)에 연결되고 출력단(D)이 제5노아 회로(NOR5)의 제1입력단(A)에 연결된다.
- [0113] 제3노아 회로(NOR3)는 제1입력단(A)이 제1노아 회로(NOR1)의 제2입력단(B)에 연결되고 제2입력단(B)이 분주회로의 입력단(IN)에 연결되고 제3입력단(C)이 제1노아 회로(NOR1)의 제1입력단(A)에 연결되고 출력단(D)이 제6노아 회로(NOR6)의 제2입력단(B)에 연결된다.
- [0114] 제4노아 회로(NOR4)는 제1입력단(A)이 제3노아 회로(NOR3)의 출력단(OUT)에 연결되고 제2입력단(B)이 제6노아 회로(NOR6)의 출력단(OUT)에 연결되고 출력단(D)이 제3노아 회로(NOR3)의 제3입력단(C)에 연결된다.
- [0115] 제5노아 회로(NOR5)는 제1입력단(A)이 제2노아 회로(NOR2)의 출력단(OUT)에 연결되고 제2입력단(B)이 제6노아 회로(NOR6)의 출력단(OUT)에 연결되고 출력단(D)이 분주회로의 출력단(OUT)에 연결된다.
- [0116] 제6노아 회로(NOR6)는 제1입력단(A)이 제5노아 회로(NOR5)의 출력단(OUT)에 연결되고 제2입력단(B)이 제3노아 회로(NOR3)의 출력단(D)에 연결되고 출력단(D)이 제5노아 회로(NOR5)의 제2입력단(B)에 연결된다.
- [0117] 도 17에 도시된 바와 같이, 하나의 노아 회로는 제T1 내지 제T10트랜지스터(T1 ~ T10)와 제1커패시터(C1)로 이루어지는데, 이에 대한 설명을 덧붙이면 다음과 같다.
- [0118] 제T1트랜지스터(T1)는 고전위전원라인(VDD)에 게이트전극 및 제1전극이 연결되고 제T3트랜지스터(T3)의 게이트전극에 제2전극이 연결된다.
- [0119] 제T2트랜지스터(T2)는 제T1트랜지스터(T1)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T3 및 제T4트랜지스터(T3, T4)의 제1전극에 제2전극이 공통으로 연결된다.
- [0120] 제T3트랜지스터(T3)는 제1입력단(A)에 게이트전극이 연결되고 제T4트랜지스터(T4)의 제1전극에 제1전극이 연결되고 제T4트랜지스터(T4)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0121] 제T4트랜지스터(T4)는 제2입력단(B)에 게이트전극이 연결되고 제T3트랜지스터(T3)의 제1전극에 제1전극이 연결되고 제T3트랜지스터(T3)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0122] 제T5트랜지스터(T5)는 제T2트랜지스터(T2)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T6 및 제T7트랜지스터(T6, T7)의 제1전극에 제2전극이 공통으로 연결된다.

- [0123] 제1커패시터(C1)는 제T1트랜지스터(T1)의 제2전극과 제T2트랜지스터(T2)의 게이트전극에 일단이 연결되고 제T5트랜지스터(T5)의 제2전극과 제T8트랜지스터(T8)에 게이트전극에 타단이 연결된다.
- [0124] 제T6트랜지스터(T6)는 제1입력단(A)에 게이트전극이 연결되고 제T7트랜지스터(T7)의 제1전극에 제1전극이 연결되고 제T7트랜지스터(T7)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0125] 제T7트랜지스터(T7)는 제2입력단(B)에 게이트전극이 연결되고 제T6트랜지스터(T6)의 제1전극에 제1전극이 연결되고 제T6트랜지스터(T6)의 제2전극 및 저전위전원라인(VSS)에 제2전극이 공통으로 연결된다.
- [0126] 제T8트랜지스터(T8)는 제T5트랜지스터(T5)의 제2전극에 게이트전극이 연결되고 고전위전원라인(VDD)에 제1전극이 연결되고 제T9 및 제T10트랜지스터(T9, T10)의 제1전극 및 출력단(OUT)에 제2전극이 연결된다.
- [0127] 제T9트랜지스터(T9)는 제2입력단(B)에 게이트전극이 연결되고 제T10트랜지스터(T10)의 제1전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0128] 제T10트랜지스터(T10)는 제1입력단(A)에 게이트전극이 연결되고 제T9트랜지스터(T8)의 제1전극에 제1전극이 연결되고 저전위전원라인(VSS)에 제2전극이 연결된다.
- [0129] 앞서 설명하였듯이, 도 17의 노아 회로는 인버터를 응용하여 구성하였다. 인버터에서 회로 내부의 각 노드들(NET1 ~ NET3)은 제N2, 제N4, 제N6트랜지스터(N2, N4, N6)가 턴온되지 않으면 방전되지 않고 계속 충전상태에 놓이게 된다.
- [0130] 노아 회로의 진리표는 모든 입력이 로직로우일 때에만 출력이 로직하이가 되므로, 제N2, 제N4, 제N6트랜지스터(N2, N4, N6)와 유사 또는 동일한 역할을 수행하는 트랜지스터를 추가하면 된다.
- [0131] 즉, 입력이 모두 로직로우일 때에만 출력이 로직하이가 되고, 둘 중 하나라도 로직하이가 되면 출력이 로직로우가 되기 때문에 제T3, 제T4, 제T6, 제T7, 제T9 및 제T10트랜지스터(T3, T4, T6, T7, T9, T10)를 병렬로 연결하면 노아 회로를 구현할 수 있게 된다.
- [0132] 도 18에 도시된 바와 같이, 본 발명의 일 실시예에 따른 전원제어회로(147)를 구성하는 분주회로는 1 프레임마다 제1입력단(I1)으로 공급되는 특정 신호를 기반으로 고전위전원을 스위칭하여 홀수 고전위전원(VDD_0)과 짝수 고전위전원(VDD_E)을 출력한다.
- [0133] 특정 신호는 도 18의 "IN"과 같이 1 프레임마다 로직 상태가 전환되는 신호로서 예컨대, 스타트신호 또는 리셋신호를 이용할 수 있다. 분주회로는 제1입력단(I1)으로 공급되는 신호"IN"을 기반으로 분주할 수 있어 이의 제1 및 제2출력단(O1, O2)으로 반전된 신호를 출력할 수 있다. 예컨대, 도 18의 "OUT"과 같은 신호를 홀수 고전위전원(VDD_0)으로 형성함과 더불어 이를 반전하면 짝수 고전위전원(VDD_E) 또한 형성할 수 있게 된다.
- [0134] 도 19에 도시된 바와 같이, 본 발명의 일 실시예에 따른 전원제어회로(147)를 구성하는 분주회로를 형성하고 리셋신호(Reset)를 이용한 결과 고전위전원(VDD)으로 홀수 고전위전원(VDD_0)과 짝수 고전위전원(VDD_E)을 출력할 수 있었다.
- [0135] 도 20에 도시된 바와 같이, 본 발명의 일 실시예에 따른 시프트 레지스터(149)의 제1 내지 제6스테이지(STG1 ~ STG6)에는 전원제어회로(147)로부터 출력된 홀수 고전위전원(VDD_0)과 짝수 고전위전원(VDD_E)이 공급된다. 이와 같이, 전원제어회로(147)를 표시패널 상에 형성하면 외부회로의 감소를 통한 비용 절감 및 전압 강하 문제 등을 해결할 수 있다.
- [0136] 도 3 내지 도 20을 참조하여 설명한 바와 같이, 본 발명의 일 실시예는 스캔 구동부의 레벨 시프터(130)를 제외한 스캔신호 발생회로(140L, 140R)로 구현시, 인버터(141), 클록신호 발생회로(143), 버퍼(145), 전원제어회로(147) 및 시프트 레지스터(149)를 표시패널 상에 GIP 방식으로 형성할 수 있게 된다.
- [0137] 또한, 본 발명의 일 실시예는 GIP 방식으로 스캔 구동부의 스캔신호 발생회로(140L, 140R)를 형성할 때, 회로의 특성상 유발되는 다양한 문제를 고려하고 개선하여 표시장치의 신뢰성과 수명을 향상할 수 있게 된다.
- [0138] 이상 본 발명은 표시장치를 고해상도, 대화면으로 구현할 때 전파지연 최소화는 물론 외부회로의 감소로 인한 비용 절감, 소비전력 감소 및 소형화로 베젤의 크기를 줄일 수 있는 등 많은 상승 효과가 있다.
- [0139] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적

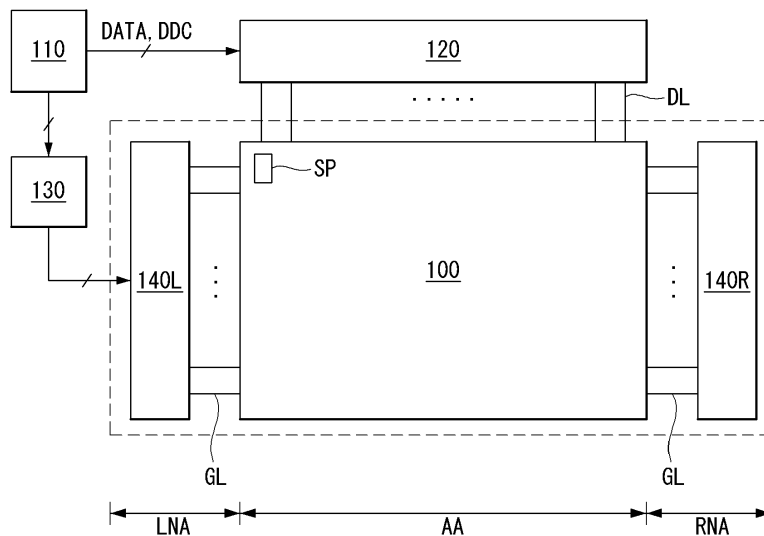
인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

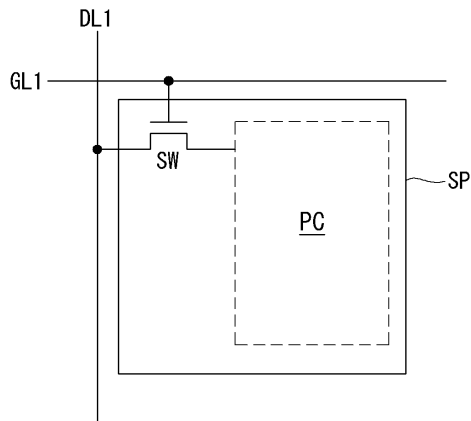
[0140] 100: 표시패널 110: 타이밍 제어부
120: 데이터 구동부 130, 140L, 140R: 스캔 구동부
130: 레벨 시프터 141: 인버터
143: 클럭신호 발생회로 145: 버퍼
147: 전원제어회로 149: 시프트 레지스터
INV1 ~ INV5: 제1 내지 제5인버터
N1 ~ N7: 제N1 내지 제N7트랜지스터
DIV1 ~ DIV6: 제1 내지 제6분주회로
INVB1 ~ INVB4: 제1 내지 제4스몰 인버터

도면

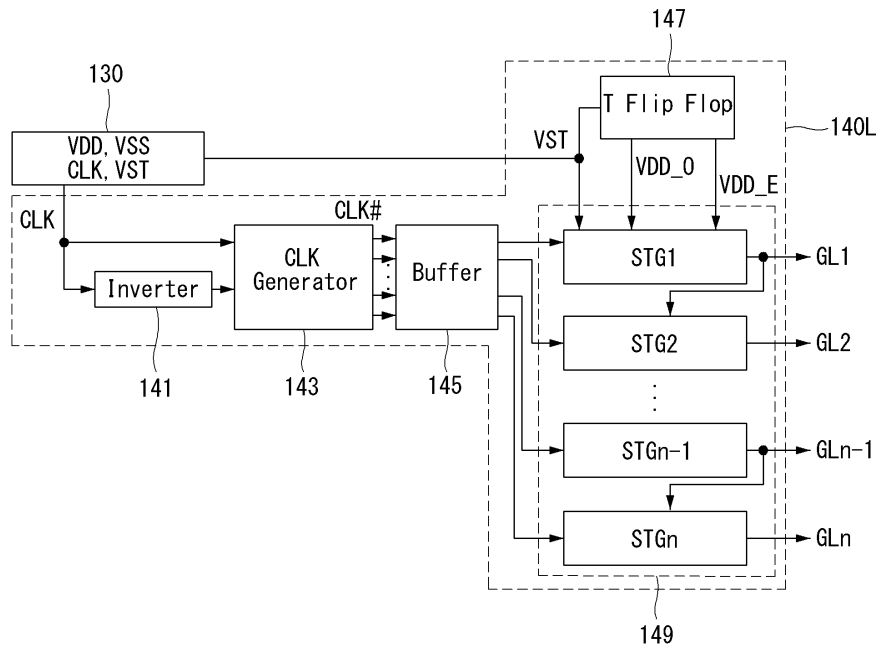
도면1



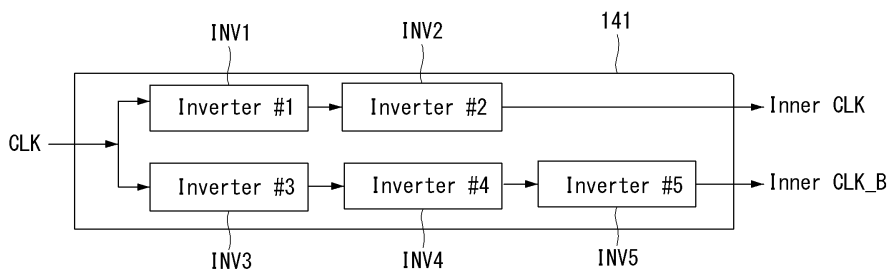
도면2



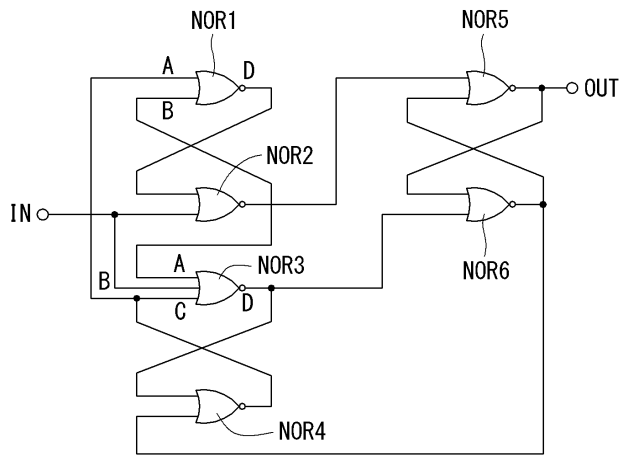
도면3



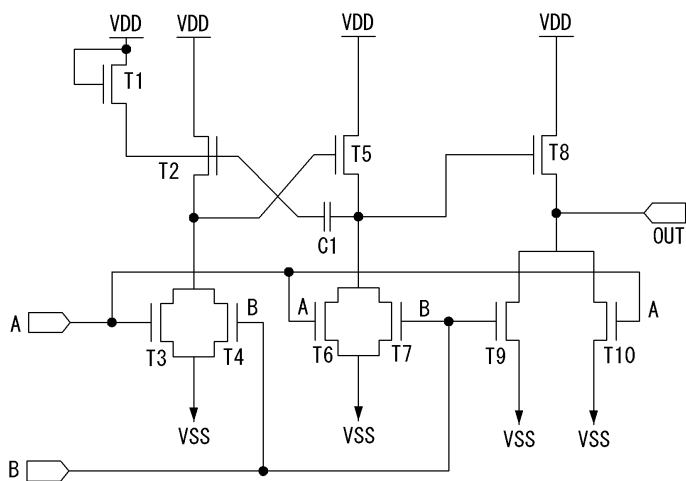
도면4



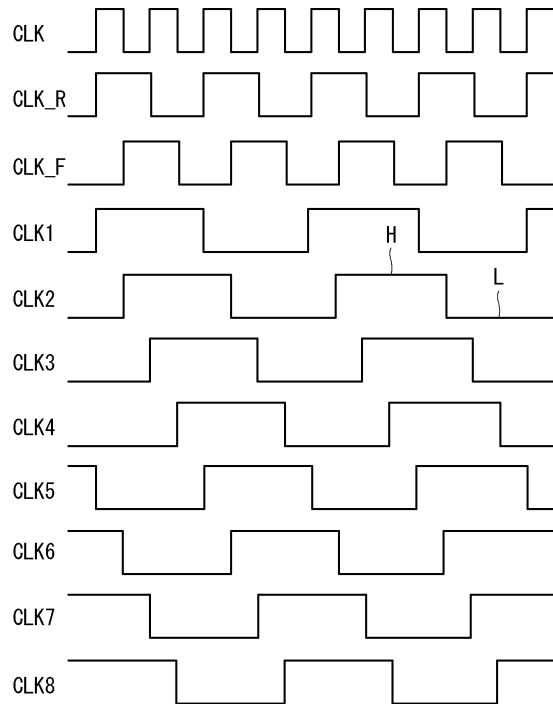
도면7



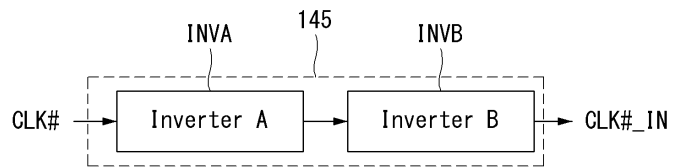
도면8



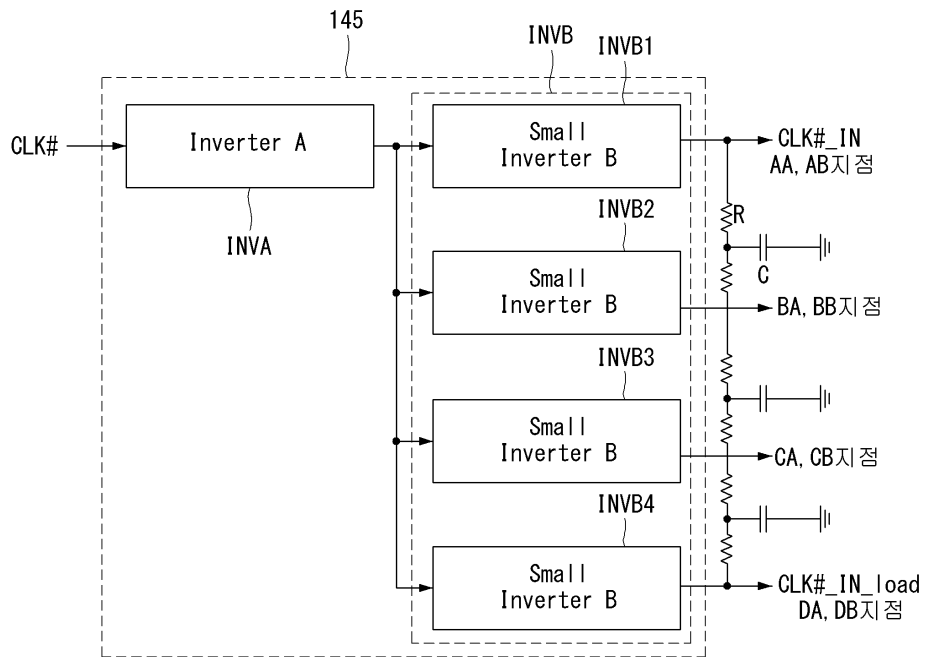
도면9



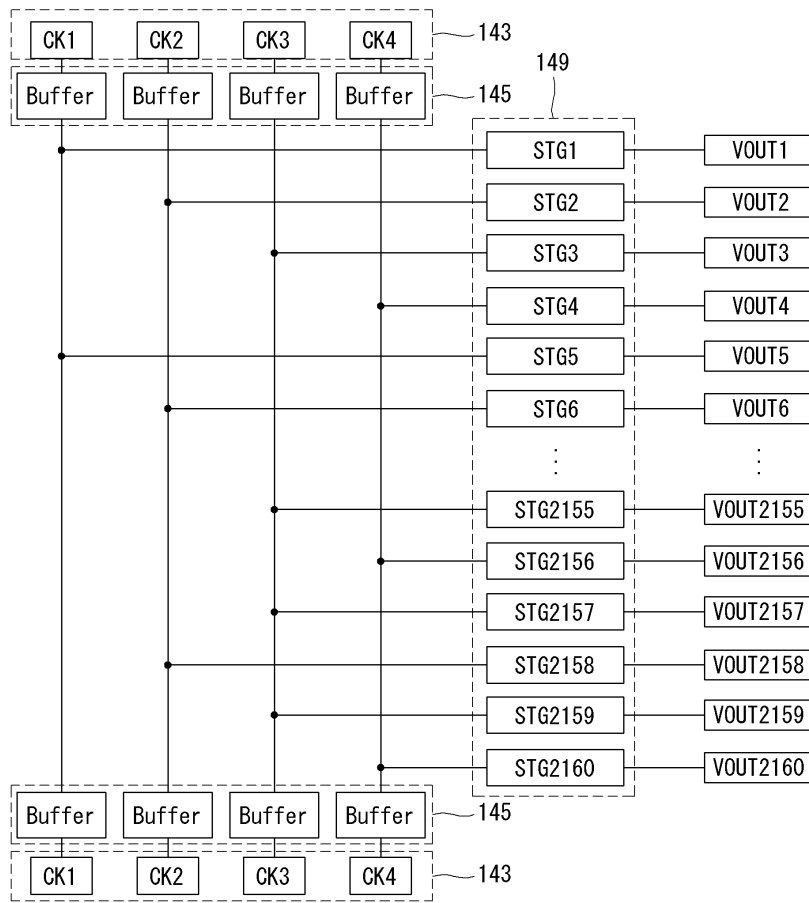
도면10



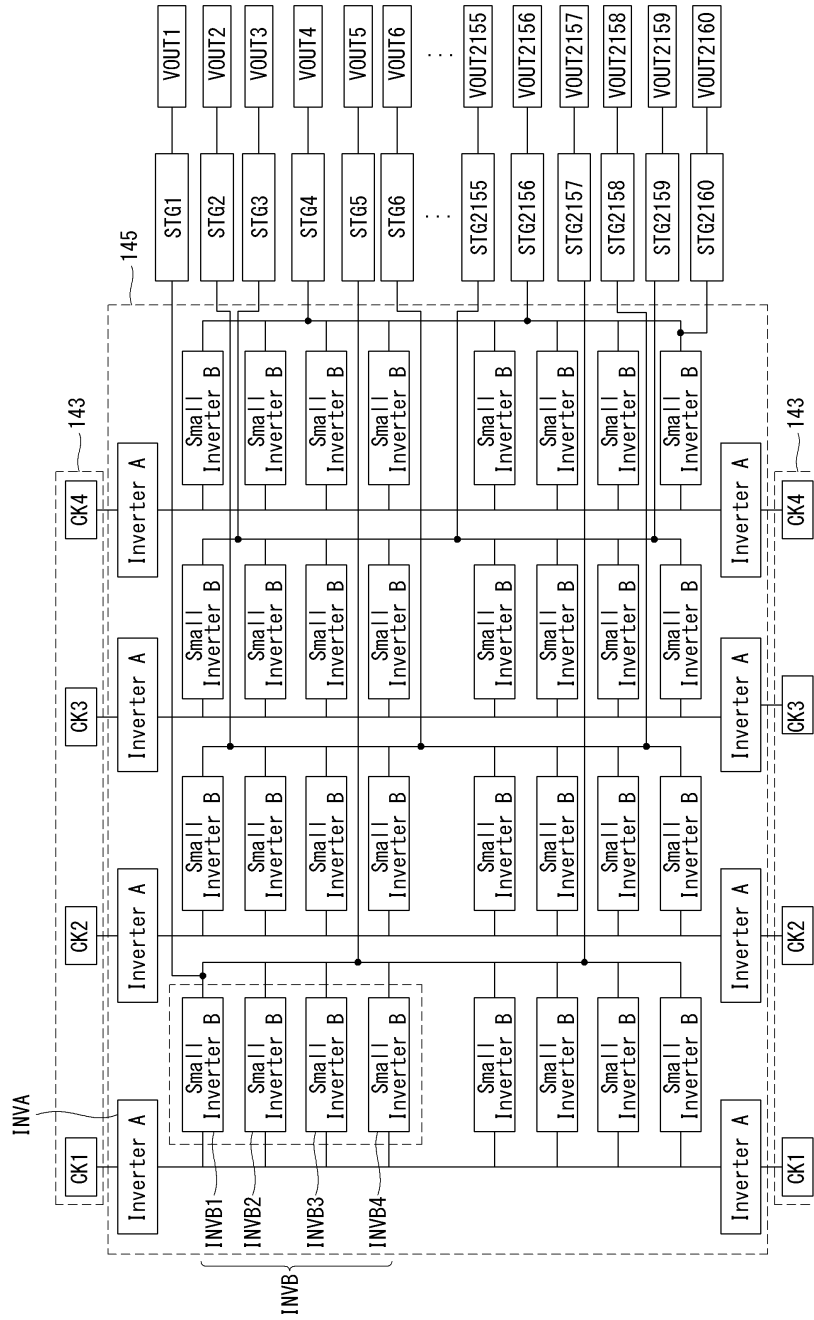
도면11



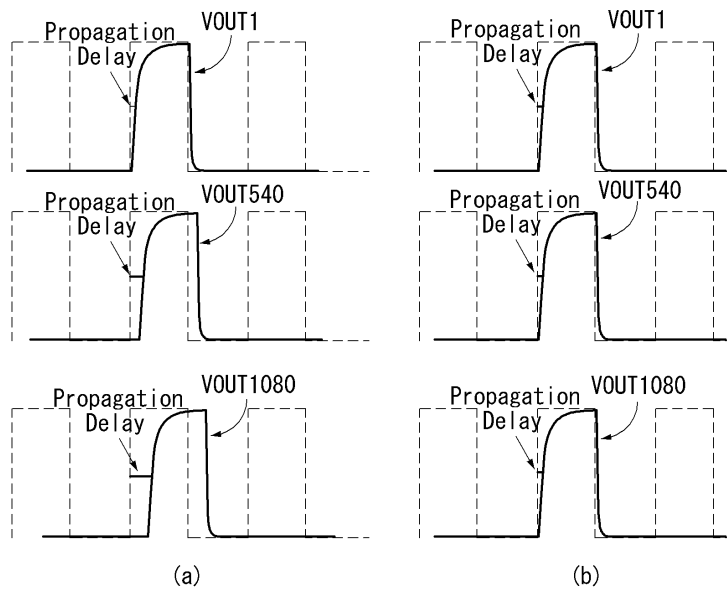
도면12



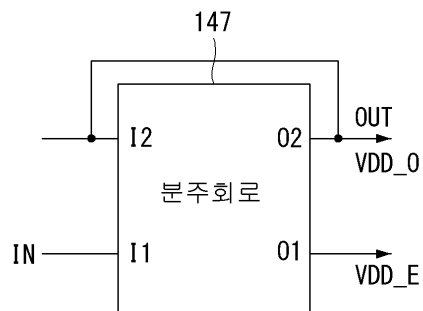
도면13



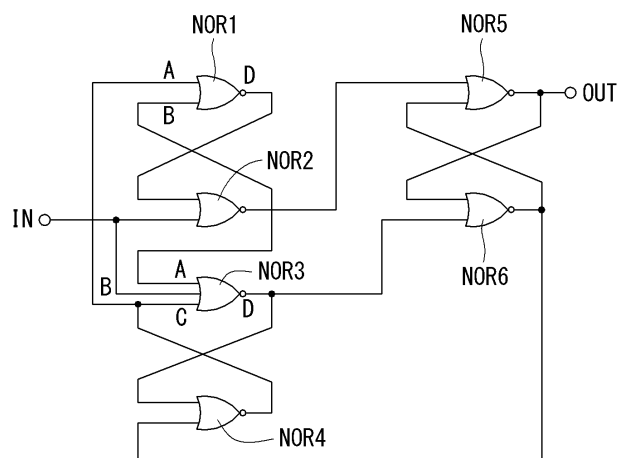
도면14



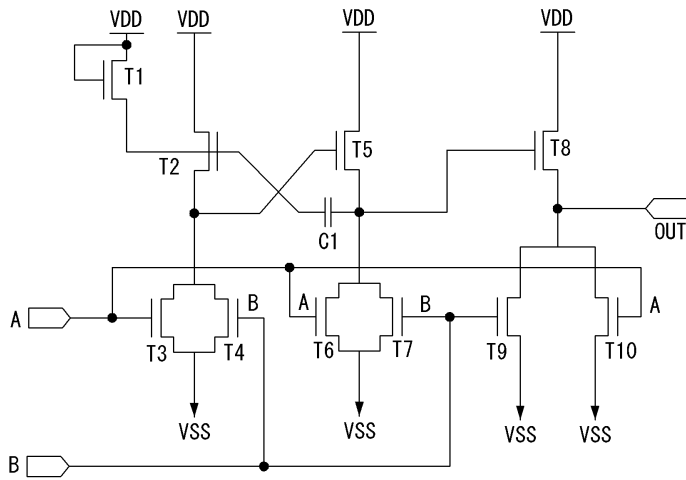
도면15



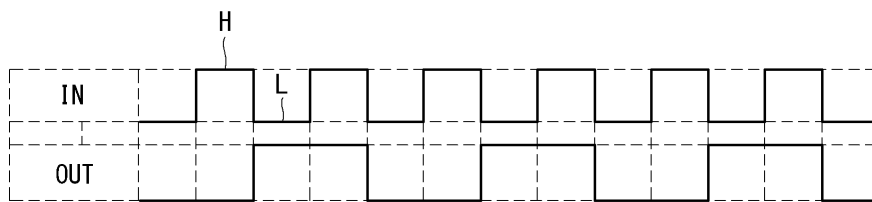
도면16



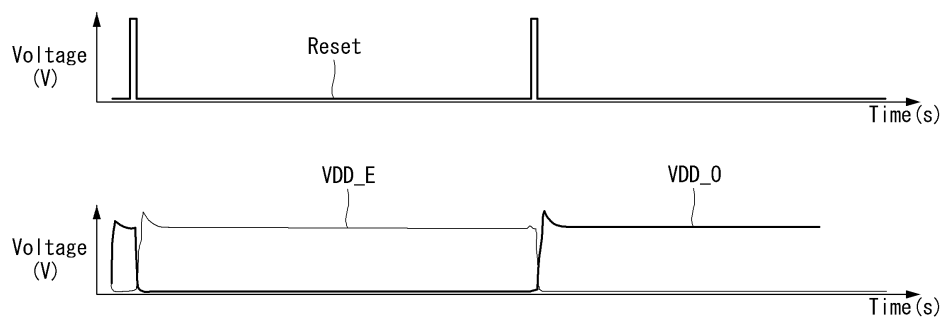
도면17



도면18



도면19



도면20

