

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)



(10) 国際公開番号

WO 2024/257527 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2024/017697

(22) 国際出願日: 2024年5月13日(13.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-099595 2023年6月16日(16.06.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 青木 研二(AOKI, Kenji); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 小澤 孝典(OZAWA, Takanori); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

林 泰伸(HAYASHI, Yasunobu); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 富永 幸平(TOMINAGA, Kohei); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 森 誠悟(MORI, Seigo); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 坂爪 恭(SAKADUME, Kyo); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

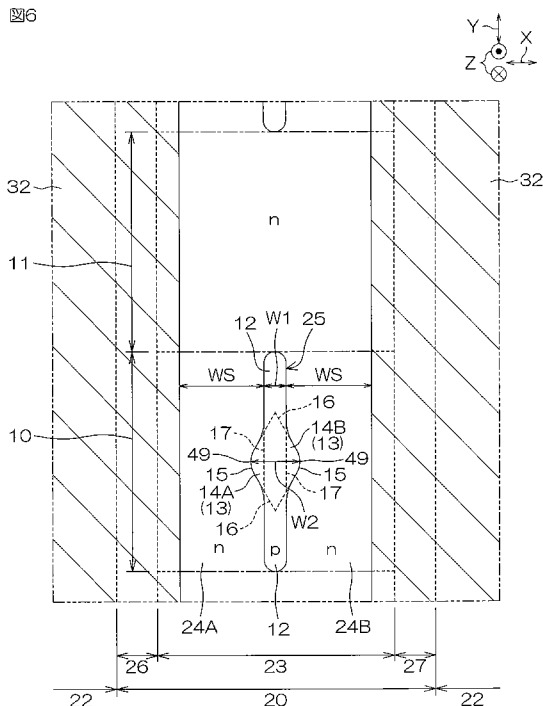
(74) 代理人: 弁理士法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

図6



(57) Abstract: This semiconductor device includes: a chip that is formed of a wide bandgap semiconductor and that has a main surface on which a semiconductor region of a first conductivity type is formed; a base impurity region of a second conductivity type formed in a surface layer part of the semiconductor region; a first impurity region formed in a surface layer part of the base impurity region; and a second impurity region that is adjacent to the first impurity region in a first direction and that has a conductivity type opposite to that of the first impurity region formed in the surface layer part of the base impurity region. The second impurity region has a protrusion part that is formed in a band shape extending in a second direction orthogonal to the first direction and that selectively protrudes to the first impurity region in the first direction.



HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、ワイドバンドギャップ半導体により形成され、第1導電型の半導体領域が形成された主面を有するチップと、前記半導体領域の表層部に形成された第2導電型のベース不純物領域と、前記ベース不純物領域の表層部に形成された第1不純物領域と、前記ベース不純物領域の表層部に形成された前記第1不純物領域とは反対導電型の第2不純物領域であって、第1方向において前記第1不純物領域に隣り合う第2不純物領域とを含み、前記第2不純物領域は、前記第1方向に直交する第2方向に延びる帯状に形成され、前記第1方向において前記第1不純物領域に選択的に突出する凸部を有している。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

関連出願

[0001] 本出願は、2023年6月16日に日本国特許庁に提出された特願2023-099595号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002] 本開示は、半導体装置およびその製造方法に関する。

背景技術

[0003] 特許文献1は、 n -型のSiC半導体層の表面部に複数形成され、それぞれが単位セルを構成する p 型ボディ領域と、 p 型ボディ領域の内方に形成された n 型ソース領域と、ゲート絶縁膜を介して p 型ボディ領域に対向するゲート電極と、SiC半導体層の裏面部で隣り合って形成された n +型ドレイン領域および p +型コレクタ領域と、 p 型ボディ領域と前 n +型ドレイン領域との間の n -型ドリフト領域とを含み、 p +型コレクタ領域は、SiC半導体層の表面に沿う X 軸において、少なくとも2つの単位セルが含まれる領域を覆うように形成されている、SiC半導体装置を開示している。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-207588号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示の一実施形態は、微細パターンであっても精度よく不純物領域を形成することができる半導体装置およびその製造方法を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態は、ワイドバンドギャップ半導体により形成され、第

1 導電型の半導体領域が形成された主面を有するチップと、前記半導体領域の表層部に形成された第2 導電型のベース不純物領域と、前記ベース不純物領域の表層部に形成された第1 不純物領域と、前記ベース不純物領域の表層部に形成された前記第1 不純物領域とは反対導電型の第2 不純物領域であって、第1 方向において前記第1 不純物領域に隣り合う第2 不純物領域とを含み、前記第2 不純物領域は、前記第1 方向に直交する第2 方向に延びる帯状に形成され、前記第1 方向において前記第1 不純物領域に選択的に突出する凸部を有している、半導体装置を提供する。

[0007] 本開示の一実施形態は、ワイドバンドギャップ半導体により形成され、第1 導電型の半導体領域が形成された主面を有するウエハを準備し、前記半導体領域に第2 導電型不純物を選択的に注入することにより、前記半導体領域の表層部に、第1 方向において間隔を空けた複数のボディ領域を選択的に形成する工程と、各前記ボディ領域を選択的に被覆する第1 マスクを形成する工程であって、前記第1 マスクは、前記第1 方向に直交する第2 方向に延び、前記第1 方向において第1 幅を有する第1 部分と、前記第1 部分の前記第2 方向中央から前記第1 方向の両側に突出する前記一对の凸部とを含み、前記第1 マスクを介して前記ボディ領域に第1 導電型不純物を注入することにより、前記ボディ領域の表層部に第1 不純物領域を形成し、かつ前記第1 マスクで被覆されていた領域に前記ボディ領域の一部からなるコンタクトパターン領域を残す工程と、前記コンタクトパターン領域を選択的に露出させる開口を有し、前記第1 不純物領域を被覆する第2 マスクを形成する工程と、前記第2 マスクを介して前記コンタクトパターン領域に第2 導電型不純物を注入することにより、前記ボディ領域の表層部にボディコンタクト領域を形成する工程と、前記ボディ領域の表層部において前記半導体領域および前記第1 不純物領域の間の領域に形成されるチャネルを被覆するゲート電極を形成する工程とを含む、半導体装置の製造方法を提供する。

発明の効果

[0008] 本開示の一実施形態に係る半導体装置およびその製造方法によれば、微細

パターンであっても精度よく不純物領域を形成することができる。

図面の簡単な説明

- [0009] [図1]図 1 は、実施形態に係る半導体装置を示す平面図である。
- [図2]図 2 は、図 1 に示すII-II線に沿う断面図である。
- [図3]図 3 は、第 1 主面のレイアウト例を示す平面図である。
- [図4]図 4 は、第 1 主面の要部を示す拡大平面図である。
- [図5]図 5 は、第 1 主面の更なる要部を示す拡大平面図である。
- [図6]図 6 は、図 5 の要部を示す拡大平面図である。
- [図7]図 7 は、図 5 に示すVII-VII線に沿う断面図である。
- [図8]図 8 は、図 5 に示すVIII-VIII線に沿う断面図である。
- [図9]図 9 は、図 5 に示すIX-IX線に沿う断面図である。
- [図10]図 10 は、図 5 に示すX-X線に沿う断面図である。
- [図11]図 11 は、ウエハを示す概略図である。
- [図12A]図 12 A は、半導体装置の製造方法を示す断面図である。
- [図12B]図 12 B は、図 12 A の後の工程を示す断面図である。
- [図12C]図 12 C は、図 12 B の後の工程を示す断面図である。
- [図12D]図 12 D は、図 12 C の後の工程を示す断面図である。
- [図12E]図 12 E は、図 12 D の後の工程を示す断面図である。
- [図12F]図 12 F は、図 12 E の後の工程を示す断面図である。
- [図12G]図 12 G は、図 12 F の後の工程を示す断面図である。
- [図12H]図 12 H は、図 12 G の後の工程を示す断面図である。
- [図12I]図 12 I は、図 12 H の後の工程を示す断面図である。
- [図12J]図 12 J は、図 12 I の後の工程を示す断面図である。
- [図12K]図 12 K は、図 12 J の後の工程を示す断面図である。
- [図12L]図 12 L は、図 12 K の後の工程を示す断面図である。
- [図12M]図 12 M は、図 12 L の後の工程を示す断面図である。
- [図12N]図 12 N は、図 12 M の後の工程を示す断面図である。
- [図12O]図 12 O は、図 12 N の後の工程を示す断面図である。

[図12P]図12Pは、図12Oの後の工程を示す断面図である。

[図13]図13は、図12Gに示す第1マスクの平面パターンを示す図である。

[図14]図14は、図6のソース領域およびボディコンタクト領域の変形例を示す断面図である。

[図15]図15は、前記ボディコンタクト領域の第1変形例を示す図である。

[図16]図16は、前記ボディコンタクト領域の第2変形例を示す図である。

[図17]図17は、前記ボディコンタクト領域の第3変形例を示す図である。

[図18]図18は、前記ボディコンタクト領域の第4変形例を示す図である。

[図19]図19は、前記ボディコンタクト領域の第5変形例を示す図である。

発明を実施するための形態

[0010] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、いずれも模式図であり、厳密に図示されたものではなく、相対的な位置関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0011] この明細書において「ほぼ (substantially)」の文言が使用される場合、この文言は、比較対象の数値（形態）と等しい数値（形態）を含む他、比較対象の数値（形態）を基準とする±10%の範囲の数値誤差（形態誤差）も含む。以下の説明では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0012] 以下の説明では、「p型」または「n型」を用いて半導体（不純物）の導電型が示されるが、「p型」が「第1導電型」と称され、「n型」が「第2導電型」と称されてもよい。むしろ、「n型」が「第1導電型」と称され、「p型」が「第2導電型」と称されてもよい。「p型」は3価元素に起因する導電型であり、「n型」は5価元素に起因する導電型である。3価元素は

、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも1種である。5価元素は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも1種である。

[0013] 図1は、実施形態に係る半導体装置1を示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、第1主面3のレイアウト例を示す平面図である。図4は、第1主面3の要部を示す拡大平面図である。図5は、第1主面3の更なる要部を示す拡大平面図である。

[0014] 図6は、図5の要部を示す拡大平面図である。図7は、図5に示すVII-VII線に沿う断面図である。図8は、図5に示すVIII-VIII線に沿う断面図である。図9は、図5に示すIX-IX線に沿う断面図である。図10は、図5に示すX-X線に沿う断面図である。

[0015] 図1～図10を参照して、半導体装置1は、デバイス構造の一例としての絶縁ゲート型のトランジスタ構造 T_r を有する半導体スイッチング装置である。トランジスタ構造 T_r は、縦型構造を有している。半導体装置1は、SiC単結晶を含むチップ2を有するSiC半導体装置である。チップ2は、「SiCチップ」または「半導体チップ」と称されてもよい。

[0016] チップ2は、この形態 (this embodiment) では、六方晶のSiC単結晶からなり、直方体形状に形成されている。六方晶のSiC単結晶は、2H (Hexagonal) - SiC単結晶、4H-SiC単結晶、6H-SiC単結晶等を含む複数種のポリタイプを有している。この形態では、チップ2が4H-SiC単結晶からなる例が示されるが、チップ2は他のポリタイプからなってもよい。

[0017] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、鉛直方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Zは、チップ2の厚さ方向や第1主面3（第2主面4）の法線方向でもある。第1主面3および第2主面4は、平面視において正形状または長形状に形成

されていてもよい。

[0018] 第1主面3および第2主面4は、SiC単結晶のc面によって形成されていることが好ましい。この場合、第1主面3はSiC単結晶のシリコン面（ (0001) 面）によって形成され、第2主面4はSiC単結晶のカーボン面（ $(000\bar{1})$ 面）によって形成されていることが好ましい。

[0019] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1主面3に沿って第1方向Xに交差する第2方向Yに対向している。具体的には、第2方向Yは、第1方向Xに直交している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0020] 以下の説明において、第1方向Xの一方側は第3側面5C側を意味し、第1方向Xの他方側は第4側面5D側を意味する。また、第2方向Yの一方側は第1側面5A側を意味し、第2方向Yの他方側は第2側面5B側を意味する。この形態では、第1方向XがSiC単結晶のm軸方向（ $[1\bar{1}00]$ 方向）であり、第2方向YがSiC単結晶のa軸方向（ $[11\bar{2}0]$ 方向）である。むしろ、第1方向XがSiC単結晶のa軸方向であり、第2方向YがSiC単結晶のm軸方向であってもよい。

[0021] チップ2（第1主面3および第2主面4）は、SiC単結晶のc面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有している。つまり、SiC単結晶のc軸（ (0001) 軸）は、鉛直軸からオフ方向に向けてオフ角分だけ傾斜している。また、SiC単結晶のc面は、水平面に対してオフ角分だけ傾斜している。

[0022] オフ方向は、SiC単結晶のa軸方向（つまり第2方向Y）であることが好ましい。オフ角は、 0° を超えて 10° 以下であってもよい。オフ角は、 0° を超えて 1° 以下、 1° 以上 2.5° 以下、 2.5° 以上 5° 以下、 5° 以上 7.5° 以下、および、 7.5° 以上 10° 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0023] オフ角は、 5° 以下であることが好ましい。オフ角は、 2° 以上 4.5° 以下であることが特に好ましい。オフ角は、典型的には、 $4^\circ \pm 0.1^\circ$ の

範囲に設定される。この明細書は、オフ角が 0° である形態（つまり、第1主面3がc面に対してジャスト面である形態）を除外しない。

[0024] 半導体装置1は、チップ2内において第1主面3側の領域（表層部）に形成されたn型の第1半導体領域6を含む。第1半導体領域6は、「ドリフト領域」、「ドレインドリフト領域」、「ドレイン領域」等と称されてもよい。第1半導体領域6には、高電位（第1電位）としてのドレイン電位が付与される。第1半導体領域6は、第1主面3に沿って延びる層状に形成され、第1主面3および第1～第4側面5A～5Dから露出している。第1半導体領域6は、この形態では、エピタキシャル層（具体的にはSiCエピタキシャル層）からなる。

[0025] 半導体装置1は、チップ2内において第2主面4側の領域（表層部）に形成されたn型の第2半導体領域7を含む。第2半導体領域7には、ドレイン電位が付与される。第2半導体領域7は、「ドレイン領域」等と称されてもよい。第2半導体領域7は、第1半導体領域6よりも高いn型不純物濃度を有し、チップ2内において第1半導体領域6に電氣的に接続されている。

[0026] 第2半導体領域7は、第2主面4に沿って延びる層状に形成され、第2主面4および第1～第4側面5A～5Dから露出している。第2半導体領域7は、この形態では、半導体基板（具体的にはSiC基板）からなる。つまり、チップ2は、半導体基板およびエピタキシャル層を含む積層構造を有している。第2半導体領域7は、第1半導体領域6の厚さよりも大きい厚さを有している。

[0027] 半導体装置1は、チップ2に設定された活性領域8を含む。活性領域8は、デバイス構造（トランジスタ構造Tr）を含み、出力電流（ドレイン電流）が生成される領域である。活性領域8は、平面視においてチップ2の周縁（第1～第4側面5A～5D）から間隔を空けてチップ2の内方部に設定されている。活性領域8は、平面視においてチップ2の周縁に平行な4辺を有する多角形状（この形態では四角形状）に設定されている。活性領域8の平面積は、第1主面3の平面積の50%以上90%以下であることが好ましい。

。

[0028] 半導体装置 1 は、チップ 2 において活性領域 8 外に設定された外周領域 9 を含む。外周領域 9 は、平面視においてチップ 2 の周縁および活性領域 8 の間の領域に設けられている。外周領域 9 は、平面視において活性領域 8 に沿って帯状に延び、活性領域 8 を取り囲む多角環状（この形態では四角環状）に設定されている。

[0029] 半導体装置 1 は、活性領域 8 において第 1 主面 3 の表層部に形成された p 型の複数のボディ領域 20 を含む。複数のボディ領域 20 には、高電位（第 1 電位）とは異なる低電位（第 2 電位）としてのソース電位が付与される。複数のボディ領域 20 は、第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のボディ領域 20 は、第 2 方向 Y に延びるストライプ状に配列されている。

[0030] 複数のボディ領域 20 は、第 1 半導体領域 6 の底部から第 1 主面 3 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。複数のボディ領域 20 は、第 1 半導体領域 6 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。複数のボディ領域 20 は、第 1 主面 3 から露出している。

[0031] 半導体装置 1 は、外周領域 9 において第 1 主面 3 の表層部に形成された p 型のアウターボディ領域 21 を含む。アウターボディ領域 21 は、ボディ領域 20 の p 型不純物濃度とほぼ等しい p 型不純物濃度を有していることが好ましい。むしろ、アウターボディ領域 21 の p 型不純物濃度は、ボディ領域 20 の p 型不純物濃度未満であってもよいし、ボディ領域 20 の p 型不純物濃度よりも高くてもよい。

[0032] アウターボディ領域 21 は、第 1 主面 3 の周縁（第 1 ～第 4 側面 5 A ～ 5 D）から活性領域 8 側に間隔を空けて形成され、活性領域 8 に沿って帯状に延びている。アウターボディ領域 21 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有し、活性領域 8 を複数方向から区画している。

- [0033] アウターボディ領域 21 は、この形態では、平面視において活性領域 8 を取り囲み、第 1 主面 3 の周縁に平行な 4 辺を有する多角環状（この形態では四角環状）に区画されている。つまり、アウターボディ領域 21 は、活性領域 8 および外周領域 9 の境界部を形成している。アウターボディ領域 21 は、平面視において第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 4 参照）。
- [0034] アウターボディ領域 21 は、活性領域 8 側の内縁部および第 1 主面 3 の周縁側の外縁部を有している。アウターボディ領域 21 の内縁部は、第 1 方向 X に延びる部分において複数のボディ領域 20 に接続されている。これにより、アウターボディ領域 21 は、複数のボディ領域 20 と同電位に固定されている。
- [0035] アウターボディ領域 21 は、ボディ領域 20 の幅よりも大きい幅を有していることが好ましい。ボディ領域 20 の幅は、延在方向に直交する方向（つまり第 1 方向 X）の幅である。アウターボディ領域 21 の幅は、延在方向に直交する方向の幅である。むろん、アウターボディ領域 21 の幅は、ボディ領域 20 の幅とほぼ等しくてもよいし、ボディ領域 20 の厚さ未満であってもよい。
- [0036] ボディ領域 20 の幅に対するアウターボディ領域 21 の幅の比は、10 以上 50 以下であってもよい。幅の比は、20 以上 40 以下であることが好ましい。
- [0037] アウターボディ領域 21 は、第 1 半導体領域 6 の底部から第 1 主面 3 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。アウターボディ領域 21 は、第 1 半導体領域 6 の中間部から第 1 主面 3 側に間隔を空けて形成されていることが好ましい。アウターボディ領域 21 は、第 1 主面 3 から露出している。
- [0038] アウターボディ領域 21 は、ボディ領域 20 の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していることが好ましい。むろん、アウターボディ領域 2

1の厚さは、ボディ領域20の厚さ未満であってもよいし、ボディ領域20の厚さよりも大きくてもよい。

[0039] 図6～図9を参照して、半導体装置1は、第1主面3の表層部に形成されたn型の複数の表層ドリフト領域22を含む。複数の表層ドリフト領域22は、この形態では、第1半導体領域6の一部からそれぞれなる。むしろ、複数の表層ドリフト領域22は、第1半導体領域6のn型不純物濃度よりも高いn型不純物濃度を有していてもよいし、第1半導体領域6のn型不純物濃度よりも低いn型不純物濃度を有していてもよい。

[0040] 複数の表層ドリフト領域22は、第1方向X隣り合う複数のボディ領域20の間の領域にそれぞれ区画されている。具体的には、複数の表層ドリフト領域22は、第1主面3の表層部において複数のボディ領域20およびアウターボディ領域21によってそれぞれ区画されている。複数の表層ドリフト領域22は、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数の表層ドリフト領域22は、第2方向Yに延びるストライプ状に形成されている。

[0041] 半導体装置1は、複数のボディ領域20の表層部にそれぞれ形成されたn型のソース領域23を含む。ソース領域23は、第1半導体領域6のn型不純物濃度よりも高いn型不純物濃度を有している。ソース領域23には、ソース電位が付与される。

[0042] 半導体装置1は、活性領域8において複数のボディ領域20の表層部にそれぞれ形成されたp型の複数のコンタクト領域25を含む。コンタクト領域25は、「バックゲート領域」と称されてもよい。複数のコンタクト領域25には、ソース電位が付与される。コンタクト領域25は、ボディ領域20のp型不純物濃度よりも高いp型不純物濃度を有している。

[0043] 図5および図6を参照して、各ボディ領域20は、第2方向Yにおいて複数の第1区間10および複数の第2区間11を交互に有している。第1区間10と第2区間11との間は明確な境界が形成されていなくてもよい。図5および図6では、明瞭化のため、第1区間10と第2区間11との境界を一

点鎖線で示している。第1区間10および第2区間11は、図5および図6に示すように、第2方向Yにおける長さが互いに同じであってもよいし、互いに異なってもよい。たとえば、第2方向Yにおいて、第1区間10が第2区間11よりも長くてもよいし、第1区間10が第2区間11よりも短くてもよい。

[0044] 複数のコンタクト領域25は、第2方向Yにおいて各第2区間11をスキップするように、第1区間10ごとに間隔を空けて配列されている。ボディ領域20において、コンタクト領域25およびコンタクト領域25の第1方向Xの両側の領域が第1区間10であってもよい。第2区間11は、第2方向Yにおいて隣り合う複数のコンタクト領域25の間の領域であってもよい。

[0045] 各コンタクト領域25は、ボディ領域20の延在方向（第2方向Y）に沿って帯状に延びている。コンタクト領域25は、アウターボディ領域21から第2方向Yに間隔を空けて形成されている。つまり、コンタクト領域25は、アウターボディ領域21には形成されていない。コンタクト領域25は、ボディ領域20の底部から第1主面3側に間隔を空けて形成され、ボディ領域20の一部を挟んで第1半導体領域6に対向している。各コンタクト領域25は、第1方向Xにおいて、ボディ領域20の一方側および他方側の両周縁から間隔を空けて形成されている。この形態では、コンタクト領域25は、第1方向Xにおけるボディ領域20の中央部に形成されている。

[0046] コンタクト領域25の形成により、ソース領域23は第1区間10において、複数のソース領域24A、24Bに分離されている。言い換えれば、1つのコンタクト領域25が対応するボディ領域20の表層部において第1ソース領域24Aおよび第2ソース領域24Bの間の領域に介在されている。各コンタクト領域25は、第1方向Xにおいて第1ソース領域24Aおよび第2ソース領域24Bに挟まれている。

[0047] 複数のソース領域24A、24Bは、各ボディ領域20の表層部において、第1方向Xの一方側に位置された第1ソース領域24Aおよび第1方向X

の他方側に位置された第2ソース領域24Bを含む。この形態では、第1方向Xに関して、1つの第1ソース領域24Aがボディ領域20の一端側に形成され、1つの第2ソース領域24Bがボディ領域20の他端側に形成されている。

[0048] 第1ソース領域24Aは、ボディ領域20の一端から他端側に間隔を空けて形成され、ボディ領域20の延在方向に沿って帯状に延びている。第1ソース領域24Aは、ボディ領域20の底部から第1主面3側に間隔を空けて形成され、ボディ領域20の一部を挟んで第1半導体領域6に対向している。

[0049] 第2ソース領域24Bは、第1ソース領域24Aからボディ領域20の他端側に間隔を空けて形成されている。第2ソース領域24Bは、ボディ領域20の他端から一端側に間隔を空けて形成され、ボディ領域20の延在方向に沿って帯状に延びている。第2ソース領域24Bは、ボディ領域20の底部から第1主面3側に間隔を空けて形成され、ボディ領域20の一部を挟んで第1半導体領域6に対向している。

[0050] 図6を参照して、コンタクト領域25は、第2方向Yに帯状に延びる第1部分12と、第1部分12から第1方向Xの外側に突出する複数の凸部13とを含む。

[0051] 第1部分12は、ボディ領域20の第1区間10を第2方向Yに横切り、第1区間10と第2区間11との境界位置に端部を有している。第1部分12は、その平面形状に応じて別名で称されてもよい。たとえば、図6に示すように、凸部13を除外して想定される形状（第2方向Yにおいて凸部13を挟んで上下に対向する部分を破線17で繋いだ形状）が平面視帯状である場合は、第1部分12は帯状部と称されてもよい。第1部分12の幅（第1幅W1）は、たとえば、0.2 μm 以上0.6 μm 以下であってもよい。第1幅W1は、第2方向Yにおいて一定もしくは略一定であってもよい。

[0052] 複数の凸部13は、この形態では、第1部分12の第2方向Yの中央から第1方向Xの両側に突出する一対の凸部14A、14Bを含んでいてもよい。

。つまり、第1部分12の第1方向Xの一方側および他方側に凸部13が1つずつ形成されている。この形態では、第1ソース領域24A側に突出する凸部13が第1凸部14Aであり、第2ソース領域24B側に突出する凸部13が第2凸部14Bである。第1凸部14Aおよび第2凸部14Bは、第1部分12の同じ位置から互いに反対側に向かって突出している。

[0053] 各凸部14A, 14Bは、第1部分12に対して突出し、1つまたは複数の頂部49を有する平面視多角形状であってもよい。この形態では、各凸部14A, 14Bは、平面視三角形形状に形成されている。コンタクト領域25では、頂部49は丸みを帯びたラウンド形状を有している。

[0054] 一对の凸部14A, 14Bは、平面視において、第1部分12に対して両側に均等に突出する、ひし形または円形の全体形状を有していてもよい。一对の凸部14A, 14Bの全体形状は、一对の凸部14A, 14Bのアウトライン15と、コンタクト領域25（第1部分12）の内側へ向かう当該アウトライン15の内側延長線16（仮想線）とにより定義された形状であってもよい。図6では、一对の凸部14A, 14Bの全体形状がひし形のパターンが示されている。この形態では、第1凸部14Aの第1方向Xの端部から第2凸部14Bの第1方向Xの端部までの一对の凸部14A, 14Bの全体の幅（第2幅W2）は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下であってもよい。

[0055] また、この形態では、第1部分12の第1方向Xの両側の第1ソース領域24Aおよび第2ソース領域24Bのそれぞれの幅WSは、一对の凸部14A, 14Bの全体の幅（第2幅W2よりも大きくてもよい。幅WSは、たとえば、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下であってもよい。

[0056] 半導体装置1は、第1主面3の表層部に形成されたp型の複数のチャネル領域26、27を含む。複数のチャネル領域26、27は、複数のボディ領域20の表層部において複数のボディ領域20の端部（複数の表層ドリフト領域22）およびソース領域23の周縁の間の領域にそれぞれ区画されている。複数のチャネル領域26、27は、この形態では、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つま

り、複数のチャネル領域 26、27 は、第2方向 Y に延びるストライプ状に配列されている。

[0057] 複数のチャネル領域 26、27 は、複数の第1チャネル領域 26 および複数の第2チャネル領域 27 を含む。複数の第1チャネル領域 26 は、複数の第1ソース領域 24 A 側の領域に形成され、水平方向に延びる電流経路を形成する。複数の第2チャネル領域 27 は、複数の第2ソース領域 24 B 側の領域に形成され、水平方向に延びる電流経路を形成する。

[0058] 半導体装置 1 は、活性領域 8 において第1主面 3 の上に配置されたプレーナ電極型の複数のゲート構造 30 を含む。複数のゲート構造 30 は、第1方向 X に間隔を空けて配列され、第2方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造 30 は、第2方向 Y に延びるストライプ状に配列されている。複数のゲート構造 30 の延在方向は、SiC 単結晶のオフ方向に一致している。

[0059] 各ゲート構造 30 は、少なくとも1つのチャネル領域 26、27 の上に配置されている。各ゲート構造 30 は、この形態では、1つの表層ドリフト領域 22 を横切って隣り合う2つのボディ領域 20 に跨るように配置され、複数のチャネル領域 26、27 を被覆している。具体的には、各ゲート構造 30 は、一方のボディ領域 20 側のソース領域 23 および他方のボディ領域 20 側のソース領域 23 に跨るように配置され、表層ドリフト領域 22、ソース領域 23（第1ソース領域 24 A および第2ソース領域 24 B）、第1チャネル領域 26 および第2チャネル領域 27 を被覆している。

[0060] 以下、1つのゲート構造 30 の構成が説明される。ゲート構造 30 は、絶縁膜 31 およびゲート電極 32 を含む積層構造を有している。ゲート構造 30 は、ゲート電極 32 の側方において絶縁性のサイドウォール構造（スペーサ）を有さない。絶縁膜 31 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。絶縁膜 31 は、この形態では、酸化シリコン膜からなる単層構造を有している。絶縁膜 31 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい

。

[0061] 絶縁膜 31 は、第 1 主面 3 を膜状に被覆し、少なくとも 1 つのチャネル領域 26、27 の上に配置されている。絶縁膜 31 は、この形態では、1 つの表層ドリフト領域 22 を横切って隣り合う 2 つのボディ領域 20 に跨るように配置され、複数のチャネル領域 26、27 を被覆している。

[0062] 具体的には、絶縁膜 31 は、一方のボディ領域 20 側のソース領域 23 および他方のボディ領域 20 側のソース領域 23 に跨るように配置され、表層ドリフト領域 22、ソース領域 23（第 1 ソース領域 24 A および第 2 ソース領域 24 B）、第 1 チャネル領域 26 および第 2 チャネル領域 27 を被覆している。

[0063] 第 1 区間 10 において、絶縁膜 31 は、コンタクト領域 25 から間隔を空けて第 1 ソース領域 24 A を部分的に被覆し、第 1 主面 3 から第 1 ソース領域 24 A の一部およびコンタクト領域 25 を露出させている。第 1 区間 10 において、絶縁膜 31 は、コンタクト領域 25 から間隔を空けて第 2 ソース領域 24 B を部分的に被覆し、第 1 主面 3 から第 2 ソース領域 24 B の一部およびコンタクト領域 25 を露出させている。第 2 区間 11 において、絶縁膜 31 は、ソース領域 23 を部分的に被覆し、第 1 主面 3 からソース領域 23 の一部を露出させている。

[0064] 絶縁膜 31 の厚さは、10 nm 以上 150 nm 以下の厚さを有していてもよい。絶縁膜 31 の厚さは、10 nm 以上 25 nm 以下、25 nm 以上 50 nm 以下、50 nm 以上 75 nm 以下、75 nm 以上 100 nm 以下、100 nm 以上 125 nm 以下、および、125 nm 以上 150 nm 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。絶縁膜 31 の厚さは、25 nm 以上 75 nm 以下であることが好ましい。

[0065] ゲート電極 32 は、絶縁膜 31 の上に配置され、絶縁膜 31 を挟んで少なくとも 1 つのチャネル領域 26、27 に対向している。ゲート電極 32 には、制御電位としてのゲート電位が付与される。ゲート電極 32 は、ゲート電位に応答して少なくとも 1 つのチャネル領域 26、27 の反転および非反転

を制御する。

- [0066] ゲート電極 3 2 は、導電性を有する半導体多結晶を含む。ゲート電極 3 2 は、p 型の導電性ポリシリコンおよび n 型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート電極 3 2 の導電型は、達成すべきゲート閾値電圧に応じて調節される。ゲート電極 3 2 は、「ポリシリコンゲート」、「ポリゲート」等と称されてもよい。
- [0067] ゲート電極 3 2 は、第 2 方向 Y に延びる帯状に形成されている。つまり、ゲート電極 3 2 の延在方向は、SiC 単結晶のオフ方向に一致している。ゲート電極 3 2 は、この形態では、第 1 方向 X に関して絶縁膜 3 1 の両端部から内方に間隔を空けて形成され、絶縁膜 3 1 の両端部を露出させている。ゲート電極 3 2 は、1 つの表層ドリフト領域 2 2 を横切って隣り合う 2 つのボディ領域 2 0 に跨るように絶縁膜 3 1 の上に配置され、絶縁膜 3 1 を挟んで複数のチャネル領域 2 6、2 7 に対向している。
- [0068] 具体的には、ゲート電極 3 2 は、一方のボディ領域 2 0 側のソース領域 2 3 および他方のボディ領域 2 0 側のソース領域 2 3 に跨るように配置され、絶縁膜 3 1 を挟んで表層ドリフト領域 2 2、ソース領域 2 3（第 1 ソース領域 2 4 A および第 2 ソース領域 2 4 B）、第 1 チャネル領域 2 6 および第 2 チャネル領域 2 7 に対向している。
- [0069] ゲート電極 3 2 は、電極面 3 3、第 1 方向 X の一方側の第 1 側壁 3 4、および、第 1 方向 X の他方側の第 2 側壁 3 5 を有している。電極面 3 3 は、絶縁膜 3 1（第 1 主面 3）に沿って延びている。電極面 3 3 は、絶縁膜 3 1（第 1 主面 3）に対してほぼ平行に延びていてもよい。
- [0070] 第 1 側壁 3 4 は、第 1 方向 X に関して絶縁膜 3 1 の一端部から他端部側に間隔を空けて形成され、鉛直方向 Z に延びている。第 2 側壁 3 5 は、第 1 方向 X に関して絶縁膜 3 1 の他端部から一端部側に間隔を空けて形成され、鉛直方向 Z に延びている。
- [0071] 第 1 側壁 3 4 および第 2 側壁 3 5 は、絶縁膜 3 1 に対して垂直に延びていてもよい。つまり、ゲート電極 3 2 は、断面視において四角形状（扁平な長

方形状）に形成されていてもよい。第1側壁34および第2側壁35は、電極面33に向けて斜め傾斜していてもよい。つまり、ゲート電極32は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。

[0072] ゲート構造30の幅は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。ゲート構造30の幅は、延在方向に直交する方向（つまり第1方向X）の幅である。ゲート構造30の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。

[0073] ゲート構造30の厚さは、 $0.1\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下であってもよい。ゲート構造30の厚さは、 $0.2\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下であることが好ましい。

[0074] 図4、図5および図10を参照して、半導体装置1は、外周領域9において第1主面3に形成されたp型の終端領域45を含む。終端領域45は、「ウェル領域」、「終端ウェル領域」等と称されてもよい。終端領域45は、アウターボディ領域21のp型不純物濃度とほぼ等しいp型不純物濃度を有していてもよい。終端領域45のp型不純物濃度は、アウターボディ領域21のp型不純物濃度よりも高くてもよいし、アウターボディ領域21のp型不純物濃度よりも低くてもよい。

[0075] 終端領域45は、第1主面3の周縁から内方に間隔を空けて、第1主面3の周縁およびアウターボディ領域21の間の領域に形成されている。終端領域45は、平面視においてアウターボディ領域21に沿って帯状に延びている。終端領域45は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。

[0076] 終端領域45は、この形態では、平面視においてアウターボディ領域21を取り囲み、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。終端領域45は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図4参照）。

- [0077] 終端領域45は、第1半導体領域6の底部から第1主面3側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。終端領域45は、第1半導体領域6の中間部から第1主面3側に間隔を空けて形成されていることが好ましい。終端領域45は、アウターボディ領域21の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していてもよい。終端領域45の厚さは、アウターボディ領域21の厚さよりも大きくてもよいし、アウターボディ領域21の厚さよりも小さくてもよい。
- [0078] 終端領域45は、活性領域8側の内縁部および第1主面3の周縁側の外縁部を有している。終端領域45の内縁部は、アウターボディ領域21の外縁部に接続されている。これにより、終端領域45は、アウターボディ領域21と同電位に固定され、アウターボディ領域21を介して複数のボディ領域20に電氣的に接続されている。終端領域45の内縁部は、この形態では、全周に亘ってアウターボディ領域21の外縁部に接続されている。
- [0079] 終端領域45（内縁部）は、アウターボディ領域21の外縁部にオーバーラップしたオーバーラップ領域46を有している。オーバーラップ領域46は、アウターボディ領域21の外縁部および終端領域45の内縁部を含む高濃度領域である。つまり、オーバーラップ領域46は、アウターボディ領域21のp型不純物および終端領域45のp型不純物の双方を含み、アウターボディ領域21のp型不純物濃度および終端領域45のp型不純物濃度の双方よりも高いp型不純物濃度を有している。
- [0080] オーバラップ領域46は、平面視においてアウターボディ領域21に沿って帯状に延びている。オーバーラップ領域46は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有し、活性領域8を複数方向から区画している。オーバーラップ領域46は、この形態では、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に区画されている。オーバーラップ領域46の幅は、ボディ領域20の幅よりも大きいことが好ましい。むろん、オーバーラップ領域46の幅は、ボディ領域20の幅以下であってもよい。

- [0081] 半導体装置 1 は、オーバーラップ領域 4 6 に代えて比較的高濃度の p 型のウェル領域 (4 6) を有していてもよい。この場合、ウェル領域 (4 6) は、アウターボディ領域 2 1 の p 型不純物濃度および終端領域 4 5 の p 型不純物濃度の双方よりも高い p 型不純物濃度を有している。ウェル領域 (4 6) は、アウターボディ領域 2 1 の表層部および終端領域 4 5 の表層部のいずれか一方または双方に形成されていてもよい。
- [0082] 半導体装置 1 は、外周領域 9 において第 1 主面 3 の表層部に形成された少なくとも 1 つ (好ましくは 2 個以上 2 0 個以下) の p 型のフィールド領域 4 7 を含む。複数のフィールド領域 4 7 の個数は、典型的には、3 個以上 8 個以下である。半導体装置 1 は、この形態では、3 個のフィールド領域 4 7 を含む。複数のフィールド領域 4 7 は、電氣的に浮遊状態に形成され、第 1 主面 3 の周縁部においてチップ 2 内の電界を緩和する。フィールド領域 4 7 の個数、間隔、幅、深さ、p 型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。
- [0083] フィールド領域 4 7 は、ボディ領域 2 0 (終端領域 4 5) の p 型不純物濃度とほぼ等しい p 型不純物濃度を有していてもよい。フィールド領域 4 7 の p 型不純物濃度は、ボディ領域 2 0 (終端領域 4 5) の p 型不純物濃度よりも高くてもよいし、ボディ領域 2 0 (終端領域 4 5) の p 型不純物濃度よりも低くてもよい。
- [0084] 複数のフィールド領域 4 7 は、第 1 主面 3 の周縁から内方に間隔を空けて、第 1 主面 3 の周縁および活性領域 8 の間の領域に形成されている。具体的には、複数のフィールド領域 4 7 は、第 1 主面 3 の周縁およびアウターボディ領域 2 1 の間の領域に形成されている。さらに具体的には、複数のフィールド領域 4 7 は、第 1 主面 3 の周縁および終端領域 4 5 の間の領域において、終端領域 4 5 から第 1 主面 3 の周縁側に間隔を空けて配列されている。
- [0085] 複数のフィールド領域 4 7 は、平面視において活性領域 8 (終端領域 4 5) に沿って延びる帯状に形成されている。複数のフィールド領域 4 7 は、第 1 方向 X に帯状に延びる部分、および、第 2 方向 Y に帯状に延びる部分をそ

れぞれ有している。複数のフィールド領域47は、この形態では、平面視において活性領域8（終端領域45）を取り囲む多角環状（この形態では四角環状）に形成されている。複数のフィールド領域47は、第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図4参照）。

[0086] 複数のフィールド領域47は、第1半導体領域6の底部から第1主面3側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。複数のフィールド領域47は、第1半導体領域6の中間部から第1主面3側に間隔を空けて形成されていることが好ましい。

[0087] 図10を参照して、半導体装置1は、外周領域9において第1主面3を被覆する外周絶縁膜51を含む。外周絶縁膜51は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。外周絶縁膜51は、この形態では、酸化シリコン膜からなる単層構造を有している。外周絶縁膜51は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。外周絶縁膜51は、絶縁膜31の絶縁材料と同種の絶縁材料からなることが好ましい。外周絶縁膜51は、絶縁膜31の厚さとほぼ等しい厚さを有していることが好ましい。

[0088] 外周絶縁膜51は、外周領域9において第1主面3を膜状に被覆している。外周絶縁膜51は、アウターボディ領域21、終端領域45および複数のフィールド領域47を一括して被覆している。外周絶縁膜51は、活性領域8側において複数の絶縁膜31に接続されている。具体的には、外周絶縁膜51は、複数の絶縁膜31と一体的に形成され、複数の絶縁膜31と1つの絶縁膜を形成している。

[0089] 図4、図5および図10を参照して、半導体装置1は、外周領域9において第1主面3の上に配置されたゲート配線52を含む。半導体装置1は、ゲート配線52の側方において絶縁性のサイドウォール構造（スペーサ）を有さない。ゲート配線52は、第1主面3の上に選択的に引き回され、複数のゲート電極32とは異なる方向に延びる部分を有している。ゲート配線52

は、複数のゲート電極 3 2 に接続され、複数のゲート電極 3 2 にゲート信号を付与する。ゲート配線 5 2 は、「ポリシリコンゲート配線」、「ポリゲート配線」、「第 2 ゲート電極」等と称されてもよい。

[0090] ゲート配線 5 2 は、導電性を有する半導体多結晶を含む。ゲート配線 5 2 は、p 型の導電性ポリシリコンおよび n 型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート配線 5 2 は、ゲート電極 3 2 の導電型と同じ導電型を有していることが好ましい。ゲート配線 5 2 の導電型はゲート電極 3 2 の導電型に応じて調節される。

[0091] ゲート配線 5 2 は、外周領域 9 において外周絶縁膜 5 1 の上に配置されている。具体的には、ゲート配線 5 2 は、外周絶縁膜 5 1 のうちアウターボディ領域 2 1 を被覆する部分の上に配置され、外周絶縁膜 5 1 を挟んでアウターボディ領域 2 1 に対向している。ゲート配線 5 2 は、第 1 主面 3 の周縁から活性領域 8 側に間隔を空けて形成され、活性領域 8 に沿って帯状に延びている。ゲート配線 5 2 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有し、活性領域 8 を複数方向から区画している。

[0092] ゲート配線 5 2 は、この形態では、平面視において活性領域 8 を取り囲み、第 1 主面 3 の周縁に平行な 4 辺を有する多角環状（この形態では四角環状）に区画されている。ゲート配線 5 2 は、有端状または無端状であってもよい。ゲート配線 5 2 は、この形態では、平面視においてアウターボディ領域 2 1 に沿って帯状（この形態では環状）に延び、積層方向の全域に外周絶縁膜 5 1 を挟んでアウターボディ領域 2 1 に対向している。ゲート配線 5 2 は、平面視において第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 4 参照）。

[0093] ゲート配線 5 2 は、平面視においてアウターボディ領域 2 1 よりも幅狭に形成され、アウターボディ領域 2 1 の内縁部および外縁部から間隔を空けてアウターボディ領域 2 1 の上に配置されている。つまり、この形態では、複

数のゲート電極 3 2 はアウターボディ領域 2 1 の上まで引き出され、ゲート配線 5 2 はアウターボディ領域 2 1 の上で複数のゲート電極 3 2 に接続されている。

[0094] ゲート配線 5 2 の幅は、ゲート電極 3 2 の幅よりも大きいことが好ましい。ゲート配線 5 2 の幅は、延在方向に直交する方向の幅である。むろん、ゲート配線 5 2 の幅は、ゲート電極 3 2 の幅以下であってもよい。ゲート配線 5 2 の幅は、アウターボディ領域 2 1 の幅よりも大きくてもよい。ゲート配線 5 2 の厚さは、ゲート電極 3 2 の厚さとほぼ等しいことが好ましい。

[0095] ゲート配線 5 2 は、配線面 5 3、内縁側の第 1 配線側壁 5 4、および、外縁側の第 2 配線側壁 5 5 を有している。配線面 5 3 は、外周絶縁膜 5 1（第 1 主面 3）に沿って延びている。配線面 5 3 は、外周絶縁膜 5 1（第 1 主面 3）に対してほぼ平行に延びていてもよい。第 1 配線側壁 5 4 は外周絶縁膜 5 1 の上で鉛直方向 Z に延び、第 2 配線側壁 5 5 は外周絶縁膜 5 1 の上で鉛直方向 Z に延びている。

[0096] 第 1 配線側壁 5 4 は、第 1 方向 X に延びる部分において複数のゲート電極 3 2（第 1 側壁 3 4 および第 2 側壁 3 5）に接続されている。つまり、ゲート配線 5 2 は、複数のゲート電極 3 2 に対して T 字状に接続された複数の部分を有している。これにより、ゲート配線 5 2 は、複数のゲート電極 3 2 と同電位に固定されている。

[0097] 第 1 配線側壁 5 4 および第 2 配線側壁 5 5 は、外周絶縁膜 5 1 に対して垂直に延びていてもよい。つまり、ゲート配線 5 2 は、断面視において四角形状（扁平な長方形形状）に形成されていてもよい。第 1 配線側壁 5 4 および第 2 配線側壁 5 5 は、配線面 5 3 に向けて斜め傾斜していてもよい。つまり、ゲート配線 5 2 は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。

[0098] 半導体装置 1 は、第 1 主面 3 を被覆する絶縁性の層間膜 7 0 を含む。層間膜 7 0 は、「層間絶縁膜」、「中間絶縁膜」等と称されてもよい。層間膜 7 0 は、第 1 主面 3 に沿って延びる絶縁面 7 1 を有している。層間膜 7 0 は、

第1主面3の上で活性領域8および外周領域9を一括して被覆している。

[0099] 層間膜70は、活性領域8において複数のゲート構造30を被覆している。層間膜70は、各ゲート構造30に関して、絶縁膜31およびゲート電極32の双方を直接被覆している。つまり、層間膜70は、ゲート電極32の電極面33、第1側壁34および第2側壁35を直接被覆する部分を有している。

[0100] 層間膜70は、外周領域9において外周絶縁膜51を挟んでアウターボディ領域21、終端領域45および複数のフィールド領域47を一括して被覆している。層間膜70は、外周絶縁膜51およびゲート配線52の双方を直接被覆している。つまり、層間膜70は、ゲート配線52の配線面53、第1配線側壁54および第2配線側壁55を直接被覆する部分を有している。層間膜70は、この形態では、第1～第4側面5A～5Dに連なっている。層間膜70は、第1～第4側面5A～5Dから内方に間隔を空けて形成され、第1主面3の周縁部（第1半導体領域6）を露出させていてもよい。

[0101] 図7～図9を参照して、層間膜70は、この形態では、第1主面3側からこの順に積層された第1酸化膜72（第1絶縁膜）および第2酸化膜73（第2絶縁膜）を含む積層構造を有している。つまり、層間膜70は、第2酸化膜73によって形成された絶縁面71を有している。第1酸化膜72は、不純物無添加の酸化シリコン膜からなる単層構造を有している。第1酸化膜72は、NSG膜（Nondoped Silicate Glass film）と称されてもよい。

[0102] 第1酸化膜72は、活性領域8および外周領域9を一括して被覆している。第1酸化膜72は、活性領域8において複数のゲート構造30を一括して被覆している。第1酸化膜72は、各ゲート構造30に関して、絶縁膜31およびゲート電極32の双方を膜状に被覆している。

[0103] 第1酸化膜72は、第1被覆部74、第2被覆部75および第3被覆部76を有している。第1被覆部74は、絶縁膜31（第1主面3）に沿って水平方向に膜状に延び、ゲート電極32の第1側壁34（第2側壁35）に接する部分を有している。第1被覆部74（第1酸化膜72）は、この形態で

は、ゲート電極 3 2 の厚さ未満の厚さを有し、ゲート電極 3 2 の電極面 3 3 の高さ位置から絶縁膜 3 1 側に間隔を空けて絶縁膜 3 1 を被覆している。

[0104] 第 2 被覆部 7 5 は、第 1 被覆部 7 4 から積層方向に向けて電極面 3 3 側に引き出され、第 1 側壁 3 4（第 2 側壁 3 5）を膜状に直接被覆している。

[0105] 第 3 被覆部 7 6 は、第 2 被覆部 7 5 から電極面 3 3 側に引き出され、電極面 3 3 に沿って水平方向に膜状に延びている。第 3 被覆部 7 6 は、第 1 側壁 3 4 および第 2 側壁 3 5 の間で電極面 3 3 の全域を直接被覆している。第 3 被覆部 7 6 は、ゲート電極 3 2 の角部を被覆する部分において第 2 被覆部 7 5 と共に円弧状に湾曲した円弧角部を形成していることが好ましい。円弧角部は、ゲート電極 3 2 側に曲率中心を有していてもよい。

[0106] 第 1 酸化膜 7 2 は、外周領域 9 において外周絶縁膜 5 1 を挟んでアウターボディ領域 2 1、終端領域 4 5 および複数のフィールド領域 4 7 を一括して被覆している。第 1 酸化膜 7 2 は、外周領域 9 においてゲート配線 5 2 を被覆している。

[0107] 第 2 酸化膜 7 3 は、燐を含有する酸化シリコン膜からなる単層構造、または、燐を含有する酸化シリコン膜を含む積層構造を有していてもよい。燐を含有する酸化シリコン膜は、ホウ素を含有していてもよい。燐を含有する酸化シリコン膜は、P S G 膜（Phosphorus Silicon Glass film）と称されてもよい。燐およびホウ素の双方を含有する酸化シリコン膜は、B P S G 膜（Boron Phosphorus Silicon Glass film）と称されてもよい。

[0108] 第 2 酸化膜 7 3 は、第 1 酸化膜 7 2 の上に積層された P S G 膜または B P S G 膜からなる単層構造を有していてもよい。第 2 酸化膜 7 3 は、第 1 酸化膜 7 2 の上に積層された P S G 膜、および、P S G 膜の上に積層された B P S G 膜を含む積層構造を有していてもよい。第 2 酸化膜 7 3 は、第 1 酸化膜 7 2 の上に積層された B P S G 膜、および、B P S G 膜の上に積層された P S G 膜を含む積層構造を有していてもよい。第 2 酸化膜 7 3 は、この形態では、一例として P S G 膜からなる単層構造を有している。

[0109] 第 2 酸化膜 7 3 は、第 1 酸化膜 7 2 を膜状に被覆し、第 1 酸化膜 7 2 を挟

んで活性領域 8 および外周領域 9 を一括して被覆している。第 2 酸化膜 7 3 は、活性領域 8 において第 1 酸化膜 7 2 を挟んで複数のゲート構造 3 0 を一括して被覆している。具体的には、第 2 酸化膜 7 3 は、第 1 酸化膜 7 2 を挟んで絶縁膜 3 1 およびゲート電極 3 2 の双方を膜状に被覆している。

[0110] 第 2 酸化膜 7 3 は、第 1 上被覆部 8 0 および第 2 上被覆部 8 1 を含む。第 1 上被覆部 8 0 は、第 1 酸化膜 7 2 の第 1 被覆部 7 4 を被覆している。第 1 上被覆部 8 0 は、第 1 被覆部 7 4 の上に位置された部分において第 1 被覆部 7 4 を挟んで絶縁膜 3 1 を被覆している。

[0111] 第 1 上被覆部 8 0 は、第 1 被覆部 7 4 の上から第 2 被覆部 7 5 に沿って積層方向に膜状に延び、第 2 被覆部 7 5 を挟んでゲート構造 3 0 の第 1 側壁 3 4（第 2 側壁 3 5）を被覆している。

[0112] 第 2 上被覆部 8 1 は、第 1 酸化膜 7 2 の第 3 被覆部 7 6 を被覆している。第 2 上被覆部 8 1 は、第 1 上被覆部 8 0 から第 3 被覆部 7 6 に沿って水平方向に膜状に延び、第 3 被覆部 7 6 を挟んでゲート構造 3 0 の電極面 3 3 を被覆している。第 2 上被覆部 8 1 は、第 1 側壁 3 4 および第 2 側壁 3 5 の間で第 3 被覆部 7 6 を挟んで電極面 3 3 の全域を被覆している。第 2 上被覆部 8 1 は、ゲート配線 5 2 の角部を被覆する部分において第 1 上被覆部 8 0 と共に円弧状に湾曲した円弧角部を形成していることが好ましい。円弧角部は、ゲート配線 5 2 側に曲率中心を有していてもよい。

[0113] 第 2 酸化膜 7 3 は、外周領域 9 において外周絶縁膜 5 1 および第 1 酸化膜 7 2 を挟んでアウターボディ領域 2 1、終端領域 4 5 および複数のフィールド領域 4 7 を一括して被覆している。第 2 酸化膜 7 3 は、外周領域 9 において第 1 酸化膜 7 2 を挟んでゲート配線 5 2 を被覆している。

[0114] 半導体装置 1 は、活性領域 8 において層間膜 7 0 に形成された複数のソース開口 9 0 を含む。複数のソース開口 9 0 は、複数のゲート電極 3 2 から間隔を空けて複数のゲート電極 3 2 の側方の領域にそれぞれ形成され、第 1 主面 3（チップ 2）を露出させている。具体的には、複数のソース開口 9 0 は、複数のゲート電極 3 2 の間の領域にそれぞれ形成され、絶縁膜 3 1 および

層間膜 70 を貫通している。

[0115] 複数のソース開口 90 は、第 1 酸化膜 72 および第 2 酸化膜 73 の双方を貫通し、第 1 酸化膜 72 および第 2 酸化膜 73 の双方によって区画された壁面を有している。複数のソース開口 90 は、層間膜 70 の円弧角部によって区画された開口端を有している。複数のソース開口 90 は、対応する複数のソース領域 23（第 1 ソース領域 24 A および第 2 ソース領域 24 B）およびコンタクト領域 25 をそれぞれ露出させている。

[0116] 複数のソース開口 90 は、この形態では、第 1 方向 X に間隔を空けて形成され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数のソース開口 90 は、第 2 方向 Y に延びるストライプ状に形成されている。複数のソース開口 90 は、ゲート配線 52 から第 2 方向 Y に間隔を空けて形成されている。つまり、複数のソース開口 90 は、複数のゲート電極 32 およびゲート配線 52 によって取り囲まれた領域に形成されている。

[0117] 第 1 方向 X に隣り合う 2 つのゲート構造 30 の間の領域に複数のソース開口 90 が形成されていてもよい。この場合、複数のソース開口 90 は、第 2 方向 Y に一列に間隔を空けて形成されていてもよい。さらにこの場合、各ソース開口 90 は、平面視において四角形状（正形状）、第 1 方向 X に延びる長形状、第 2 方向 Y に延びる長形状、六角形状、円形状等に形成されていてもよい。

[0118] ソース開口 90 は、 $0.2\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下の幅 W を有していてもよい。ソース開口 90 の幅 W は、 $0.3\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。ソース開口 90 は、 $0.2\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下の深さ D を有していてもよい。ソース開口 90 の深さ D は、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。

[0119] ソース開口 90 は、 0.3 以上 3 以下のアスペクト比 D/W を有していることが好ましい。アスペクト比 D/W は、ソース開口 90 の幅 W に対するソース開口 90 の深さ D の比によって定義される。アスペクト比 D/W は、 0.5 以上 2 以下であることが好ましい。アスペクト比 D/W は、 1 を超えて

いることが特に好ましい。この構成によれば、複数のゲート構造 30 が狭ピッチで配列される。

[0120] 半導体装置 1 は、第 1 主面 3 において複数のソース開口 90 から露出した部分にそれぞれ形成された複数のソースリセス 91 を含む。半導体装置 1 は、必ずしもソースリセス 91 を有している必要はない。したがって、ソースリセス 91 を有さない構成が採用されてもよい。

[0121] 複数のソースリセス 91 は、対応するソース開口 90 の平面形状に整合する平面形状をそれぞれ有し、第 1 主面 3 から第 2 主面 4 側に向けて窪んでいる。複数のソースリセス 91 は、対応するボディ領域 20 の底部から第 1 主面 3 側に間隔を空けて形成され、対応する複数のソース領域 23 およびコンタクト領域 25 をそれぞれ露出させている。具体的には、複数のソースリセス 91 は、対応する複数のソース領域 23（コンタクト領域 25）の底部から第 1 主面 3 側に間隔を空けて形成されている。

[0122] 半導体装置 1 は、外周領域 9 において層間膜 70 に形成された少なくとも 1 つ（この形態では複数）の OUTER 開口 92 を含む。複数の OUTER 開口 92 は、層間膜 70 において終端領域 45 を被覆する部分に形成されている。複数の OUTER 開口 92 は、層間膜 70 を貫通し、終端領域 45 を露出させている。複数の OUTER 開口 92 は、この形態では、層間膜 70 において終端領域 45 のオーバーラップ領域 46 を被覆する部分に形成され、オーバーラップ領域 46 を露出させている。

[0123] 複数の OUTER 開口 92 は、終端領域 45（オーバーラップ領域 46）に代えてまたはこれに加えて、OUTER ボディ領域 21 を露出させていてもよい。複数の OUTER 開口 92 は、第 1 酸化膜 72 および第 2 酸化膜 73 の双方を貫通し、第 1 酸化膜 72 および第 2 酸化膜 73 の双方によって区画された壁面を有している。複数の OUTER 開口 92 は、層間膜 70 の円弧角部によって区画された開口端を有している。

[0124] 複数の OUTER 開口 92 は、終端領域 45（オーバーラップ領域 46）に沿って間隔を空けて形成されている（図 4 および図 5 参照）。複数の OUTER

開口 9 2 は、平面視において四角形状（正形状）、長形状、六角形状、円形状等に形成されていてもよい。複数のアウター開口 9 2 は、平面視において終端領域 4 5（オーバーラップ領域 4 6）に沿って延びる帯状に形成されていてもよい。アウター開口 9 2 は、ソース開口 9 0 と同様、アスペクト比 D/W （好ましくは 1 を超えている）を有していてもよい。

[0125] 半導体装置 1 は、単一のアウター開口 9 2 を有していてもよい。単一のアウター開口 9 2 は、終端領域 4 5（オーバーラップ領域 4 6）に沿って延びる帯状に形成されていてもよい。単一のアウター開口 9 2 は、平面視において第 1 方向 X に帯状に延びる部分および第 2 方向 Y に帯状に延びる部分を有していてもよい。

[0126] 単一のアウター開口 9 2 は、第 1 主面 3 の周縁に平行な 4 辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のアウター開口 9 2 は、平面視において終端領域 4 5（オーバーラップ領域 4 6）に倣って第 1 方向 X に延びる部分および第 2 方向 Y に延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図 4 参照）。

[0127] 半導体装置 1 は、第 1 主面 3 において複数のアウター開口 9 2 から露出した部分にそれぞれ形成された複数のアウターリセス 9 3 を含む。半導体装置 1 は、必ずしもアウターリセス 9 3 を有している必要はない。したがって、アウターリセス 9 3 を有さない構成が採用されてもよい。

[0128] 複数のアウターリセス 9 3 は、対応するアウター開口 9 2 の平面形状に整合する平面形状をそれぞれ有し、第 1 主面 3 から第 2 主面 4 側に向けて窪んでいる。複数のアウターリセス 9 3 は、終端領域 4 5（オーバーラップ領域 4 6）の底部から第 1 主面 3 側に間隔を空けて形成され終端領域 4 5（オーバーラップ領域 4 6）をそれぞれ露出させている。単一のアウター開口 9 2 が形成される場合、単一のアウター開口 9 2 の平面形状に整合する単一のアウターリセス 9 3 が形成される。

[0129] 半導体装置 1 は、外周領域 9 において層間膜 7 0 に形成された少なくとも

1つ（この形態では複数）のゲート開口94を含む。複数のゲート開口94は、層間膜70においてゲート配線52を被覆する部分に形成されている。複数のゲート開口94は、層間膜70を貫通し、ゲート配線52の配線面53を露出させている。

[0130] 複数のゲート開口94は、第1酸化膜72および第2酸化膜73の双方を貫通し、第1酸化膜72および第2酸化膜73の双方によって区画された壁面を有している。複数のゲート開口94は、層間膜70の円弧角部によって区画された開口端を有している。

[0131] 複数のゲート開口94は、ゲート配線52に沿って間隔を空けて形成されている（図4および図5参照）。複数のゲート開口94は、平面視において四角形状（正形状）、長形状、六角形状、円形状等に形成されていてもよい。複数のゲート開口94は、平面視においてゲート配線52に沿って延びる帯状に形成されていてもよい。ゲート開口94は、ソース開口90と同様、アスペクト比D/W（好ましくは1を超えている）を有していてもよい。

[0132] 半導体装置1は、単一のゲート開口94を有していてもよい。単一のゲート開口94は、ゲート配線52に沿って延びる帯状に形成されていてもよい。単一のゲート開口94は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有していてもよい。

[0133] 単一のゲート開口94は、第1主面3の周縁に平行な4辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のゲート開口94は、平面視においてゲート配線52に倣って第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図4参照）。

[0134] 図1等を参照して、半導体装置1は、層間膜70の上に配置されたソースパッド電極95を含む。ソースパッド電極95は、外部からソース電位が付与される端子電極である。ソースパッド電極95は、「第1パッド電極」、「第1主面電極」、「第1端子電極」等と称されてもよい。

- [0135] ソースパッド電極 95 は、層間膜 70 のうち活性領域 8 を被覆する部分の上に配置されている。ソースパッド電極 95 は、層間膜 70 を挟んで複数のゲート電極 32 を被覆し、層間膜 70 によって複数のゲート電極 32 から電氣的に切り離されている。ソースパッド電極 95 は、複数のソース開口 90 を介して複数のボディ領域 20、アウターボディ領域 21、複数のソース領域 23（第 1 ソース領域 24 A および第 2 ソース領域 24 B）、コンタクト領域 25 等に電氣的に接続されている。
- [0136] ソースパッド電極 95 は、この形態では、第 1 パッド部 96、第 2 パッド部 97 および第 3 パッド部 98 を有している。第 1 パッド部 96 は、比較的大きな平面積を有し、ソースパッド電極 95 の本体を形成している。第 1 パッド部 96 は、この形態では、平面視においてチップ 2 の周縁に平行な 4 辺を有する多角形状（この形態では四角形状）に形成され、活性領域 8 の中央部に対して第 4 側面 5 D 側に偏在されている。第 1 パッド部 96 は、層間膜 70 を挟んで複数のゲート電極 32 を被覆し、複数のソース開口 90 を介して複数のボディ領域 20 等に電氣的に接続されている。
- [0137] 第 2 パッド部 97 は、第 1 パッド部 96 の平面積未満の平面積を有し、第 1 パッド部 96 の第 2 方向 Y の一端部（第 1 側面 5 A 側の端部）から第 3 側面 5 C 側に向けて帯状（四角形状）に引き出されている。第 2 パッド部 97 は、層間膜 70 を挟んで複数のゲート電極 32 を被覆し、複数のソース開口 90 を介して複数のボディ領域 20 等に電氣的に接続されている。
- [0138] 第 3 パッド部 98 は、第 1 パッド部 96 の平面積未満の平面積を有し、第 1 パッド部 96 の第 2 方向 Y の他端部（第 2 側面 5 B 側の端部）から第 3 側面 5 C 側に向けて帯状（四角形状）に引き出され、第 2 方向 Y に第 2 パッド部 97 に対向している。第 3 パッド部 98 は、層間膜 70 を挟んで複数のゲート電極 32 を被覆し、複数のソース開口 90 を介して複数のボディ領域 20 等に電氣的に接続されている。
- [0139] 第 3 パッド部 98 の平面積は、第 2 パッド部 97 の平面積とほぼ等しくてもよい。むろん、第 3 パッド部 98 の平面積は、第 2 パッド部 97 の平面積

よりも大きくてもよいし、第2パッド部97の平面積未満であってもよい。第2パッド部97および第3パッド部98のいずれか一方または双方は、電流モニタ用の端子部として使用されてもよい。

[0140] ソースパッド電極95は、必ずしも第2パッド部97および第3パッド部98の双方を同時に有している必要はない。ソースパッド電極95は、第2パッド部97および第3パッド部98のうちのいずれ一方のみを有していてもよい。むろん、ソースパッド電極95は、第1パッド部96のみからなり、第2パッド部97および第3パッド部98を有していなくてもよい。

[0141] 図7～図9を参照して、ソースパッド電極95は、第1下地電極膜100、および第1主電極膜102を含む。第1下地電極膜100は「ソース下地電極膜」と称され、第1主電極膜102は「ソース主電極膜」と称されてもよい。

[0142] 第1下地電極膜100は、ソースパッド電極95（第1パッド部96、第2パッド部97および第3パッド部98）の下層部を形成し、活性領域8において層間膜70を被覆している。第1下地電極膜100は、層間膜70のうち複数のソース開口90が形成された領域を一括して膜状に被覆している。つまり、第1下地電極膜100は、絶縁面71の上から複数のソース開口90内に入り込んでいる。

[0143] 第1下地電極膜100は、層間膜70の絶縁面71を膜状に被覆する部分、および、複数のソース開口90の壁面を膜状に被覆する部分を有している。第1下地電極膜100は、複数のソース開口90においてリセスをそれぞれ区画している。第1下地電極膜100は、層間膜70を挟んでゲート配線52を部分的に被覆する部分を有していてもよい。第1下地電極膜100は、平面視においてゲート配線52から内方に間隔を空けて形成されていてもよい。

[0144] 第1下地電極膜100は、この形態では、層間膜70の上に積層された第1電極膜103、および、第1電極膜103の上に積層された第2電極膜104を含む積層構造を有している。この形態では、第1電極膜103はTi

膜を含み、第2電極膜104はTiN膜を含む。

- [0145] 第1下地電極膜100は、必ずしも積層構造を有している必要はなく、第1電極膜103（Ti膜）および第2電極膜104（TiN膜）のいずれか一方からなる単層構造を有していてもよい。第1電極膜103の厚さは、10nm以上100nm以下であってもよい。第2電極膜104の厚さは、50nm以上200nm以下であってもよい。
- [0146] 第1電極膜103は、層間膜70のうち複数のソース開口90が形成された領域を一括して膜状に被覆し、絶縁面71の上から複数のソース開口90に入り込んでいる。第1電極膜103は、層間膜70の絶縁面71を膜状に被覆する部分、および、複数のソース開口90の壁面を膜状に被覆する部分を有している。第1電極膜103は、絶縁面71を直接被覆している。
- [0147] つまり、第1電極膜103は、絶縁面71において第2酸化膜73を直接被覆している。第1酸化膜72は、絶縁面71を被覆する部分において層間膜70を挟んで複数のゲート電極32に対向している。
- [0148] 第1電極膜103は、層間膜70（第2酸化膜73）の円弧角部に倣って当該円弧角部を膜状に被覆し、ソース開口90に入り込んでいる。つまり、第1電極膜103は、円弧角部において円弧状に延びる部分を有している。これにより、層間膜70（ソース開口90の壁面）に対する第1電極膜103の成膜性が向上されている。
- [0149] 第1電極膜103は、ソース開口90の壁面に沿って延び、絶縁膜31、第1酸化膜72および第2酸化膜73を被覆している。第1電極膜103は、層間膜70を挟んでゲート電極32の第1側壁34（第2側壁35）に対向している。
- [0150] 第1電極膜103は、各ソース開口90の底部において第1主面3を膜状に被覆し、第1主面3に電氣的に接続されている。具体的には、第1電極膜103は、各ソース開口90の底部を膜状に被覆する部分を有し、複数のソース領域23（第1ソース領域24Aおよび第2ソース領域24B）およびコンタクト領域25に電氣的に接続されている。

- [0151] 第2電極膜104は、第1電極膜103の上において層間膜70のうち複数のソース開口90が形成された領域を一括して膜状に被覆している。第2電極膜104は、第1電極膜103を挟んで層間膜70の絶縁面71を膜状に被覆する部分、および、第1電極膜103を挟んで複数のソース開口90の壁面を膜状に被覆する部分を有している。
- [0152] 第2電極膜104は、絶縁面71を被覆する部分において第1電極膜103および層間膜70を挟んで複数のゲート電極32に対向している。
- [0153] 第2電極膜104は、第1電極膜103に倣って層間膜70（第2酸化膜73）の円弧角部を膜状に被覆し、ソース開口90に入り込んでいる。つまり、第2電極膜104は、層間膜70の円弧角部において円弧状に延びる部分を有している。これにより、層間膜70（ソース開口90の壁面）に対する第2電極膜104の成膜性が向上されている。
- [0154] 第2電極膜104は、ソース開口90の壁面に沿って延び、第1電極膜103を挟んで絶縁膜31、第1酸化膜72および第2酸化膜73を被覆している。第2電極膜104は、第1電極膜103および層間膜70を挟んでゲート電極32の第1側壁34（第2側壁35）に対向している。
- [0155] 第2電極膜104は、各ソース開口90の底部を、第1電極膜103を挟んで膜状に被覆する部分を有し、複数のソース領域23（第1ソース領域24Aおよび第2ソース領域24B）およびコンタクト領域25に電氣的に接続されている。
- [0156] 第1主電極膜102は、ソースパッド電極95（第1パッド部96、第2パッド部97および第3パッド部98）の上層部を形成し、第1下地電極膜100を膜状に被覆している。第1主電極膜102は、第1下地電極膜100の導電材料とは異なる導電材料を含む。
- [0157] 第1主電極膜102は、Al膜、Al合金膜、Cu膜およびCu合金膜のうちの少なくとも1つを含んでいてもよい。Al合金膜は、AlSi合金膜、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。第1主電極膜102は、第1下地電極膜100の厚さ（総厚

さ) よりも大きい厚さを有している。

[0158] 第1主電極膜102の厚さは、0.5 μm 以上5 μm 以下であってもよい。第1主電極膜102の厚さは、0.5 μm 以上1 μm 以下、1 μm 以上1.5 μm 以下、1.5 μm 以上2 μm 以下、2 μm 以上2.5 μm 以下、2.5 μm 以上3 μm 以下、3 μm 以上3.5 μm 以下、3.5 μm 以上4 μm 以下、4 μm 以上4.5 μm 以下、および、4.5 μm 以上5 μm 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。

[0159] 第1主電極膜102は、絶縁面71を被覆する部分において第1下地電極膜100に機械的および電氣的に接続されている。これにより、第1主電極膜102は、第1下地電極膜100および層間膜70を挟んで複数のゲート電極32に対向している。

[0160] 半導体装置1は、ソースパッド電極95から外周領域9の上に引き出されたソースフィンガー電極110を含む。ソースフィンガー電極110は、ソースパッド電極95に付与されたソース電位を外周領域9に伝達する。ソースフィンガー電極110は、この形態では、ソースパッド電極95（第1パッド部96）のうちの第4側面5D側の部分から層間膜70のうち外周領域9を被覆する部分の上に引き回されている。

[0161] ソースフィンガー電極110は、終端領域45の上まで引き出され、複数のアウター開口92を介して終端領域45に電氣的に接続されている。具体的には、ソースフィンガー電極110は、複数のアウター開口92を介して終端領域45のオーバーラップ領域46に電氣的に接続されている。

[0162] ソースフィンガー電極110は、終端領域45（オーバーラップ領域46）に沿って帯状に延びている。ソースフィンガー電極110は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有している。ソースフィンガー電極110は、この形態では、第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に形成され、ソースパッド電極95を取り囲んでいる。ソースフィンガー電極110は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧

状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図4参照）。

[0163] ソースフィンガー電極110は、ソースパッド電極95と同様、第1下地電極膜100、および第1主電極膜102を含む。第1下地電極膜100は、ソースフィンガー電極110の下層部を形成し、外周領域9において層間膜70を被覆している。

[0164] 第1下地電極膜100は、層間膜70のうち複数のアウター開口92が形成された領域を一括して膜状に被覆している。つまり、第1下地電極膜100は、絶縁面71の上から複数のアウター開口92内に入り込んでいる。第1下地電極膜100は、層間膜70の絶縁面71を膜状に被覆する部分、および、複数のアウター開口92の壁面を膜状に被覆する部分を有している。第1下地電極膜100は、複数のアウター開口92内においてリセスをそれぞれ区画している。第1下地電極膜100は、ソースパッド電極95と同様、第1電極膜103および第2電極膜104を含む積層構造を有している。

[0165] 第1主電極膜102は、ソースフィンガー電極110の上層部を形成し、第1下地電極膜100を膜状に被覆している。第1主電極膜102は、絶縁面71を被覆する部分において第1下地電極膜100に機械的および電氣的に接続されている。つまり、第1主電極膜102は、第1下地電極膜100を介して終端領域45（オーバーラップ領域46）に電氣的に接続されている。

[0166] 半導体装置1は、層間膜70の上に選択的に引き回されたゲートフィンガー電極115を含む。ゲートフィンガー電極115は、ゲート配線52にゲート電位を伝達する。ゲートフィンガー電極115は、層間膜70のうちゲート配線52を被覆する部分の上（つまり外周領域9の上）に引き回され、複数のゲート開口94を介してゲート配線52に電氣的に接続されている。

[0167] ゲートフィンガー電極115は、ソースパッド電極95およびソースフィンガー電極110から間隔を空けてソースパッド電極95およびソースフィンガー電極110の間の領域に配置されている。ゲートフィンガー電極11

5は、ゲート配線52の上に配置され、ゲート配線52に沿って帯状に延びている。ゲートフィンガー電極115は、平面視において第1方向Xに帯状に延びる部分および第2方向Yに帯状に延びる部分を有している。

[0168] ゲートフィンガー電極115は、この形態では、第1主面3の周縁に平行な4辺を有する有端帯状に形成され、ソースパッド電極95を取り囲んでいる。ゲートフィンガー電極115は、平面視において第1方向Xに延びる部分および第2方向Yに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図4参照）。ゲートフィンガー電極115は、第4側面5D側においてソースフィンガー電極110を通過させる一対の開放端を有している。

[0169] 図10を参照して、ゲートフィンガー電極115は、第2下地電極膜120、および第2主電極膜122を含む。第2下地電極膜120は「ゲート下地電極膜」と称され、第2主電極膜122は「ゲート主電極膜」と称されてもよい。

[0170] 第2下地電極膜120は、ゲートフィンガー電極115の下層部を形成し、外周領域9において層間膜70を被覆している。第2下地電極膜120は、層間膜70のうち複数のゲート開口94が形成された領域を一括して膜状に被覆している。つまり、第2下地電極膜120は、絶縁面71の上から複数のゲート開口94内に入り込んでいる。第2下地電極膜120は、層間膜70の絶縁面71を膜状に被覆する部分、および、複数のゲート開口94の壁面を膜状に被覆する部分を有している。第2下地電極膜120は、複数のゲート開口94内において複数のリセスをそれぞれ区画している。

[0171] 第2下地電極膜120は、第1下地電極膜100の第1電極膜103および第2電極膜104と同様の積層構造を有している。第2下地電極膜120の積層構造は、第1下地電極膜100の第1電極膜103および第2電極膜104の積層構造と同様であるので、説明を省略する。

[0172] 第2主電極膜122は、ゲートフィンガー電極115の上層部を形成し、第2下地電極膜120を膜状に被覆している。第2主電極膜122は、第2

下地電極膜 120 の導電材料とは異なる導電材料を含む。

[0173] 第2主電極膜 122 は、Al 膜、Al 合金膜、Cu 膜およびCu 合金膜のうちの少なくとも1つを含んでいてもよい。Al 合金膜は、AlSi 合金膜、AlCu 合金膜およびAlSiCu 合金膜のうちの少なくとも1つを含んでいてもよい。第2主電極膜 122 は、第1主電極膜 102 の導電材料と同種の導電材料を含むことが好ましい。第2主電極膜 122 は、第1主電極膜 102 の厚さとほぼ等しい厚さを有していてもよい。

[0174] 第2主電極膜 122 は、絶縁面 71 を被覆する部分において第2下地電極膜 120 に機械的および電氣的に接続されている。

[0175] 半導体装置 1 は、層間膜 70 の上に配置されたゲートパッド電極 130 を含む。ゲートパッド電極 130 は、外部からゲート電位が付与される端子電極である。ゲートパッド電極 130 は、「第2パッド電極」、「第2主面電極」、「第2端子電極」等と称されてもよい。ゲートパッド電極 130 は、ソースパッド電極 95 およびソースフィンガー電極 110 から間隔を空けてソースパッド電極 95 およびソースフィンガー電極 110 の間の領域に配置されている。

[0176] ゲートパッド電極 130 は、この形態では、第1パッド部 96 に対して第3側面 5C 側の領域に配置され、第2パッド部 97 および第3パッド部 98 によって挟み込まれている。つまり、ゲートパッド電極 130 は、第1方向 X に第1パッド部 96 に対向し、第2方向 Y に第2パッド部 97 および第3パッド部 98 に対向している。

[0177] ゲートパッド電極 130 は、平面視においてチップ 2 の周縁に平行な4辺を有する多角形状（この形態では四角形状）に形成されている。ゲートパッド電極 130 は、ソースパッド電極 95（第1パッド部 96）の平面積未満を有している。ゲートパッド電極 130 は、第2パッド部 97（第3パッド部 98）の平面積未満の平面積を有していてもよい。

[0178] ゲートパッド電極 130 は、活性領域 8 および外周領域 9 を被覆する部分の上に配置され、ゲートフィンガー電極 115 に接続されている。ゲートパ

ッド電極 130 は、層間膜 70 を挟んで複数のゲート電極 32 を被覆していてもよいし、層間膜 70 を挟んでゲート配線 52 を被覆していてもよい。

[0179] ゲートパッド電極 130 は、ゲートフィンガー電極 115 と同様、第 2 下地電極膜 120 および第 2 主電極膜 122 を含む。第 2 下地電極膜 120 は、ゲートパッド電極 130 の下層部を形成し、層間膜 70 を膜状に被覆している。第 2 主電極膜 122 は、ゲートパッド電極 130 の上層部を形成し、第 2 下地電極膜 120 を膜状に被覆している。

[0180] ゲートパッド電極 130 に付与されたゲート電位は、ゲートフィンガー電極 115 を介してゲート配線 52 に付与される。ゲート電位は、ゲート配線 52 に沿う配線経路（電流経路）を介して複数のゲート電極 32 に伝達される。これにより、複数のゲート電極 32 がオン状態になり、複数のチャネル領域 26、27 のオンオフが制御される。

[0181] 半導体装置 1 は、第 2 主面 4 を被覆するドレインパッド電極 140 を含む。ドレインパッド電極 140 は、外部からドレイン電位が付与される端子電極である。ドレインパッド電極 140 は、「第 3 パッド電極」、「第 3 主面電極」、「第 3 端子電極」等と称されてもよい。ドレインパッド電極 140 は、第 2 半導体領域 7 に電氣的に接続されている。ドレインパッド電極 140 は、第 2 主面 4 の周縁（第 1 ～第 4 側面 5A ～5D）に連なるように第 2 主面 4 の全域を被覆していてもよい。ドレインパッド電極 140 は、第 2 主面 4 の周縁部を露出させるように第 2 主面 4 を部分的に被覆していてもよい。

[0182] ソースパッド電極 95 およびドレインパッド電極 140 の間（第 1 主面 3 および第 2 主面 4 の間）に印加可能なブレイクダウン電圧は、500V 以上 3000V 以下であってもよい。ブレイクダウン電圧は、500V 以上 1000V 以下、1000V 以上 1500V 以下、1500V 以上 2000V 以下、2000V 以上 2500V 以下、および、2500V 以上 3000V 以下のうちの少なくとも 1 つの範囲に属する値を有していてもよい。

[0183] 図 11 は、半導体装置 1 の製造に使用されるウエハ 150 を示す概略図で

ある。図 11 を参照して、ウエハ 150 は、チップ 2 の基材であり、SiC 単結晶を含む。ウエハ 150 は、扁平な円盤状に形成されている。むろん、ウエハ 150 は、扁平な直方体形状に形成されていてもよい。ウエハ 150 は、一方側の第 1 ウエハ主面 151、他方側の第 2 ウエハ主面 152、ならびに、第 1 ウエハ主面 151 および第 2 ウエハ主面 152 を接続するウエハ側面 153 を有している。

[0184] 第 1 ウエハ主面 151 はチップ 2 の第 1 主面 3 に対応し、第 2 ウエハ主面 152 はチップ 2 の第 2 主面 4 に対応している。第 1 ウエハ主面 151 および第 2 ウエハ主面 152 は、SiC 単結晶の c 面によって形成されている。第 1 ウエハ主面 151 は SiC 単結晶のシリコン面によって形成され、第 2 ウエハ主面 152 は SiC 単結晶のカーボン面によって形成されている。ウエハ 150（第 1 ウエハ主面 151 および第 2 ウエハ主面 152）は、前述のオフ方向およびオフ角を有している。

[0185] ウエハ 150 は、ウエハ側面 153 において SiC 単結晶の結晶方位を示す目印 154 を有している。目印 154 は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠き部からなる。オリエンテーションノッチは、平面視において第 1 ウエハ主面 151 の中央部に向けて凹形状（たとえば先細り形状）に切り欠かれた切り欠き部からなる。

[0186] 目印 154 は、m 軸方向に延びる第 1 のオリエンテーションフラット、および、a 軸方向に延びる第 2 のオリエンテーションフラットのいずれか一方または双方を含んでいてもよい。目印 154 は、m 軸方向に窪んだオリエンテーションノッチ、および、a 軸方向に窪んだオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。

[0187] ウエハ 150 は、第 1 ウエハ主面 151 側の領域（表層部）において第 1 半導体領域 6 を含む。第 1 半導体領域 6 は、第 1 ウエハ主面 151 に沿って延びる層状に形成されている。第 1 半導体領域 6 は、この形態では、エピタ

キシャル層（具体的にはS i Cエピタキシャル層）からなる。

[0188] ウエハ150は、第2ウエハ主面152側の領域（表層部）において第2半導体領域7を含む。第2半導体領域7は、第2主面4に沿って延びる層状に形成され、第1半導体領域6に電氣的に接続されている。第2半導体領域7は、この形態では、ウエハ本体（具体的にはS i Cウエハ）からなる。つまり、ウエハ150は、この形態では、ウエハ本体およびエピタキシャル層を含む積層構造を有するエピタキシャルウエハ（所謂エピウエハ）からなる。

[0189] たとえば、ウエハ150には、アライメントマーク等によって複数のデバイス領域155および複数の切断予定ライン156が設定される。各デバイス領域155は、半導体装置1に対応する領域である。複数のデバイス領域155は、平面視において四角形状にそれぞれ設定されている。

[0190] 複数のデバイス領域155は、この形態では、平面視において第1方向Xおよび第2方向Yに沿って行列状に設定される。複数のデバイス領域155は、平面視において第1ウエハ主面151の周縁から内方に間隔を空けてそれぞれ設定されている。複数の切断予定ライン156は、複数のデバイス領域155を区画するように第1方向Xおよび第2方向Yに沿って延びる格子状に設定されている。

[0191] 図12A～図12Pは、半導体装置1の製造方法を示す断面図である。図12A～図12Pでは、1つのデバイス領域155のうちの活性領域8の一部の断面が示されている。図12A～図12Pにおいて左図が図7の断面の一部に対応し、右図が図8の断面の一部に対応している。図13は、図12Gに示す第1マスク37の平面パターンを示す図である。

[0192] 図12Aを参照して、まず、前述のウエハ150が用意される。次に、図12Bを参照して、ベースマスク18が第1ウエハ主面151の上に形成される。ベースマスク18は、無機マスク（つまりハードマスク）であることが好ましい。ベースマスク18は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。ベースマス

ク18は、この形態では、酸化シリコン膜（絶縁膜）からなる。ベースマスク18は、CVD法によって形成されてもよい。次に、ベースマスク18がパターンニングされて、ベース開口19が形成される。ベース開口19は、第1ウエハ主面151のボディ領域20およびアウターボディ領域21（図示せず）形成すべき領域を選択的に露出させている。

[0193] 次に、図12Cを参照して、ベースマスク18を介するイオン注入法によって第1ウエハ主面151の表層部にp型不純物が選択的に導入され、複数のボディ領域20が形成される。また、ベースマスク18を介するイオン注入法によって第1ウエハ主面151の表層部にp型不純物が選択的に導入され、アウターボディ領域21が形成される。

[0194] 次に、図12Dを参照して、ベースマスク18およびボディ領域20を被覆するように、サイドウォール絶縁膜28が第1ウエハ主面151の上に形成される。サイドウォール絶縁膜28は、無機マスク（つまりハードマスク）であることが好ましい。サイドウォール絶縁膜28は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。サイドウォール絶縁膜28は、この形態では、酸化シリコン膜（絶縁膜）からなる。サイドウォール絶縁膜28は、CVD法によって形成されてもよい。

[0195] 次に、図12Eを参照して、サイドウォール絶縁膜28がエッチバックされる。エッチバックは、ベースマスク18およびボディ領域20の表面が露出するまで続けられる。これにより、サイドウォール絶縁膜28のうちベースマスク18の側部に接する部分が選択的に残存してサイドウォール29が形成される。サイドウォール29は、各ボディ領域20の周縁部を被覆する。サイドウォール29に被覆されたボディ領域20の部分は、複数のチャンネル領域26、27である。隣り合うサイドウォール29で挟まれたボディ領域20の露出領域の幅WBは、たとえば、4 μ m以上10 μ m以下であってもよい。

[0196] 次に、図12Fを参照して、ベースマスク18のベース開口19を埋め戻

すように、サイドウォール 29 およびベースマスク 18 を被覆するマスク材料 36 が形成される。マスク材料 36 は、有機系材料であってもよい。マスク材料 36 は、有機系材料としてポジティブタイプまたはネガティブタイプの感光性樹脂膜（つまりレジスト膜）を含んでいてもよい。むしろ、マスク材料 36 は、無機系材料（たとえば、酸化シリコン膜、窒化シリコン膜およびポリシリコン膜等）であってもよい。

[0197] 次に、図 12G を参照して、マスク材料 36 がパターニングされて、第 1 マスク 37 が形成される。第 1 マスク 37 は、ソース領域 23（第 1 ソース領域 24A および第 2 ソース領域 24B）を形成すべき領域を露出させる第 1 開口 38 を有している。

[0198] ここで図 13 を参照して、第 1 マスク 37 は、コンタクト領域 25 の平面形状と一致する。第 1 マスク 37 は、第 2 方向 Y に帯状に延びる第 1 部分 39 と、第 1 部分 39 から第 1 方向 X の外側に突出する複数の凸部 40 とを含む。

[0199] 第 1 部分 39 は、ボディ領域 20 の第 1 区間 10 を第 2 方向 Y に横切り、第 1 区間 10 と第 2 区間 11 との境界位置に端部を有している。第 1 部分 39 は、その平面形状に応じて別名で称されてもよい。たとえば、図 13 に示すように、凸部 40 を除外して想定される形状（第 2 方向 Y において凸部 40 を挟んで上下に対向する部分を破線 44 で繋いだ形状）が平面視帯状である場合は、第 1 部分 39 は帯状部と称されてもよい。第 1 部分 39 の幅（第 3 幅 W3）は、たとえば、 $0.2\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下であってもよい。

[0200] 複数の凸部 40 は、この形態では、第 1 部分 39 の第 2 方向 Y の中央から第 1 方向 X の両側に突出する一対の凸部 41A, 41B を含んでいてもよい。つまり、第 1 部分 39 の第 1 方向 X の一方側および他方側に凸部 40 が 1 つずつ形成されている。この形態では、チャネル領域 26 側に突出する凸部 40 が第 1 凸部 41A であり、チャネル領域 27 側に突出する凸部 40 が第 2 凸部 41B である。第 1 凸部 41A および第 2 凸部 41B は、第 1 部分 39 の同じ位置から互いに反対側に向かって突出している。

- [0201] 各凸部41A, 41Bは、第1部分39に対して突出し、1つまたは複数の頂部48を有する平面視多角形状であってもよい。この形態では、各凸部41A, 41Bは、平面視三角形形状に形成されている。第1マスク37では、頂部48は鋭く尖った形状を有している。
- [0202] 一对の凸部41A, 41Bは、平面視において、第1部分39に対して両側に均等に突出する、ひし形または円形の全体形状を有していてもよい。一对の凸部41A, 41Bの全体形状は、一对の凸部41A, 41Bのアウトライン42と、コンタクト領域25（第1部分39）の内側へ向かう当該アウトライン42の内側延長線43（仮想線）とにより定義された形状であってもよい。図13では、一对の凸部41A, 41Bの全体形状がひし形のパターンが示されている。この形態では、第1凸部41Aの第1方向Xの端部から第2凸部41Bの第1方向Xの端部までの一对の凸部41A, 41Bの全体の幅（第4幅W4）は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下であってもよい。
- [0203] また、第1マスク37の第1部分39におけるアスペクト比（第1マスク37の高さH／第3幅W3）は、5以上25以下であってもよい。第1マスク37の一对の凸部41A, 41Bが形成された部分のアスペクト比（第1マスク37の高さH／第4幅W4）は、0.8以上4.8以下であってもよい。
- [0204] 次に、図12Hを参照して、第1マスク37を介するイオン注入法によってボディ領域20の表層部にn型不純物が選択的に導入され、ソース領域23が形成される。また、第1マスク37で被覆されていたボディ領域20の一部からなるコンタクトパターン領域50が形成される。ソース領域23の形成後、第1マスク37は除去される。
- [0205] 次に、図12Iを参照して、サイドウォール29およびベースマスク18を被覆するマスク材料が形成される。マスク材料は、有機系材料であってもよい。マスク材料は、有機系材料としてポジティブタイプまたはネガティブタイプの感光性樹脂膜（つまりレジスト膜）を含んでいてもよい。むろん、

マスク材料は、無機系材料（たとえば、酸化シリコン膜、窒化シリコン膜およびポリシリコン膜等）であってもよい。次に、当該マスク材料がパターンニングされて、第2マスク56が形成される。第2マスク56は、コンタクト領域25を形成すべき領域を露出させる第2開口57を有している。

[0206] 次に、図12Jを参照して、第2マスク56を介するイオン注入法によってボディ領域20の表層部にp型不純物が選択的に導入され、コンタクト領域25が形成される。コンタクト領域25は、第1マスク37と同じ平面パターンで形成される。ただし、p型不純物を導入する際のイオン入射角の誤差等により若干のパターンずれが生じる場合がある。そのため、コンタクト領域25の一对の凸部14A、14Bの頂部49は、第1マスク37の一对の凸部41A、41Bの頂部48とは異なり、ラウンド形状を有していてもよい（図6参照）。

[0207] 次に、図12Kを参照して、第1ウエハ主面151を被覆するベース絶縁膜58が形成される。ベース絶縁膜58は、絶縁膜31および外周絶縁膜51のベースである。ベース絶縁膜58は、CVD（Chemical Vapor Deposition）法または酸化処理法（たとえば熱酸化処理法）によって形成されてもよい。

[0208] 次に、図12Lを参照して、ベース電極がベース絶縁膜58の上に形成される。当該ベース電極は、ゲート電極32およびゲート配線52のベースである。ベース電極は、導電性ポリシリコンを含む。ベース電極は、CVD法によって形成されてもよい。次に、ベース電極がパターンニングされることにより、ゲート電極32およびゲート配線52が形成される。

[0209] 次に、図12Mを参照して、第1ウエハ主面151の上に層間膜70が形成される。この工程では、ゲート電極32の電極面33、第1側壁34および第2側壁35を直接被覆する部分を有する層間膜70が形成される。層間膜70は、この形態では、第1酸化膜72および第2酸化膜73を含む積層構造を有している。第1酸化膜72は、不純物無添加の酸化シリコン膜を含む。第2酸化膜73は、燐を含有する酸化シリコン膜を含む。第1酸化膜7

2は、CVD法によって形成されてもよい。第2酸化膜73は、CVD法によって形成されてもよい。第2酸化膜73の形成工程後、層間膜70に対してリフロー工程（熱処理工程）が実施される。これにより、層間膜70の角部や表面荒れが平滑化される。

[0210] 次に、図12Nを参照して、所定のレイアウトを有するマスクが層間膜70の上に配置される。当該マスクは、複数のソース開口90、複数のアウター開口92および複数のゲート開口94を形成すべき領域を露出させ、それら以外の領域を被覆している。次に、当該マスクを介するエッチング法によって層間膜70の不要な部分およびベース絶縁膜58の不要な部分が除去される。

[0211] この工程では、第2酸化膜73の不要な部分、第1酸化膜72の不要な部分およびベース絶縁膜58の不要な部分がこの順に除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のドライエッチング法（たとえばRIE（Reactive Ion Etching）法）であることが好ましい。これにより、複数のソース開口90、複数のアウター開口92および複数のゲート開口94が層間膜70に形成される。また、絶縁膜31および外周絶縁膜51が形成される。この工程は、複数のソースリセス91の形成工程および複数のアウターリセス93の形成工程を含んでもよい。この場合、第1ウエハ主面151のうち複数のソース開口90および複数のアウター開口92から露出する部分を第2ウエハ主面152側に向けてさらに掘り下げる工程が実施される。マスクは、その後、除去される。

[0212] 次に、図12Oを参照して、リフロー処理により、層間膜70の上側角部に、ゲート電極32の斜め上方に湾曲する面が形成される。リフロー条件は、図12Nのエッチング後に尖っている層間膜70の上側角部が円弧状になるような条件であれば特に制限されない。たとえば、層間膜70の膜厚、膜質、ソース開口90の開口幅等に応じて適切に定めればよい。

[0213] 次に、図12Pを参照して、第1下地電極膜100および第2下地電極膜

120が層間膜70の上に形成される。第1下地電極膜100および第2下地電極膜120は、スパッタ法または蒸着法によって形成されてもよい。次に、第1主電極膜102および第2主電極膜122が、それぞれ、第1下地電極膜100および第2下地電極膜120の上に形成される。第1主電極膜102および第2主電極膜122は、Al膜、Al合金膜、Cu膜およびCu合金膜のうちの少なくとも1つを含んでいてもよい。Al合金膜は、AlSi合金膜、AlCu合金膜およびAlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。第1主電極膜102および第2主電極膜122は、スパッタ法または蒸着法によって形成されてもよい。

[0214] その後、第2ウエハ主面152の上にドレインパッド電極140が形成される。ドレインパッド電極140は、スパッタ法または蒸着法によって形成されてもよい。そして、切断予定ライン156によってウエハ150が切断され、複数の半導体装置1が切り出される。以上を含む工程を経て、半導体装置1が製造される。

[0215] たとえば、デバイスの小型化の要求に応えるため、複数のゲート構造30が狭ピッチで配列される場合がある。隣り合うゲート構造30の間の距離が狭くなるため、ソース領域23およびコンタクト領域25の形成領域も狭くなる。そのため、ソース領域23およびコンタクト領域25を形成するときの第1マスク37および第2マスク56の設置面積が減少する。

[0216] 特に、図12Gを参照して、第1マスク37は、ベースマスク18およびサイドウォール29等から離れて形成されているため、横方向に対するサポートが存在しない。したがって、外力への耐久性が低下し、自重や外力により倒れたり傾いたりしやすくなる。これに対し、前述の方法によれば、図13に示すように、第1マスク37が、一对の凸部41A、41Bを有しており、部分的に幅広に形成されている。この一对の凸部41A、41Bにより、外力に対する耐久性（強度）が向上できるので、第1マスク37の倒れや傾きを抑制することができる。その結果、微細パターンであっても精度よくソース領域23およびコンタクト領域25を形成することができる。

[0217] また、チップ2が、ワイドバンドギャップ半導体（この形態では、SiC）である。ワイドバンドギャップ半導体は、注入された不純物イオンの拡散係数が低い。そのため、ウエハ150の下部方向へ不純物領域を形成する場合、Si等で採用される熱拡散ではなく、高加速インプランテーションを用いた方法が採用される。高エネルギーで加速した不純物イオンがマスク（レジスト）を突き抜けて注入されることを防止するため、マスクを厚くする必要がある。たとえば、この形態では、ソース領域23の形成時にn型不純物が第1マスク37を突き抜けてコンタクトパターン領域50に注入されることを防止するため、第1マスク37が厚くされる。具体的には、第1マスク37の第1部分39において、アスペクト比（第1マスク37の高さH／第3幅W3）が5以上25以下とされる。このような高アスペクト比では、第1マスク37の倒れや傾きの懸念が顕著である。しかしながら、一対の凸部41A、41Bの存在により、そのような懸念を排除することができる。

[0218] 一方、図12Gおよび図12Hの工程を省略して、サイドウォール29で挟まれた領域全体にn型不純物を注入してソース領域23を形成することが考えられる。その後、サイドウォール29により側方から支持される第2マスク56を介してp型不純物をソース領域23に注入して、コンタクト領域25を形成してもよい。しかしながら、先に形成されたソース領域23のn型をキャンセル可能な過剰な濃度でp型不純物を注入してコンタクト領域25を形成しなければならず、不純物イオンの過剰注入により第1ウエハ主面151の表面状態が低下し（たとえば、表面が荒れる）、半導体装置1の機能が低下する場合がある。たとえば、表面荒れにより、ソースパッド電極95とコンタクト領域25とのコンタクト抵抗が高くなる場合がある。これに対して、前述の方法では、各不純物領域に対して1回ずつのイオン注入で済むので、第1ウエハ主面151の表面状態を良い状態に維持することができる。

[0219] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0220] たとえば、前述の実施形態では、コンタクト領域 25 が部分的に幅広に形成されて一対の凸部 14 A, 14 B が形成されていたが、図 14 に示すように、第 1 ソース領域 24 A および第 2 ソース領域 24 B が部分的に幅広に形成されていてもよい。この場合、第 1 ソース領域 24 A および第 2 ソース領域 24 B からそれぞれ、コンタクト領域 25 の内側に向かって突出する一対の凸部 59 A, 59 B が形成されていてもよい。その他、チップ 2 に形成される微細な不純物領域については、その機能を問わず、一対の凸部 14 A, 14 B に類する構造が適用されてもよい。たとえば、外周領域 9 に形成された複数のフィールド領域 47 に適用されてもよい。

[0221] また、コンタクト領域 25 の変形パターンとして、図 15 ~ 図 19 に示すパターンが採用されてもよい。図 15 では、コンタクト領域 25 の第 1 部分 12 の第 1 幅 W1 が、一対の凸部 14 A, 14 B から第 2 方向 Y の端部に向かって徐々に狭くなっている。これにより、第 1 部分 12 は、平面視略テーパー状に形成されていてもよい。

[0222] 図 16 では、コンタクト領域 25 の第 1 部分 12 の第 1 方向 X の一方側および他方側のそれぞれに、複数の凸部 14 A, 14 B が形成されている。図 17 では、一対の凸部 14 A, 14 B が、第 2 方向 Y における第 1 部分 12 の異なる位置から互いに反対側に向かって突出している。

[0223] 図 18 では、各凸部 14 A, 14 B は、平面視半円形状に形成されている。図 19 では、各凸部 14 A, 14 B は、平面視四角形状に形成されている。この場合、四角形の角部（頂部 49）が、丸みを帯びたラウンド形状を有していてもよい。

[0224] たとえば、前述の各実施形態において、a 軸方向および m 軸方向の関係が入れ換えられた構成が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において「a 軸方向（オフ方向）」および「m 軸方向（オフ方向に直交する方向）」を入れ換えることによって得られる。

[0225] 前述の各実施形態において、「n 型」の半導体領域の導電型が「p 型」に反転され、「p 型」の半導体領域の導電型が「n 型」に反転された構造が採

用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n型」を「p型」に置き換えると同時に、「p型」を「n型」に置き換えることによって得られる。

[0226] 前述の各実施形態では、SiC単結晶を含むチップ2（第1半導体領域6および第2半導体領域7）が採用された。しかし、チップ2（第1半導体領域6および第2半導体領域7）は、SiC単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。ワイドバンドギャップ半導体は、シリコンのバンドギャップよりも大きいバンドギャップを有する半導体である。ワイドバンドギャップ半導体の単結晶として、窒化ガリウム、ダイヤモンド、酸化ガリウム等が例示される。むろん、チップ2（第1半導体領域6および第2半導体領域7）は、シリコン単結晶を含んでいてもよい。

[0227] 前述の各実施形態では、n型の第2半導体領域7が示された。しかし、n型の第2半導体領域7に変えてp型の第2半導体領域7が採用されてもよい。この場合、MISFET構造に代えてIGBT（Insulated Gate Bipolar Transistor）構造が形成される。この場合、前述の説明において、MISFET構造の「ソース」がIGBT構造の「エミッタ」に置き換えられ、MISFET構造の「ドレイン」がIGBT構造の「コレクタ」に置き換えられる。p型の第2半導体領域7はイオン注入法によってチップ2の第2主面4の表層部に導入されたp型不純物を含む不純物領域であってもよい。

[0228] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「SiC半導体装置」、「ワイドバンドギャップ半導体装置」、「半導体スイッチング装置」、「MISFET装置」、「IGBT装置」等に置き換えられてもよい。

[0229] [付記1-1]

ワイドバンドギャップ半導体により形成され、第1導電型の半導体領域（6）が形成された主面を有するチップ（2）と、

前記半導体領域（６）の表層部に形成された第２導電型のベース不純物領域（２０）と、

前記ベース不純物領域（２０）の表層部に形成された第１不純物領域（１３，２５）と、

前記ベース不純物領域（２０）の表層部に形成された前記第１不純物領域（１３，２５）とは反対導電型の第２不純物領域（２５，１３）であって、第１方向（Ｘ）において前記第１不純物領域（１３，２５）に隣り合う第２不純物領域（２５，１３）とを含み、

前記第２不純物領域（２５，１３）は、前記第１方向（Ｘ）に直交する第２方向（Ｙ）に延びる帯状に形成され、前記第１方向（Ｘ）において前記第１不純物領域（１３，２５）に選択的に突出する凸部（１３）を有している、半導体装置（１）。

[0230] [付記１－２]

前記第２不純物領域（２５，１３）は、前記第１方向（Ｘ）の両側から前記第１不純物領域（１３，２５）に挟まれており、

一对の前記凸部（１４Ａ，１４Ｂ）が、前記第１方向（Ｘ）において互いに反対側に向かって突出している、付記１－１に記載の半導体装置（１）。

[0231] [付記１－３]

前記第２不純物領域（２５，１３）は、前記第２方向（Ｙ）に延び、前記第１方向（Ｘ）において第１幅（Ｗ１）を有する第１部分（１２）と、前記第１部分（１２）の前記第２方向（Ｙ）中央から前記第１方向（Ｘ）の両側に突出する前記一对の前記凸部（１４Ａ，１４Ｂ）とを含む、付記１－２に記載の半導体装置（１）。

[0232] [付記１－４]

前記一对の前記凸部（１４Ａ，１４Ｂ）は、平面視において、前記第１部分（１２）に対して両側に均等に突出する、ひし形または円形の全体形状を有している、付記１－３に記載の半導体装置（１）。

[0233] [付記１－５]

前記第1部分(12)の前記第1幅(W1)は、 $0.2\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下であり、

一方の前記凸部(13)の端部から他方の前記凸部(13)の端部までの前記一对の前記凸部(14A, 14B)の全体の第2幅(W2)は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下である、付記1-3または付記1-4に記載の半導体装置(1)。

[0234] [付記1-6]

前記第1不純物領域(13, 25)の前記第1方向(X)における幅(Ws)は、前記一对の前記凸部(14A, 14B)の前記第2幅(W2)よりも大きい、付記1-5に記載の半導体装置(1)。

[0235] [付記1-7]

前記半導体領域(6)の表層部に形成された前記ベース不純物領域(20)としてのボディ領域(20)と、

前記ボディ領域(20)の表層部に形成された前記第1不純物領域(13)と、

前記ボディ領域(20)の表層部に形成され、前記第1不純物領域(13)を貫通して前記ボディ領域(20)に接続された前記第2不純物領域(25)としてのボディコンタクト領域(25)と、

前記ボディ領域(20)の表層部において前記半導体領域(6)および前記第1不純物領域(13)の間の領域に形成されるチャネル(26, 27)と、

前記チャネル(26, 27)上に絶縁膜(31)を介して形成されたゲート電極(32)とを含む、付記1-1に記載の半導体装置(1)。

[0236] [付記1-8]

複数の前記ボディ領域(20)が前記第2方向(Y)に延びるストライプ状に配列されており、

各前記ボディ領域(20)は、前記第2方向(Y)において複数の第1区間(10)および複数の第2区間(11)を交互に有し、

複数の前記ボディコンタクト領域（２５）は、前記第２方向（Ｙ）において各前記第２区間（１１）をスキップするように、前記第１区間（１０）ごとに間隔を空けて配列されている、付記１－７に記載の半導体装置（１）。

[0237] [付記１－９]

前記ボディコンタクト領域（２５）は、前記第２方向（Ｙ）において前記第１区間（１０）を横切り、前記第１方向（Ｘ）において第１幅（Ｗ１）を有する第１部分（１２）と、前記第１部分（１２）の前記第２方向（Ｙ）中央から前記第１方向（Ｘ）の両側に突出する前記一対の前記凸部（１４Ａ，１４Ｂ）とを含む、付記１－８に記載の半導体装置（１）。

[0238] [付記１－１０]

前記一対の前記凸部（１４Ａ，１４Ｂ）は、平面視において、前記第１部分（１２）に対して両側に均等に突出する、ひし形または円形の全体形状を有している、付記１－９に記載の半導体装置（１）。

[0239] [付記１－１１]

前記第１部分（１２）の前記第１幅（Ｗ１）は、 $0.2\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下であり、

一方の前記凸部（１４Ａ）の端部から他方の前記凸部（１４Ｂ）の端部までの前記一対の前記凸部（１４Ａ，１４Ｂ）の全体の第２幅（Ｗ２）は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下である、付記１－１０に記載の半導体装置（１）。

[0240] [付記１－１２]

前記第１不純物領域（１３）の前記第１方向（Ｘ）における幅（ＷＳ）は、前記一対の前記凸部（１４Ａ，１４Ｂ）の前記第２幅（Ｗ２）よりも大きい、付記１－１１に記載の半導体装置（１）。

[0241] [付記１－１３]

前記半導体領域（６）の表層部に形成された前記ベース不純物領域（２０）としてのボディ領域（２０）と、

前記ボディ領域（２０）の表層部に形成された前記第２不純物領域（１３

）と、

前記ボディ領域（２０）の表層部に形成され、前記第２不純物領域（１３）を貫通して前記ボディ領域（２０）に接続された前記第１不純物領域（２５）としてのボディコンタクト領域（２５）と、

前記ボディ領域（２０）の表層部において前記半導体領域（６）および前記第２不純物領域（１３）の間の領域に形成されるチャネル（２６，２７）と、

前記チャネル（２６，２７）上に絶縁膜（３１）を介して形成されたゲート電極（３２）とを含む、付記１－１に記載の半導体装置（１）。

[0242] [付記１－１４]

複数の前記ボディ領域（２０）が前記第２方向（Ｙ）に延びるストライプ状に配列されており、

各前記ボディ領域（２０）は、前記第２方向（Ｙ）において複数の第１区間（１０）および複数の第２区間（１１）を交互に有し、

複数のボディコンタクト領域（２５）は、前記第２方向（Ｙ）において各前記第２区間（１１）をスキップするように、前記第１区間（１０）ごとに間隔を空けて配列されている、付記１－１３に記載の半導体装置（１）。

[0243] [付記１－１５]

前記チップ（２）が、ＳｉＣチップである、付記１－１～付記１－１４のいずれか一項に記載の半導体装置（１）。

[0244] [付記１－１６]

ワイドバンドギャップ半導体により形成され、第１導電型の半導体領域（６）が形成された主面（１５１）を有するウエハ（１５０）を準備し、前記半導体領域（６）に第２導電型不純物を選択的に注入することにより、前記半導体領域（６）の表層部に、第１方向（Ｘ）において間隔を空けた複数のボディ領域（２０）を選択的に形成する工程と、

各前記ボディ領域（２０）を選択的に被覆する第１マスク（３７）を形成する工程であって、前記第１マスク（３７）は、前記第１方向（Ｘ）に直交

する第2方向（Y）に延び、前記第1方向（X）において第1幅（W3）を有する第1部分（39）と、前記第1部分（39）の前記第2方向（Y）中央から前記第1方向（X）の両側に突出する前記一対の前記凸部（41A, 41B）とを含み、

前記第1マスク（37）を介して前記ボディ領域（20）に第1導電型不純物を注入することにより、前記ボディ領域（20）の表層部に第1不純物領域（13）を形成し、かつ前記第1マスク（37）で被覆されていた領域に前記ボディ領域（20）の一部からなるコンタクトパターン領域（50）を残す工程と、

前記コンタクトパターン領域（50）を選択的に露出させる開口（57）を有し、前記第1不純物領域（13）を被覆する第2マスク（56）を形成する工程と、

前記第2マスク（56）を介して前記コンタクトパターン領域（50）に第2導電型不純物を注入することにより、前記ボディ領域（20）の表層部にボディコンタクト領域（25）を形成する工程と、

前記ボディ領域（20）の表層部において前記半導体領域（6）および前記第1不純物領域（13）の間の領域に形成されるチャネル（26, 27）を被覆するゲート電極（32）を形成する工程とを含む、半導体装置（1）の製造方法。

[0245] [付記1-17]

前記主面（151）上に、前記ボディ領域（20）を形成すべき領域に選択的に開口（19）を有するハードマスク（18）を形成する工程と、

前記ハードマスク（18）を介する第2導電型不純物の注入により前記ボディ領域（20）の形成後、前記ハードマスク（18）の側部に、前記チャネル（26, 27）を形成すべき領域を被覆するサイドウォール（29）を形成する工程と、

前記ハードマスク（18）の前記開口を埋め戻すように前記サイドウォール（29）および前記ハードマスク（18）を被覆するマスク材料（36）

を形成する工程と、

前記マスク材料（３６）をパターニングすることにより、前記第１マスク（３７）を形成する工程とをさらに含む、付記１－１６に記載の半導体装置（１）の製造方法。

[0246] [付記１－１８]

前記第１マスク（３７）の前記第１部分（１２）におけるアスペクト比（前記第１部分（３９）の高さ（Ｈ）／前記第１部分（３９）の幅（Ｗ３））は、５以上２５以下である、付記１－１６または付記１－１７に記載の半導体装置（１）の製造方法。

符号の説明

[0247] １ : 半導体装置
２ : チップ
３ : 第１主面
４ : 第２主面
５Ａ : 第１側面
５Ｂ : 第２側面
５Ｃ : 第３側面
５Ｄ : 第４側面
６ : 第１半導体領域
７ : 第２半導体領域
８ : 活性領域
９ : 外周領域
１０ : 第１区間
１１ : 第２区間
１２ : 第１部分
１３ : 凸部
１４Ａ : 第１凸部
１４Ｂ : 第２凸部

- 1 5 : アウトライン
- 1 6 : 内側延長線
- 1 7 : 破線
- 1 8 : ベースマスク
- 1 9 : ベース開口
- 2 0 : ボディ領域
- 2 1 : アウターボディ領域
- 2 2 : 表層ドリフト領域
- 2 3 : ソース領域
- 2 4 A : 第 1 ソース領域
- 2 4 B : 第 2 ソース領域
- 2 5 : コンタクト領域
- 2 6 : 第 1 チャネル領域
- 2 7 : 第 2 チャネル領域
- 2 8 : サイドウォール絶縁膜
- 2 9 : サイドウォール
- 3 0 : ゲート構造
- 3 1 : 絶縁膜
- 3 2 : ゲート電極
- 3 3 : 電極面
- 3 4 : 第 1 側壁
- 3 5 : 第 2 側壁
- 3 6 : マスク材料
- 3 7 : 第 1 マスク
- 3 8 : 第 1 開口
- 3 9 : 第 1 部分
- 4 0 : 凸部
- 4 1 A : 第 1 凸部

- 4 1 B : 第2凸部
- 4 2 : アウトライン
- 4 3 : 内側延長線
- 4 4 : 破線
- 4 5 : 終端領域
- 4 6 : オーバラップ領域
- 4 7 : フィールド領域
- 4 8 : 頂部
- 4 9 : 頂部
- 5 0 : コンタクトパターン領域
- 5 1 : 外周絶縁膜
- 5 2 : ゲート配線
- 5 3 : 配線面
- 5 4 : 第1配線側壁
- 5 5 : 第2配線側壁
- 5 6 : 第2マスク
- 5 7 : 第2開口
- 5 8 : ベース絶縁膜
- 5 9 A : 凸部
- 5 9 B : 凸部
- 7 0 : 層間膜
- 7 1 : 絶縁面
- 7 2 : 第1酸化膜
- 7 3 : 第2酸化膜
- 7 4 : 第1被覆部
- 7 5 : 第2被覆部
- 7 6 : 第3被覆部
- 8 0 : 第1上被覆部

8 1	: 第2上被覆部
9 0	: ソース開口
9 1	: ソースリセス
9 2	: アウター開口
9 3	: アウターリセス
9 4	: ゲート開口
9 5	: ソースパッド電極
9 6	: 第1パッド部
9 7	: 第2パッド部
9 8	: 第3パッド部
1 0 0	: 第1下地電極膜
1 0 2	: 第1主電極膜
1 0 3	: 第1電極膜
1 0 4	: 第2電極膜
1 1 0	: ソースフィンガー電極
1 1 5	: ゲートフィンガー電極
1 2 0	: 第2下地電極膜
1 2 2	: 第2主電極膜
1 3 0	: ゲートパッド電極
1 4 0	: ドレインパッド電極
1 5 0	: ウエハ
1 5 1	: 第1ウエハ主面
1 5 2	: 第2ウエハ主面
1 5 3	: ウエハ側面
1 5 4	: 目印
1 5 5	: デバイス領域
1 5 6	: 切断予定ライン
W 1	: 第1幅

W 2 : 第 2 幅
W 3 : 第 3 幅
W 4 : 第 4 幅
X : 第 1 方向
Y : 第 2 方向
Z : 鉛直方向

請求の範囲

- [請求項1] ワイドバンドギャップ半導体により形成され、第1導電型の半導体領域が形成された主面を有するチップと、
- 前記半導体領域の表層部に形成された第2導電型のベース不純物領域と、
- 前記ベース不純物領域の表層部に形成された第1不純物領域と、
- 前記ベース不純物領域の表層部に形成された前記第1不純物領域とは反対導電型の第2不純物領域であって、第1方向において前記第1不純物領域に隣り合う第2不純物領域とを含み、
- 前記第2不純物領域は、前記第1方向に直交する第2方向に延びる帯状に形成され、前記第1方向において前記第1不純物領域に選択的に突出する凸部を有している、半導体装置。
- [請求項2] 前記第2不純物領域は、前記第1方向の両側から前記第1不純物領域に挟まれており、
- 一対の前記凸部が、前記第1方向において互いに反対側に向かって突出している、請求項1に記載の半導体装置。
- [請求項3] 前記第2不純物領域は、前記第2方向に延び、前記第1方向において第1幅を有する第1部分と、前記第1部分の前記第2方向中央から前記第1方向の両側に突出する前記一対の凸部とを含む、請求項2に記載の半導体装置。
- [請求項4] 前記一対の凸部は、平面視において、前記第1部分に対して両側に均等に突出する、ひし形または円形の全体形状を有している、請求項3に記載の半導体装置。
- [請求項5] 前記第1部分の前記第1幅は、 $0.2\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下であり、
- 一方の前記凸部の端部から他方の前記凸部の端部までの前記一対の凸部の全体の第2幅は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下である、請求項3または4に記載の半導体装置。

- [請求項6] 前記第1不純物領域の前記第1方向における幅は、前記一对の凸部の前記第2幅よりも大きい、請求項5に記載の半導体装置。
- [請求項7] 前記半導体領域の表層部に形成された前記ベース不純物領域としてのボディ領域と、
前記ボディ領域の表層部に形成された前記第1不純物領域と、
前記ボディ領域の表層部に形成され、前記第1不純物領域を貫通して前記ボディ領域に接続された前記第2不純物領域としてのボディコンタクト領域と、
前記ボディ領域の表層部において前記半導体領域および前記第1不純物領域の間の領域に形成されるチャンネルと、
前記チャンネル上に絶縁膜を介して形成されたゲート電極とを含む、請求項1に記載の半導体装置。
- [請求項8] 複数の前記ボディ領域が前記第2方向に延びるストライプ状に配列されており、
各前記ボディ領域は、前記第2方向において複数の第1区間および複数の第2区間を交互に有し、
複数の前記ボディコンタクト領域は、前記第2方向において各前記第2区間をスキップするように、前記第1区間ごとに間隔を空けて配列されている、請求項7に記載の半導体装置。
- [請求項9] 前記ボディコンタクト領域は、前記第2方向において前記第1区間を横切り、前記第1方向において第1幅を有する第1部分と、前記第1部分の前記第2方向中央から前記第1方向の両側に突出する前記一对の凸部とを含む、請求項8に記載の半導体装置。
- [請求項10] 前記一对の凸部は、平面視において、前記第1部分に対して両側に均等に突出する、ひし形または円形の全体形状を有している、請求項9に記載の半導体装置。
- [請求項11] 前記第1部分の前記第1幅は、 $0.2\ \mu\text{m}$ 以上 $0.6\ \mu\text{m}$ 以下であり、

一方の前記凸部の端部から他方の前記凸部の端部までの前記一对の凸部の全体の第2幅は、 $1.2\mu\text{m}$ 以上 $1.6\mu\text{m}$ 以下である、請求項10に記載の半導体装置。

[請求項12] 前記第1不純物領域の前記第1方向における幅は、前記一对の凸部の前記第2幅よりも大きい、請求項11に記載の半導体装置。

[請求項13] 前記半導体領域の表層部に形成された前記ベース不純物領域としてのボディ領域と、

前記ボディ領域の表層部に形成された前記第2不純物領域と、

前記ボディ領域の表層部に形成され、前記第2不純物領域を貫通して前記ボディ領域に接続された前記第1不純物領域としてのボディコンタクト領域と、

前記ボディ領域の表層部において前記半導体領域および前記第2不純物領域の間の領域に形成されるチャンネルと、

前記チャンネル上に絶縁膜を介して形成されたゲート電極とを含む、請求項1に記載の半導体装置。

[請求項14] 複数の前記ボディ領域が前記第2方向に延びるストライプ状に配列されており、

各前記ボディ領域は、前記第2方向において複数の第1区間および複数の第2区間を交互に有し、

複数のボディコンタクト領域は、前記第2方向において各前記第2区間をスキップするように、前記第1区間ごとに間隔を空けて配列されている、請求項13に記載の半導体装置。

[請求項15] 前記チップが、SiCチップである、請求項1～14のいずれか一項に記載の半導体装置。

[請求項16] ワイドバンドギャップ半導体により形成され、第1導電型の半導体領域が形成された主面を有するウエハを準備し、前記半導体領域に第2導電型不純物を選択的に注入することにより、前記半導体領域の表層部に、第1方向において間隔を空けた複数のボディ領域を選択的に

形成する工程と、

各前記ボディ領域を選択的に被覆する第1マスクを形成する工程であって、前記第1マスクは、前記第1方向に直交する第2方向に延び、前記第1方向において第1幅を有する第1部分と、前記第1部分の前記第2方向中央から前記第1方向の両側に突出する前記一对の凸部とを含み、

前記第1マスクを介して前記ボディ領域に第1導電型不純物を注入することにより、前記ボディ領域の表層部に第1不純物領域を形成し、かつ前記第1マスクで被覆されていた領域に前記ボディ領域の一部からなるコンタクトパターン領域を残す工程と、

前記コンタクトパターン領域を選択的に露出させる開口を有し、前記第1不純物領域を被覆する第2マスクを形成する工程と、

前記第2マスクを介して前記コンタクトパターン領域に第2導電型不純物を注入することにより、前記ボディ領域の表層部にボディコンタクト領域を形成する工程と、

前記ボディ領域の表層部において前記半導体領域および前記第1不純物領域の間の領域に形成されるチャネルを被覆するゲート電極を形成する工程とを含む、半導体装置の製造方法。

[請求項17]

前記主面上に、前記ボディ領域を形成すべき領域に選択的に開口を有するハードマスクを形成する工程と、

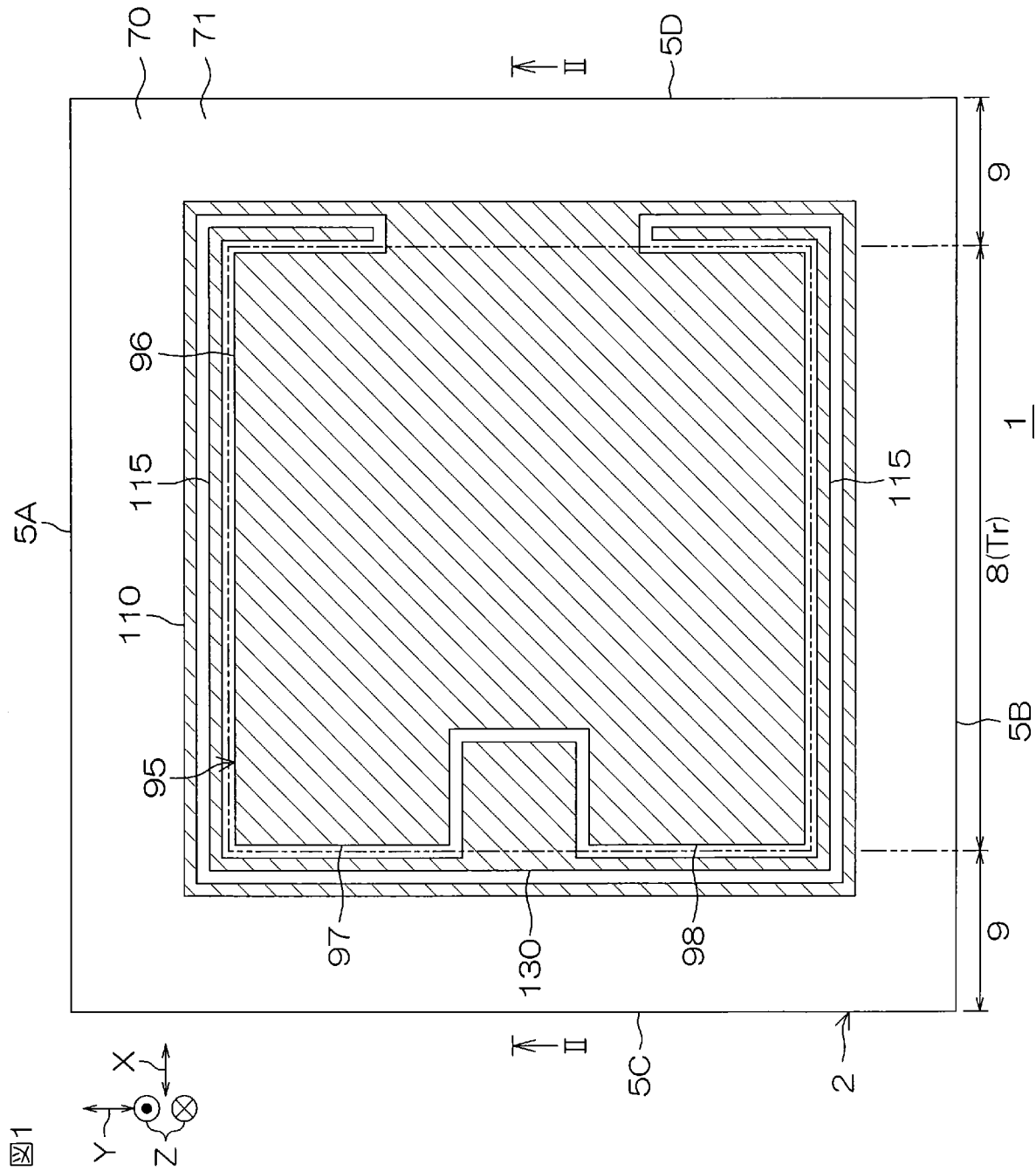
前記ハードマスクを介する第2導電型不純物の注入により前記ボディ領域の形成後、前記ハードマスクの側部に、前記チャネルを形成すべき領域を被覆するサイドウォールを形成する工程と、

前記ハードマスクの前記開口を埋め戻すように前記サイドウォールおよび前記ハードマスクを被覆するマスク材料を形成する工程と、

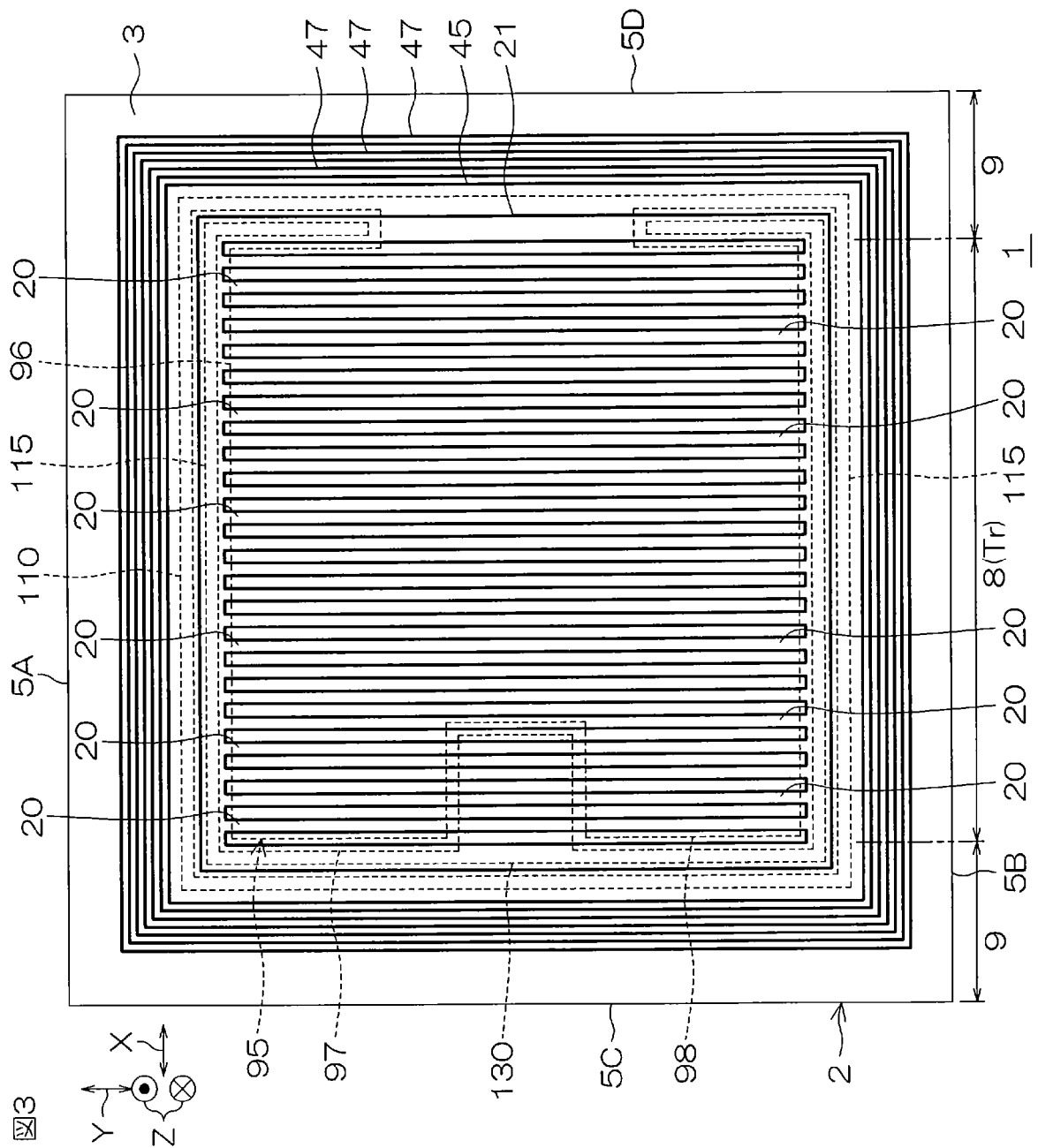
前記マスク材料をパターニングすることにより、前記第1マスクを形成する工程とをさらに含む、請求項16に記載の半導体装置の製造方法。

[請求項18] 前記第1マスクの前記第1部分におけるアスペクト比（前記第1部分の高さ／前記第1部分の幅）は、5以上2.5以下である、請求項16または17に記載の半導体装置の製造方法。

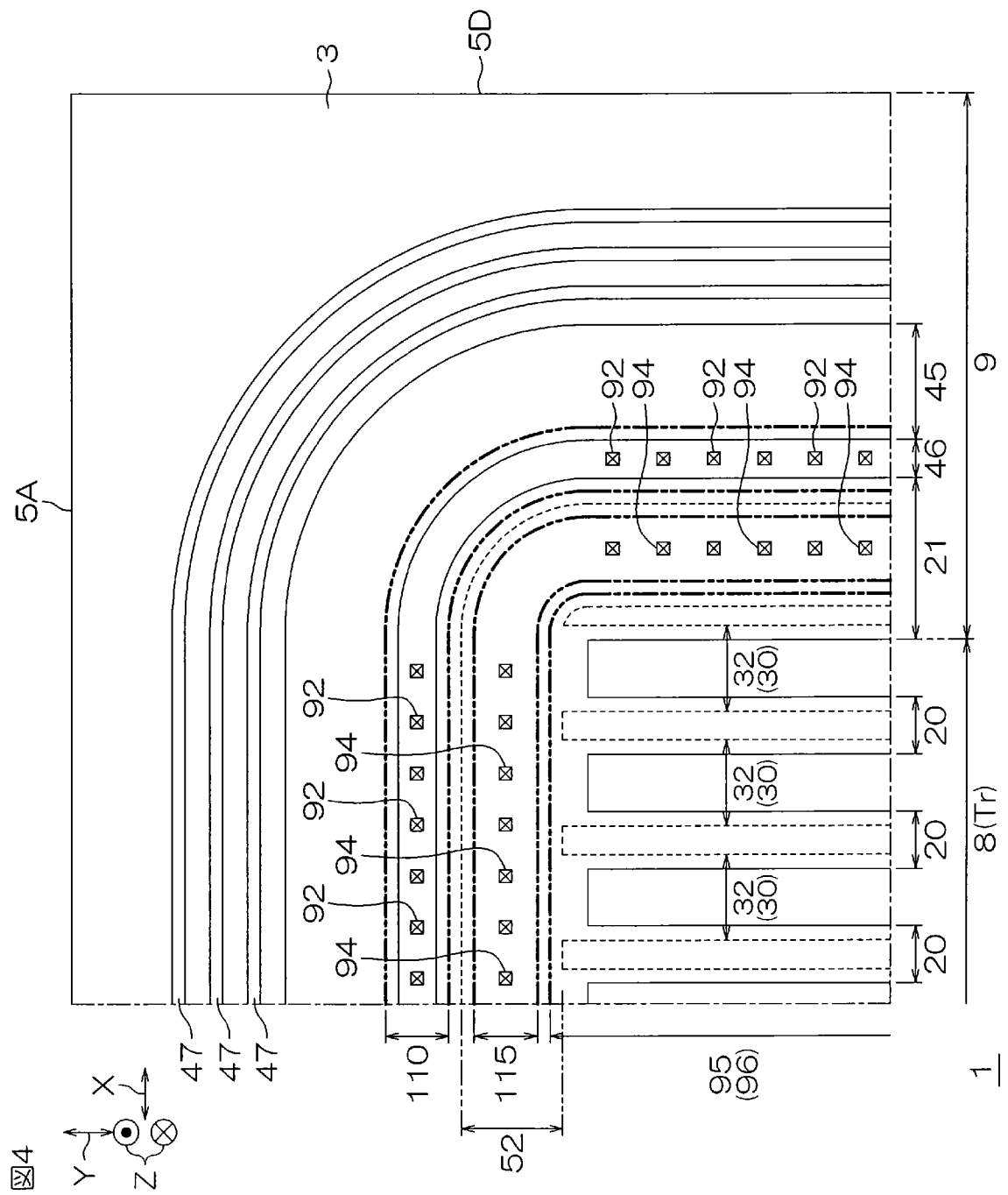
[図1]



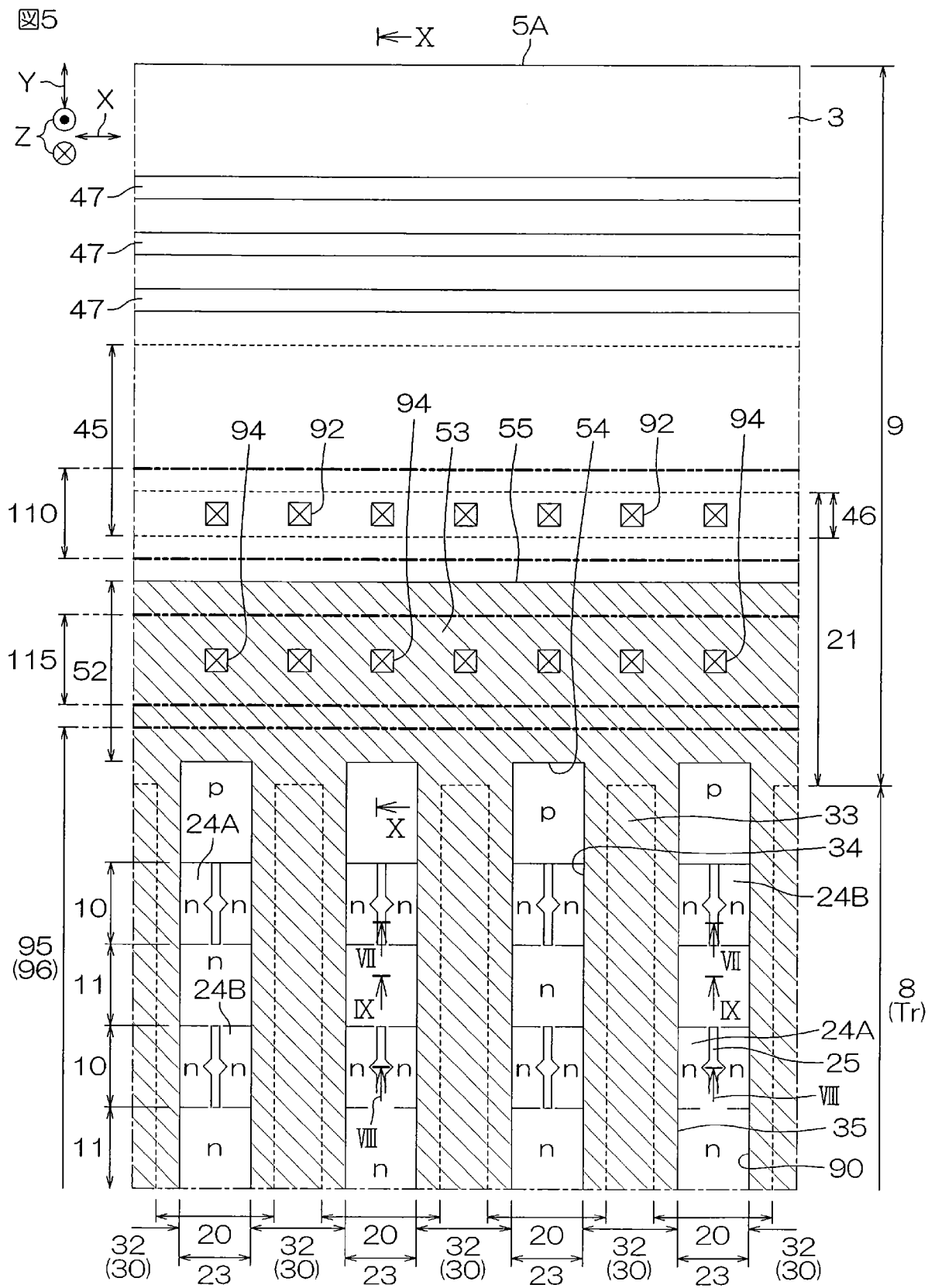
【図3】



[図4]

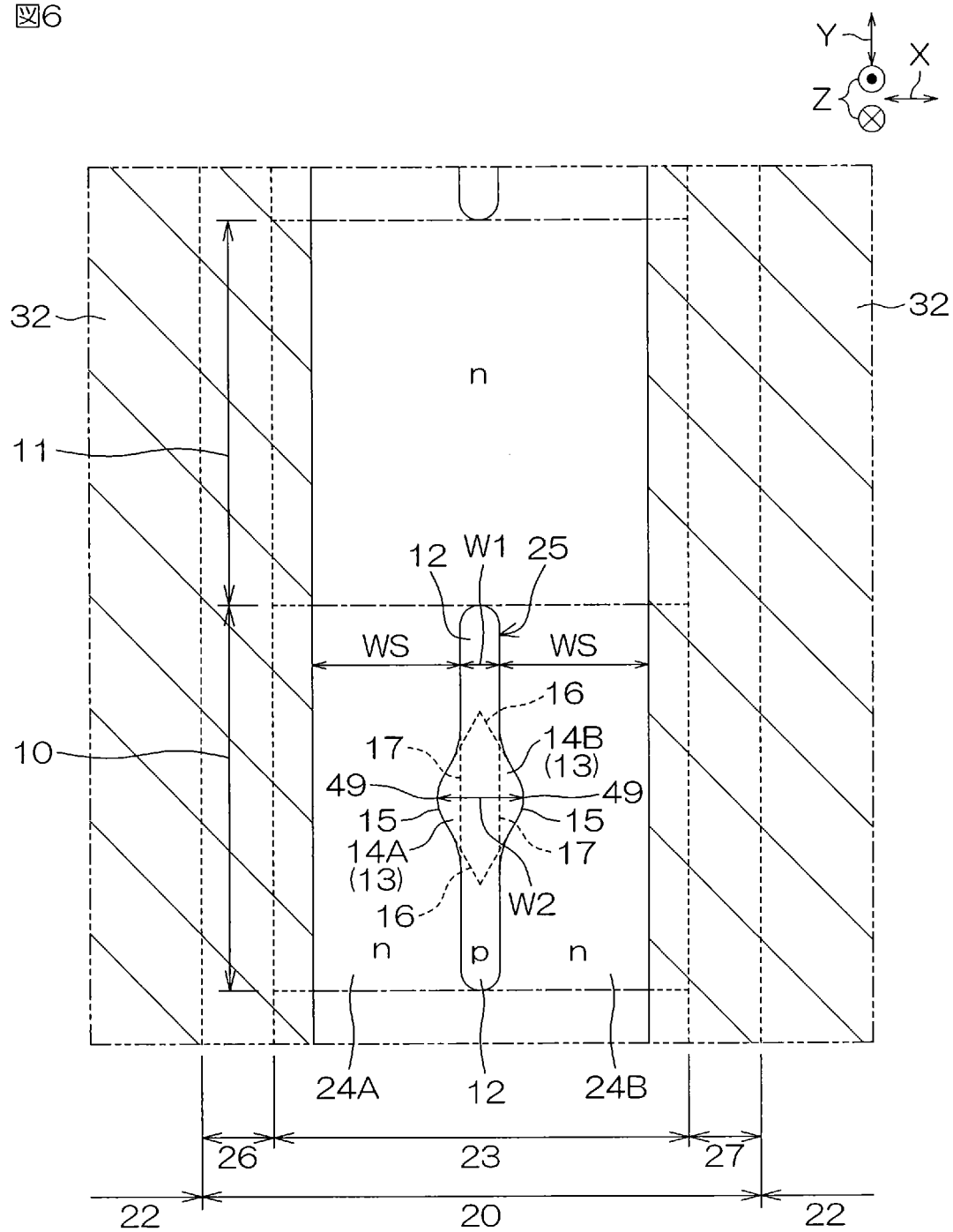


【図5】

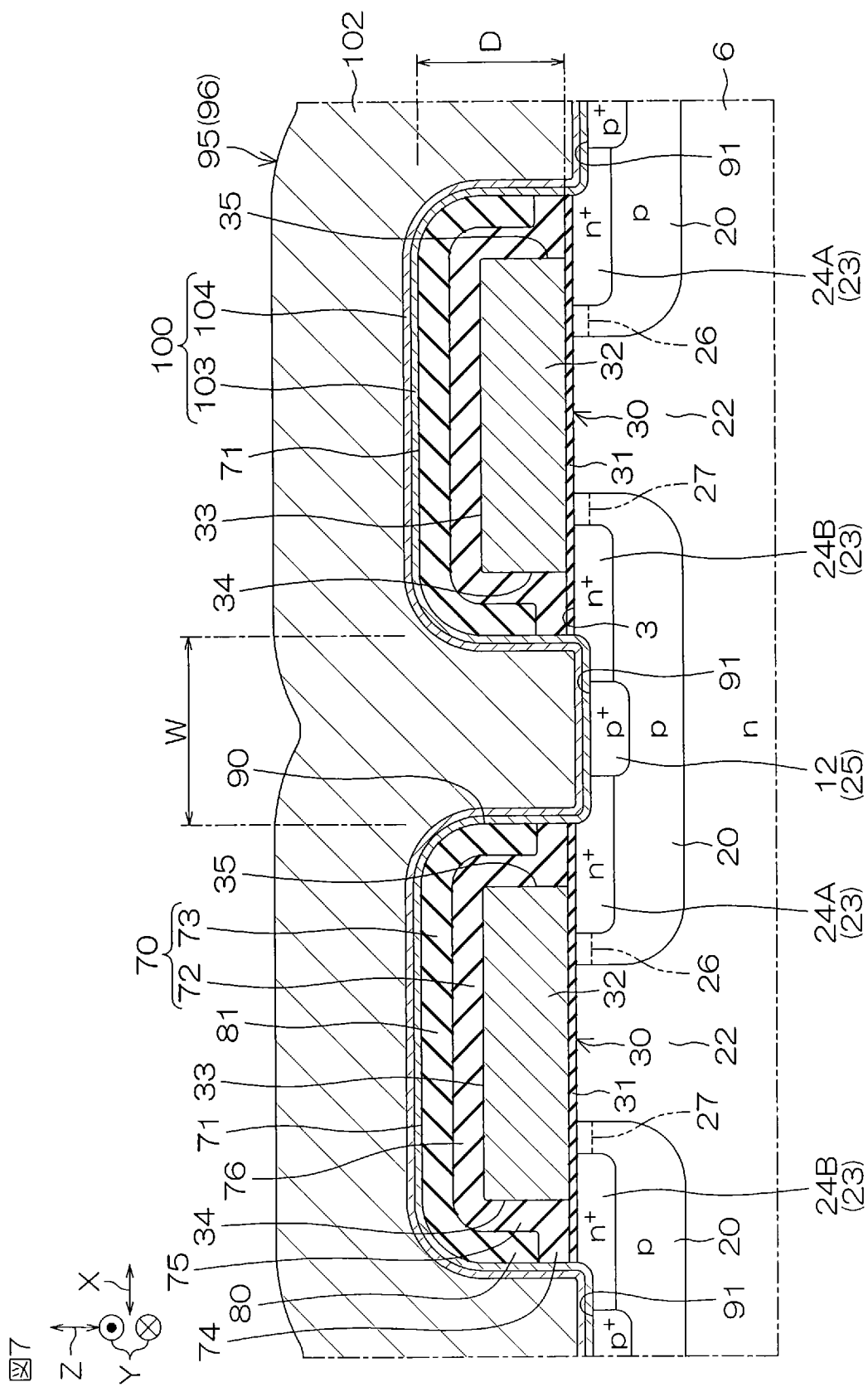


[図6]

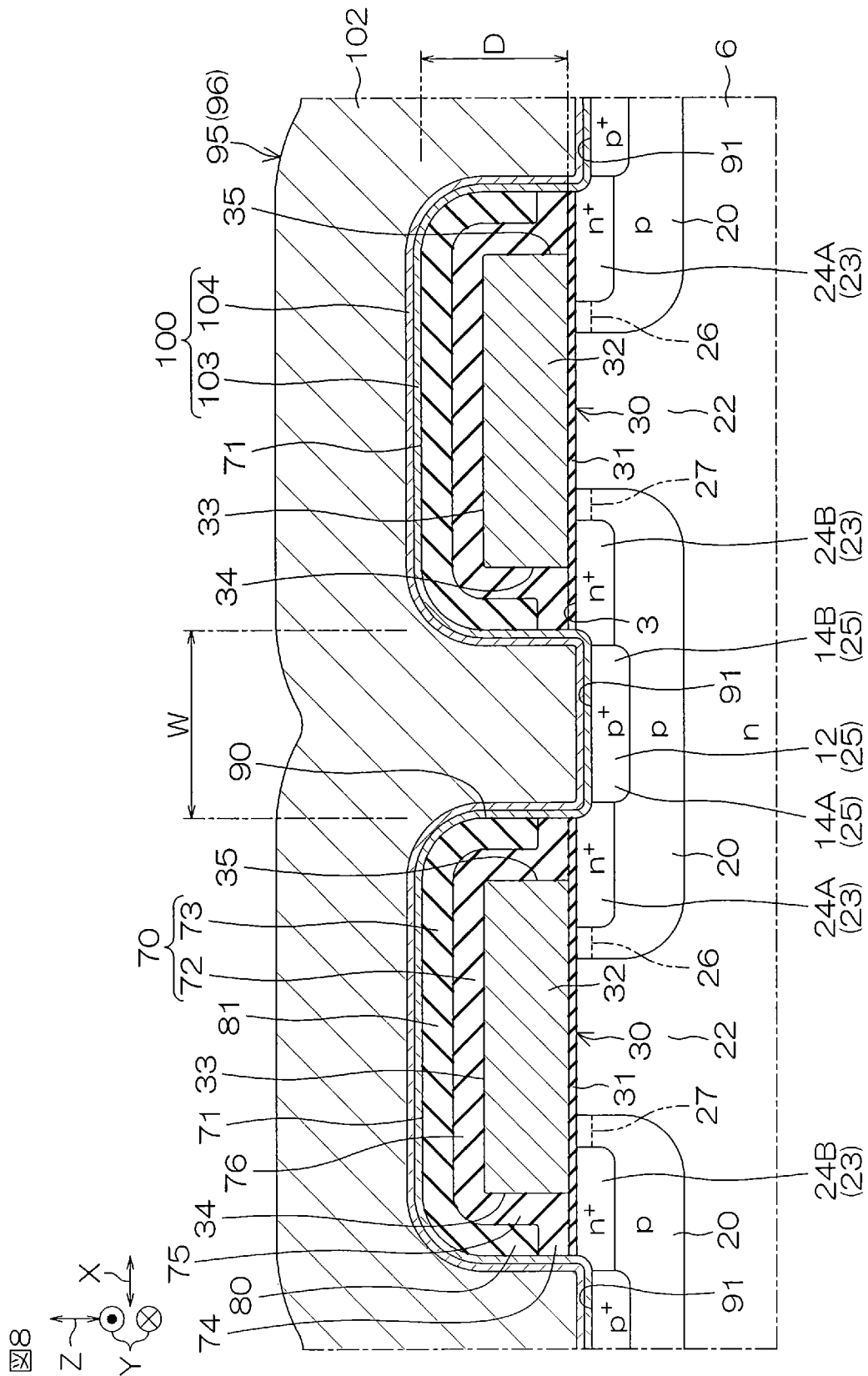
图6



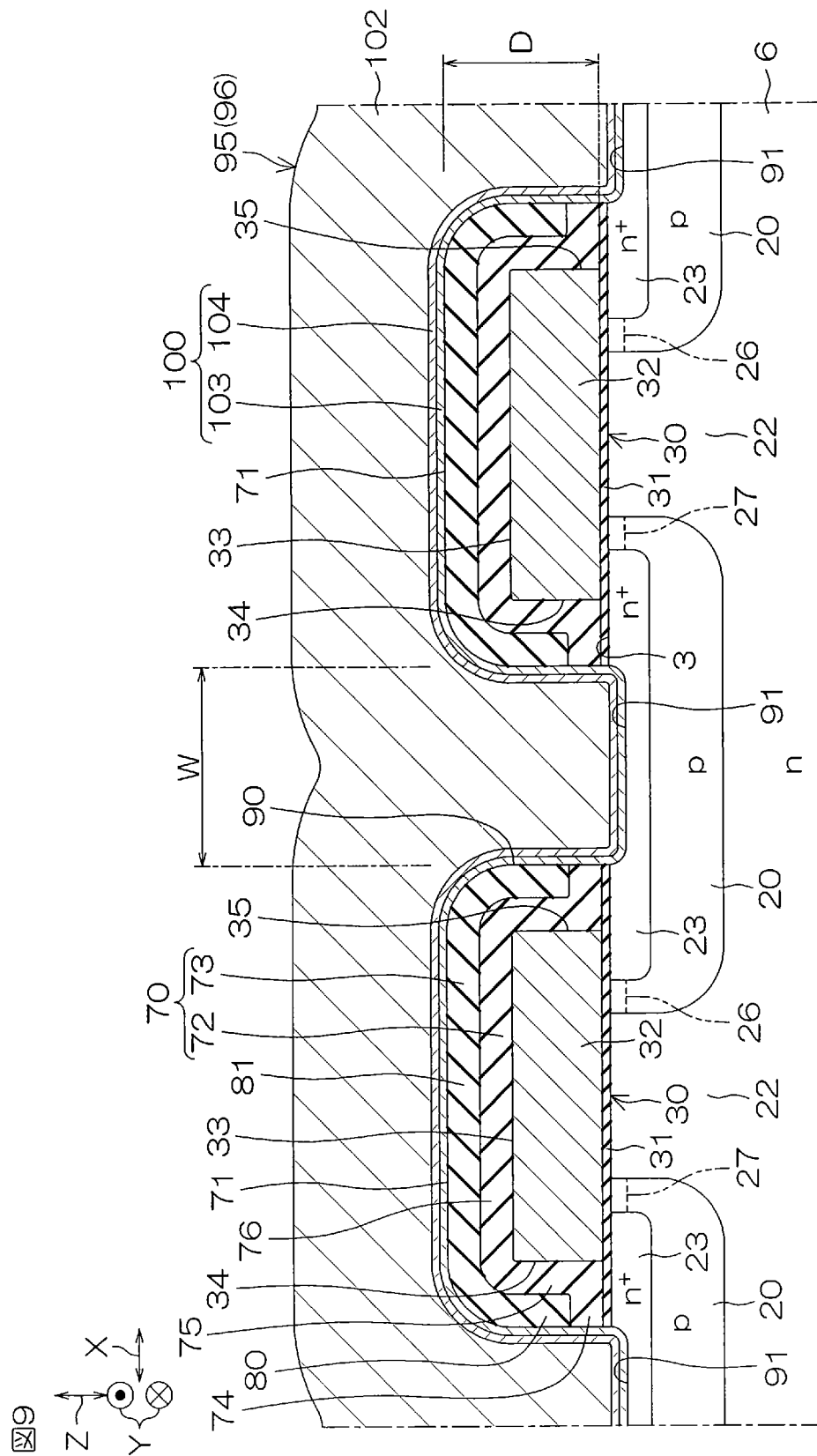
[図7]



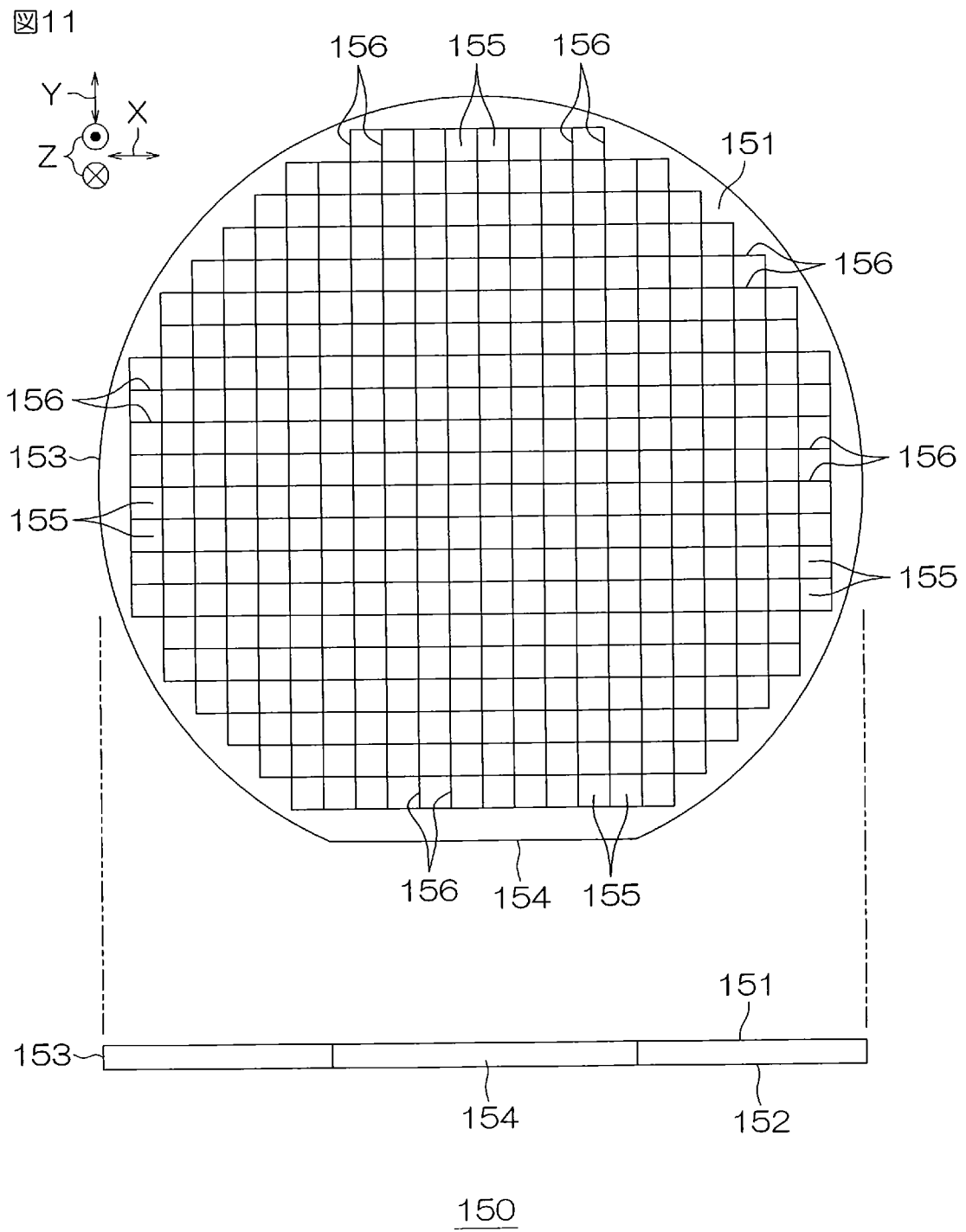
[図8]



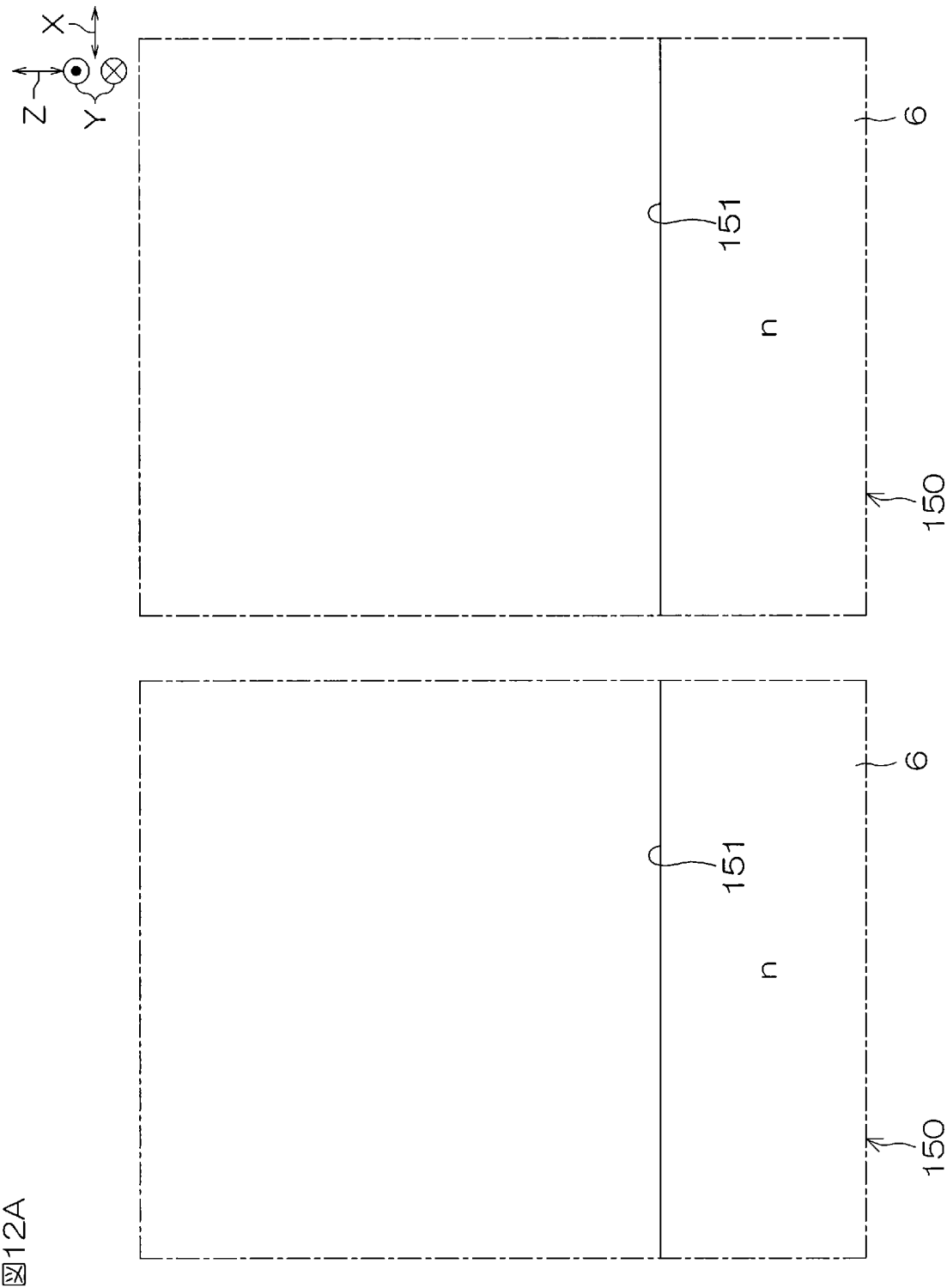
[図9]



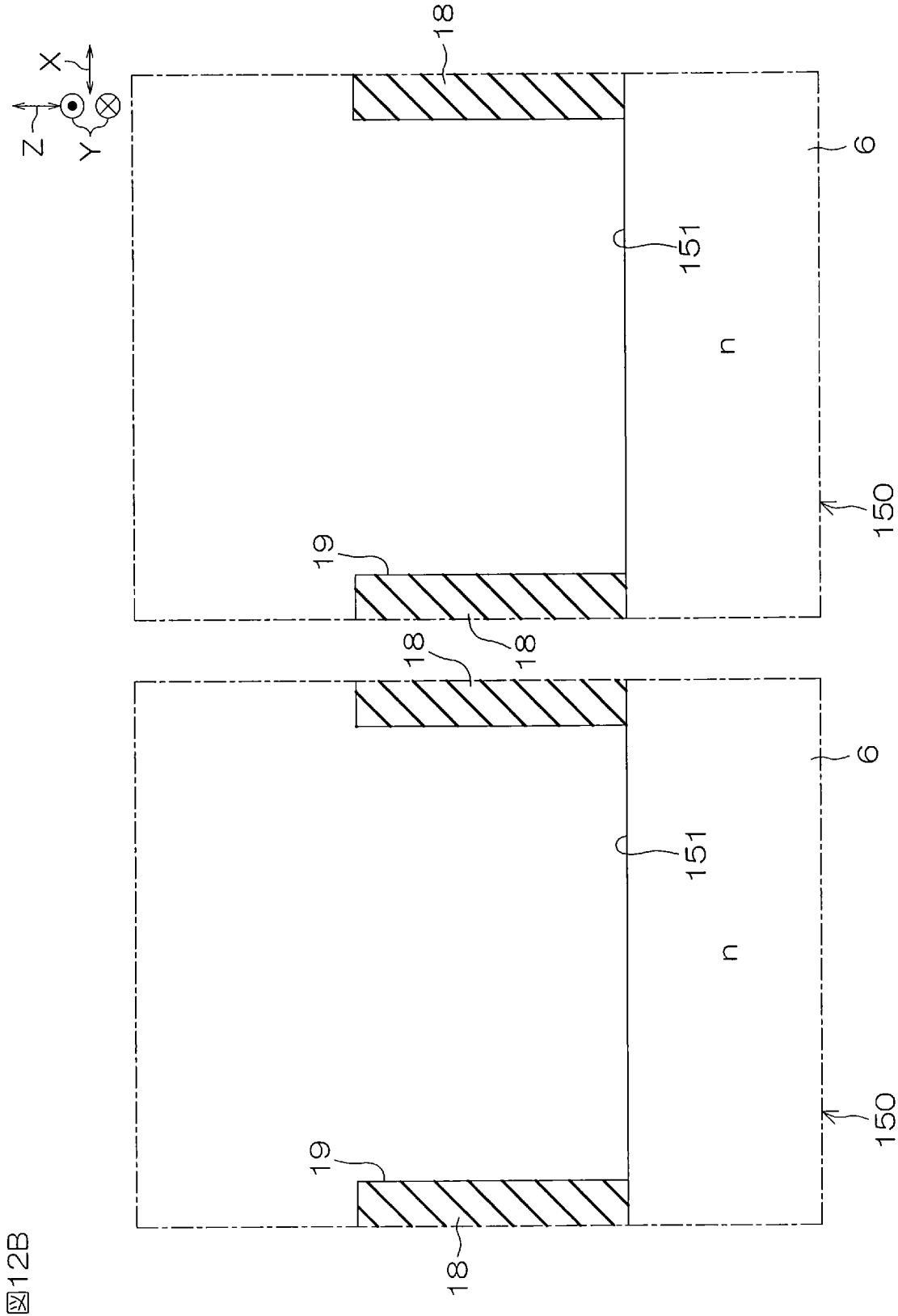
[図11]



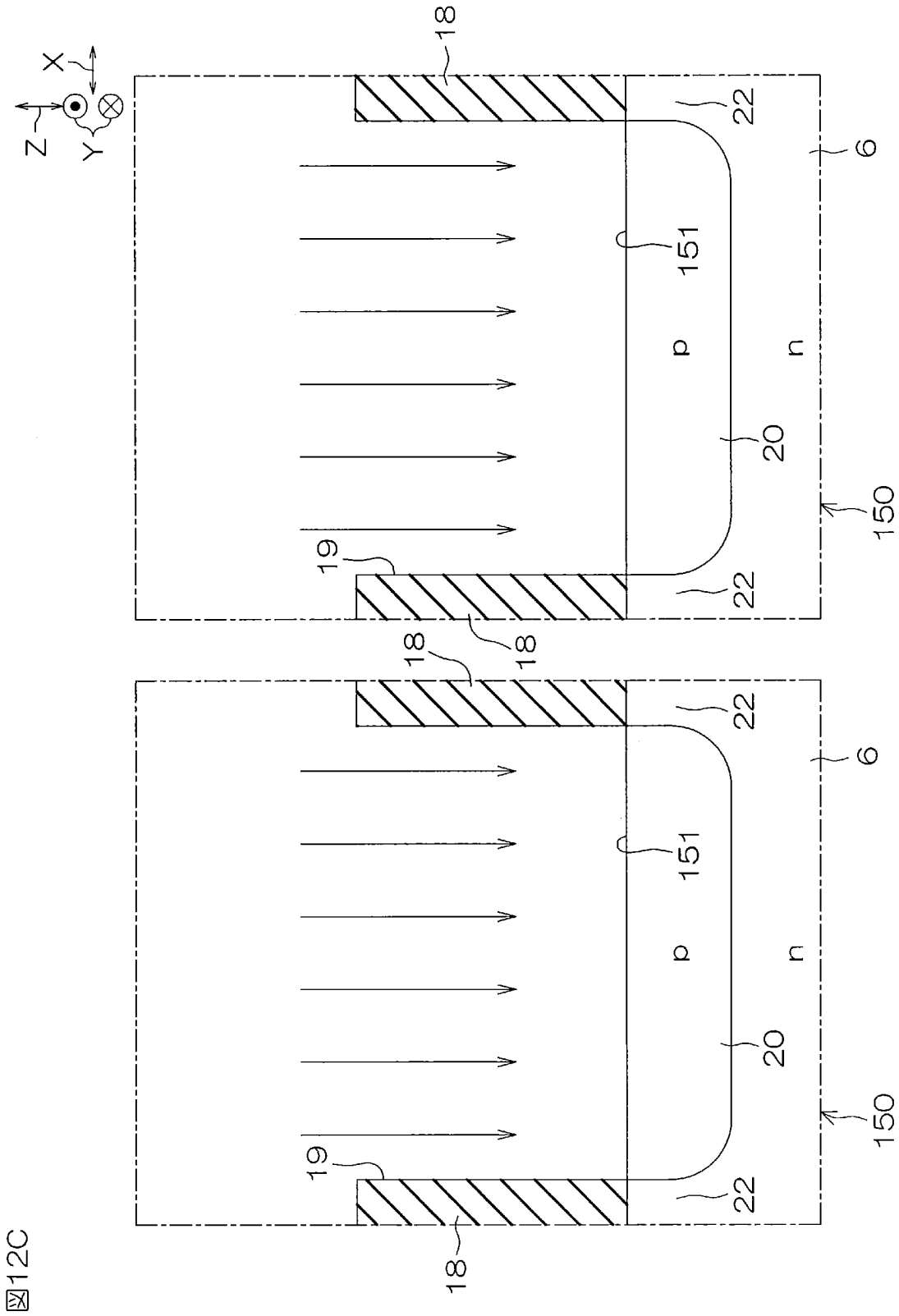
[図12A]



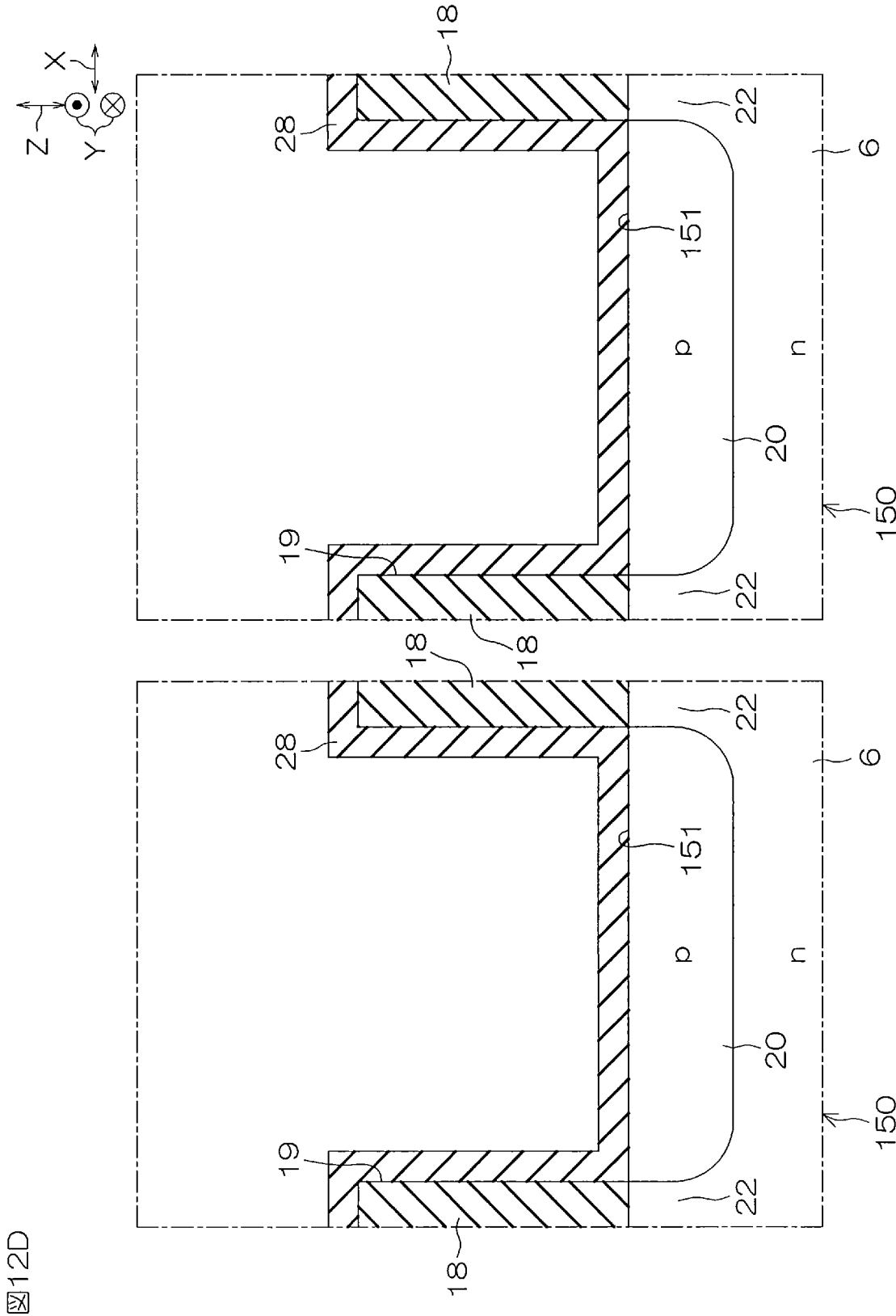
[図12B]



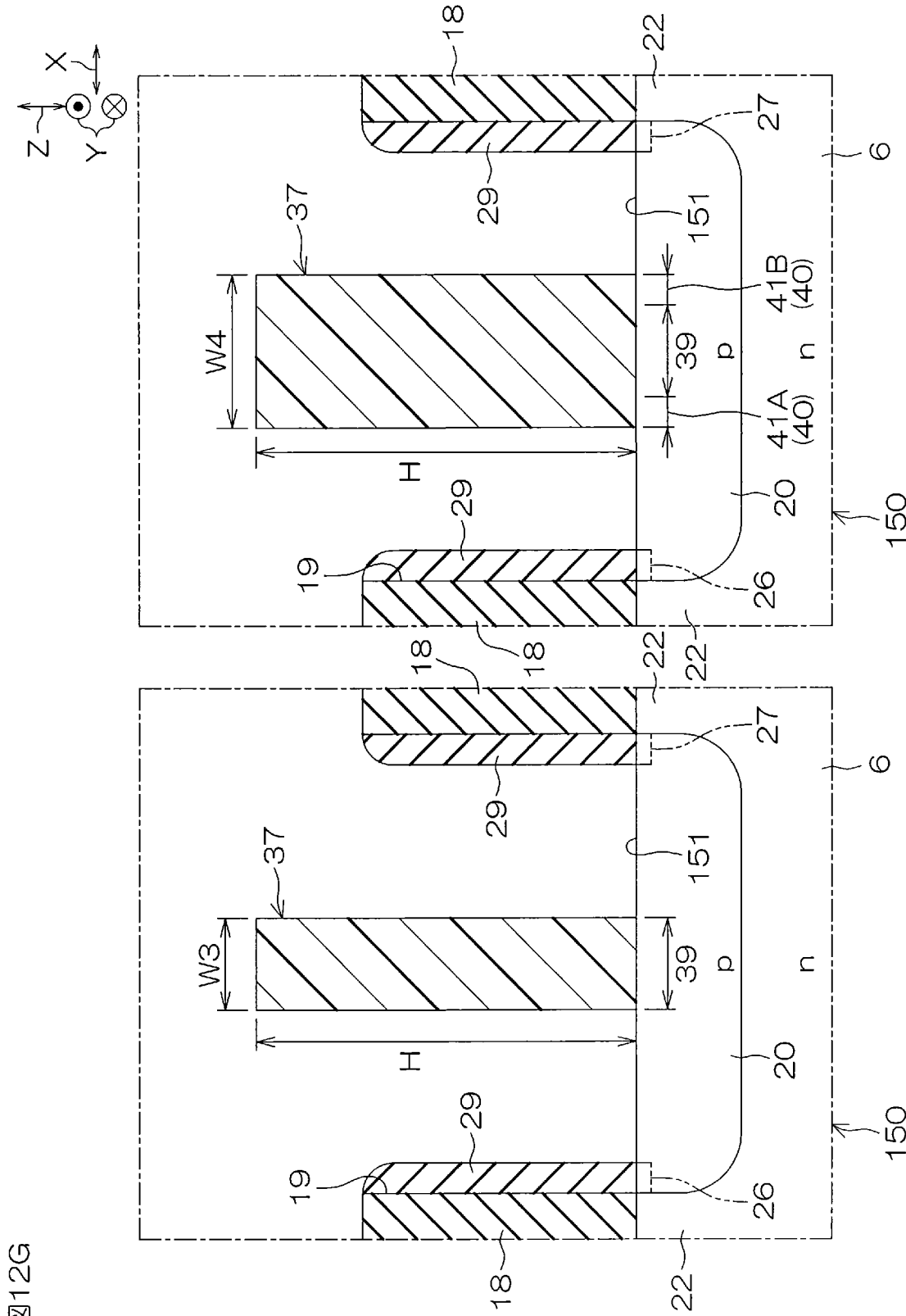
[図12C]



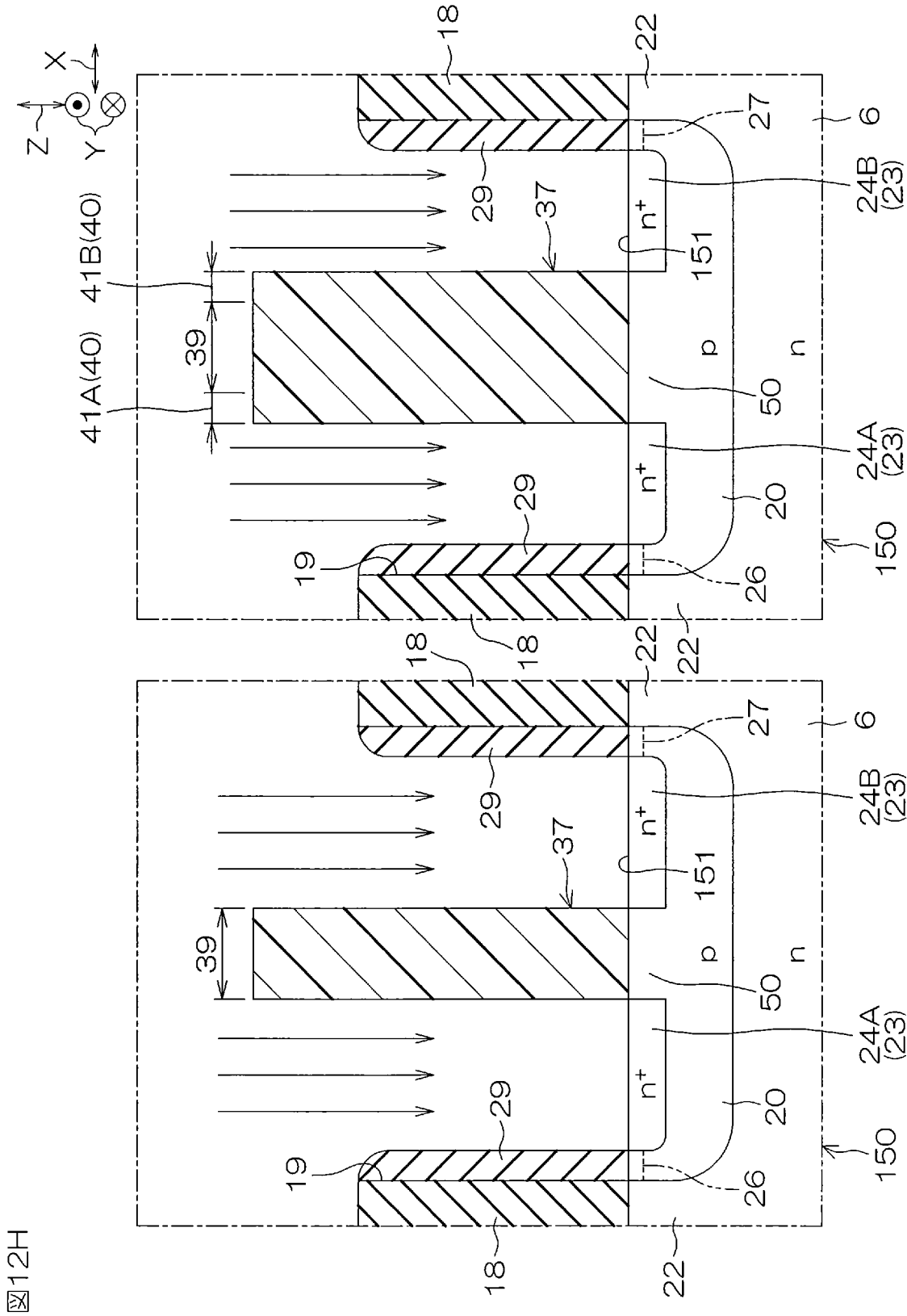
[図12D]



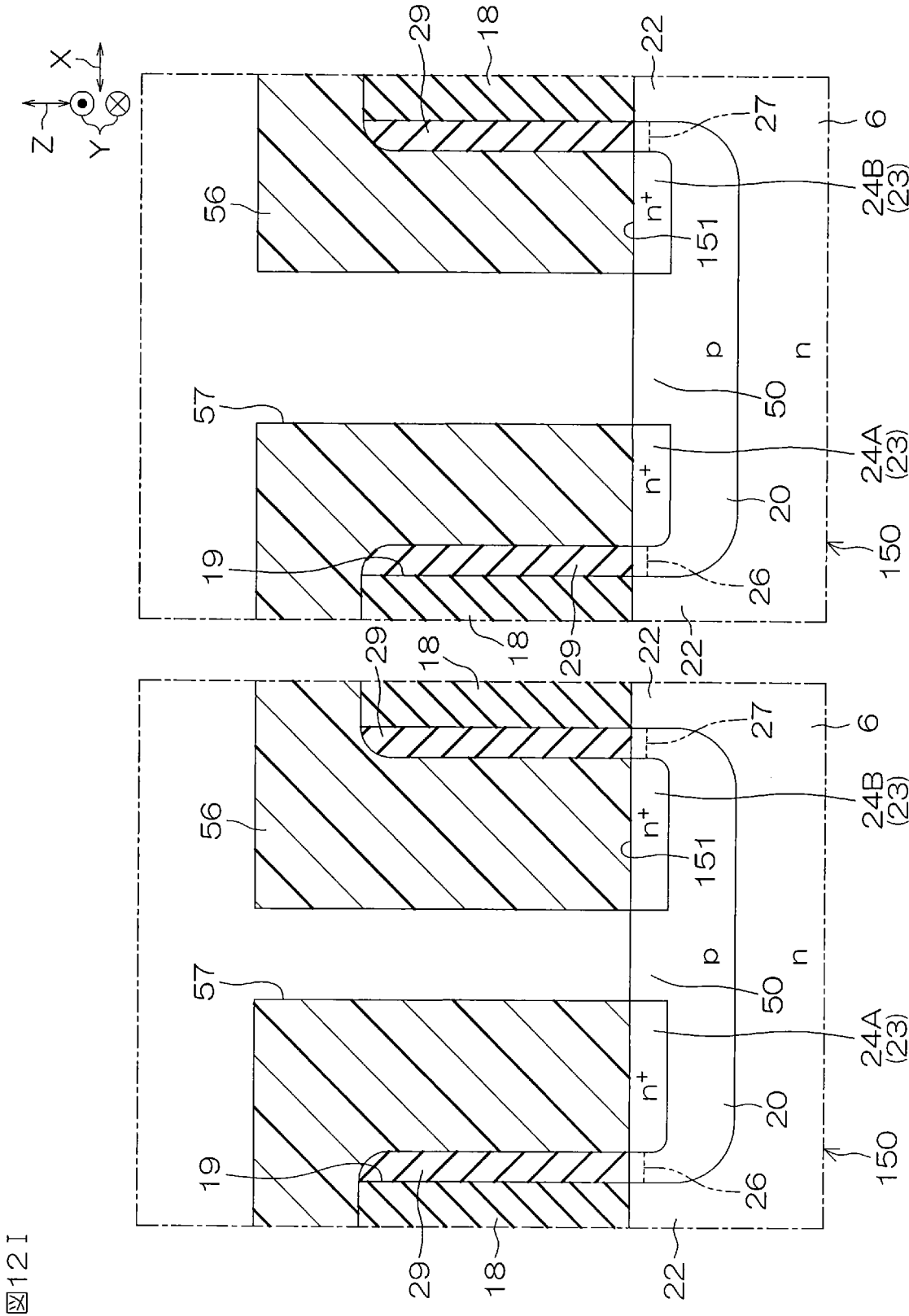
[図12G]



[図12H]

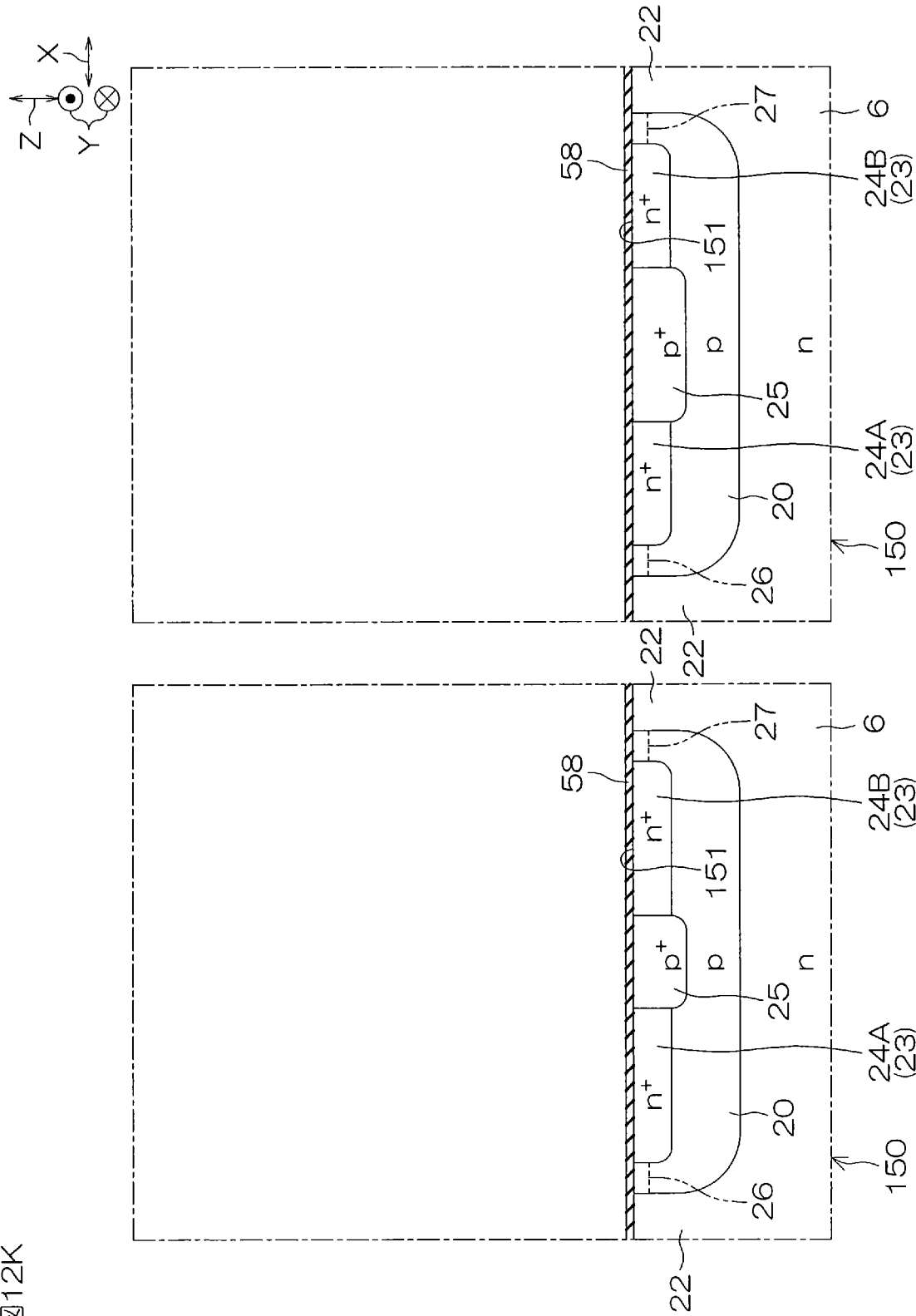


[図12I]

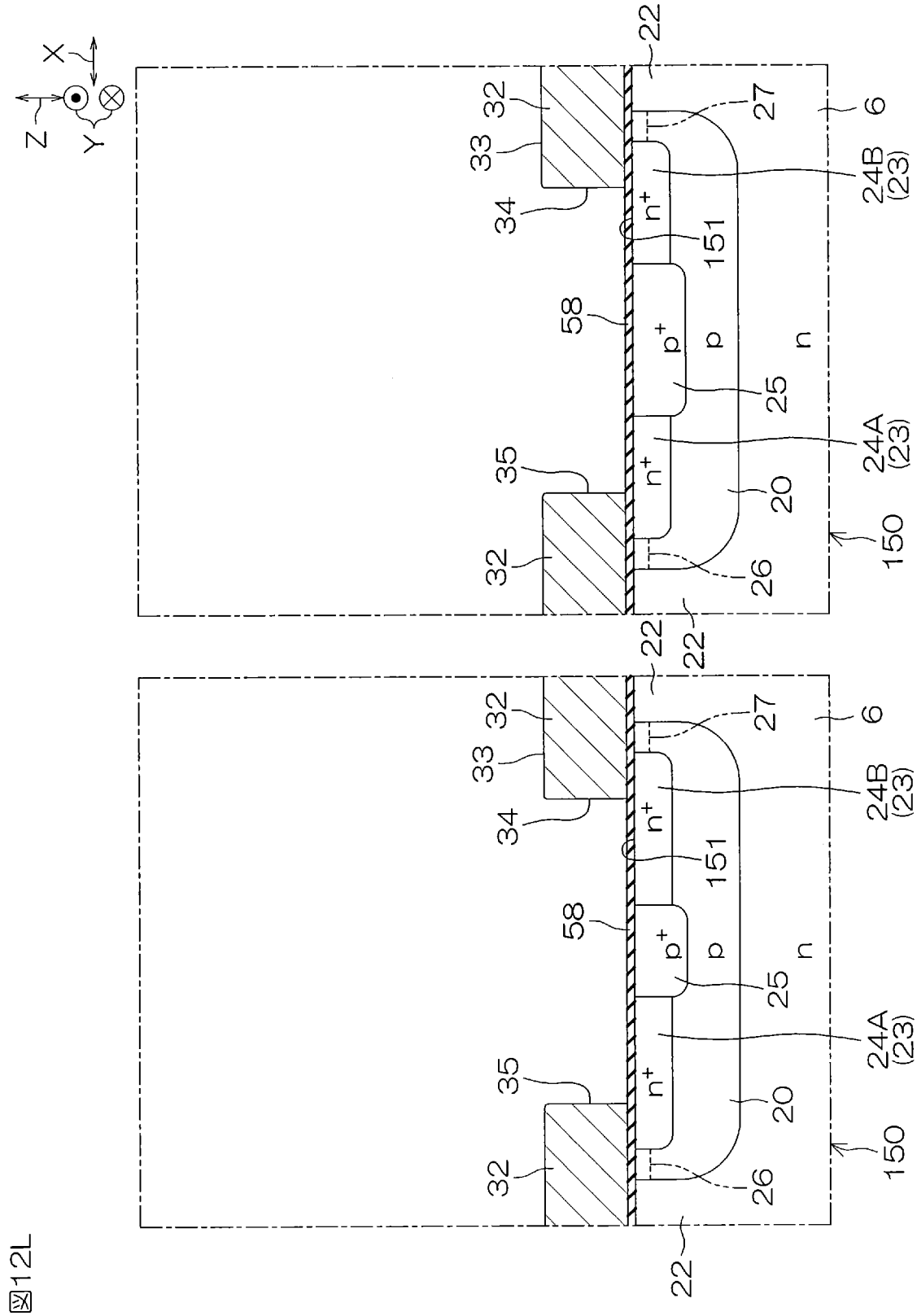


[図12K]

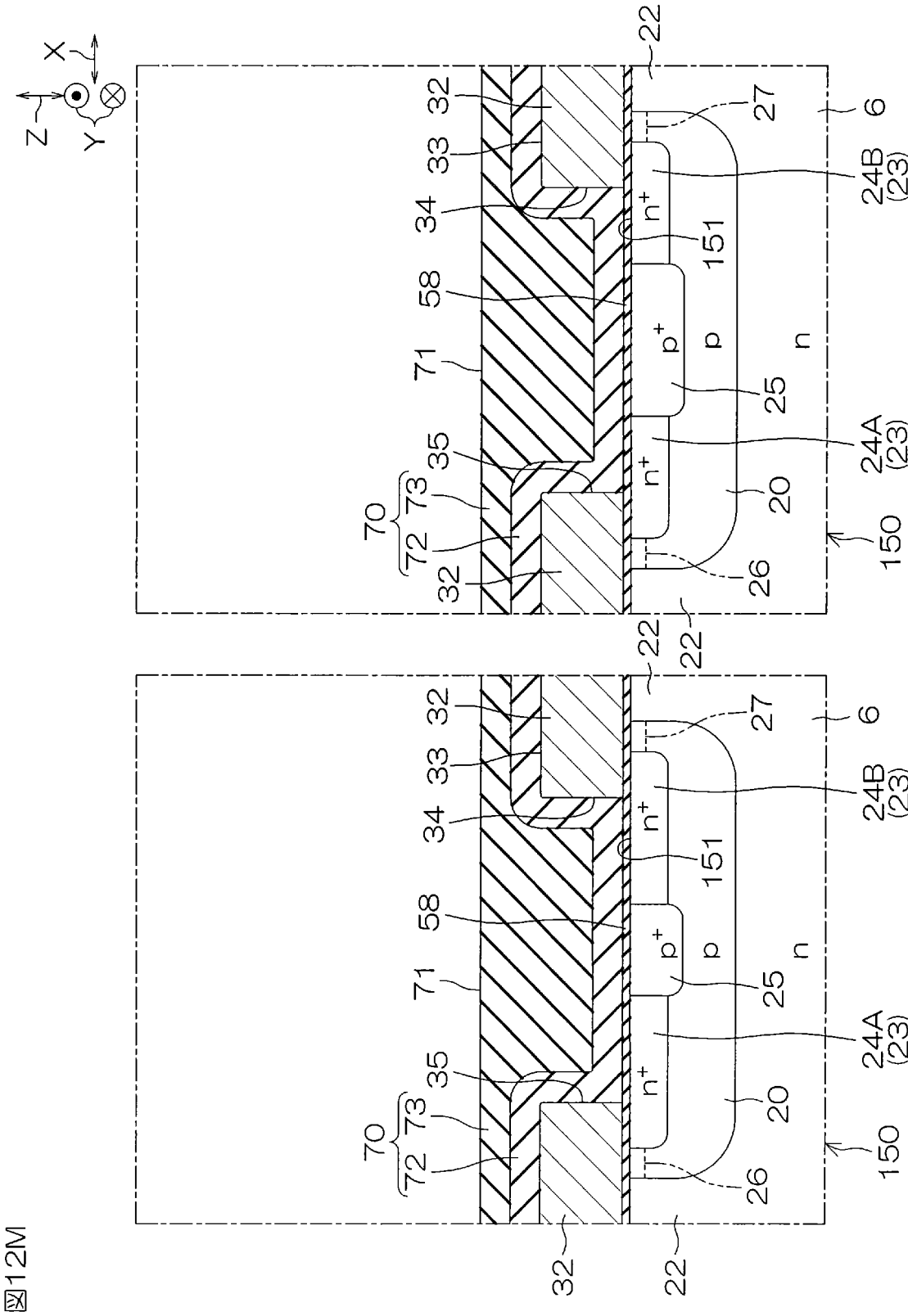
図12K



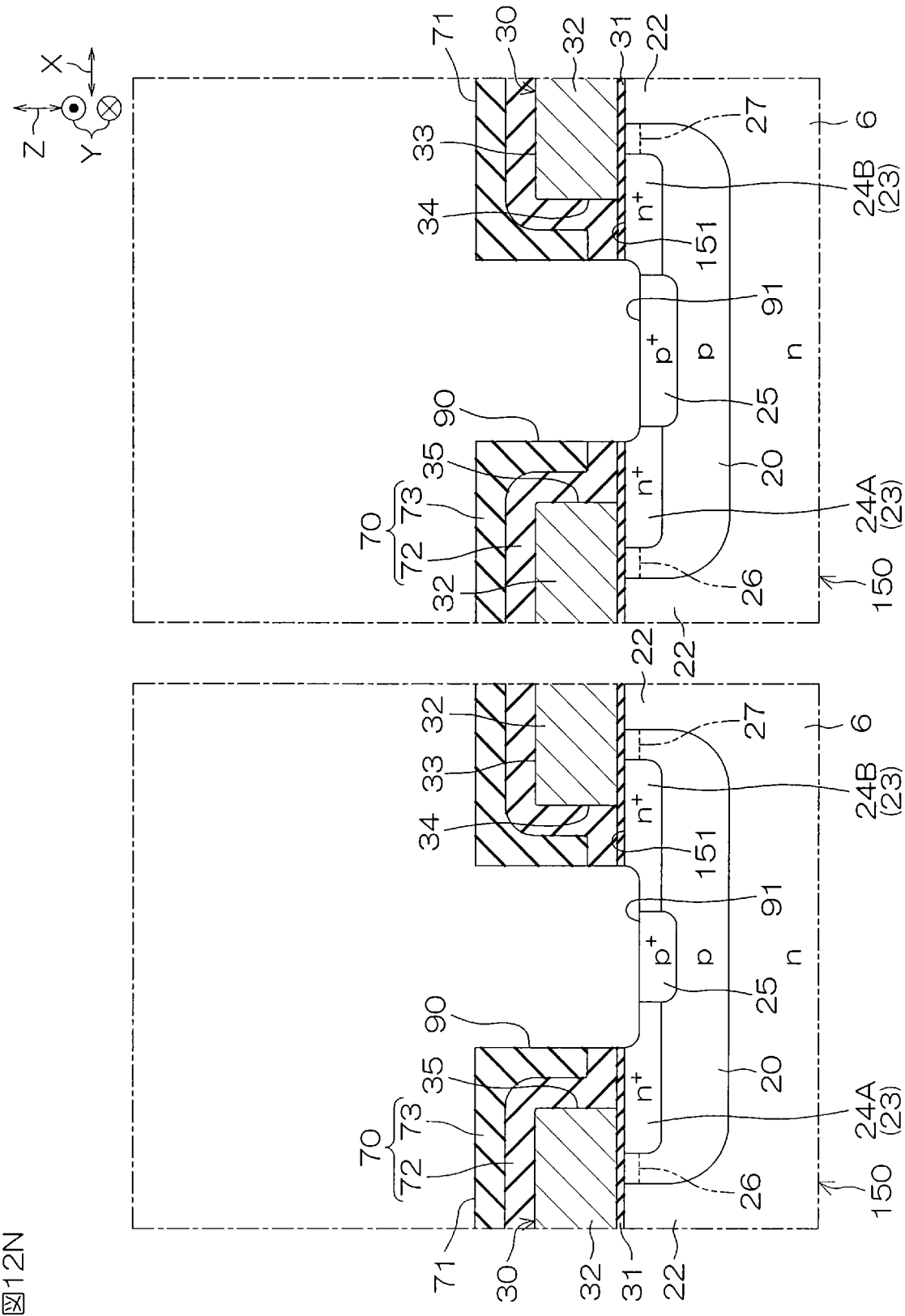
[図12L]



[図12M]

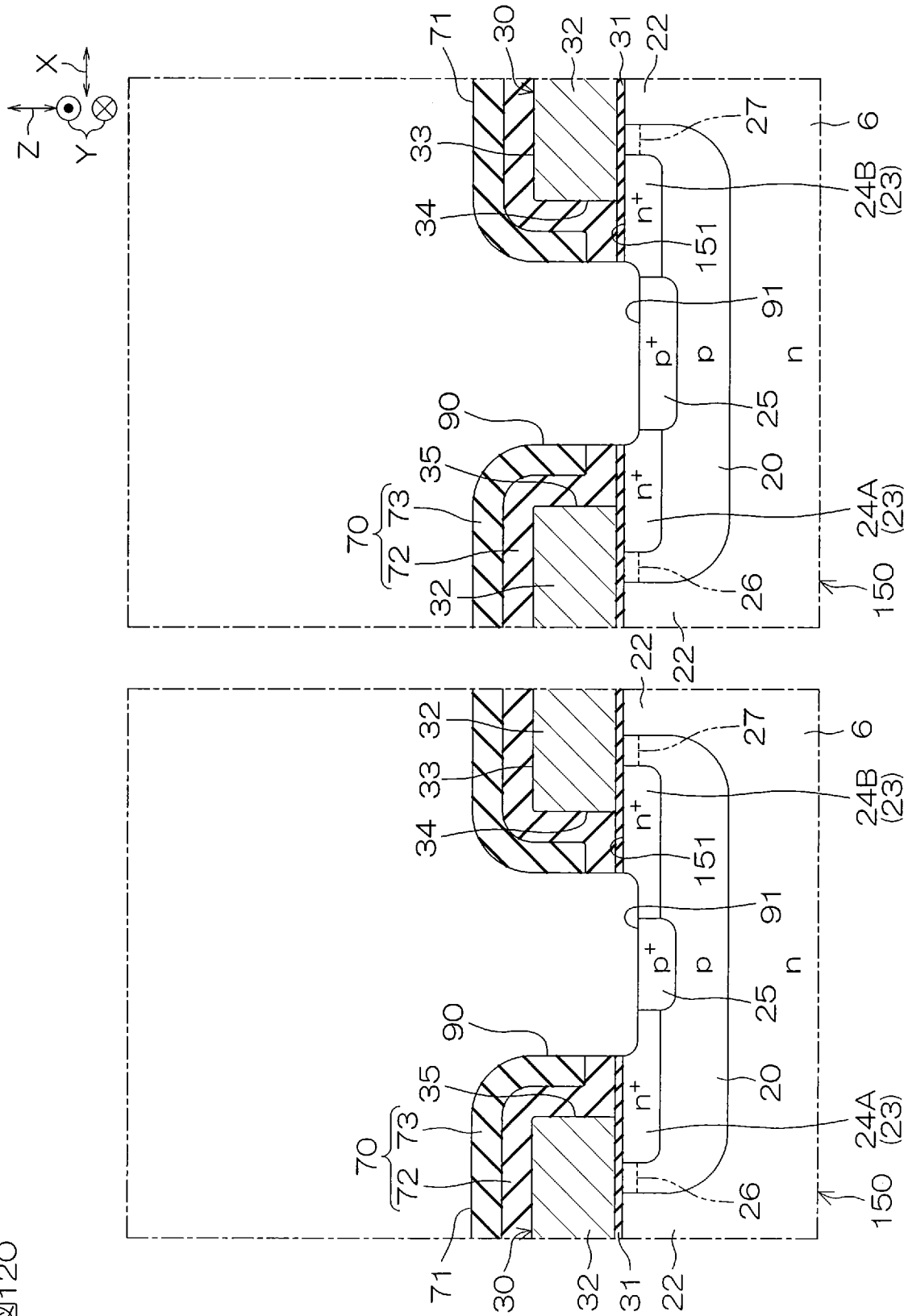


[図12N]



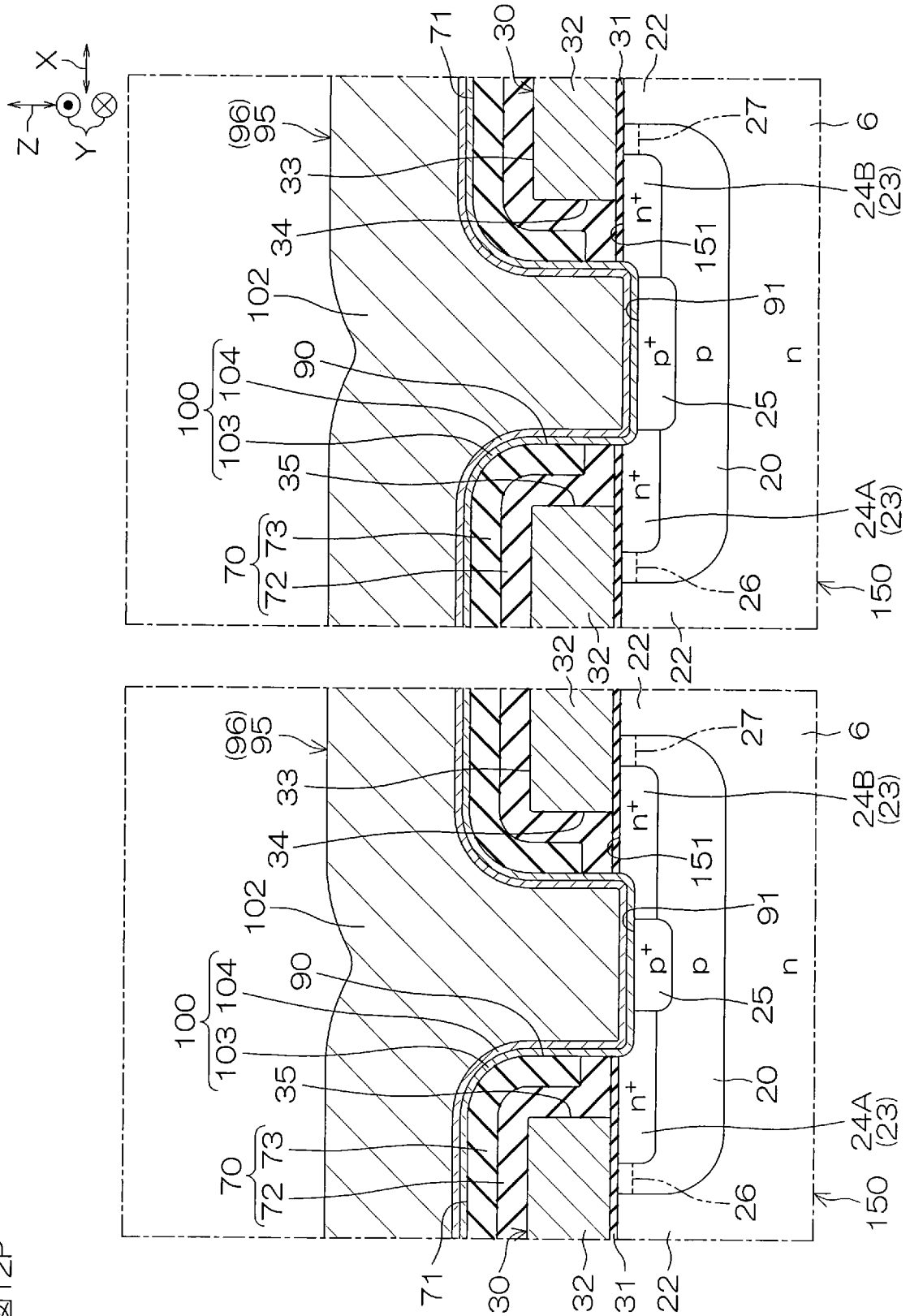
[図120]

図120

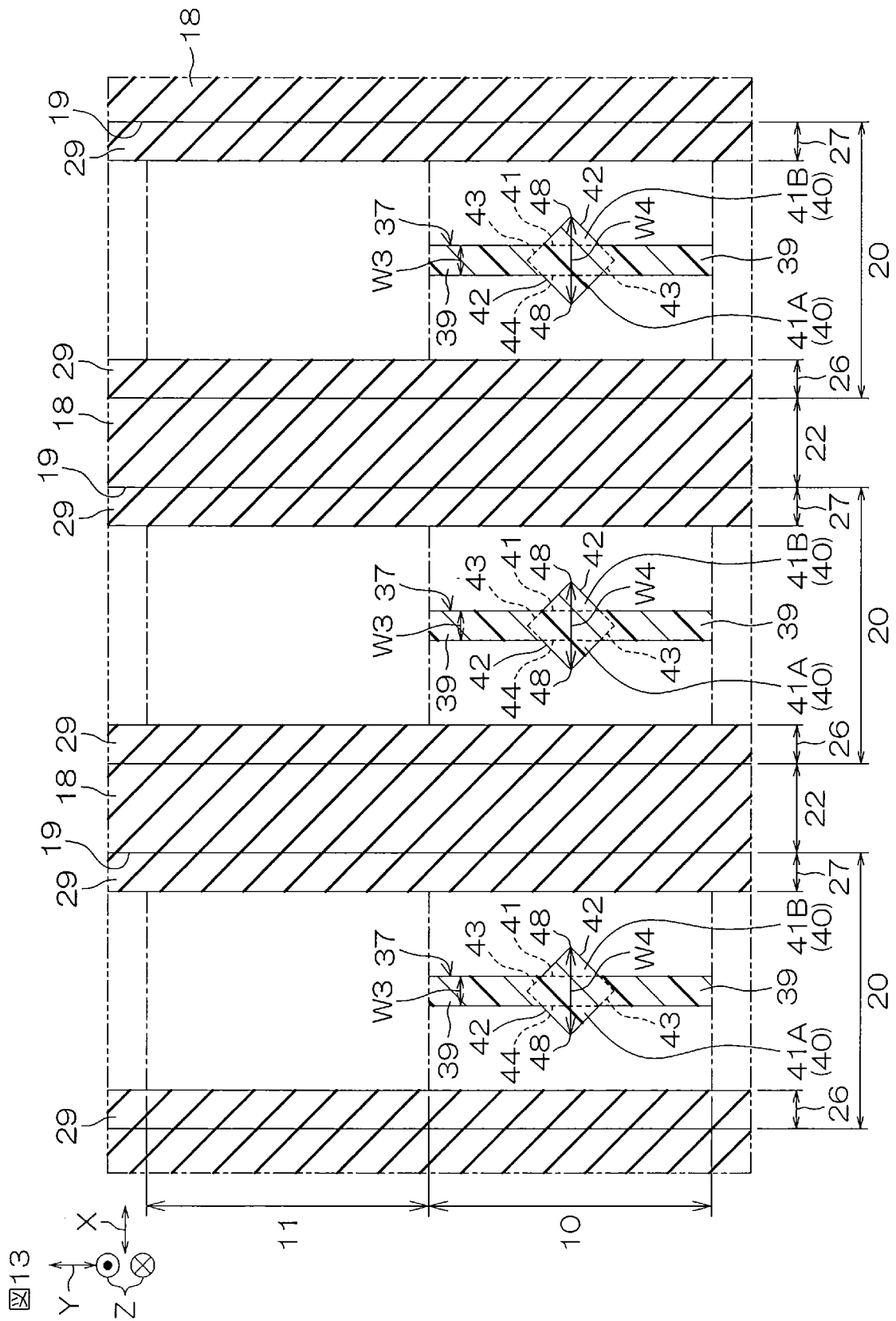


[図12P]

図12P

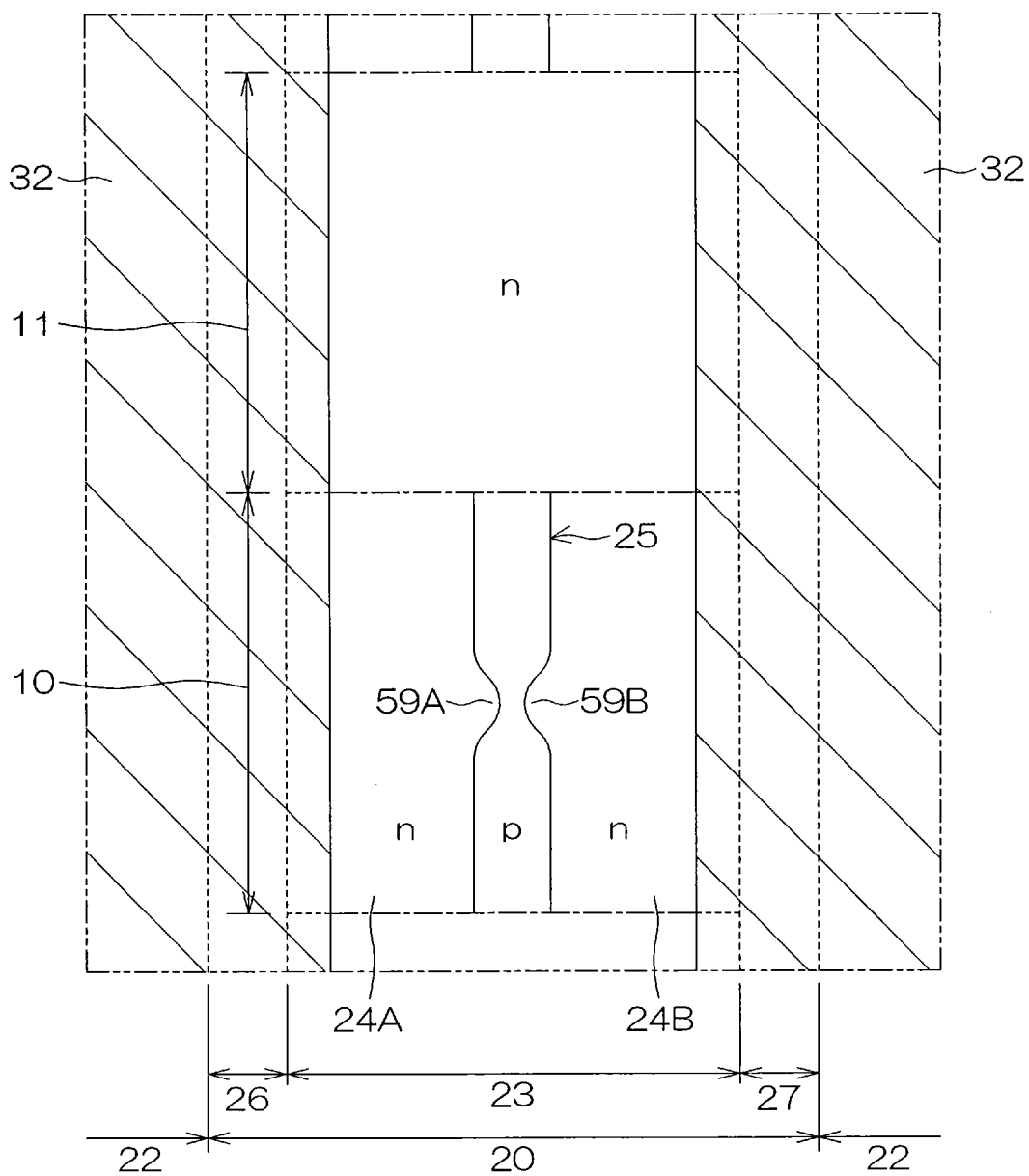
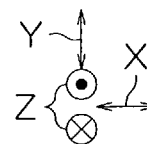


[図13]

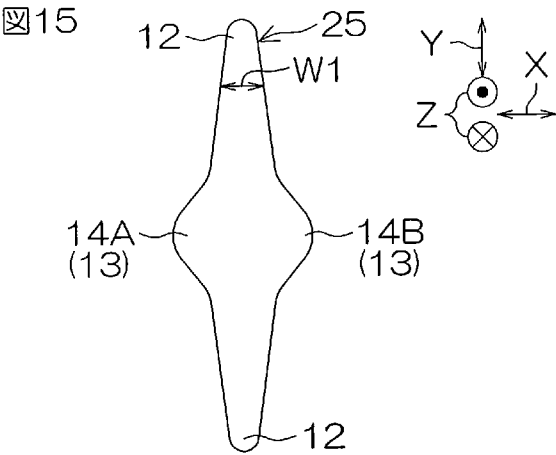


[図14]

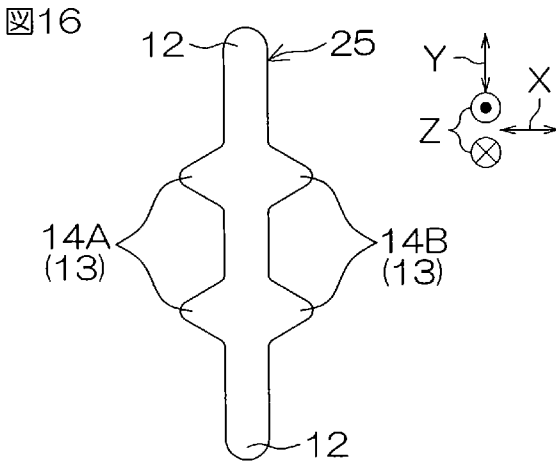
图 14



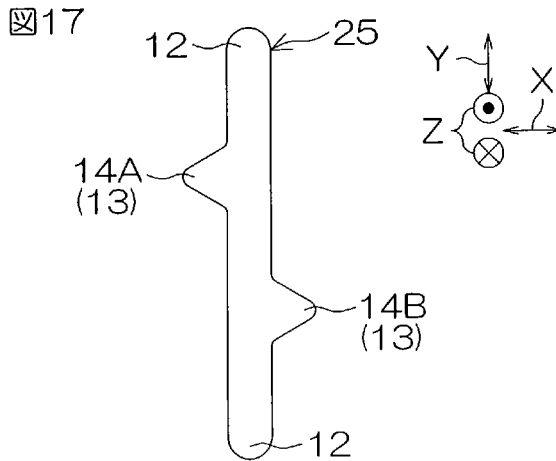
[図15]



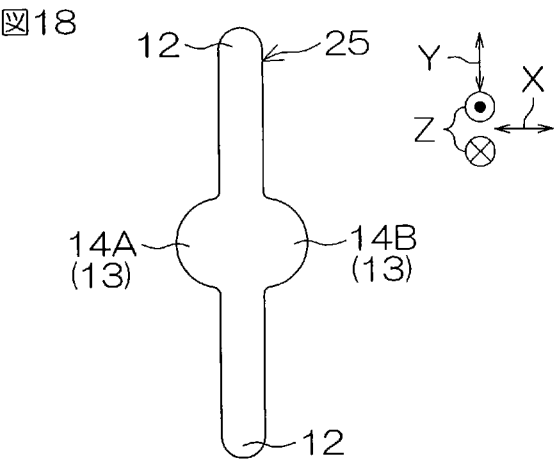
[図16]



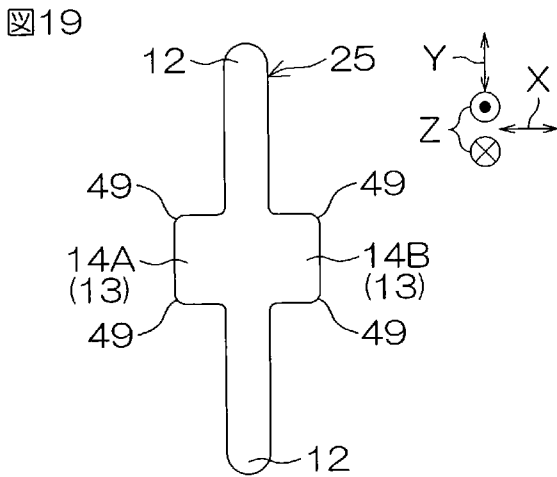
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017697

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; H01L 21/336 (2006.01)i; H01L 29/06 (2006.01)i; H01L 29/12 (2006.01)i; H01L 29/739 (2006.01)i FI: H01L29/78 652F; H01L29/78 652T; H01L29/78 652N; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652J; H01L29/78 652D; H01L29/06 301G; H01L29/06 301V; H01L29/06 301R; H01L29/78 652M; H01L29/78 658A; H01L29/78 658F; H01L29/78 658G; H01L29/78 655A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/135940 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29 November 2007 (2007-11-29) paragraphs [0099]-[0111], [0113]-[0115], [0122], fig. 11, 13, 15(b), 15(f)	1-4, 7, 13, 15-16
Y		8-10, 14, 17
A		5-6, 11, 12, 18
X	WO 2010/004715 A1 (PANASONIC CORPORATION) 14 January 2010 (2010-01-14) paragraphs [0086]-[0087], [0131]-[0151], [0224]-[0230], fig. 2, 9, 36-37	1-3, 7, 13, 15-16
Y		8-9, 14, 17-18
A		4-6, 10-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 09 July 2024		Date of mailing of the international search report 30 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017697

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-191916 A (HITACHI, LTD.) 19 October 2017 (2017-10-19) paragraphs [0037]-[0041], [0047]-[0048], [0052]-[0057], fig. 4, 8, 9B	1-3, 7, 15
Y		18
A		4-6, 8-14, 16-17
Y	JP 2021-027138 A (KABUSHIKI KAISHA TOSHIBA) 22 February 2021 (2021-02-22) paragraphs [0014]-[0017], [0025], fig. 1, 2	8-10, 14
A		1-7, 11-13, 15-18
Y	JP 2021-182639 A (MITSUBISHI ELECTRIC CORPORATION) 25 November 2021 (2021-11-25) paragraphs [0023]-[0041], fig. 1-4	8-10, 14
A		1-7, 11-13, 15-18
Y	WO 2008/087763 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 July 2008 (2008-07-24) paragraphs [0017]-[0024], fig. 11	17
A		1-16, 18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/017697

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2007/135940	A1	29 November 2007	US 2009/0101918 A1 paragraphs [0136]-[0148], [0150]-[0152], [0158]-[0159], fig. 11, 13, 15(b), 15(f) CN 101449384 A	
WO	2010/004715	A1	14 January 2010	US 2010/0295062 A1 paragraphs [0129]-[0131], [0176]-[0197], [0270]-[0276], fig. 2, 9, 36-37 CN 102084483 A	
JP	2017-191916	A	19 October 2017	(Family: none)	
JP	2021-027138	A	22 February 2021	US 2021/0036116 A1 paragraphs [0038]-[0041], [0049]-[0050], fig. 1, 2 CN 112310216 A	
JP	2021-182639	A	25 November 2021	US 2021/0288156 A1 paragraphs [0060]-[0078], fig. 1-4 US 2022/0149167 A1 WO 2018/225600 A1 DE 112018002873 T5 CN 110709997 A	
WO	2008/087763	A1	24 July 2008	US 2010/0048004 A1 paragraphs [0018]-[0025], fig. 11 CN 101584029 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i;
H01L 29/739(2006.01)i
FI: H01L29/78 652F; H01L29/78 652T; H01L29/78 652N; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652J;
H01L29/78 652D; H01L29/06 301G; H01L29/06 301V; H01L29/06 301R; H01L29/78 652M; H01L29/78 658A;
H01L29/78 658F; H01L29/78 658G; H01L29/78 655A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L29/78; H01L21/336; H01L29/06; H01L29/12; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2007/135940 A1（松下電器産業株式会社）29.11.2007（2007-11-29） 段落0099-0111, 0113-0115, 0122, 図11, 13, 15(b), 15(f)	1-4, 7, 13, 15-16
Y		8-10, 14, 17
A		5-6, 11, 12, 18
X	WO 2010/004715 A1（パナソニック株式会社）14.01.2010（2010-01-14） 段落0086-0087, 0131-0151, 0224-0230, 図2, 9, 36-37	1-3, 7, 13, 15-16
Y		8-9, 14, 17-18
A		4-6, 10-12
X	JP 2017-191916 A（株式会社日立製作所）19.10.2017（2017-10-19） 段落0037-0041, 0047-0048, 0052-0057, 図4, 8, 9B	1-3, 7, 15
Y		18
A		4-6, 8-14, 16-17

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

09.07.2024

国際調査報告の発送日

30.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

恩田 和彦 5F 5896

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2021-027138 A (株式会社東芝) 22.02.2021 (2021 - 02 - 22) 段落0014-0017, 0025, 図1, 2	8-10, 14
A		1-7, 11-13, 15-18
Y	JP 2021-182639 A (三菱電機株式会社) 25.11.2021 (2021 - 11 - 25) 段落0023-0041, 図1-4	8-10, 14
A		1-7, 11-13, 15-18
Y	WO 2008/087763 A1 (松下電器産業株式会社) 24.07.2008 (2008 - 07 - 24) 段落0017-0024, 図11	17
A		1-16, 18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017697

引用文献			公表日	パテントファミリー文献	公表日
WO	2007/135940	A1	29.11.2007	US 2009/0101918 A1 段落0136-0148, 0150-0152, 0158-0159, 図11, 13, 15(b), 15(f) CN 101449384 A	
WO	2010/004715	A1	14.01.2010	US 2010/0295062 A1 段落0129-0131, 0176-0197, 0270-0276, 図2, 9, 36-37 CN 102084483 A	
JP	2017-191916	A	19.10.2017	(ファミリーなし)	
JP	2021-027138	A	22.02.2021	US 2021/0036116 A1 段落0038-0041, 0049-0050, 図1, 2 CN 112310216 A	
JP	2021-182639	A	25.11.2021	US 2021/0288156 A1 段落0060-0078, 図1-4 US 2022/0149167 A1 WO 2018/225600 A1 DE 112018002873 T5 CN 110709997 A	
WO	2008/087763	A1	24.07.2008	US 2010/0048004 A1 段落0018-0025, 図11 CN 101584029 A	