(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월27일
(11) 등록번호 10-1437275
(24) 등록일자 2014년08월27일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2013-0031629
(22) 출원일자 2013년03월25일
심사청구일자 2013년03월25일
(56) 선행기술조사문헌
JP2002222949 A*
JP2001274414 A
JP2001313393 A
KR1020100109920 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
성만영
서울 중랑구 신내로21길 16, 521동 604호 (묵동, 신내두산아파트)
조유습
서울 마포구 양화진2길 34, 103호 (합정동)
금종민
서울 양천구 목동서로 130, 404동 1502호 (목동, 목동4단지아파트)
(74) 대리인
송인호, 민영준, 최관락

전체 청구항 수 : 총 3 항 심사관 : 최정민

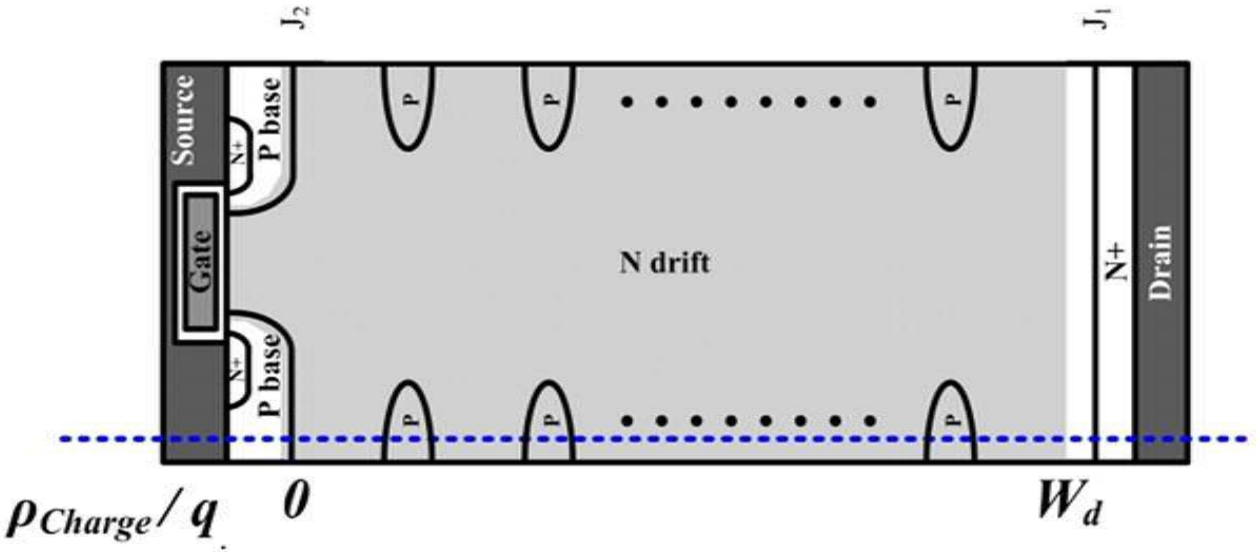
(54) 발명의 명칭 **다수의 F L I 구조를 갖는 반도체 소자**

(57) 요 약

본 발명은 다수의 FLI 구조를 갖는 반도체 소자에 관한 것이다.

본 발명의 일실시예에 의한 다수의 FLI 구조를 가지는 반도체 소자는 N형 기판 상에 형성된 N형 드리프트 영역; 상기 N형 드리프트 영역 상에 형성된 P-base 영역; 상기 P-base 및 상기 N+ 영역과 접촉하도록 상기 N형 드리프트 영역 상에 형성된 소스 전극; 상기 N형 드리프트 영역 상에 형성된 게이트 전극; 상기 N형 기판 하부 상에 형성된 드레인 전극; 및 상기 N형 드리프트 영역 상에 형성된 복수의 플로팅 P형 영역을 포함하되, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압 및 상기 복수의 플로팅 P형 영역의 개수에 근거하여 결정된 것을 특징으로 한다.

대 표 도 - 도6



특허청구의 범위

청구항 1

N형 기판 상에 형성된 N형 드리프트 영역;

상기 N형 드리프트 영역 상에 형성된 P-base 영역;

상기 P-base 영역 내에 형성된 N+ 영역;

상기 P-base 및 상기 N+ 영역과 접촉하도록 상기 N형 드리프트 영역 상에 형성된 소스 전극;

상기 N형 드리프트 영역 상에 형성된 게이트 전극;

상기 N형 기판 하부 상에 형성된 드레인 전극; 및

상기 N형 드리프트 영역 상에 형성된 복수의 플로팅 P형 영역을 포함하되,

상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압에 근거하여 결정되되,

상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 상기 Nd에 n을 곱한 값으로 정의되되, 상기 n은 하기 수학식 1에 의해 산출되는 것을 특징으로 하는 반도체 소자.

[수학식 1]

$n = (m+2)*0.7$

(여기서, m은 플로팅 P형 영역의 개수를 의미한다)

청구항 2

제 1 항에 있어서, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는,

상기 Nd에 n을 곱한 값으로 정의되고, 상기 n은 ±10%의 마진을 가지는 것을 특징으로 하는 반도체 소자.

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 플로팅 P형 영역은

P형 반도체 영역으로 Si, SiC, GaAs, 및 GaN 중 적어도 하나의 물질로 이루어진 영역인 것을 특징으로 하는 반도체 소자.

청구항 5

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 소자의 제조에 관한 것으로, 보다 상세하게는 다수의 FLI 구조를 갖는 반도체 소자에 관한 것이다.

배 경 기 술

[0002] 파워 반도체는 고전압 고전류를 제어하는 전기적 스위치 역할을 하는 반도체 소자로서, 전력전자산업이 발달함에 따라 그 중요성이 점점 높아지고 있다.

[0003] 특히 최근 에너지 절감과 관련된 기술들이 큰 화두로 떠올라 파워 반도체 분야에서도 에너지 절감을 위한 노력이 이루어지고 있다.

[0004] 파워 반도체 소자의 하나로 Power MOSFET이 있다. Power MOSFET은 큰 전력(약 600V 이상)을 처리하기 위해 설계된 금속 산화막 반도체 전계효과 트랜지스터 (MOSFET)의 특정 종류이다. 다른 전력 반도체 소자(절연 게이트 양극성 트랜지스터 (IGBT), 사이리스터 등)들에 비해 주요한 장점은 낮은 전압에서 통신 속도가 빠르고 효율이 좋다는 것이다. 이것은 절연 게이트 양극성 트랜지스터의 격리된 게이트와 공유되어 신호인가를 쉽게 할 수 있다.

[0005] Power MOSFET은 높은 입력 임피던스 및 빠른 스위칭 특성으로 모바일기기, 가전제품, 사무기기뿐만 아니라 미래 자동차인 전기자동차에도 전기적 에너지 제어를 위해 필수적이다.

[0006] 전술한 바와 같이, 에너지절감, 즉 Power MOSFET의 특성 향상을 위해서는 높은 항복 전압을 확보하는 동시에 좋은 전도도를 갖도록 설계해야 한다. 하지만 이 두 가지 특성은 Trade-off 관계를 가지므로 동시에 만족시키기 어려운 문제점이 있다.

[0007] 등록특허 10-1088061호에는 플로팅 게이트를 갖는 비휘발성 기억 소자 및 그 형성 방법에 대해 개시되어 있다.

[0008] 하지만, 등록특허 10-1088061호에는 N형 드리프트 층의 농도 조절을 통해 높은 항복 전압 및 좋은 전도도를 갖는 반도체 소자에 대해서는 개시되어 있지 않다.

[0009] 따라서 높은 항복 전압과 좋은 전도도를 동시에 갖는 Power MOSFET에 대한 연구가 필요한 실정이다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 다수의 FLI(Floating Island) 구조를 가지는 반도체 소자의 항복 전압이 FLI 구조가 없는 특정 반도체 소자에 해당하는 항복 전압과 동일 또는 유사하게 유지되도록 최적화된 N형 드리프트 층의 불순물 농도를 가지는 반도체 소자를 제공하는 데 있다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위해 본 발명의 일실시예에 의하면, N형 기판 상에 형성된 N형 드리프트 영역; 상기 N형 드리프트 영역 상에 형성된 P-base 영역; 상기 P-base 및 상기 N+ 영역과 접촉하도록 상기 N형 드리프트 영역 상에 형성된 소스 전극; 상기 N형 드리프트 영역 상에 형성된 게이트 전극; 상기 N형 기판 하부 상에 형성된 드레인 전극; 및 상기 N형 드리프트 영역 상에 형성된 복수의 플로팅 P형 영역을 포함하되, 상기 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압 및 상기 복수의 플로팅 P형 영역의 개수에 근거하여 결정된 것을 특징으로 하는 반도체 소자가 제공된다.

발명의 효과

[0012] 본 발명의 일실시예에 의한 반도체 소자의 제조는 높은 항복 전압을 확보하는 동시에 좋은 전도도를 가질 수 있다.

[0013] 본 발명의 일실시예에 의하면, N형 드리프트 층의 불순물 농도의 조절을 통해 다수의 FLI 구조를 가지는 반도체 소자의 항복 전압이 FLI 구조가 없는 특정 반도체 소자에 해당하는 항복 전압과 동일 또는 유사하게 유지될 수 있다.

도면의 간단한 설명

[0014] 도 1은 FLI 구조가 없는 특정 반도체 소자의 예시도이다.

도 2는 FLI 구조가 없는 특정 반도체 소자의 항복 전압을 계산하는 방법을 설명하기 위한 도면이다.

도 3은 단일 FLI 구조를 가지는 반도체 소자의 예시도이다.

도 4는 단일 FLI 구조를 가지는 반도체 소자의 전계 프로파일을 나타내는 예시도이다.

도 5는 단일 FLI 구조를 가지는 반도체 소자의 불순물 농도를 결정하는 방법을 설명하기 위한 도면이다.

도 6은 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자의 예시도이다.

도 7 내지 도 10은 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자에서 FLI 증가에 따른 항복전압 저하 현상을 설명하기 위한 반도체 소자들의 3차원 전계 분포도를 나타낸다.

도 11은 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자에서 항복전압 특성을 유지하기 위해 N-드리프트 영역의 도핑농도를 설정하는 방법을 설명하기 위한 도면이다.

도 12는 2개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이다.

도 13는 3개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이다.

도 14는 4개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이다.

도 15는 5개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 일실시예와 관련된 다수의 FLI 구조를 갖는 반도체 소자에 도면을 참조하여 설명하도록 하겠다.

[0016] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다.

[0017] 먼저, FLI 구조가 없는 특정 반도체 소자 및 상기 특정 반도체 소자의 항복 전압을 구하는 방법 및 단일 FLI 구조를 가지는 반도체 소자에 대해 설명하고, 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자에 대해 설명하도록 하겠다.

[0018] 도 1은 FLI 구조가 없는 특정 반도체 소자의 예시도이다.

[0019] 도 1에 도시된 특정 반도체 소자(예: Power MOSFET 또는 파워 반도체 소자)의 Switch-ON 상태에서의 전력 손실은 정격전류에서의 전압 강하량으로 생각할 수 있다. 전압강하는 Power MOSFET이 Switch-ON 상태에서 전류를 통할 때 반도체 소자 내의 저항에 의한 강하이다. 즉, Switch-ON 상태 전압강하는 반도체 소자에서 각 영역의 저항 성분으로 분석할 수 있으며 이를 수식으로 표현하면 아래 수학식 1과 같다.

수학식 1

[0020] $$R_{ON} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S$$

[0021] 수학식 1의 저항 중 Switch-ON 상태 전압강하에 영향을 미치는 저항은 RJ와 RD이다. RJ는 JFET 영역의 저항으로, 플라나 게이트 MOSFET에서 P 베이스 사이의 전류 통과 영역의 저항이다. 이러한 JFET 영역은 온 상태에서 역방향 전압이 인가되어 P 베이스(P base)와 N-드리프트(N-drift) 접합에 형성되는 공핍층의 확장에 의해 면적이 변할 수 있다.

[0022] RD는 N-드리프트 영역의 저항이다. 이 저항 성분들은 N-드리프트 영역의 저항률과 관계된 저항이므로, 각 영역의 도핑 농도에 의해 정해진다. 그리고 N-드리프트 영역의 도핑 농도가 높을수록 저항은 작아지고 전도도 특성은 우수해져 에너지가 절감될 수 있다.

[0023] 도 2는 FLI 구조가 없는 특정 반도체 소자의 항복 전압을 계산하는 방법을 설명하기 위한 도면이다.

[0024] 항복 전압은 도 2(a)에 도시된 Power MOSFET(또는 파워 반도체 소자)의 오프 상태 유지 능력을 나타내는 중요한 전기적 특성일 수 있다.

[0025] 상기 항복 전압은, 도 2(b)에서와 같이 Switch-OFF 된 MOSFET의 PN 접합에서 공핍층에 인가되는 전기장의 넓이라고 할 수 있다.

[0026] 이것은 Poisson 방정식인 아래 수학식 2 및 수학식 3에 의해 소자 내부의 인가되는 전기장의 적분값이 소자가 견디는 전압이기 때문일 수 있다.

수학식 2

[0027] $$-\frac{\rho_{charge}}{\varepsilon_s}=-\frac{dE(y)}{dy}=\frac{d^2V(y)}{dy^2}$$

수학식 3

[0028] $$BreakdownVoltage=\int_0^d E(y)dy$$

[0029] 여기서, Breakdown Voltage는 항복 전압이다.

[0030] PN 접합에서의 공핍층의 길이는 N-드리프트 영역의 도핑농도에 반비례하므로 도 2(c)와 같이 도핑농도가 높을수록(예를 들어, 도 2(b)의 2배의 도핑농도) MOSFET의 항복 전압이 낮아짐을 알 수 있다.

[0031] 따라서 파워 MOSFET의 항복 전압과 전도도 특성은 서로 Trade-off 관계이고, 항복 전압 대비 최대 전도도 특성을 가지도록 최적화하여 설계하는 것이 중요할 수 있다.

[0032] 도 3은 단일 FLI 구조를 가지는 반도체 소자의 예시도이다.

[0033] 도 3에 도시된 FLI구조를 가지는 반도체 소자(예: MOSFET)는 N-드리프트 영역에 P형 FLI 층(또는 플로팅 P형 영역)을 삽입한 구조이다. MOSFET의 성능을 향상시키려면 N-드리프트 영역의 도핑 농도를 높이는 것이 중요하지만 결과적으로 항복 전압 특성은 저하될 수 있다.

[0034] 그러나 P형 FLI 층을 삽입하게 되면 N-드리프트 영역에서 또 다른 PN 접합 구조가 형성되어 인가된 전압을 견딜 수 있는 영역이 추가될 수 있다.

[0035] 도 3과 같이 도핑 농도를 높인 N-드리프트 영역에 P형 FLI 층을 삽입함으로써 추가적인 삼각형의 전기장 분포가 생기게 되고, 추가된 삼각형의 전기장 분포가 특정 반도체 소자(FLI 구조 없는 MOSFET)에 인가된 전기장과 동일한 넓이를 갖게 해 줄 수 있다.

[0036] 그러므로 FLI 구조의 항복 전압은 기존 MOSFET(FLI 구조 없는 MOSFET)의 항복 전압과 동일 또는 유사해질 수 있다.

[0037] 특히, 수학식 2에 의해 수학식 4가 도출될 수 있다.

수학식 4

[0038] $$\frac{\rho_{charge}}{\varepsilon_s}=\frac{qN_D}{\varepsilon_s}=\frac{dE(y)}{dy}$$

[0039] 수학식 4는 MOSFET에 인가되는 전기장의 미분값, 즉 기울기가 N-드리프트 영역의 도핑농도인 Nd와 비례함을 나타낼 수 있다. 따라서 FLI MOSFET은 기존 MOSFET보다 높은 도핑 농도의 N-드리프트 영역을 갖게 되어 높은 전도도 특성으로 기존과 동일한 항복 전압을 확보할 수 있을 수 있다.

[0040] 한편, 플로팅 P형 영역(P형 FLI)은 P형 반도체 영역으로 Si, SiC,GaAs, 및 GaN 중 적어도 하나의 물질로 이루어질 수 있다.

[0041] 도 4는 단일 FLI 구조를 가지는 반도체 소자의 전계 프로파일을 나타내는 예시도이다.

[0042] 도 4에 도시된 FLI 구조의 MOSFET은 전도도 특성과 항복 전압의 특성의 Trade-OFF 관계를 해결할 수 있는 구조일 수 있다.

[0043] 다만, Power MOSFET에 FLI 구조를 적용함에 있어 항복 전압을 결정하는 최대 임계 전계는 파워 반도체의 도핑 농도와 상관없다고 생각될 수 있지만, 실제로 최대 임계 전계는 도핑농도를 높일수록 높아지게 될 수 있다.

[0044] 그 이유는 불순물의 농도가 높아질수록 Scattering이 강해져 Avalanche Breakdown을 일으키기 위한 전자의 가속이 방해 받기 때문일 수 있다. 즉, 외부에서 인가되는 전계가 더 강해져야 반도체 내부의 전자가 Avalanche Breakdown 현상을 일으킬 수 있다. 따라서 항복현상을 일으키는 최대 임계 전계는 도핑 농도가 높아질수록 높아질 수 있다.

[0045] Fulop의 실험식에 의해, 도핑 농도에 따른 실리콘 반도체의 최대 임계 전계는 수학식 5와 같이 표현될 수 있다.

수학식 5

[0046] $$E_C(Si) = 4010 \times N_D^{\frac{1}{8}}$$

[0047] 수학식 5를 이용하여 FLI MOSFET을 설계 시 기존 MOSFET(FLI 구조가 없는 MOSFET)과 같은 항복 전압을 갖기 위한 최대 도핑 농도와 FLI 층의 수직 위치를 보다 정확히 얻어낼 수 있게 된다.

[0048] 전술한 도 3의 경우, FLI 구조의 적용 및 기존 해석 방법을 나타내는 것으로, 단일 FLI 층 삽입시 최대 임계 전계 변화를 고려하지 않았다.

[0049] 그러나 도핑 농도에 따른 최대 임계 전계 변화를 고려하게 되면, 2배의 도핑 농도로 인해 아래 수학식 6과 같이 9%의 임계 전계 향상으로 도 5와 같이 기존 BV보다 넓이가 증가할 수 있다.

수학식 6

[0050] $$E_{C,\mathrm{modified}}(Si) = 4010 \times (2N_D)^{\frac{1}{8}} = 1.09 E_C(Si)$$

[0051] 도 14에서 보이는 Excess Area는 항복 전압을 높여주지만 인가된 전기장의 기울기 값을 더 크게 만들 수 있는 여지가 있다는 점에서 손실이다. 즉, MOSFET에 도핑 농도를 더욱 높일 수 있는 Margin을 갖고 있음을 알 수 있다. 따라서 상기 Margin을 고려하여 불순물의 농도를 결정하는 것이 필요하다.

[0052] 도 5는 단일 FLI 구조를 가지는 반도체 소자의 불순물 농도를 결정하는 방법을 설명하기 위한 도면이다.

[0053] 도 5에 도시된 바와 같이, 더욱 높은 전도도 특성을 위한 효과적인 FLI 구조 적용을 위해 기존 전기장 분포와 같은 넓이로 더욱 가파른 전기장의 기울기를 확보하는 방법으로 보다 정확한 FLI 구조를 설계할 수 있다. 도 15에 도시된 실시예에서는 항복전압을 유지한 채 도핑할 수 있는 최대 도핑 농도를 기존 MOSFET의 도핑 농도의 배수 n으로 정의할 수 있다.

[0054] 아래 수학식 7과 같이 기존 MOSFET의 항복전압은 최대 임계 전계와 공핍층의 수직 길이가 이루는 삼각형의 넓이로 나타낼 수 있다.

수학식 7

[0055] $$BV = 0.5 \times E_C(Si) \times d$$

[0056] 도 5에서와 같이 단일 FLI 구조에서 이와 같은 항복전압을 갖도록 설계하려면 항복전압을 나타내는 삼각형의 넓이가 0.5 BV의 값을 가져야 한다. FLI 구조에 기존 구조 도핑량의 n배인 nNd로 도핑했다면 최대 임계 전계는 Fulop의 실험식을 이용하여 아래 수학식 8과 같이 나타낼 수 있다.

수학식 8

[0057] $$E_{C,n} = 4010 \times (nN_D)^{\frac{1}{8}} = E_C(Si) \times \sqrt[8]{n}$$

[0058] 전기장 분포가 형성하는 삼각형의 기울기는 Poisson 방정식 수학식 2에 의해 qNd/ε에서 qnNd/ε로 n배가 되었으므로 공핍층의 수직 길이 x는 아래와 같은 수학식 9 및 수학식 10을 통하여 얻어질 수 있다.

수학식 9

[0059] $$\frac{qN_D}{\varepsilon_s} \times n = -\frac{\sqrt[8]{n}E_C}{x} = -\frac{E_C}{d} \times n$$

수학식 10

[0060] $$x = \frac{\sqrt[8]{n}}{n} d$$

[0061] 삼각형 하나의 넓이는 0.5 BV 이므로, 아래와 같은 수학식 11 내지 수학식 13과 같은 결과를 얻을 수 있다.

수학식 11

[0062] $$0.5BV = \frac{1}{2} \times \sqrt[8]{n}E_C \times \frac{\sqrt[8]{n}}{n} d = \frac{\sqrt[4]{n}}{2n} E_C d$$

수학식 12

[0063] $$\frac{\sqrt[4]{n}}{n} = \frac{1}{2}$$

수학식 13

[0064] $$\therefore n = 2.52$$

[0065] 이와 더불어 공핍층 수직 길이는 수학식 10에 의해 n = 2.52 일 때 2x = 0.89d로, 공핍층의 수직 길이도 11% 줄어들어 N-드리프트 길이를 줄이는 효과를 얻을 수 있다. 최종적으로, 단일 FLI 구조 MOSFET에서 동일한 항복전압을 유지하면서 도핑 가능한 최대 농도는 기존 MOSFET 도핑 농도 Nd의 2.52배인 2.52Nd일 수 있다.

[0066] 본 발명의 일실시예에 의하면, 상기 반도체 소자(100)에 대한 다양한 변화(또는 변수)를 고려하여 상기 n은 ± 10%의 마진을 가질 수 있다. 예를 들어, 공정 변화(variation)등 다양한 변수를 고려하여, 상기 n은 2.52의 ± 10% 범위인 2.268 ~ 2.772인 것일 수 있다.

[0067] 다음은 다수의 FLI 구조를 가지는 반도체 소자에 대해 설명하도록 하겠다.

[0068] 도 6은 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자의 예시도이다.

[0069] 항복전압 및 저항 특성이 최적화 된 FLI 구조 MOSFET을 설계함에 있어 단일 FLI 구조를 가지는 반도체 소자에서 확인한 사실은 첫째, N-드리프트 길이의 효율적인 활용을 위해 N-드리프트의 길이를 FLI 층의 개수와 P-base영역의 합으로 나눈 값이 FLI 층 및 P-base 간의 거리 x를 결정한다는 것이다. 둘째, P형 FLI 층에 인접한 N-드리프트 영역은 P형 FLI 층에 걸리는 전계보다 낮으므로 항복전압의 저하를 가져온다는 사실이다. 후자의 요인으로 인해 FLI 층의 개수가 증가하면 항복전압은 더욱 저하될 수 있다.

[0070] 이에 대한 확인 작업으로 단일 FLI 구조를 가지는 반도체 소자에서와 얻은 결론을 토대로 도핑 농도 배수 n의 값을 설정하여 FLI 층의 개수를 1부터 5까지 늘려가면서 다음과 같이 실험하였다.

[0071] n의 값은 수학식 14로부터 도출될 수 있다.

수학식 14

[0072] $$x = \frac{\sqrt[8]{n}}{n} W_d = \frac{1}{m+1} W_d$$

[0073] 여기서, m은 FLI 층의 개수, Wd는 N-드리프트 공핍층의 길이, x는 FLI 층간 거리를 나타낸다. 이에 따라 FLI 층의 개수 m과 가능한 도핑 농도 배수 n의 관계는 수학식 15와 같이 표현할 수 있다.

수학식 15

[0074] $$n = (m+1)^{8/7}$$

[0075] 하기 표 1은 FLI 개수에 따른 MOSFET의 설계 파라미터 및 전기적 특성 비교한 비교표이다.

표 1

[0076]

설계 파라미터	FLI 층의 개수(m)					
	0	1	2	3	4	5
계산된 농도 배수 n	0	2.1	3.5	4.8	6.5	7.7
N-드리프트 농도(cm^{-3})	3×10^{14}	6.3×10^{14}	10.5×10^{14}	14.4×10^{14}	19.5×10^{14}	23.1×10^{14}
FLI 층 사이 거리(μm)	-	27	18	13.5	10.8	9
항복전압(V)	650	659	579	559	530	497

[0077] 표 1 은 FLI 개수 m에 따른 n값 및 MOSFET의 설계 파라미터이다. N-드리프트 영역이 55㎛의 길이를 가지면서 공핍층이 54㎛에서 항복현상이 나타나는 모델을 기준으로 도핑농도와 FLI 층외에 다른 조건들을 모두 동일하게 설정하였다.

[0078] 설계된 다중 FLI MOSFET의 항복전압을 측정한 결과, FLI 층의 개수가 증가하면 할수록 항복전압의 저하가 나타났다.

[0079] 도 7 내지 도 10은 항복전압 저하 현상을 자세히 관찰하기 위해 소자들의 3차원 전계 분포도를 나타낸다.

[0080] 도시된 바와 같이, P형 FLI 영역에 인접한 N-드리프트 영역에서 충분한 전계를 받지 못하여 항복전압 특성이 낮아진다.

[0081] 도 11은 본 발명의 일실시예와 관련된 다수의 FLI 구조를 가지는 반도체 소자에서 항복전압 특성을 유지하기 위

해 N-드리프트 영역의 도핑농도를 설정하는 방법을 설명하기 위한 도면이다.

[0082] 도시된 바와 같이, N-드리프트 영역의 도핑농도를 반대로 낮추어 초과 항복 전압 영역을 형성함으로써 FLI 층 인접 영역에서 발생하는 항복전압 손실을 상쇄하는 방향으로 N-드리프트 영역의 도핑농도를 결정할 수 있다.

[0083] 상기 초과 항복 전압 영역의 형성에 따라 결정되는 최적의 N-드리프트 영역의 도핑농도는 실험을 통해 결정될 수 있다.

[0084] 이하에서는 다중 FLI MOSFET N-드리프트 영역의 도핑 농도를 수학식 15에서 적용한 이론값보다 낮추면서 생성되는 초과 공핍 영역을 통해 항복전압 손실의 보상을 유도하는 방법에 대해 설명하도록 하겠다.

[0085] 항복전압 특성 손실을 없애려면 기준이 되는 보통 MOSFET의 항복전압을 갖는 N-드리프트 농도를 알아내야 한다. 이를 위해 650V 수준의 항복전압을 갖는 N-드리프트 농도를 FLI 층 개수에 따라 분류하여 차례로 실험하였다.

[0086] 표 2 내지 표 5는 FLI 층의 개수가 각각 2, 3, 4, 5개일 때 MOSFET의 설계 파라미터와 측정된 항복전압을 나타낸다.

표 2

[0087]

순번	N-드리프트 영역		FLI 층	항복전압
	두께(㎛)	농도(cm^{-3})	도즈량(cm^{-2})	(V)
1	55	7.0×10^{14}	1×10^{17}	547
2	55	7.0×10^{14}	1×10^{16}	559
3	55	7.0×10^{14}	1×10^{15}	576
4	55	7.0×10^{14}	1×10^{14}	588
5	55	7.0×10^{14}	5×10^{13}	595
6	55	7.0×10^{14}	1×10^{13}	678
7	55	8.0×10^{14}	1×10^{17}	555
8	55	8.0×10^{14}	1×10^{16}	566
9	55	8.0×10^{14}	1×10^{15}	580
10	55	8.0×10^{14}	1×10^{14}	593
11	55	8.0×10^{14}	5×10^{13}	603
12	55	8.0×10^{14}	1×10^{13}	685
13	55	8.5×10^{14}	1×10^{17}	559
14	55	8.5×10^{14}	1×10^{16}	569
15	55	8.5×10^{14}	1×10^{15}	583
16	55	8.5×10^{14}	1×10^{14}	600
17	55	8.5×10^{14}	5×10^{13}	610
18	55	8.5×10^{14}	1×10^{13}	644
19	55	9.0×10^{14}	1×10^{17}	563
20	55	9.0×10^{14}	1×10^{16}	571
21	55	9.0×10^{14}	1×10^{15}	589
22	55	9.0×10^{14}	1×10^{14}	607
23	55	9.0×10^{14}	5×10^{13}	617
24	55	9.0×10^{14}	1×10^{13}	580

25	55	10.5×10^{14}	1×10^{17}	579
26	55	10.5×10^{14}	1×10^{16}	588
27	55	10.5×10^{14}	1×10^{15}	510
28	55	10.5×10^{14}	1×10^{14}	400
29	55	10.5×10^{14}	5×10^{13}	400
30	55	10.5×10^{14}	1×10^{13}	418

표 3

[0088]

순번	N-드리프트 영역		FLI 층	항복전압
	두께(㎛)	농도(cm^{-3})	도즈량(cm^{-2})	(V)
1	55	9.0×10^{14}	1×10^{17}	494
2	55	9.0×10^{14}	1×10^{16}	off
3	55	9.0×10^{14}	1×10^{15}	off
4	55	9.0×10^{14}	1×10^{14}	568
5	55	9.0×10^{14}	5×10^{13}	582
6	55	9.0×10^{14}	1×10^{13}	677
7	55	10.0×10^{14}	1×10^{17}	504
8	55	10.0×10^{14}	1×10^{16}	off
9	55	10.0×10^{14}	1×10^{15}	off
10	55	10.0×10^{14}	1×10^{14}	582
11	55	10.0×10^{14}	5×10^{13}	598
12	55	10.0×10^{14}	1×10^{13}	705
13	55	10.5×10^{14}	1×10^{17}	508
14	55	10.5×10^{14}	1×10^{16}	off
15	55	10.5×10^{14}	1×10^{15}	off
16	55	10.5×10^{14}	1×10^{14}	591
17	55	10.5×10^{14}	5×10^{13}	609
18	55	10.5×10^{14}	1×10^{13}	671
19	55	11.0×10^{14}	1×10^{17}	513
20	55	11.0×10^{14}	1×10^{16}	off
21	55	11.0×10^{14}	1×10^{15}	off
22	55	11.0×10^{14}	1×10^{14}	602
23	55	11.0×10^{14}	5×10^{13}	620
24	55	11.0×10^{14}	1×10^{13}	520
25	55	14.5×10^{14}	1×10^{17}	559
26	55	14.5×10^{14}	1×10^{16}	off

27	55	14.5×10^{14}	1×10^{15}	324
28	55	14.5×10^{14}	1×10^{14}	304
29	55	14.5×10^{14}	5×10^{13}	307
30	55	14.5×10^{14}	1×10^{13}	342

[0089] ※ 'off' 는 시뮬레이션 구조가 동작하지 않음을 의미

표 4

[0090]

순번	N-드리프트 영역		FLI 층	항복전압
	두께(㎛)	농도(cm^{-3})	도즈량(cm^{-2})	(V)
1	55	1.0×10^{15}	1×10^{17}	432
2	55	1.0×10^{15}	1×10^{16}	off
3	55	1.0×10^{15}	1×10^{15}	off
4	55	1.0×10^{15}	1×10^{14}	529
5	55	1.0×10^{15}	5×10^{13}	546
6	55	1.0×10^{15}	1×10^{13}	648
7	55	1.1×10^{15}	1×10^{17}	442
8	55	1.1×10^{15}	1×10^{16}	off
9	55	1.1×10^{15}	1×10^{15}	off
10	55	1.1×10^{15}	1×10^{14}	546
11	55	1.1×10^{15}	5×10^{13}	564
12	55	1.1×10^{15}	1×10^{13}	679
13	55	1.2×10^{15}	1×10^{17}	451
14	55	1.2×10^{15}	1×10^{16}	off
15	55	1.2×10^{15}	1×10^{15}	off
16	55	1.2×10^{15}	1×10^{14}	562
17	55	1.2×10^{15}	5×10^{13}	583
18	55	1.2×10^{15}	1×10^{13}	712
19	55	1.3×10^{15}	1×10^{17}	460
20	55	1.3×10^{15}	1×10^{16}	off
21	55	1.3×10^{15}	1×10^{15}	off
22	55	1.3×10^{15}	1×10^{14}	583
23	55	1.3×10^{15}	5×10^{13}	606
24	55	1.3×10^{15}	1×10^{13}	575
25	55	1.4×10^{15}	1×10^{17}	469
26	55	1.4×10^{15}	1×10^{16}	off

27	55	1.4×10^{15}	1×10^{15}	off
28	55	1.4×10^{15}	1×10^{14}	606
29	55	1.4×10^{15}	5×10^{13}	631
30	55	1.4×10^{15}	1×10^{13}	380

[0091] ※ 'off' 는 시뮬레이션 구조가 동작하지 않음을 의미

표 5

[0092]

순번	N-드리프트 영역		FLI 층	항복전압
	두께(㎛)	농도(cm^{-3})	도즈량(cm^{-2})	(V)
1	55	1.2×10^{15}	1×10^{17}	387
2	55	1.2×10^{15}	1×10^{16}	off
3	55	1.2×10^{15}	1×10^{15}	408
4	55	1.2×10^{15}	1×10^{14}	464
5	55	1.2×10^{15}	5×10^{13}	510
6	55	1.2×10^{15}	1×10^{13}	648
7	55	1.3×10^{15}	1×10^{17}	396
8	55	1.3×10^{15}	1×10^{16}	off
9	55	1.3×10^{15}	1×10^{15}	418
10	55	1.3×10^{15}	1×10^{14}	477
11	55	1.3×10^{15}	5×10^{13}	527
12	55	1.3×10^{15}	1×10^{13}	681
13	55	1.4×10^{15}	1×10^{17}	405
14	55	1.4×10^{15}	1×10^{16}	off
15	55	1.4×10^{15}	1×10^{15}	428
16	55	1.4×10^{15}	1×10^{14}	490
17	55	1.4×10^{15}	5×10^{13}	545
18	55	1.4×10^{15}	1×10^{13}	716
19	55	1.5×10^{15}	1×10^{17}	413
20	55	1.5×10^{15}	1×10^{16}	off
21	55	1.5×10^{15}	1×10^{15}	438
22	55	1.5×10^{15}	1×10^{14}	off
23	55	1.5×10^{15}	5×10^{13}	563
24	55	1.5×10^{15}	1×10^{13}	off
25	55	2.3×10^{15}	1×10^{17}	497
26	55	2.3×10^{15}	1×10^{16}	off

27	55	2.3×10^{15}	1×10^{15}	538
28	55	2.3×10^{15}	1×10^{14}	off
29	55	2.3×10^{15}	5×10^{13}	203
30	55	2.3×10^{15}	1×10^{13}	241

[0093] 표 2 내지 표 5를 통해 N-드리프트의 농도에 따라 FLI 층의 도즈량에 변화를 준 것을 볼 수 있는데, 이처럼 도즈량의 변화를 준 것은 N-드리프트 농도가 높아짐에 따라 P형 FLI의 농도도 충분히 높아야 최대 임계 전계에 도달할 수 있기 때문이다.

[0094] 표 2 내지 표 5에서 나타난 각 N-드리프트 영역에서 최대 항복전압을 나타내는 농도를 그림 4.4, 4.5에 도시하고 650V 수준의 항복전압을 갖는 최대값을 얻어내었다.

[0095] 도 12는 2개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이고, 도 13는 3개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이고, 도 14는 4개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이고, 도 15는 5개의 FLI 층을 갖는 파워 MOSFET의 최대 도핑점을 나타내는 그래프이다.

[0096] 도 12 내지 도 15에서와 같이 FLI 층의 개수가 2에서 5로 증가함에 따라 기준이 되는 650V의 항복전압을 유지하면서 가능한 최대 도핑량은 각각 $8.5\times10^{14}cm^{-3}$, $10.5\times10^{14}cm^{-3}$, $12.0\times10^{14}cm^{-3}$, $14.5\times10^{14}cm^{-3}$으로 설정할 수 있다. 상기 650V 항복전압 기준이 되는 보통의 파워 MOSFET N-드리프트 영역의 농도가 3×10^{14}cm-3이므로 도핑 농도는 각각 280%, 350%, 433%, 486%의 수치로 항복전압의 저하 없이 증가가 가능하다. 이와 같은 결과를 토대로 FLI 층의 개수 m과 기존에 대비한 도핑 농도 증가량 p%와의 관계를 수학식 16과 같이 나타낼 수 있다.

수학식 16

[0097] $$p\approx(m+2)\times70$$

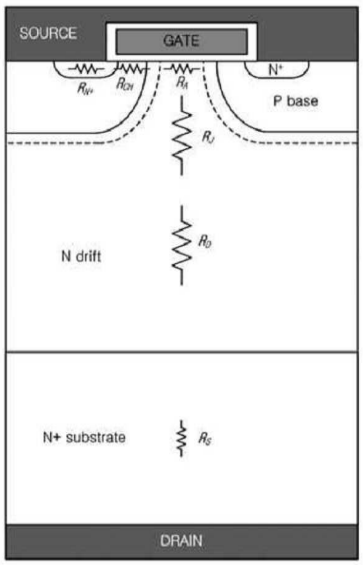
[0098] 수학식 16은 실험에 근거하여 기존에 FLI 구조 해석되는 방법을 실제에 가깝게 만든 수식으로, 이를 통해 FLI 구조를 적용함에 있어 이론과 실제의 차이를 규명할 수 있다. 상기 수학식 16은 FLI 파워 MOSFET을 설계함에 있어 설계 파라미터를 설정하는데 매우 활용도가 높을 뿐만 아니라 그 전기적 특성을 쉽게 최적화할 수 있는데 큰 의의가 있다.

[0099] 전술한 바와 같이, 본 발명의 일실시예에 의한 다수의 FLI 구조를 가지는 반도체 소자에서 N형 드리프트 층에 포함된 N형 불순물의 농도는 플로팅 P형 영역이 없고, N형 드리프트 층의 농도가 Nd인 특정 반도체 소자에 해당하는 항복 전압 및 상기 복수의 플로팅 P형 영역의 개수에 근거하여 결정되기에, 상기 반도체 소자는 높은 항복전압을 확보하는 동시에 좋은 전도도를 가진다.

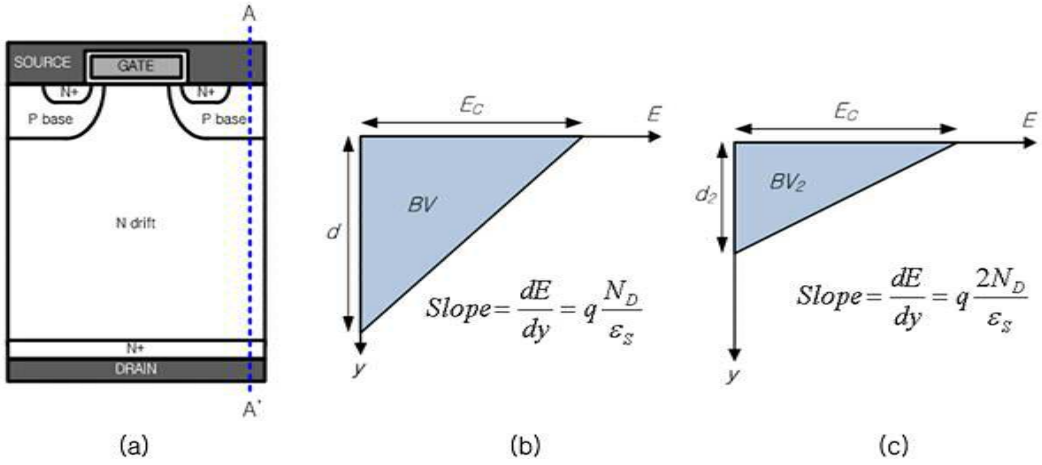
[0100] 상기와 같이 설명된 다수의 FLI 구조를 갖는 반도체 소자는 상기 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.

도면

도면1

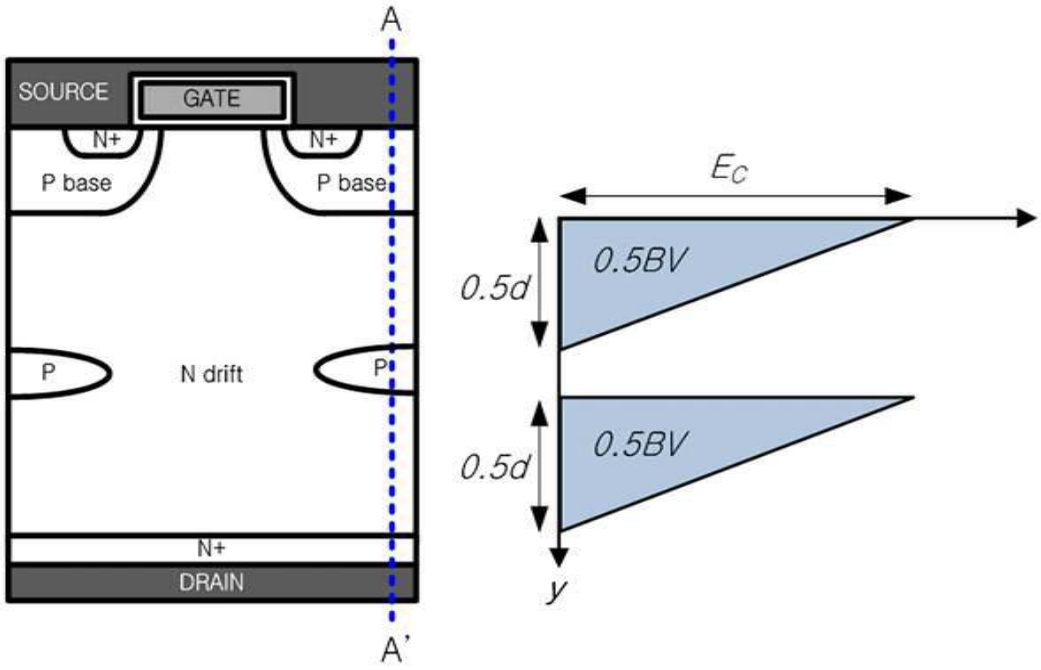


도면2

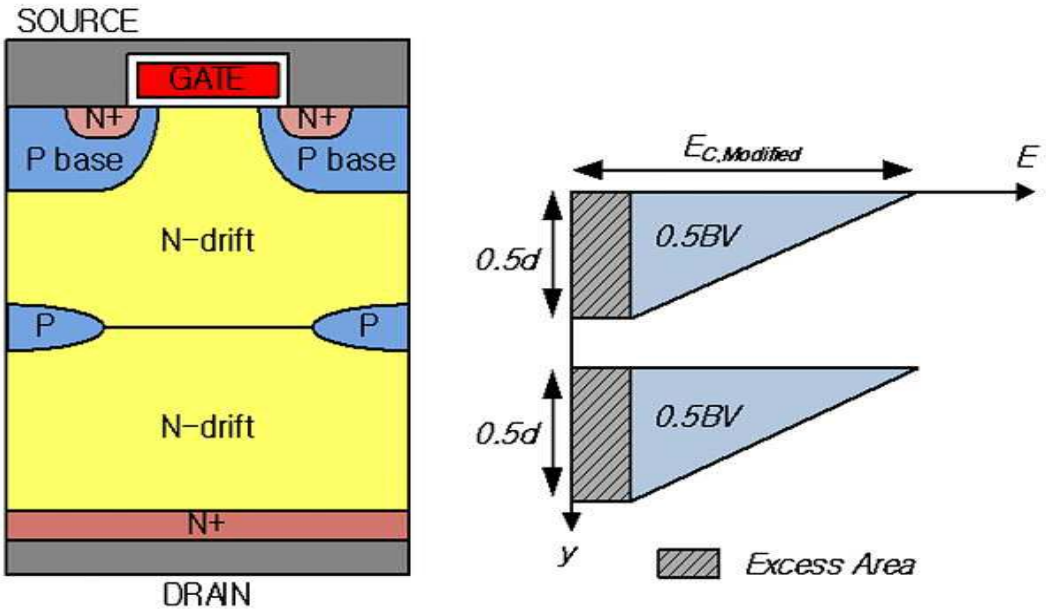


(a) (b) (c)

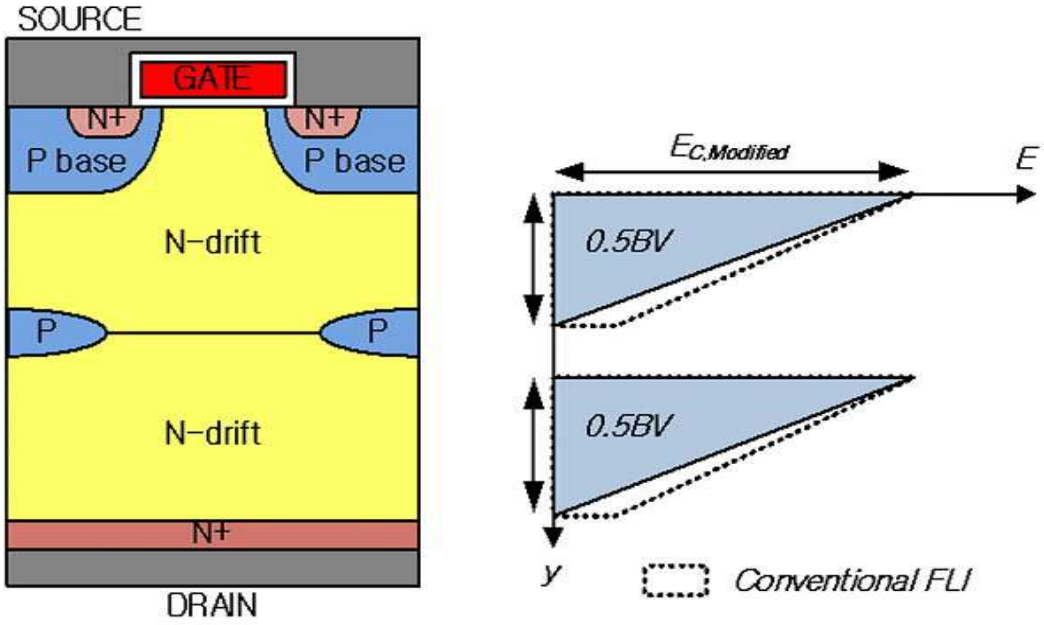
도면3


A
SOURCE
GATE
N+
N+
P base
P base
P
N drift
P
N+
DRAIN
A'
E_C
0.5BV
0.5d
0.5BV
0.5d
y

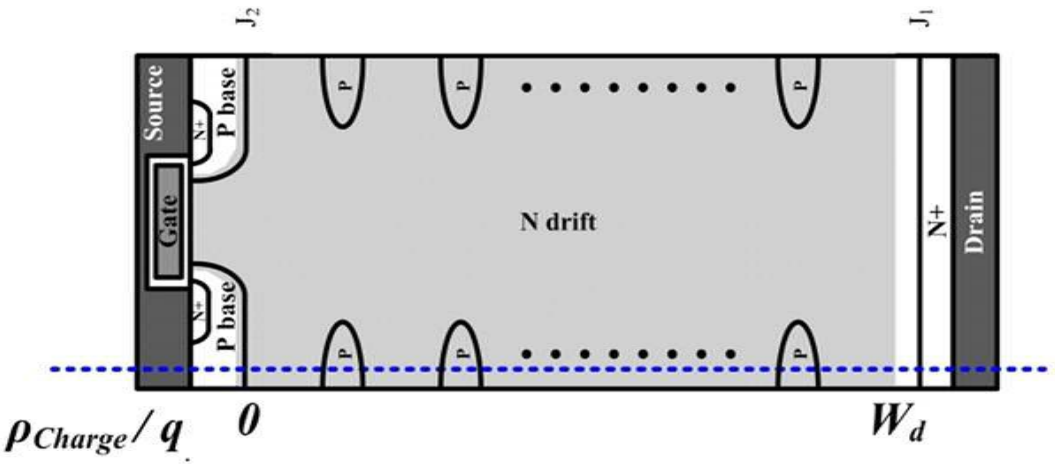
도면4


SOURCE
GATE
N+
N+
P base
P base
N-drift
P
P
N-drift
N+
DRAIN
$E_{C,Modified}$
E
0.5d
0.5BV
0.5d
0.5BV
y
Excess Area

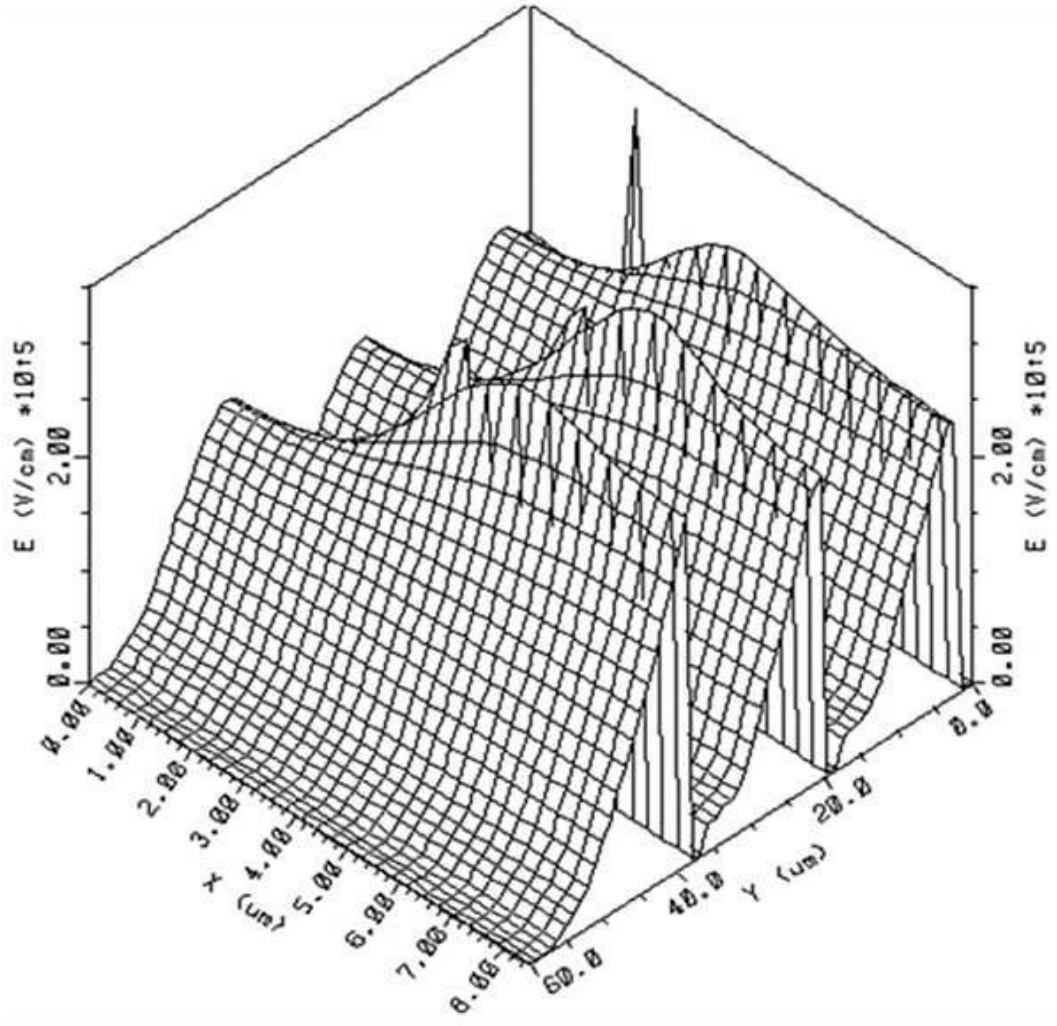
도면5


SOURCE
GATE
N+
N+
P base
P base
N-drift
P
P
N-drift
N+
DRAIN
$E_{C,Modified}$
E
0.5BV
0.5BV
y
Conventional FLI

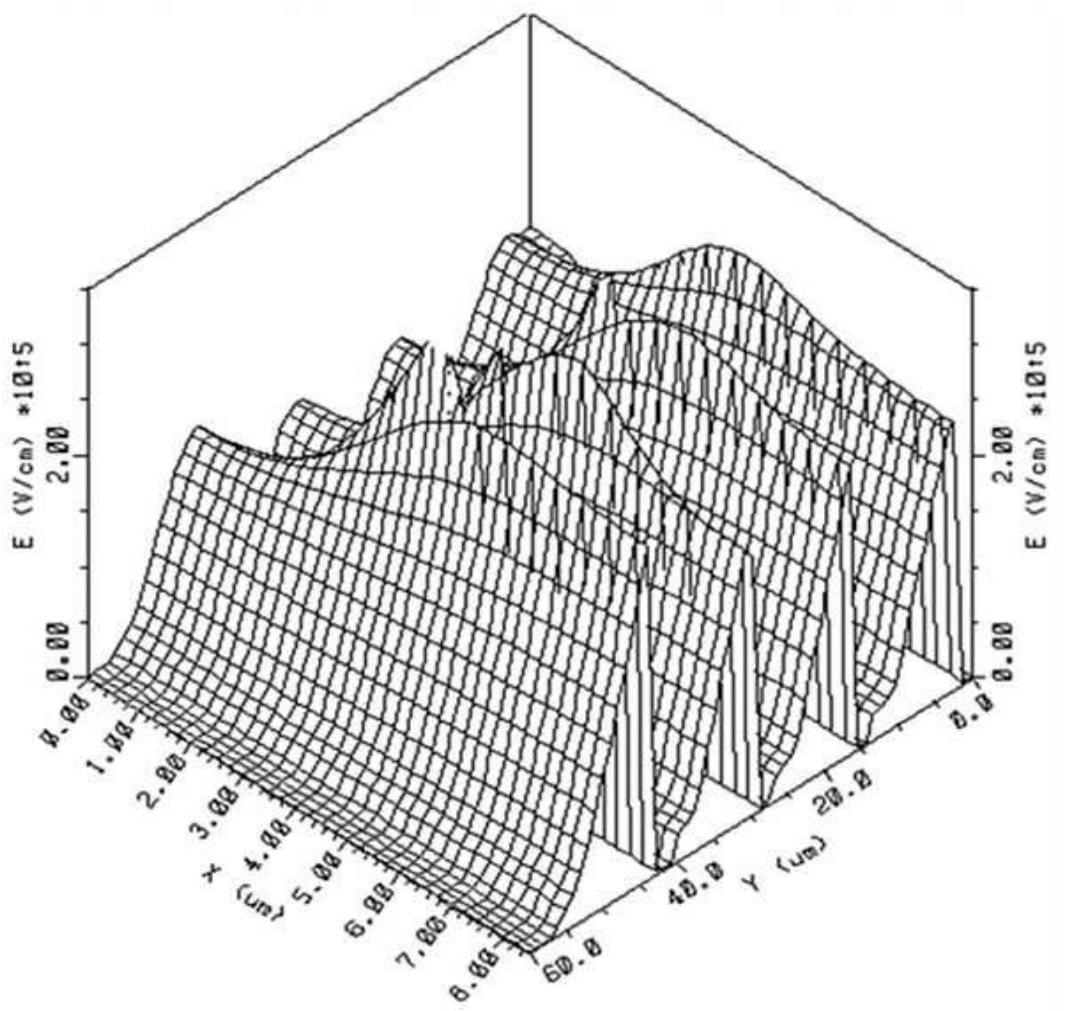
도면6


J_2
J_1
Source
Gate
N+
P base
N+
P base
P
N drift
N+
Drain
ρ_{Charge}/q
0
W_d

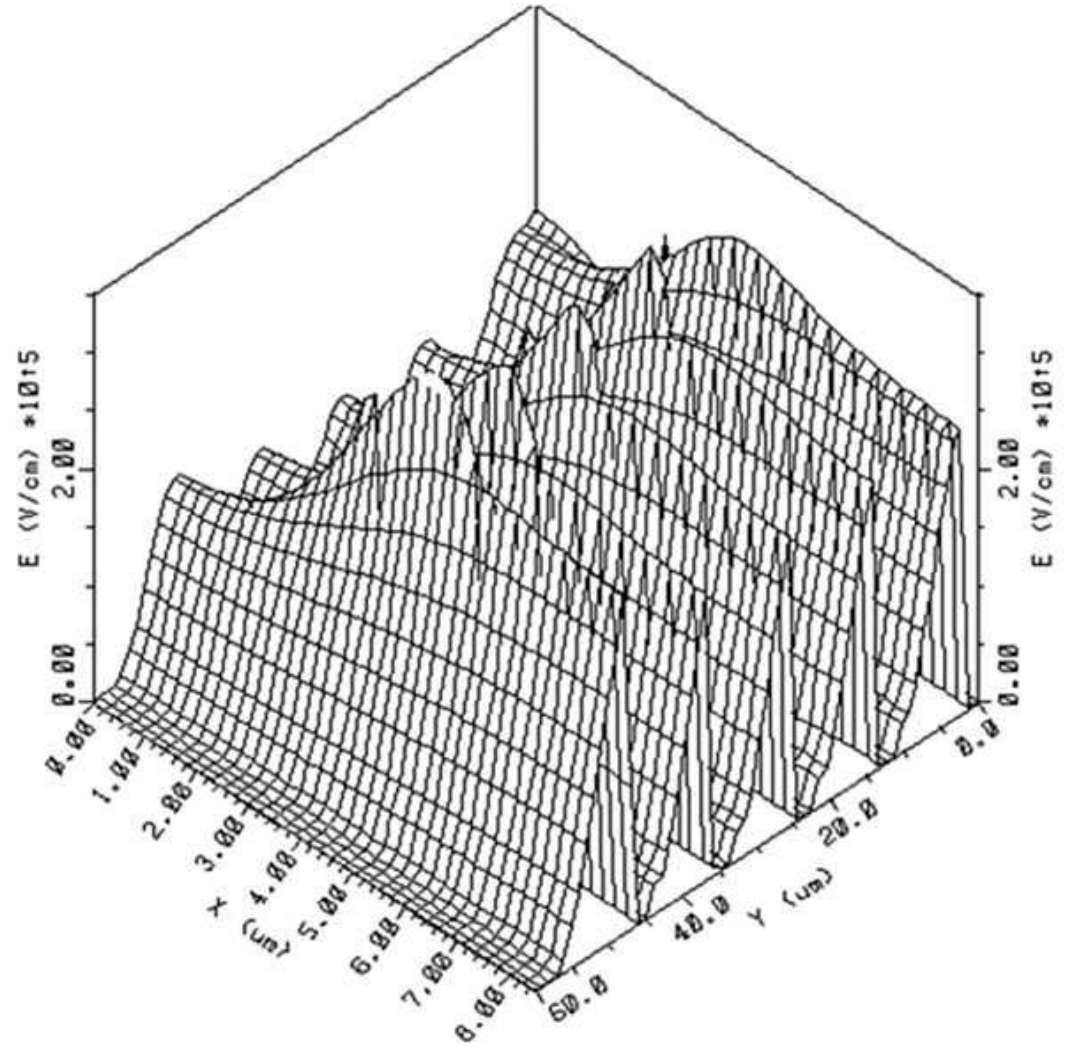
도면7


E (V/cm) *10^5
2.00
0.00
0.00
1.00
2.00
3.00
4.00
5.00
6.00
7.00
8.00
X (um)
0.0
20.0
40.0
60.0
Y (um)
E (V/cm) *10^5
2.00
0.00

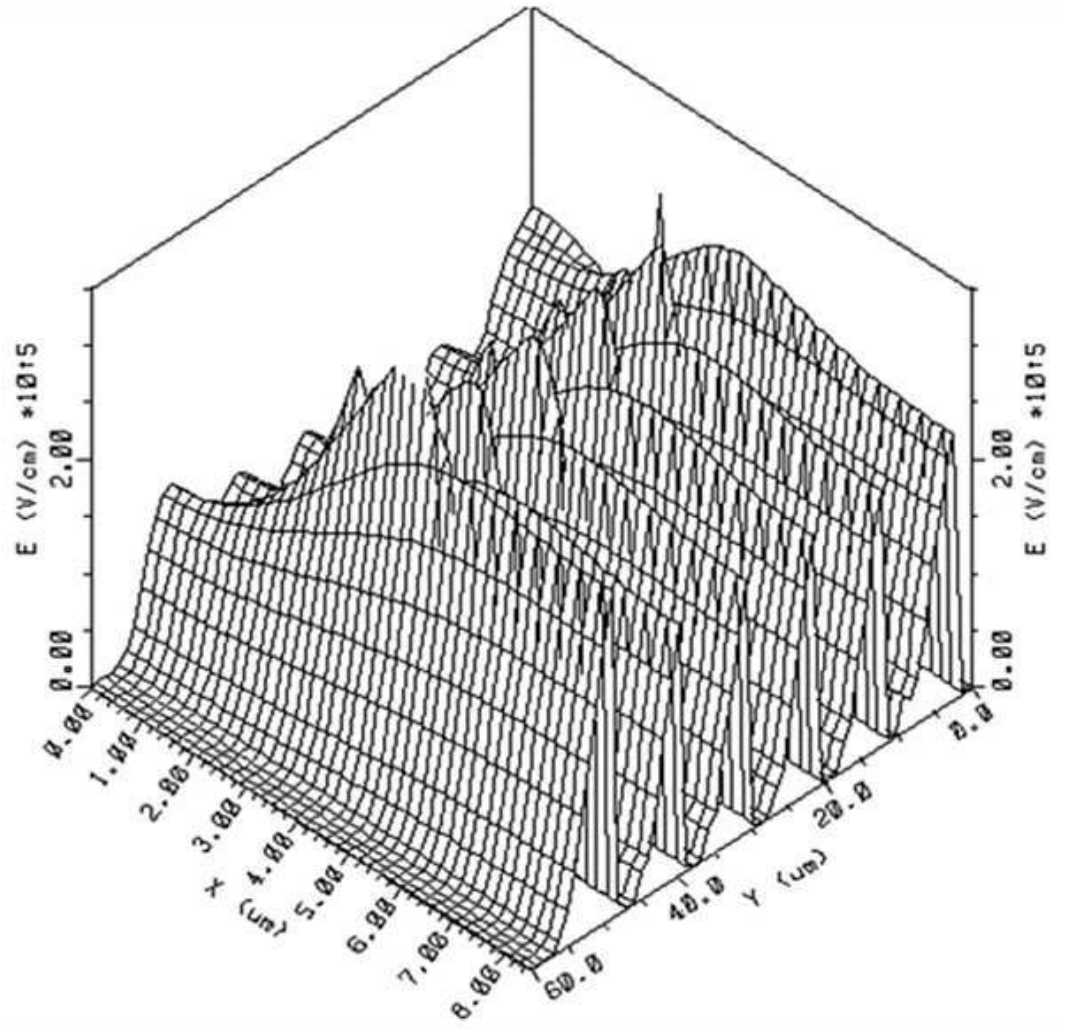
도면8


E (V/cm) *1015
2.00
0.00
0.00
1.00
2.00
3.00
4.00
5.00
6.00
7.00
8.00
x (um)
60.0
40.0
20.0
0.0
Y (um)
E (V/cm) *1015
2.00
0.00

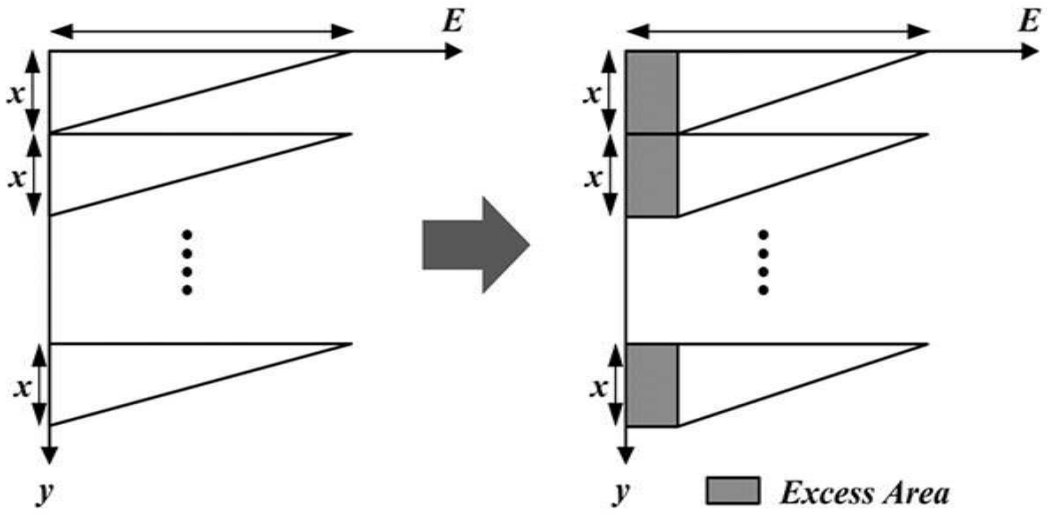
도면9


E (V/cm) *1015
2.00
0.00
0.00
1.00
2.00
3.00
4.00
5.00
6.00
7.00
8.00
X (um)
0.0
20.0
40.0
60.0
Y (um)
E (V/cm) *1015
2.00
0.00

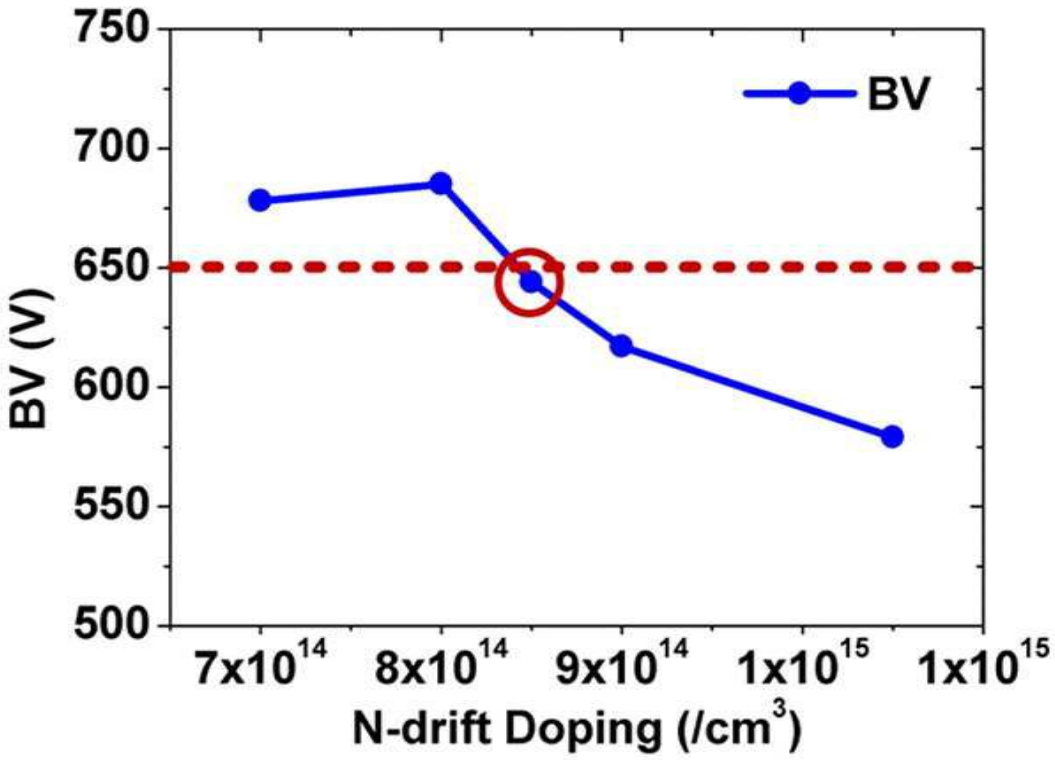
도면10


E (V/cm) *1015
2.00
0.00
0.00
1.00
2.00
3.00
4.00
5.00
6.00
7.00
8.00
x (um)
0.0
20.0
40.0
60.0
Y (um)

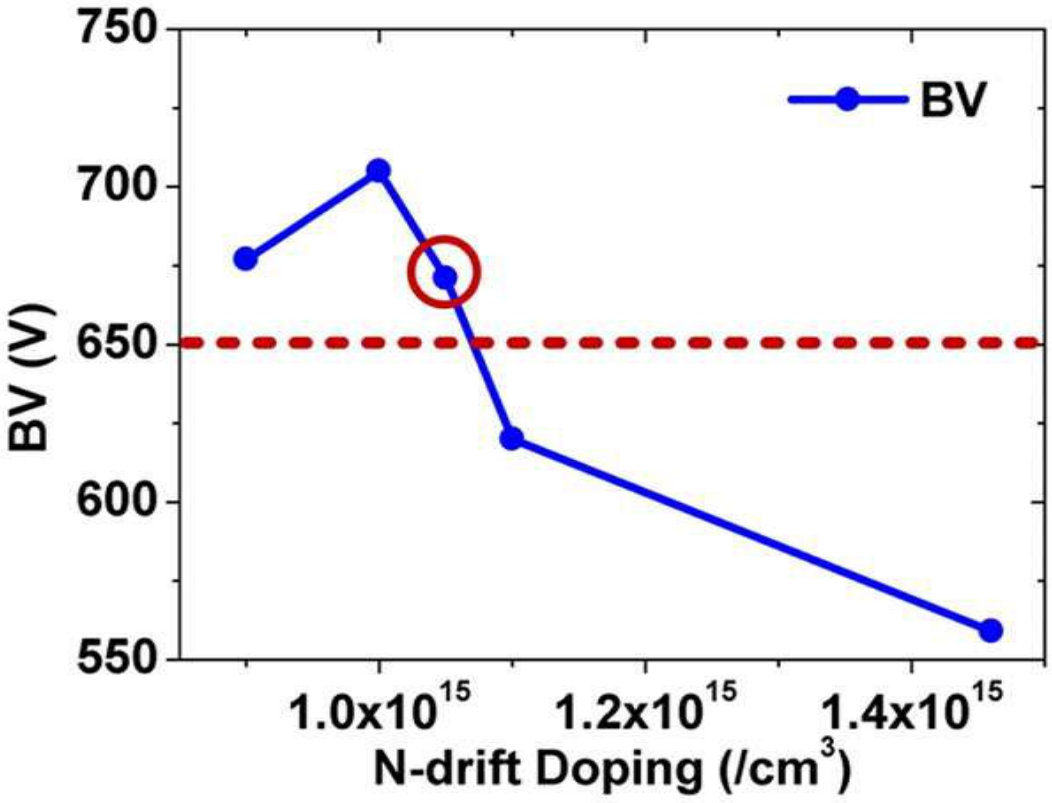
도면11


E
x
x
x
y
E
x
x
x
y
Excess Area

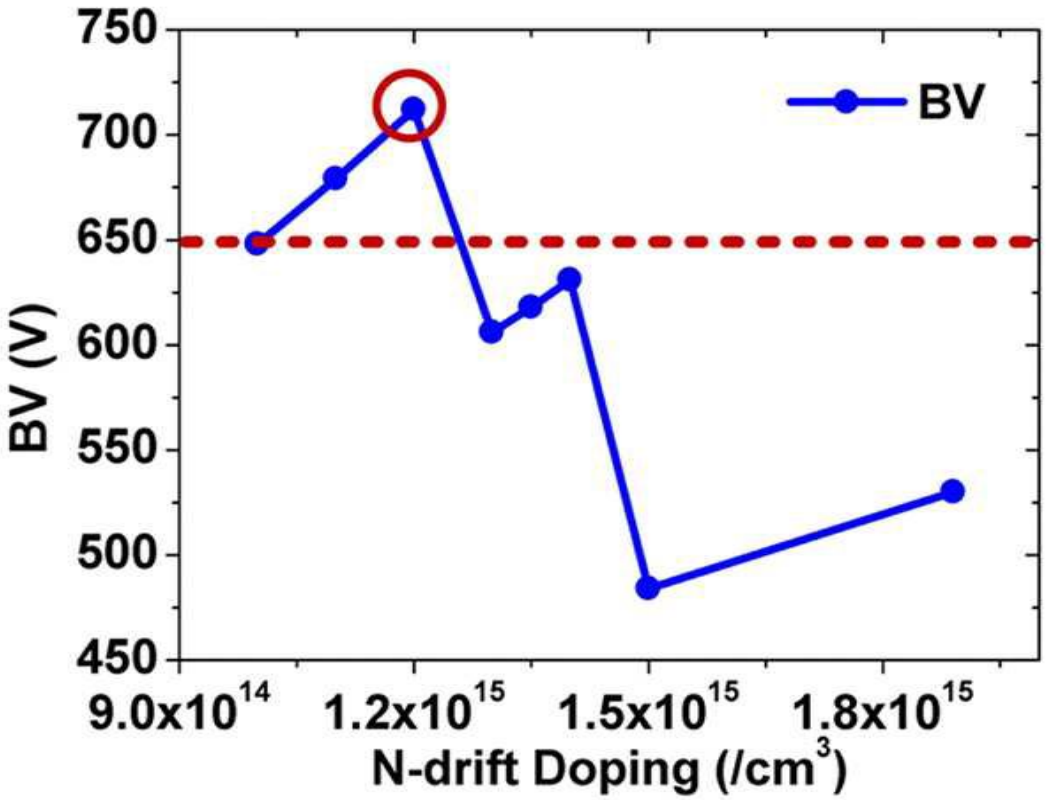
도면12


750
700
650
600
550
500
BV
BV (V)
7x10^14
8x10^14
9x10^14
1x10^15
1x10^15
N-drift Doping (/cm^3)

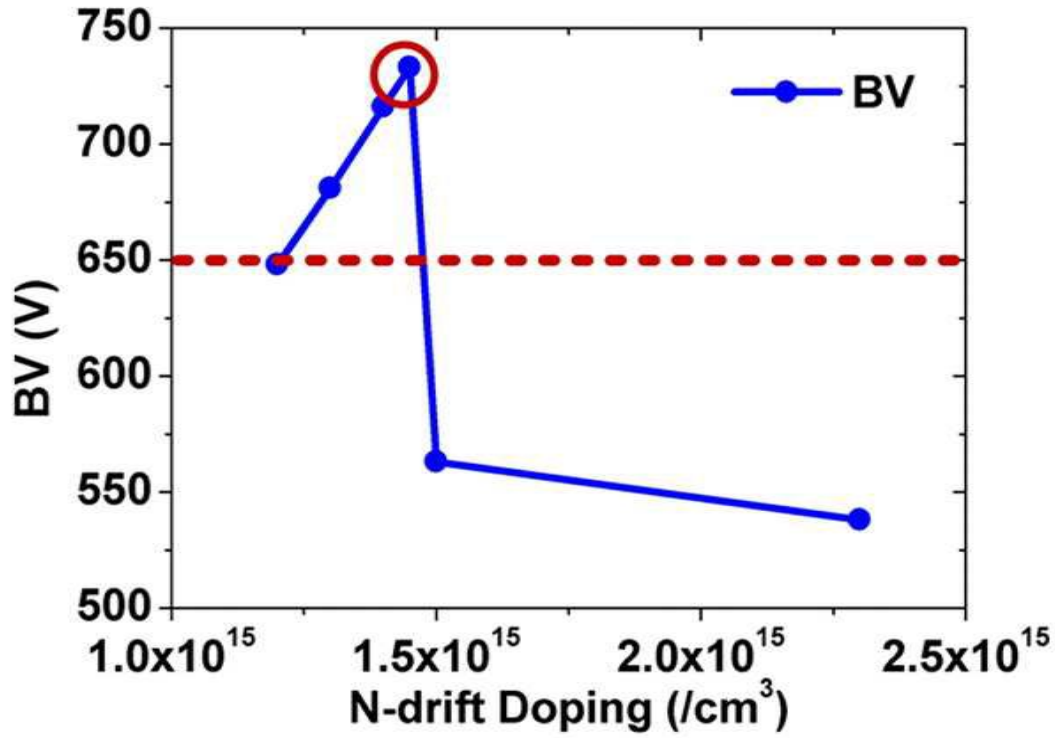
도면13


750
700
650
600
550
BV
BV (V)
1.0x10^15
1.2x10^15
1.4x10^15
N-drift Doping (/cm^3)

도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 명세서

【보정세부항목】 식별번호[0096]의 3,5번째줄

【변경전】

숫자 14가 보통크기임

【변경후】

숫자 14를 위 첨자로 변경