

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-56140
(P2004-56140A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/10	HO 1 L 27/10 4 7 1	5 B O 1 5
G 1 1 C 11/41	HO 1 L 27/10 4 6 1	5 F O 8 3
	HO 1 L 27/10 4 8 1	
	G 1 1 C 11/34 3 4 5	

審査請求 有 請求項の数 10 O L (全 16 頁)

(21) 出願番号	特願2003-273951 (P2003-273951)	(71) 出願人	503003854 ヒューレット・パッカー ド デベロップメント カンパニー エル. ピー. アメリカ合衆国 テキサス州 77070 ヒューストン 20555 ステイト ハイウェイ 249
(22) 出願日	平成15年7月14日 (2003.7.14)	(74) 代理人	100087642 弁理士 古谷 聡
(31) 優先権主張番号	10/202174	(74) 代理人	100076680 弁理士 溝部 孝彦
(32) 優先日	平成14年7月23日 (2002.7.23)	(74) 代理人	100121061 弁理士 西山 清春
(33) 優先権主張国	米国 (US)	(72) 発明者	ピーター・フリッケ アメリカ合衆国オレゴン州97330, コーバリス, ローダ・ウェイ・7101 最終頁に続く

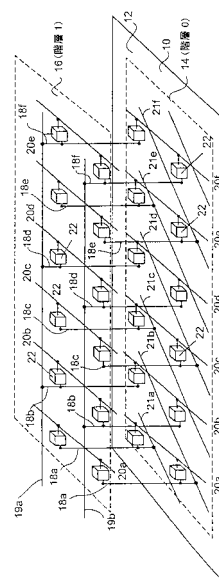
(54) 【発明の名称】 キュービック・メモリ・アレイ

(57) 【要約】

【課題】メモリ密度を効率的に向上させるための手段を提供する。

【解決手段】メモリ回路を製作する方法を開示する。この方法は、好ましくは、1)基板(10)にほぼ平行な面に第1の複数の選択線(20)を形成するステップと、2)基板(10)にほぼ平行な面に第2の複数の選択線(19,21)を形成するステップであって、第2の複数の選択線は、第1(19)と第2(21)のグループに分割され、第1のグループ(19)は、第1の複数の選択線(20)の方向に垂直な方向に形成され、第2のグループ(21)は、第1のグループ(20)の方向にほぼ対角方向に形成されるようにするステップと、3)基板(10)に垂直な複数のピラー(18)を形成するステップと、4)メモリセル(22)のアレイを形成するステップであって、各メモリセル(22)が、ピラー(18)と、第1(20)及び第2(19,21)の複数の選択線の各々の1つにそれぞれ結合されるようにするステップとを含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

キュービックメモリ・アレイにおいて、
行及び列を有するアレイをなすように構成される複数のメモリ・セル(22)であって、前記アレイは、基板(10)上に積層化される、複数のメモリ・セルと、
複数の導電性ピラー(18)であって、各々が複数の前記メモリ・セル(22)に接続されて、メモリ・セル(22)の層(16、14)間に延びる、複数の導電性ピラーと、
第1の複数の選択線(20)であって、各々が、行をなす複数の前記メモリ・セル(22)に接続される、第1の複数の選択線と、
第2の複数の選択線(19、21)であって、各々が、複数の前記導電性ピラー(18)に接続されて、第1のグループ(21)と第2のグループ(19)に分割される、第2の複数の選択線
とを備え、前記第1のグループ(21)が前記導電性ピラー(18)の間に斜めに配置されることからなる、キュービックメモリ・アレイ。

【請求項 2】

前記第2の複数の選択線(19、21)が、それぞれ、その選択線(19、21)に沿ってピラー(18)に1つおきに接続される、請求項1に記載のキュービックメモリ・アレイ。

【請求項 3】

前記キュービックメモリ・アレイ(30)の周辺に形成された制御回路要素(28、29、36、38、39)をさらに備え、前記制御回路が、前記メモリ・セル(22)に対するデータの読み出し及び書き込みを選択的に実施する、請求項1に記載のキュービックメモリ・アレイ。

【請求項 4】

前記制御回路要素(28、29、36、38、39)に、少なくとも1つのピラーに電氣的に接続されたスイッチング素子(36)が含まれる、請求項3に記載のキュービックメモリ・アレイ。

【請求項 5】

前記第1のグループ(21)の選択線が、前記メモリ・セル(22)の行及び列に対して45度の角度で斜め配置される、請求項1に記載のキュービックメモリ・アレイ。

【請求項 6】

メモリ回路の製作方法であって、
基板(10)に対してほぼ平行な面に第1の複数の選択線(20)を形成するステップと、

前記基板(10)に対してほぼ平行な面に、第1のグループ(19)と第2のグループ(21)に分割される第2の複数の選択線(19、21)を形成し、前記第1のグループ(19)が、前記第1の複数の選択線(20)の方向に対して垂直な方向に形成され、前記第2のグループ(21)が、前記第1のグループ(20)の方向に対してほぼ斜めの方向に形成されるようにするステップと、

前記基板(10)に垂直な複数のピラー(18)を形成するステップと、

各メモリ・セル(22)が、それぞれ、ピラー(18)、及び、前記第1(20)及び第2(19、21)の複数の選択線のそれぞれの1つに結合された、メモリ・セル(22)のアレイを形成するステップ
を含む、方法。

【請求項 7】

前記第2の複数の選択線(19、21)のそれぞれを、その選択線(19、21)に沿って1つおきにピラー(18)に電氣的に接続するステップをさらに含む、請求項6に記載の方法。

【請求項 8】

アレイをなすように配置されるメモリ・セル(22)の別の層(16)を前記メモリ・

セル(22)のレイ上に形成するステップさらにを含む、請求項6に記載の方法。

【請求項9】

キュービックメモリ・レイを動作させる方法であって、
メモリ・セル(22)の3次元レイの間に配置された複数の共用選択線(19-21)によって前記メモリ・セル(22)のレイを駆動し、前記メモリ・セル(22)に対するデータの読み出し及び書き込みを実施するステップと、
前記メモリ・セル(22)のレイの下にスペースを設けて、前記メモリ・セル(22)のレイを支持する基板上(10)に追加の回路素子が形成されるようにするステップを含む、方法。

【請求項10】

メモリ素子を含む回路であって、
基板(10)上に3次元レイをなすように構成された記憶素子(22)と、
前記基板(10)上において前記3次元レイの周辺に配置された、前記記憶素子(22)を制御するための制御回路要素(28、29、36、38、39)を含む、回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子メモリデバイスの分野に関するものである。とりわけ、本発明は、選択線が複数メモリ・セルに接続されたキュービック・メモリ・レイ(立方体メモリ・レイ、または、三次元メモリ・レイ)に関するものである。

【0002】

本出願は、2002年4月2日に提出された、「Cubic Memory Array」と題する米国特許出願第10/116,213号の一部継続出願である。

【背景技術】

【0003】

パーソナル・コンピュータ、サーバ、個人用携帯型情報機器、電子ゲーム、及び、他の電気装置は、データを記憶するためにメモリ・システムを利用する。より大規模で、より高速のメモリ・システムに対する要求が増大し続けている。メモリ・テクノロジーの属性には、データ・アクセス時間(すなわち、速度)、コスト、信頼性、サイズ(すなわち、密度)、及び、電力消費が含まれる。

【0004】

フロッピ・ドライブ、ハード・ドライブ、コンパクト・ディスク(CD)・ドライブ、及び、半導体メモリといったいくつかのメモリ・テクノロジーが広く用いられている。半導体メモリデバイスは、各々が1ビットのデータを記憶する、膨大な数のメモリ・セルと呼ばれるコンポーネントから構成されている。半導体メモリのタイプには、例えば、ダイナミック・ランダム・アクセス・メモリ(DRAM)、スタティック・ランダム・アクセス・メモリ(SRAM)、読み取り専用メモリ(ROM)、プログラマブルROM(PROM)、ワンタイムPROM(OTP)、電氣的消去可能PROM(EEPROM)、及び、ビデオ・ランダム・アクセス・メモリ(VRAM)がある。

【0005】

半導体メモリデバイスの密度を増すには、通常、メモリ・セルの密度を高める必要がある。しかし、所与のメモリ・テクノロジー内において、メモリ・セルの密度が高くなるのに比例して、個々のメモリ・セルに対する制御及びアクセスに必要な制御素子の量も増大することになる。ほとんどの場合、各個々のメモリ・セルは、そのメモリ・セルに対するアクセスを可能にし、そのメモリ・セルを利用して実施される動作を制御する複数の電子的線すなわち電氣的接続(導電線など)を備えていなければならない。

【0006】

制御電子系に用いられる領域は、他のデジタル回路またはシステムの機能に利用可能な領域を制限することになる。さらに、制御素子の量が増すと、機能メモリ・セル及び必

10

20

30

40

50

要な制御素子がある所与の領域内に收容することができるようにするため、追加のプロセス層が必要になる可能性がある。これによって、メモリ・アレイの製作に必要な時間及び資金が増大することになる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

従って、メモリ密度を効率的に向上させるための手段が必要とされている。

【課題を解決するための手段】

【0008】

本発明によれば、可能性のある多くの実施態様のうちの1つにおいて、(1)基板に対してほぼ平行な面に第1の複数の選択線を形成するステップと、(2)基板に対してほぼ平行な面に、第1のグループと第2のグループに分割される第2の複数の選択線を形成し、第1のグループが、第1の複数の選択線の方角に対して垂直な方向に形成され、第2のグループが、第1のグループの方角に対してほぼ斜めの方角(または対角方向)に形成されるようにするステップと、(3)基板に垂直な複数のピラーを形成するステップと、(4)各メモリ・セルが、それぞれ、ピラー、及び、前記第1及び第2の複数の選択線のそれぞれの1つに結合された、メモリ・セル・アレイを形成するステップによって、メモリ回路を製作する方法が得られる。

10

【0009】

本発明のさらなる利点及び新規の特徴については、以下の詳細な説明において示される。当業者は、以下の詳細な説明を読むことにより、または、本発明を実施することによってそれらの利点や特徴を知ることができる。本発明の利点は、特許請求の範囲に記載されている手段によって実現することが可能である。

20

【発明の効果】

【0010】

本発明によれば、メモリ密度を効率的に向上させるための手段が提供される。

【実施例】

【0011】

本発明の上記及び他の特徴及び態様は、以下の詳細な記載及び図面を参照することによってより明らかとなる。尚、図面を通じて、同じ参照番号は同様の構成要素(それらは必ずしも同一の構成要素ではない)を示す。本発明によれば、可能性のある多くの実施態様の1つにおいて、垂直ピラーを利用して、メモリ・セル・アレイ内の特定のメモリ・セルを選択するために用いられる行線または列線を形成する、3次元(3D)メモリ・アーキテクチャが得られる。これらのピラーは、個々のメモリ・セルへのアクセスのためにメモリで利用されるスイッチング素子を減らすことができるように、共用される。

30

【0012】

このアーキテクチャによって、極めて容積的スペース効率がよく、追加回路素子(または、追加回路要素。以下同じ)のためのスペースを確保することができるとともに、単に、スタックすることによって従来の交差点メモリ・アレイ(クロスポイント・メモリ・アレイ)を拡張するこれまでの3Dアーキテクチャに比べて製造しやすい、メモリ・セル・スタックによる「キュービック(立方体または三次元)」アレイ構造が得られる。さらに、共通センス線及び共用スイッチング素子によってスペースが節約されるので、メモリ・アレイの下のスペースを他の回路素子のために利用することが可能になるし、または、製造プロセスにおける層数を減少させることも可能になる。

40

【0013】

本明細書では本発明の説明を分りやすくするため、メモリ・セルが配置されている基板の面に対して垂直な方向に、メモリ・セル・アレイを接続する線を、ピラーと呼ぶことにする。ピラーに接続される選択線を、ビット線と呼ぶことにする。ピラーではなくメモリ・セルに接続される選択線を、ワード線と呼ぶことにする。

【0014】

50

本発明の原理によるキュービックメモリ・アレイは、マイクロプロセッサ、グラフィック・プロセッサ、及び、記憶プロセッサといった従来の集積回路に組み込むことができるので、とりわけ、組み込み型の設計に有用である。本発明のメモリ・アレイは、必要とするスイッチング素子が少なくなり、メモリ・セル・アレイの周辺にそれらの制御素子を配置することができるので、本発明によれば、ベース基板上のメモリ・アレイの下に追加回路素子を製作することが可能になる。

【0015】

キュービックメモリ・アレイをなすメモリ・セルは、アレイの記憶及び制御素子としてさまざまな半導体デバイスのうちの任意のデバイスを利用して、本発明の原理に従って製作することが可能である。3Dアーキテクチャの大部分の実施例は、従来の半導体設備及び出発材料としてのシリコン基板を利用して実施される。しかし、本発明の半導体デバイスは、広範囲にわたる半導体テクノロジーに適用可能であり、さまざまな半導体材料から製作することが可能である。

10

【0016】

図1は、メモリ・セル(22)のいくつかの2次元アレイを垂直方向にスタックして、本発明の1実施態様による3次元キュービックメモリ・アレイを形成されたメモリ回路(30)の概略図である。各メモリ・セル(22)には、通常、「オン」または「オフ」状態に設定可能な、あるいは、「オン」または「オフ」状態を表わす電荷を含む、少なくとも1つの記憶素子が含まれている。あるいはまた、メモリ・セル(22)は、メモリ・セル(22)毎に2ビット以上の情報が記憶されるように、複数の状態を記憶する、すなわち、複数の状態を表わす電荷を蓄積することも可能である。

20

【0017】

図1には、キュービックメモリ・アレイの2次元層の一部が例示されている。図示のセクションは、支援電子回路と共に、行及び列をなすように構成された6×4のメモリ・セル・アレイである。スタック構造の各メモリ・セル(22)は、メモリ・セル(22)の行に沿って延びる1組のワード線(20a-20d)の1つ、及び、メモリ・セル(22)の列に沿って、または、メモリ・セル(22)の列を斜めに横切って配置することが可能な1組のビット線(19a-f、21a-i)の1つに接続されている。

【0018】

キュービックメモリ・アレイの各階層毎に、その階層のメモリ・セル(22)のための、異なる組をなすワード線(20a-20d)が設けられている。各メモリ・セル(22)とビット線(19a-f、21a-i)の1つとの接続は、導電性ピラー(18)の1つによって施される。キュービックアレイの各階層毎に、1組のビット線(19a-f、21a-i)が配置されているわけではない。そうではなく、ビット線(19a-f、21a-i)は、メモリ・セル・アレイの外部に配置されて、メモリ・セル・アレイを通過して延びるピラー(18)を介して、メモリ・セル(22)に接続されるのが望ましい。ピラー(18)は、メモリ・セル(22)の層を通り、キュービックメモリ・アレイが形成されているベース基板に対して垂直に延びている。従って、各メモリ・セル(22)は、ピラー(18)の1つに接続されている。キュービックアレイの異なる階層にある複数のメモリ・セル(22)は、ピラー(18)のそれぞれを共用し、それに接続されている。従って、ピラー(18)によって、各メモリ・セル(22)とビット線(19a-f、21a-i)の1つが接続されることになる。

30

40

【0019】

上述のように、ビット線(19、21)は、2つのグループをなすように配置するのが望ましい。ある組(第1組)のビット線(19)は、ワード線(20)に対して垂直な方向に、すなわち、メモリ・セル(22)の列に沿って配置するのが望ましい。別の組(第2組)のビット線(21)は、ピラー(18)及び対応するスタックされたメモリ・セル(22)を斜めに横切って、例えば、45度の物理的角度で配置されるのが望ましい。今後は、上記第2組のビット線を斜めビット線(21)と呼ぶことにする(または対角ビット線ともいう)。

50

【0020】

本開示の目的上、キュービックアレイは、3次元をなすように構成されたメモリ・セルと定義される。アレイの3次元（の各次元の寸法）は、異なる長さにすることが可能であり、実際の「キュービック（立方体）」が形成されるわけではない。しかし、本明細書において、「キュービック」は、メモリ・アレイの基本的な3次元構造を表わすため、より広義の「3次元を有する」という意味で用いられている。実際の各次元の長さは、面当りのメモリ・セル数、及び、スタックされる面数に関する設計者の選択によって変動することになる。

【0021】

メモリ・セル数が、全ての辺に沿って等しいことを表わす、真に立方体であるメモリ・アレイの場合、斜めビット線（21）が配置される角度は45°が望ましい。しかし、用いられる角度は、メモリ・アレイ内の各ピラー（18）とどちらかの組のビット線（19、21）との接続を可能にする任意の角度とすることが可能である。

10

【0022】

第1組のビット線（19）及び第2組のビット線（21）は、異なる面内に配置するのが望ましい。例えば、他方の組のビット線は、キュービックメモリ・アレイの上方に配置し、もう一方の組のビット線は、キュービックメモリ・アレイの下方に配置することが可能である。この構成は、例えば、図2において確かめることができる。

【0023】

斜めビット線（21）は、他方の組のビット線（19）によって誘発される可能性のあるノイズを低減するため、斜めに配置されている。これによって、ビット線（19、21）から受けるクロストークが低減する。ビット線（19、21）の出力は、さらに詳細に後述するセンス増幅器（39）によって受信される。ビット線（19、21）及びピラー（18）を、それぞれ、水平面及び垂直面に配置することによって、ピラー（18）とビット線（19、21）との間のキャパシタンス（容量）が低減する。このキャパシタンスの低減によって、メモリ・アレイ（30）に対するアクセス速度を高速化することができる。

20

【0024】

各ピラー（18）、及び、ピラーが接続するメモリ・セル（22）は、さらに、ビット線（19）または斜めビット線（21）に接続されている。2つのタイプのビット線は、それぞれ、1つおきにピラー（18）と交差して、共通の行ノピラー接続も共用しているピラー（18）間の分離を維持するのが望ましい。この構成によれば、各ピラー（18）及びそのピラーに接続されたメモリ・セル（22）に対して、対応するワード線（20）及びビット線（19、21）による個別アクセスが可能になる。

30

【0025】

メモリ回路（30）の制御回路要素（または、制御回路。以下同じ）が、メモリ・アレイの周辺に示されている。この制御またはスイッチング回路要素は、ビット線（19、21）及びワード線（20）、及び、個々のメモリ・セル（22）に対するそれらのアクセスを制御する。すなわち、制御回路要素は、メモリ・アレイ（30）に対するノからの情報の入力ノ出力を制御し、各メモリ・セル（22）のアクセス方法、読み出しノ書き込みノ消去サイクルにおける、メモリ・セル（22）に格納されている情報の増幅及び復号化方法、電圧レベルの印加方法、及び、センス線の制御方法を制御する。

40

【0026】

制御回路要素には、個々のワード線（20）及びビット線（19、21）の制御に用いられるセンス増幅器（39）が含まれている。センス増幅器（39）は、メモリ・アレイ（30）の読み出しノ書き込みノ消去サイクルにおける必要に応じて信号の増幅を可能にする任意の素子とすることが可能である。センス増幅器（39）は、トランジスタまたはダイオードを使用して構成するのが望ましいが、電子信号または電圧レベルの増幅を可能にする任意の素子を用いることが可能である。

【0027】

50

ワード線デコーダ(38)及びビット線デコーダ(36)は、どの行(20)及びビット線(19、21)を駆動して、個々のメモリ・セル(22)にアクセスするかを論理的に判定するために使用される。ワード線デコーダ(38)及びビット線デコーダ(36)は、マルチプレクサ、デコーダ、及び、デコーダ(38、36)が、対応するアドレス・バス(32)からメモリ位置(記憶場所)を受け取り、その情報を復号化し、適正な行(20)及びビット線(19、21)を駆動して、必要なメモリ・セル(22)にアクセスできるようにする他の論理回路の任意の組み合わせとすることが可能である。読み出し動作において、メモリ・セル(22)からアクセスされた情報は、次に、復号化され、データ・バス(34)を介してビット線デコーダ(36)から送り出される。

【0028】

アレイ電圧回路要素(29)は、読み出し/書き込み/消去回路要素(28)と連係して、デコーダ(38、36)及びセンス増幅器(39)を介して、アレイをなすメモリ・セル(22)に印加される電圧レベルを制御する働きをする。メモリ回路(30)によって達成される読み出し、書き込み、及び、消去サイクルには、異なる電圧レベルが使用される。アレイ電圧回路要素(29)には、(ワード線、ビット線などの)線にさまざまなレベルの電圧を印加できるようにする電圧源が含まれている。読み出し/書き込み/消去回路要素(28)は、各サイクルのタイミング、及び、アレイ電圧回路要素(29)によって印加される電圧レベルの電圧の印加時期及び方法を制御する。

【0029】

メモリ回路要素(30)は、前述の各構成要素を管理する(または動作させる)働きをする。以下では、構成要素間の相互作用に関するより詳細な説明が示される。メモリ回路要素(30)は、アドレス・バス(32)を形成する1組の外部アドレス線と、データ・バス(34)を形成するデータ線に接続されている。アドレス線(32)は、アドレス指定するメモリ・セル・アレイ内の特定のメモリ・セル(22)を選択するため、符号化形式(2進値が望ましい)の信号で位置を知らせる。

【0030】

ワード線デコーダ(38)は、アドレス・バス(32)からのアドレスを解釈して、具体的に選択されたメモリ・セル(22)がどの行すなわちワード線に位置するかを判定する。一般に、1つのワード線だけが選択されて、所定の電圧レベルに駆動され、他の選択されないワード線は、一般に、グランドレベル(アース)に駆動される。これらの電圧レベルは、アレイ電圧回路要素(29)によってワード線デコーダ(38)を介して加えられる。ワード線デコーダ(38)及びビット線デコーダ(36)には、各メモリ・セル(22)毎に、読み出し、書き込み、消去、及び、スタンバイ・サイクルに合わせて個々のアクセス線を多重化可能にする回路要素が含まれている。

【0031】

ビット線デコーダ(36)は、また、アドレス・バス(32)からの信号を利用して、駆動する特定のビット線(19、21)を選択する。次に、対応するメモリ・セル(22)にアクセスして、読み出し/書き込み/消去操作が行われる。読み出し動作には、アクティブなビット線及びワード線を使用して、対応するセンス増幅器(39)によって選択されたメモリ・セル(22)の状態を検知することが含まれる場合もある。メモリ回路(30)には、アレイ電圧回路要素(29)と共に、ワード線デコーダ(38)及びビット線デコーダ(36)に接続された読み出し/書き込み/消去回路要素(28)も含まれている。読み出し/書き込み/消去回路要素(28)は、各動作中、個々の選択及び非選択メモリ・セル(22)に対して適切な電圧及びタイミングを提供する。留意すべきは、消去動作は、全てのタイプのメモリ回路(30)について利用可能というわけではないという点である。

【0032】

本発明の実施態様において用いられる共通ビット線アーキテクチャによれば、並列(または同時)読み出し及び書き込み動作のために、複数のピラー(18)へのアクセスが可能になる。同様に、非競合ピラー(18)に対して、二重読み出し及び書き込み動作を同時

10

20

30

40

50

に行うことが可能になる。従って、本発明の実施態様によれば、複数のメモリ・セルに対する同時アクセス及び制御が可能になる。本発明によれば、さらに、メモリ・アレイ周辺までの制御回路要素（例えば、36、38、39）の除去が容易になり、メモリ・セル・アレイの下方において、メモリ・アレイ（30）の基板上に、追加回路素子のための領域が得られるようになる。また、基板上に直接メモリ・アレイ（30）を製作することができるので、層の加工ステップが減少し、キュービクメモリ・アレイの製造コスト全体が低下するというのも、本発明に特有の点である。

【0033】

図2は、本発明によるキュービクメモリ・アレイの可能性のある実施態様の1つを例示した、典型的な物理的レイアウトである。図2に示すように、キュービクメモリ・アレイは、スタックされたメモリ・セル（22）とメモリ・セル階層間に延びる対応するピラー（18）から形成される。この例では、メモリ・セル（22）2つの階層（またはまた2つの面）が示されている。これら2つの階層は、一方がもう一方の上にくるように形成されている。図示の面である、階層0（14）及び階層1（16）は、キュービクメモリ・アレイ内の可能性のある多くの面のうち2つだけを表わしている。各階層のメモリ・セル（22）は、隣接階層のメモリ・セル（22）とほぼアライメントがとれる（ほぼ整列する）のが望ましい。階層0（14）には、斜めビット線（21）が含まれている。階層1（16）には、非斜めビット線（斜めではないビット線。または非対角ビット線ともいう）（19）が含まれている。階層0（14）及び階層1（16）は、基板表面（10）に対してほぼ平行なそれぞれの面に形成されるのが望ましい。

10

20

【0034】

図示のメモリ・セル（22）の2つの階層において、非斜めビット線（19）に対して垂直方向をなす行のメモリ・セル（22）を接続するワード線（20a-f）が示されている。各階層（14、16）には、それ自体の組をなすワード線（20）が含まれている。ワード線（20）は、ビット線（19、21）の面とは異なる面に配置されるのが望ましい。

【0035】

ピラー（18）は、基板（10）に対して直交するように形成するのが望ましい。各ビット線（19、21）は、その長さに沿って1つおきにピラー（18）との接続を形成するのが望ましい。選択された配向は、本発明を説明する上での便宜上のものであり、どの実施態様についても実際の配向は、任意である。キュービクアレイをなすようにワード線及びビット線構造を選択するための他の構成も存在し、それらも、本発明の思想及び範囲内のものである。

30

【0036】

図2には、メモリ・アレイ（30）が製作されるベースである、シリコン基板（10）のような基板（10）が示されている。現在入手可能な半導体デバイスの大部分は、シリコン基板（10）内及びその上に製作される。従って、本発明の適用例には、シリコン基板（10）を含むのが望ましい。しかし、例えば、ガラスまたはポリマー基板を使用することも可能である。本発明は、好都合なことに、ガリウム砒素（砒化ガリウム）、ゲルマニウム、プラスチック、セルロース、及び、他の半導体材料を基板材料として用いることも可能である。

40

【0037】

図2のシリコン基板（10）は、例えば、デコーダ、センス増幅器、アレイ電圧回路要素、マルチプレクサ、及び/または、他のデジタル論理回路といった、メモリ・アレイ制御回路要素を、内部及び上に形成することが可能な平面（12）を形成している。シリコン基板（10）は、図2に示すように、基板（10）上に層をなすように形成することが可能なメモリ・セルに使用することが可能な場合あれば、できない場合もある。本発明の実施態様の中には、制御またはスイッチング回路要素をメモリ回路の周辺に配置して、シリコン基板（10）を他の回路素子またはメモリ・アレイそれ自体の構成要素に利用できるようにするのが望ましいものもある。例えば、図2には、キュービクメモリ・アレ

50

イにおけるメモリ・セル(22)の第1の階層(14)が示されているが、この場合、第1の階層(14)のメモリ・セル(22)は、基板(10)の平面(12)上に配置されている。

【0038】

第1のメモリ階層(14)は、図示のようにワード線(20)によって接続されたメモリ・セル(22)の行を備えている。第1のメモリ階層(14)の上には、メモリ・セル(22)の第2の階層(16)が配置されている。第2の階層(16)のメモリ・セル(22)は、第1のメモリ階層(14)のメモリ・セル(22)とほぼアライメントがとれるのが望ましい。メモリ・セル(22)のアライメントがほぼとれるようにすることによって、垂直方向にアライメントのとれたメモリ・セルの層は、共通相互接続を共用することが可能になるが、この場合、それらはピラー(18)によって接続される。

10

【0039】

図3は、本発明の1代替実施態様の部分分解図である。この実施態様の場合、面を形成する基板表面内に、非斜めビット線(19a、19b)が形成されている。基板の面に対して平行な面内に形成された組をなすメモリ・セル(50c-d)が、基板上に配置されている。垂直ピラー(18a-18d)が、基板の面に対して垂直な面内に形成されている。

【0040】

ピラー(18a-d)は、それぞれの隣接する組をなすメモリ・セル(50c-d)の記憶素子に隣接し、接触している。オプションとして、キュービクメモリ・アレイを、組をなすメモリ・セルに絶縁層誘電体(ILD)(不図示)を追加し、新たな基板表面を形成するようにそれを平坦化することによって拡張することが可能である。この平面上に、もう1組の斜めビット線(21a、21b)が配置され、パイアを介して、それぞれの垂直ピラー(18b、18d)に対する上部ILD層に接続される。次に、オプションとして、追加の基板表面上に、さらなる組をなすメモリ・セル及びピラー(18)が形成される。隣接するメモリ・セル階層からピラー(18)を離隔するILDがないので、各ピラー(18)は、層毎に2つの記憶素子(23)と接触する。

20

【0041】

ピラー(18a、18c)は、ビット線列b0(19a)及び列b1(19b)と電氣的に接触する。追加ピラー(18b、18d)は、斜めビット線列a0(21a)及び列a1(21b)と電氣的に接触する。図3の実施態様の場合、垂直方向にメモリ・セル(22)の3つの階層が順々にスタックされている。用いられる特定の製作プロセスによっては、前に製作された表面の非平面性のために、垂直方向にスタックされたメモリ・セル(22)層を拡張し続けるのが困難な場合がある。従って、高さが増すのを考慮したアプローチの1つでは、形成されたメモリ・セル層の上にILDの層(不図示)が設けられる。次に、例えば、化学機械的平坦化(CMP)技法または他の既知の平坦化技法を用いて、このILD層を平坦化することによって、ワード線及び別のメモリ・セル層を製作することが可能な新しい平面が形成される。

30

【0042】

図4には、ワード線及びビット線デコーダ(38、36;図1)のワード線及びビット線に対するメモリ・セル接続の部分概略図が示されている。行a(0-2)、b(0-2)及び、c(0-2)が、ワード線デコーダから出力されて、二重メモリ・セル23(a-1)に結合する。垂直ピラー(18a、18b)は、ビット線(19a、21a)に接続されており、これらのビット線(19a、21a)は、さらに、制御され、ビット線デコーダ(36)への入力となる、センス・トランジスタまたはセンス増幅器(39)のようなセンス回路要素またはスイッチング素子に接続されている。ビット線デコーダ(36)に結合されるアドレス・バス(32)の入力の内容に基づいて、検知された(すなわち読み取られた)データがデータ・バス(34)上に出力される。

40

【0043】

図5は、ピラー(18a、18b)が上部サブピラー接続(88)及び底部サブピラー

50

接続(89)によって相互接続された、本発明の1実施態様の断面図である。上部(88)及び底部(89)サブピラー接続は、パイア(48)を介してピラー(18a)及び(18b)に結合している。ピラー(18a、18b)によって、ピラーのそれぞれの側におけるメモリ記憶素子(24)が短絡させられるので、ピラー毎に一度にアクセス可能な記憶素子(24)は1つだけということになる。そのため、特定のサブピラー接続(88、89)に対して、1つおきにピラー(18)が接続される。

【0044】

キュービクメモリ・アレイの形成には、各記憶素子(24)に物理的に隣接し、アクセスする制御素子(26)が含まれるのが望ましい。制御素子(26)は、ビット線(19、21)とピラー(18)の間で記憶素子(24)に直列に接続される。

10

【0045】

メモリ・セルは、それぞれ、中間電極(42)を介して直列に結合された制御素子(26)と直列をなす記憶素子(24)を備えている。ピラー(18a、18b)の1つが、センス・アンプ回路要素及びビット線デコーダ(不図示)に接続された単一ビット線(19)に相互接続される。この接続は、基板(10)のトランジスタ(60a、60b)の一方が所望のピラー(18a、18b)を選択できるようにすることによって実現される。

【0046】

制御回路要素は、従来の半導体プロセスを利用してメモリ・アレイの基板(10)に製作することが可能であり、例えば、電界効果トランジスタ(FET)のようなさまざまなテクノロジーで実施可能である。あるいはまた、制御トランジスタの代わりに、ダイオードのような他の制御素子を用いることも可能である。制御トランジスタまたはダイオードは、垂直方向メモリ・アレイの周辺にほぼ隣接して配置するのが望ましい。

20

【0047】

ビット線構成には互換性があり、アレイの上部または底部に、非斜めビット線(19)または斜めビット線(21)を用いることが可能であるという点に留意するのが重要である。それらが同じ階層にないことは有利な点であろう。

【0048】

図6は、図5の断面図と類似の本発明の別の実施態様の断面図である。図6の説明においては、図5で説明済みの要素に関する冗長な説明は省略することにする。

30

【0049】

図7の場合、例えば、デコーダ、センス増幅器、読み出し/書き込み/消去回路要素、アレイ電圧回路要素、マルチプレクサ、及び、他のデジタル論理回路要素を含むセンス制御回路要素を、メモリ・アレイ(不図示)の周辺に移動することが可能である。ピラー(18)からの接続及び対応するビット線(19)への接続が、メモリ・アレイの周辺まで延長されるが、これは、サブピラー接続(88、89)の延長によって実施可能である。センス回路要素をメモリ・アレイの周辺に移動させることによって、基板の非占有部分における他の回路要素のために使用可能な領域が増すことになる。

【0050】

従って、利用可能になった基板領域(101)によって、層形成プロセスを減らして、基板(10)上に直接メモリ記憶素子(24)の第1の階層を製作することが可能になる。あるいはまた、メモリ・アレイの下方において、基板(10)上に異なるシステム機能のための他の回路要素を形成することも可能になる。上部サブピラー接続(88)及び底部サブピラー接続(89)が、ピラー(18a、18b)と接続される。ピラーが、1つおきに、パイア(48)を介して、ビット線(88、89)に接続され、これらのビット線は、さらに、前述のように、センス制御回路要素及びデコーダに接続される。

40

【0051】

図7は、メモリ・セル(94)の面と本質的にメモリを必要とする素子またはデバイスを一体化する、組み込み式キュービクメモリ・アレイ(100)の典型的な実施態様である。実施態様の1つでは、メモリ(100)は、マイクロプロセッサ(92)と一体化

50

される。マイクロプロセッサ(92)は、メモリ・セル(94)の面をレベル1及び/またはレベル2キャッシュ・メモリとして利用することが可能である。図示のような一体化の場合、組み込み式キュービックメモリ・アレイ(100)は、マイクロプロセッサ(92)のダイ上に製作されるので、メモリ・アレイの基板(101)をマイクロプロセッサ回路要素または他の回路要素のために利用することが可能になり、従って、ダイ領域全体のサイズを縮小することが可能になる。

【0052】

マイクロプロセッサ(92)の上面は、水平な基板表面を形成する。メモリは、マイクロプロセッサ(92)上のメモリ・セル(94)の1つ以上の垂直層から構成されて、組み込み式キュービックメモリ・アレイ(100)を形成するのが望ましい。メモリ・セルは、上述のように、第1及び第2の組をなす選択線によって接続される。少なくとも1組の選択線は、上述のように、ピラーとして組み込み式キュービックメモリ・アレイ(100)内に形成される。組をなす選択線は、マイクロプロセッサ(92)のダイ上のメモリ基板(101)において、メモリ・アレイ(100)の周辺に形成された選択回路要素に電氣的に接続される。

10

【0053】

メモリ・アレイ(100)周辺の選択回路要素(101)には、上述のセンス増幅器、デコーダ及び復号化論理回路、バッファ、電圧発生器、及び、読み取り/書き込み/消去制御回路要素のいくつかまたは全てを含めることが可能である。この構成によって、前述のように基板を十分に活用することが可能になる。マイクロプロセッサ(92)は、例えば、ボンディング・ワイヤ(97)またはテープ自動化ボンディング(TAB)回路技術を用いて、パッケージ(95)に電氣的に取り付けられる。

20

【0054】

マイクロプロセッサは、パッケージ(95)への取り付け後、汚染及び取り扱いに対する保護のため、カプセル封入される(不図示)。組み込み式キュービックメモリ・アレイ(100)は、図示のように、マイクロプロセッサ集積回路上に配置されるが、当業者には明らかなように、メモリ回路を利用する任意の集積回路を、マイクロプロセッサ(92)の代わりに使用することができる。一例としては、グラフィックス・ディスプレイ・コントローラがある。

【0055】

以上の説明は、本発明の例示及び説明のみを目的として提示されたものである。本発明を網羅することも、開示した形態そのものに限定することも意図されていない。以上の教示に鑑みて、多くの修正及び変更が可能である。

30

【0056】

望ましい実施態様を、本発明の原理及びその実際の応用例を最も分りやすく例示するために選択して説明した。以上の説明は、当業者が、その企図する特定の用途に適したさまざまな実施態様及びさまざまな変更態様において、本発明を最も有効に利用できるようにすることを意図したものである。本発明の範囲は、特許請求の範囲によって規定される。

【0057】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

40

1. キュービックメモリ・アレイにおいて、

行及び列を有するアレイをなすように構成される複数のメモリ・セル(22)であって、前記アレイは、基板(10)上に積層化される、複数のメモリ・セルと、

複数の導電性ピラー(18)であって、各々が複数の前記メモリ・セル(22)に接続されて、メモリ・セル(22)の層(16、14)間に延びる、複数の導電性ピラーと、

第1の複数の選択線(20)であって、各々が、行をなす複数の前記メモリ・セル(22)に接続される、第1の複数の選択線と、

第2の複数の選択線(19、21)であって、各々が、複数の前記導電性ピラー(18)に接続されて、第1のグループ(21)と第2のグループ(19)に分割される、第2

50

の複数の選択線

とを備え、前記第1のグループ(21)が前記導電性ピラー(18)の間に斜めに配置されることからなる、キュービックメモリ・アレイ。

2. 前記第2の複数の選択線(19、21)が、それぞれ、その選択線(19、21)の全長に沿ってピラー(18)に1つおきに接続される、上項1に記載のキュービックメモリ・アレイ。

3. 前記キュービックメモリ・アレイ(30)の周辺に形成された制御回路要素(28、29、36、38、39)をさらに備え、前記制御回路が、前記メモリ・セル(22)に対するデータの読み出し及び書き込みを選択的に実施する、上項1に記載のキュービックメモリ・アレイ。

4. 前記制御回路要素(28、29、36、38、39)に、少なくとも1つのピラーに電氣的に接続されたスイッチング素子(36)が含まれる、上項3に記載のキュービックメモリ・アレイ。

5. 前記第1のグループ(21)の選択線が、前記メモリ・セル(22)の行及び列に対して45度の角度で斜め配置される、上項1に記載のキュービックメモリ・アレイ。

6. メモリ回路の製作方法であって、

基板(10)に対してほぼ平行な面に第1の複数の選択線(20)を形成するステップと、

前記基板(10)に対してほぼ平行な面に、第1のグループ(19)と第2のグループ(21)に分割される第2の複数の選択線(19、21)を形成し、前記第1のグループ(19)が、前記第1の複数の選択線(20)の方向に対して垂直な方向に形成され、前記第2のグループ(21)が、前記第1のグループ(20)の方向に対してほぼ斜めの方向に形成されるようにするステップと、

前記基板(10)に垂直な複数のピラー(18)を形成するステップと、

各メモリ・セル(22)が、それぞれ、ピラー(18)、及び、前記第1(20)及び第2(19、21)の複数の選択線のそれぞれの1つに結合された、メモリ・セル(22)のアレイを形成するステップ

を含む、方法。

7. 前記第2の複数の選択線(19、21)のそれぞれを、その選択線(19、21)の全長に沿って1つおきにピラー(18)に電氣的に接続するステップをさらに含む、上項6に記載の方法。

8. アレイをなすように配置されるメモリ・セル(22)の別の層(16)を前記メモリ・セル(22)のアレイ上に形成するステップさらにを含む、上項6に記載の方法。

9. キュービックメモリ・アレイを動作させる方法であって、

メモリ・セル(22)の3次元アレイの間に配置された複数の共用選択線(19-21)によって前記メモリ・セル(22)のアレイを駆動し、前記メモリ・セル(22)に対するデータの読み出し及び書き込みを実施するステップと、

前記メモリ・セル(22)のアレイの下にスペースを設けて、前記メモリ・セル(22)のアレイを支持する基板上(10)に追加の回路素子が形成されるようにするステップを含む、方法。

10. メモリ素子を含む回路であって、

基板(10)上に3次元アレイをなすように構成された記憶素子(22)と、

前記基板(10)上において前記3次元アレイの周辺に配置された、前記記憶素子(22)を制御するための制御回路要素(28、29、36、38、39)を含む、回路。

【0058】

本発明によるメモリ回路を製作する方法は、好ましくは、1)基板(10)にほぼ平行な面に第1の複数の選択線(20)を形成するステップと、2)基板(10)にほぼ平行な面に第2の複数の選択線(19,21)を形成するステップであって、第2の複数の選択線は、第1(19)と第2(21)のグループに分割され、第1のグループ(19)は、第1の複数の選択線(20)の方向に垂

10

20

30

40

50

直な方向に形成され、第2のグループ(21)は、第1のグループ(20)の方向にほぼ対角方向に形成されるようにするステップと、3)基板(10)に垂直な複数のピラー(18)を形成するステップと、4)メモリセル(22)のアレイを形成するステップであって、各メモリセル(22)が、ピラー(18)と、第1(20)及び第2(19,21)の複数の選択線の各々の1つにそれぞれ結合されるようにするステップとを含む。

【図面の簡単な説明】

【0059】

【図1】本発明の実施態様の1つによるセンス線を共用するメモリアレイに関するメモリ・アレイの概略図である。

【図2】本発明の実施態様の1つによるセンス線を共用するメモリアレイの物理的レイアウトの概略図である。 10

【図3】本発明の1実施態様の部分分解図である。

【図4】二重メモリ・セルを利用した本発明の1実施態様の部分概略図である。

【図5】本発明の別の実施態様の側面図である。

【図6】本発明のさらに別の実施態様の側面図である。

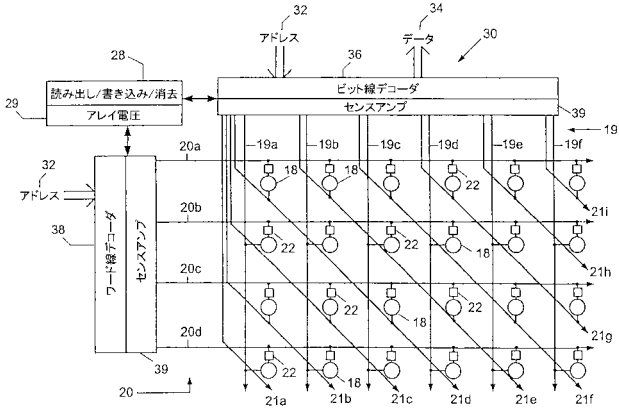
【図7】本発明による組み込み式キュービックメモリ・アレイの1実施態様の部分斜視図である。

【符号の説明】

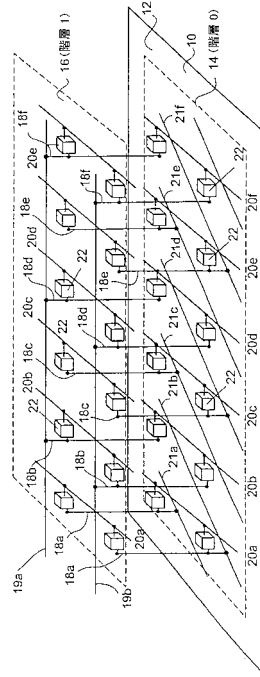
【0060】

- 10 基板
- 14、16 メモリ・セルの層
- 18 ピラー
- 19、21 選択線(ビット線)
- 20 選択線(ワード線)
- 22 メモリ・セル
- 28、29、36、38、39 制御回路要素
- 30 メモリ・アレイ

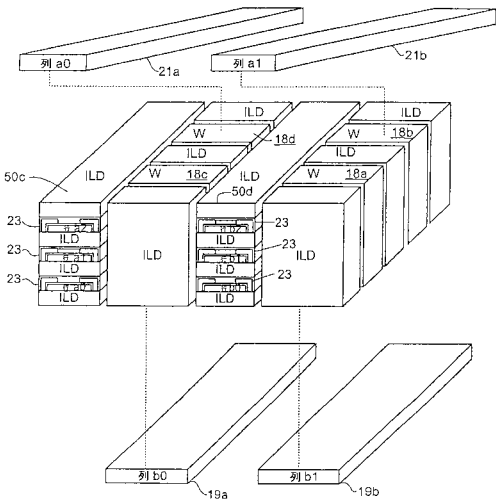
【図1】



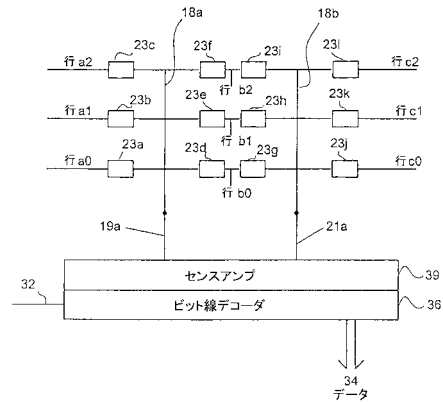
【図2】



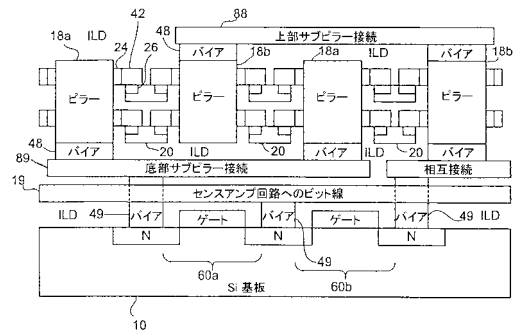
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 アンドリュー・ヴァン・ブロックリン

アメリカ合衆国オレゴン州97330, コーバリス, ノースウエスト・ハッピー・バレイ・ドライブ・6050

(72)発明者 アンドリュー・コール

アメリカ合衆国オレゴン州97321, アルバニー, サウスウエスト・フィフス・アベニュー・937

Fターム(参考) 5B015 JJ31 KA28 KA38 PP01 PP03

5F083 GA03 GA10 GA12 HA02 HA06 LA03 LA04 LA05 LA12 MA06

MA15 PR40 ZA13 ZA14 ZA21 ZA29