



(12) 发明专利申请

(10) 申请公布号 CN 118402000 A

(43) 申请公布日 2024. 07. 26

(21) 申请号 202280080662.7

(72) 发明人 亚伦·约翰·尼格伦

(22) 申请日 2022.11.04

(74) 专利代理机构 上海胜康律师事务所 31263

专利代理师 李献忠 童礼翎

(30) 优先权数据

63/286,342 2021.12.06 US

63/310,883 2022.02.16 US

63/314,856 2022.02.28 US

17/849,089 2022.06.24 US

(51) Int. Cl.

G11C 7/22 (2006.01)

G11C 7/10 (2006.01)

G06F 1/10 (2006.01)

G06F 13/16 (2006.01)

(85) PCT国际申请进入国家阶段日

2024.06.05

(86) PCT国际申请的申请数据

PCT/US2022/048992 2022.11.04

(87) PCT国际申请的公布数据

W02023/107218 EN 2023.06.15

(71) 申请人 超威半导体公司

地址 美国加利福尼亚州

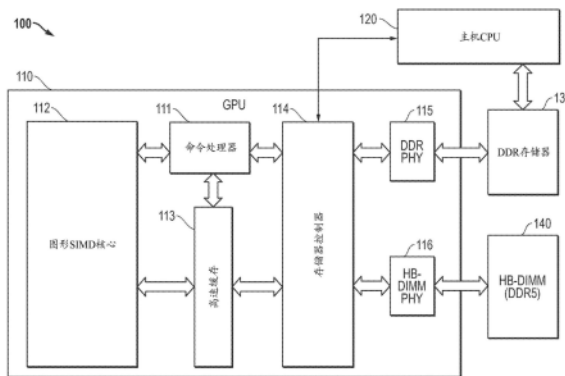
权利要求书3页 说明书11页 附图16页

(54) 发明名称

高带宽存储器模块架构

(57) 摘要

高带宽双列直插式存储器模块 (HB-DIMM) 包括多个存储器芯片、多个数据缓冲器芯片以及寄存器时钟驱动器 (RCD) 电路。数据缓冲器芯片被耦合到存储器芯片的相应集合,并且经由主机总线以存储器芯片的数据速率的两倍的数据速率从存储器芯片传输数据。该RCD电路包括主机总线接口和耦合到多个存储器芯片的存储器接口。该RCD电路通过将命令/地址 (C/A) 信号路由到存储器芯片以用于提供至少两个能够独立寻址的伪通道来实施经由主机总线接收的命令,该RCD电路基于从C/A信号导出的芯片标识符 (CID) 位来寻址每个相应的伪通道。



1. 一种高带宽双列直插式存储器模块 (HB-DIMM), 所述HB-DIMM适于耦合到主机总线并且包括:

多个存储器芯片;

多个数据缓冲器芯片, 所述多个数据缓冲器芯片耦合到所述存储器芯片的相应集合, 并且能够以所述存储器芯片的数据速率的两倍的数据速率经由主机总线从所述存储器芯片传输数据;

寄存器时钟驱动器 (RCD) 电路, 所述RCD电路包括用于耦合到所述主机总线的主机总线接口和耦合到所述多个存储器芯片的存储器接口, 所述RCD电路能够通过将命令/地址 (C/A) 信号路由到所述存储器芯片以提供至少两个能够独立寻址的伪通道来实施经由所述主机总线接收的存储器存取命令, 所述RCD电路基于从C/A信号导出的芯片识别符 (CID) 位来寻址每个相应伪通道。

2. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路对经由所述主机总线接收的存储器存取命令不进行重新排序。

3. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路使得针对所述至少两个伪通道的读取响应以非交织格式经由所述主机总线传输。

4. 根据权利要求1所述的HB-DIMM, 其中:

所述RCD电路还能够通过以四存储区块 (QR) 格式将C/A信号路由到所述存储器芯片来实施经由所述主机总线接收的存储器存取命令; 并且

响应于来自所述RCD的命令, 所述多个数据缓冲器芯片能够以所述存储器芯片的数据速率经由所述主机总线从所述存储器芯片传输数据。

5. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路能够编程以在第一模式和第二模式中操作, 在所述第一模式中, 所述主机总线的数据时钟 (DCK) 和C/A引脚以半速率 (2N) 速度操作, 其中所述C/A引脚以双倍数据速率 (DDR) 模式操作, 并且在所述第二模式中, 所述主机总线的DCK引脚以全速率 (1N) 速度操作, 其中所述主机总线的所述C/A引脚以单倍数据速率 (SDR) 模式操作。

6. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路产生并向所述数据缓冲器芯片中的至少一个数据缓冲器芯片传输命令代码, 所述命令代码基于所述存储器存取命令的所述CID位指示存储器存取命令的伪通道选择。

7. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路包括用于向所述存储器芯片的第一集合分发命令的第一RCD和用于向所述存储器芯片的第二集合实施命令的第二RCD, 其中所述第一RCD和所述第二RCD中的一者充当主RCD用于控制所述数据缓冲器芯片经由所述主机总线为存储器芯片的两个集合传输数据。

8. 根据权利要求1所述的HB-DIMM, 其中所述RCD电路通过将每内存库预充电 (PREpb) 信号转译为用于所述伪通道中的第一伪通道的每内存库预充电信号, 并且将从所述C/A信号导出的保留供未来使用 (RFU) 位上的信号转译为用于所述伪通道中的第二伪通道的PREpb信号来支持定向刷新管理 (DRFM) 命令。

9. 一种操作高带宽双列直插式存储器模块 (HB-DIMM) 的方法, 所述方法包括:

在寄存器时钟驱动器 (RCD) 电路处, 经由存储器接口总线接收存储器存取命令;

在RCD电路处, 将用于所述存储器存取命令的命令/地址 (C/A) 信号路由到多个存储器

芯片中的选定存储器芯片以提供至少两个能够独立寻址的伪通道,所述RCD电路基于所述C/A信号的芯片标识符(CID)位来寻址每个相应的伪通道;以及

在所述RCD电路处,准备数据缓冲器命令代码,所述数据缓冲器命令代码指示与选定存储器存取命令相关联的伪通道,所述存储器存取命令将针对所述数据缓冲器命令代码而被履行。

10. 根据权利要求9所述的方法,所述方法还包括接收和履行多个存储器存取命令,其中所述RCD电路不根据从所述存储器接口总线接收的命令的顺序对所述多个存储器存取命令进行重新排序。

11. 根据权利要求9所述的方法,所述方法还包括经由所述存储器接口总线以非交织格式传输针对所述至少两个伪通道的读取响应。

12. 根据权利要求9所述的方法,其中所述RCD电路能够编程以在第一模式和第二模式中操作,在所述第一模式中,所述存储器接口总线的数据时钟(DCK)和C/A引脚以半速率(2N)速度操作,其中所述C/A引脚以双倍数据速率(DDR)模式操作,并且在所述第二模式中,所述存储器接口总线的所述DCK引脚以全速率(1N)速度操作,其中所述存储器接口总线的所述C/A引脚以单倍数据速率(SDR)模式操作。

13. 根据权利要求9所述的方法,其中所述RCD电路包括用于为所述伪通道中的第一伪通道向所述存储器芯片的第一集合实施命令的第一RCD,以及用于为所述伪通道中的第二伪通道向存储器芯片的第二集合实施命令的第二RCD,其中所述第一RCD和所述第二RCD中的一者充当主RCD,用于控制多个数据缓冲器芯片为所述第一伪通道和所述第二伪通道传输数据。

14. 一种数据处理系统,所述数据处理系统包括:

主机总线;

存储器控制器,所述存储器控制器耦合到所述主机总线,用于在至少两个能够独立寻址的伪通道上履行存储器存取命令;

高带宽双列直插式存储器模块(HB-DIMM),所述HB-DIMM耦合到所述主机总线并且包括:

多个存储器芯片;

多个数据缓冲器芯片,所述多个数据缓冲器芯片耦合到所述存储器芯片,并且能够以所述存储器芯片的数据速率的两倍的数据速率经由主机总线从所述存储器芯片传输数据;和

寄存器时钟驱动器(RCD)电路,所述RCD电路包括用于耦合到所述主机总线的主机总线接口和耦合到所述多个存储器芯片的存储器接口,所述RCD电路通过将命令/地址(C/A)信号路由到用于所述至少两个能够独立寻址的伪通道的所述存储器芯片来实施经由所述主机总线接收的存储器存取命令,所述RCD电路基于所述C/A信号的芯片识别符(CID)位来寻址每个相应伪通道。

15. 根据权利要求14所述的数据处理系统,其中所述RCD电路对经由所述主机总线接收的存储器存取命令不进行重新排序。

16. 根据权利要求14所述的数据处理系统,其中所述RCD电路使得针对所述至少两个伪通道的读取响应以非交织格式经由所述数据总线传输。

17. 根据权利要求14所述的数据处理系统,其中所述RCD电路能够编程以在第一模式和第二模式中操作,在所述第一模式中,所述主机总线的数据时钟(DCK)和C/A引脚以半速率(2N)速度操作,其中所述C/A引脚以双倍数据速率(DDR)模式操作,并且在所述第二模式中,所述主机总线的所述DCK引脚以全速率(1N)速度操作,其中所述主机总线的所述C/A引脚以单倍数据速率(SDR)模式操作。

18. 根据权利要求14所述的数据处理系统,其中所述RCD电路产生并向所述数据缓冲器芯片中的至少一个数据缓冲器芯片传输命令代码,所述命令代码基于所述存储器存取命令的所述CID位指示所述存储器存取命令的伪通道选择。

19. 根据权利要求14所述的数据处理系统,其中所述RCD电路包括用于向所述存储器芯片的第一集合实施命令的第一RCD和用于向所述存储器芯片的第二集合实施命令的第二RCD,其中所述第一RCD和所述第二RCD中的一者充当主RCD,用于控制所述数据缓冲器芯片为存储器芯片的两个集合传输数据。

20. 根据权利要求14所述的数据处理系统,其中所述存储器控制器能够编程为以第一模式和第二模式运行,在所述第一模式中,所述存储器控制器基于所述CID位存取所述HB-DIMM以寻址伪通道,并且在所述第二模式中,所述存储器控制器基于所述CID位存取不同的HB-DIMM以存取存储器芯片的存储区块。

21. 根据权利要求14所述的数据处理系统,其中:

所述HB-DIMM包括提供包括所述多个存储器芯片的第一集合的第一存储器通道的前一半,以及提供包括所述多个存储器芯片的第二集合的第二存储器通道的后一半;并且

所述存储器控制器为所述第一存储器通道提供第一数据时钟(DCK)信号以及为所述第二存储器通道提供第二DCK信号。

## 高带宽存储器模块架构

### 背景技术

[0001] 现代动态随机存取存储器 (DRAM) 通过增加连接DRAM和诸如图形处理单元 (GPU)、中央处理单元 (CPU) 等一个或多个数据处理器的总线上的数据传输速度来提供高存储器带宽。DRAM通常为便宜且高密度的,从而使得每个设备能够集成大量的DRAM。现今销售的大多数DRAM芯片与由联合电子设备工程委员会 (JEDEC) 发布的各种双倍数据速率 (DDR) DRAM标准兼容。通常,若干DDR DRAM芯片被组合到单个印刷电路板衬底上,以形成不仅可以提供相对较高的速度还可以提供可缩放性的存储器模块。

[0002] 然而,虽然这些增强已改进用于计算机系统的主存储器的DDR存储器的速度,但仍期望进一步的改进。特别地,因为诸如具有多个核的高性能图形处理器和服务器之类的应用所需的存储器带宽以及每核带宽需求的对应增加超过了DDR DRAM芯片的带宽改进的路线图。需要改进的DIMM架构来满足当前DDR芯片技术(诸如DDR5)的此类需求。

[0003] 一种此类架构是负载降低的双列直插式存储器模块 (LRDIMM)。LRDIMM是支持比现有DIMM更高密度的负载降低 (LR) DIMM(通常采用于服务器)。LRDIMM包含存储器缓冲器 (MB) 芯片,而不是寄存器,以便减少存储器总线上的负载。存储器缓冲器将每个时钟、命令/地址和数据输入减少为存储器总线数据线上的单个阻抗负载,这提高了存储器速度。

[0004] 用于改进带宽性能的另一提出的架构是高带宽DIMM (HB-DIMM)。该方法试图使用DIMM形式因素中的高带宽存储器 (HBM) 格式的优势。

### 附图说明

[0005] 图1以框图形式示出了根据一些实施方案的数据处理系统;

[0006] 图2以框图形式示出了根据现有技术的DDR5负载降低的双列直插式存储器模块 (LRDIMM);

[0007] 图3以框图形式例示出了根据一些实施方案的高带宽DIMM (HB-DIMM);

[0008] 图4示出了描绘图3的HB-DIMM的操作的多个信号的时序图;

[0009] 图5以框图形式示出了根据一些其他实施方案的HB-DIMM;

[0010] 图6以框图形式示出了根据一些其他实施方案的HB-DIMM;

[0011] 图7示出了说明描绘图5的HB-DIMM在1N操作模式中操作的多个信号的时序图;

[0012] 图8示出了说明描绘图5的HB-DIMM在2N操作模式中操作的多个信号的时序图;

[0013] 图9示出了根据各种实施方案的包括可用于配置HB-DIMM的各种选项的表;

[0014] 图10示出了根据一些实施方案的包括用于HB-DIMM的示例性时钟速度和数据速率的表;

[0015] 图11示出了根据各种实施方案的包括用于HB-DIMM的各种配置的示例性速度限制的表;

[0016] 图12示出了根据各种实施方案的包括各种HB-DIMM的模块配置的表;图13以框图形式例示了根据一些实施方案的模块寄存器时钟驱动器 (MRCD);

[0017] 图14示出了根据一些实施方案的模块数据缓冲器 (MDB) 的混合电路和框图;

[0018] 图15示出了根据一些实施方案的操作HB-DIMM的过程的流程图；

[0019] 图16以框图形式示出了根据一些附加实施方案的HB-DIMM。

[0020] 在以下描述中,在不同的附图中使用相同的附图标号指示类似或相同的项。除非另有说明,否则字词“耦接”及其相关联的动词形式包括直接连接和通过本领域已知的方式的间接电连接两者,并且除非另有说明,否则对直接连接的任何描述也意味着使用合适形式的间接电连接的另选实施方案。

### 具体实施方式

[0021] 高带宽双列直插式存储器模块 (HB-DIMM) 适于耦合到主机总线并且包括多个存储器芯片、多个数据缓冲器芯片以及寄存器时钟驱动器 (RCD) 电路。多个数据缓冲器芯片被耦合到存储器芯片的相应集合,并且能够以存储器芯片的数据速率的两倍的数据速率经由主机总线从存储器芯片传输数据。RCD电路包括用于耦合到主机总线的主机总线接口和耦合到多个存储器芯片的存储器接口。RCD电路能够通过将命令/地址 (C/A) 信号路由到存储器芯片以提供至少两个能够独立寻址的伪通道来实施经由主机总线接收的存储器存取命令, RCD电路基于从C/A信号导出的芯片标识符 (CID) 位来寻址每个相应的伪通道。

[0022] 一种用于操作HB-DIMM的方法包括:在寄存器时钟驱动器 (RCD) 电路处,通过存储器接口总线接收存储器存取命令。在RCD电路处,该方法包括将用于存储器存取命令的命令/地址 (C/A) 信号路由到多个存储器芯片中的选定存储器芯片以提供至少两个能够独立寻址的伪通道,该RCD电路基于C/A信号的芯片标识符 (CID) 位来寻址每个相应的伪通道。在该RCD电路处,方法包括准备数据缓冲器命令代码,该数据缓冲器命令代码指示与选定存储器存取命令相关联的伪通道,该命令将针对该数据缓冲器命令代码而被履行。

[0023] 数据处理系统包括主机总线、存储器控制器和HB-DIMM。存储器控制器被耦合到主机总线,用于经由至少两个能够独立寻址的伪通道来履行存储器存取命令。HB-DIMM被耦合到主机总线并且包括多个存储器芯片、多个数据缓冲器芯片以及寄存器时钟驱动器。多个数据缓冲器芯片被耦合到存储器芯片的相应集合,并且能够以存储器芯片的数据速率的两倍的数据速率经由主机总线从存储器芯片传输数据。寄存器时钟驱动器 (RCD) 电路包括用于耦合到主机总线的主机总线接口以及耦合到多个存储器芯片的存储器接口。该RCD电路通过将命令/地址 (C/A) 信号路由到用于至少两个能够独立寻址伪通道的存储器芯片来实施经由主机总线接收的存储器存取命令。RCD电路基于C/A信号的芯片标识符 (CID) 位来寻址每个相应的伪通道。

[0024] 图1以框图示出了根据一些实施方案的数据处理系统100。数据处理系统100通常包括呈图形处理单元 (GPU) 110形式的数据处理器、主机中央处理单元 (CPU) 120、双数据速率 (DDR) 存储器130以及HB-DIMM存储器140。

[0025] GPU 110为独立图形处理器,该独立图形处理器对于经优化的图形处理、渲染和显示具有极高性能,但需要高存储器带宽来执行这些任务。GPU 110通常包括一组命令处理器111、图形单指令多数据 (SIMD) 核心112、一组高速缓存113、存储器控制器114、DDR物理接口电路 (DDR PHY) 115以及HB-DIMM PHY 116。

[0026] 命令处理器111用于解释高级图形指令,诸如在OpenGL编程语言中规定的那些指令。命令处理器111具有到存储器控制器114以用于接收诸如OpenGL指令的高级图形指令的

双向连接件、到高速缓存113的双向连接件以及到图形SIMD核心112的双向连接件。响应于接收到高级指令,命令处理器使用高速缓存113作为临时存储设备来发出用于诸如帧数据的数据的渲染、几何处理、着色和光栅化的低级指令。响应于图形指令,图形SIMD核心112以大规模并行方式对大型数据集执行低级指令。命令处理器111和高速缓存113用于输入数据和输出(例如,所渲染和所光栅化的)数据的临时存储。高速缓存113也具有到图形SIMD核心112的双向连接件和到存储器控制器114的双向连接件。

[0027] 存储器控制器114具有连接到命令处理器111的第一上游端口、连接到高速缓存113的第二上游端口、连接到DDR PHY 115的第一下游双向端口以及连接到HB-DIMM PHY 116的第二下游双向端口。如本文所用,“上游”端口在电路的朝向数据处理单元且远离存储器的一侧上,并且“下游”端口在远离数据处理单元且朝向存储器的方向上。存储器控制器114控制去往和来自DDR存储器130和HB-DIMM 140的数据传送的定时和排序。DDR存储器具有非对称存取,即,对存储器中打开页的存取比对关闭页的存取快。存储器控制器114存储存储器存取命令,并且通过例如支持对打开页的存取同时遵守某些服务质量目标来无序地处理该存储器存取命令以提高效率。

[0028] DDR PHY 115具有连接到存储器控制器114的第一下游端口的上游端口和双向连接到DDR存储器130的下游端口。DDR PHY 115满足DDR存储器130的版本(诸如DDR版本五(DDR5))的所有规定定时参数,并且在存储器控制器114的指示下执行定时校准操作。类似地,HB-DIMM PHY 116具有连接到存储器控制器114的第二下游端口的上游端口以及双向连接到HB-DIMM 140的下游端口。在该实施方案中,HB-DIMM PHY 116采用DDR5 DRAM芯片并且采用新的高速PHY接口标准,其中通过PHY的数据速率是存储器芯片的数据速率的两倍,而HB-DIMM的形式因素和连接器与现有LRDIMM规范兼容。HB-DIMM 140包括一组模式寄存器141,该组模式寄存器可通过HB-DIMM PHY 116进行编程以配置HB-DIMM 140用于操作。

[0029] 在操作中,由于由图形SIMD核心112执行的高带宽图形处理,数据处理系统可以被用作图形卡或加速器。运行操作系统或应用程序的主机CPU 120通过充当GPU 110和主机CPU 120的统一存储器的DDR存储器130向GPU 110发送图形处理命令。该主机CPU可以使用例如OpenGL命令或通过任何其他主机CPU向GPU接口发送命令。OpenGL由科纳斯组织(Khronos Group)开发,是用于渲染2D和3D矢量图形的跨语言、跨平台应用编程接口。主机CPU 120使用应用编程接口(API)来与GPU 110交互,以提供硬件加速的渲染。

[0030] 图2以框图形式示出了根据现有技术的DDR5负载降低的双列直插式存储器模块(LRDIMM) 250 (“LRDIMM 250”)。LRDIMM 250通常体现在印刷电路板(PCB)或其它模块格式上,并且包括多个DRAM芯片252、多个数据缓冲器(DB) 254和寄存器时钟驱动器(RCD) 256。

[0031] 所描绘的是用于存储器总线的数据(DQ)线(6.4Gbps)、主机时钟DCK的操作速度(3.2GHz)以及以6.4Gbps的“1N”模式或以3.2Gbps的“2N”模式操作的命令/地址(“DCA\_a”)线。存在四存储区块(rank)的DRAM芯片252,并且DB 254与RCD缓冲器256协作允许LRDIMM 250通过将DRAM芯片252的电气负载与存储器总线隔离而对于系统表现为双存储区块DIMM。可以看出,LRDIMM 250以DRAM芯片的速度(6.4Gbps)经由存储器总线传输和接收数据,并且不提供增加的存储器带宽。数据和C/A发送信号与DDR5标准中采用的速度比率为1:1。RCD 256和DB 254不处理四存储区块逻辑或定时。

[0032] 图3以框图形式例示出了根据一些实施方案的高带宽DIMM(HB-DIMM) 300。HB-DIMM

300体现在PCB或其他模块格式上,并且包括多个DRAM芯片302、多个数据缓冲器(DB) 304以及寄存器时钟驱动器(RCD) 306,它们通过经由沿着模块的底部描绘的引脚与存储器总线相接。HB-DIMM 300包括标记为“PC0”和“PC1”的两个能够独立寻址的伪通道。通常,在该实施方案中,HB-DIMM 300提供12.8Gbps的数据(DQ)速率,是DRAM芯片302的数据速率(6.4Gbps)的两倍。所描绘的是包括一个物理存储区块的“x4”配置(仅示出模块的一半,HB-DIMM的一侧),而在一些其他实施方案中使用具有两个物理存储区块的“x8”配置,如由示出DRAM芯片302的附加存储区块的虚线所示。

[0033] 如图所示,伪通道PC0和PC1利用4个引脚的单独6.4Gbps链路而连接到DB 304,其中8个数据引脚连接到每个DB 304。因此,DB 304能够在存储器总线上提供12.8Gbps的容量。RCD 306电路包括用于耦合到存储器总线的存储器总线(主机存储器总线)接口和连接到每个DRAM芯片302的存储器接口。RCD 306能够通过将命令/地址(C/A)信号路由到DRAM芯片以用于提供至少两个能够独立寻址的伪通道来实施经由主机总线接收的存储器存取命令。RCD 306基于从C/A信号导出的芯片标识符(CID)位来寻址每个相应的伪通道。

[0034] HB-DIMM 300具有12.8Gbps的用于存储器总线的数据(DQ)线的操作速度,而命令/地址(“DCA\_a”)线以12.8Gbps的“1N”模式或以6.4Gbps的“2N”模式操作。在该实施方式中,主机时钟DCK还能够在2N模式下更缓慢地操作,这是LRDIMM或其它现有DDR<sub>x</sub> DIMM所不提供的能力,其中DCK在1N模式下在6.4GHz下操作,但在2N模式下在3.2GHz下操作,与DCA线上的数据速率的比率为2:1。用于DCK的这种2N模式是通过以双速率而不是例如LRDIMM所采用的单速率对C/A总线进行时钟控制来实现的。

[0035] 图4示出了描绘图3的HB-DIMM 300的操作的多个信号的时序图400;水平轴描绘时间。示出了主机时钟信号“DCK”、C/A命令序列“DCA”、标记为“QCK/BCK”的本地时钟信号和缓冲器命令总线时钟信号、标记为“QCA PC0”的PC0的C/A命令序列、标记为“QCA PC1”的PC1的C/A序列、标记为“MDQ PC0”的PC0的数据序列、标记为“MDQ PC1”的PC1的数据序列,以及标记为“DQ”的存储器总线数据(DQ)线的数据序列。用于PC1的命令和数据在图400中用阴影背景示出。各种序列中的字节或命令用“C”及它们的序数标记,而数据字节用“D”及它们的序数标记。

[0036] 虽然其他提出的HB-DIMM架构在伪通道之间在时间上交织地传输和接收数据,但是所描绘的方案将64字节的数据响应保持在一起,如数据序列DQ中所示。此方案提供简化信令且使得能够任选地使用由DDR5 DRAM芯片支持的“2N”C/A信令模式,如下文进一步描述。

[0037] 图5以框图形式例示出了根据一些实施方案的高带宽DIMM(HB-DIMM) 500。HB-DIMM 500体现在PCB或其他模块格式上,并且包括多个DRAM芯片502、多个模块数据缓冲器(MDB) 504以及模块寄存器时钟驱动器(MRCD) 506,它们经由通常沿着模块的底部描绘的引脚与存储器总线相接。HB-DIMM 500包括标记为“PC0”和“PC1”的两个能够独立寻址的伪通道,其中伪通道PC0中的两个存储区块标记为“R0”和“R1”,伪通道PC1中的两个存储区块标记为“R0”和“R1”。

[0038] 通常,在该实施方案中,HB-DIMM 500提供12.8Gbps的数据(DQ)速率,是DRAM芯片502的数据速率(6.4Gbps)的两倍。

[0039] 如图所示,伪通道PC0和PC1利用8个引脚的单独6.4Gbps链路而连接到MDB 504,其

中16个数据引脚连接到每个DB 504。因此,MDB 504能够经由存储器总线提供12.8Gbps的容量。MRCD 506为包括用于耦合到存储器总线的存储器总线(主机存储器总线)接口和连接到每个DRAM芯片502的存储器接口的电路。MRCD 506能够通过将命令/地址(C/A)信号路由到DRAM芯片以用于提供至少两个能够独立寻址的伪通道来实施经由主机总线接收的存储器存取命令。MRCD 506基于从C/A信号导出的芯片标识符(CID)位来寻址每个相应的伪通道。

[0040] HB-DIMM 500具有用于存储器总线的数据(DQ)线的操作速度(12.8Gbps)、以12.8Gbps的“1N”模式或以6.4Gbps的“2N”模式操作的命令/地址(“DCA\_a”)线,并且主机时钟DCK通过使用用于C/A总线的双倍数据速率时钟(具有单倍数据速率时钟的1N模式中为6.4GHz,以及具有双倍数据速率时钟的2N模式中为3.2GHz)来支持在2N模式中的较慢速度,如关于图4所描述的。

[0041] HB-DIMM 500具有优于类似尺寸的LRDIMM的多个优势。首先,因为从MRCD 506到DRAM芯片502的QCA、QCS和QCK信号时钟频率比LRDIMM上的同类信号更慢,所以从DRAM芯片502到MDB 504的数据线对于更高的操作频率不需要判决反馈均衡(DFE),如由1N模式下的3.2Gbps和2N模式下的1.6Gbps的所描绘的频率示出。第二,DDR5标准的预期寿命终止(EOL)操作频率的1N频率对于QCA、QCS和QCK信号是可实现的,因为离开MRCD 506的每个信号上的负载数量(在该布置中QCA具有20个负载,并且QCS和QCK都具有10个负载),而这样的频率对于LRDIMM配置是不可实现的,因为增加了负载数量。第三,MRCD 506和MDB 504都被配置为实施每通道两存储区块的逻辑和定时控制,或者四存储区块逻辑和定时控制,从而允许HB-DIMM 500被配置为具有四存储区块并且没有伪通道(如图6所示)。

[0042] 图6以框图形式例示了根据一些实施方案的高带宽DIMM(HB-DIMM)600。HB-DIMM 600示出了以四存储区块模式配置的图5的HB-DIMM 500。HB-DIMM 600体现在PCB或其他模块格式上,并且包括多个DRAM芯片602、多个数据缓冲器(MDB)604以及模块寄存器时钟驱动器(MRCD)606,它们经由通常沿着模块的底部描绘的引脚与存储器总线相接。通常,在该实施方案中,HB-DIMM 600提供8.4Gbps的数据(DQ)速率,是DRAM芯片602的数据速率(4.2Gbps)的两倍。

[0043] 如图所示,四存储区块模式将四存储区块DRAM芯片602(标记为“R0”、“R1”、“R2”和“R3”)连接到MDB 604,该MDB具有4个引脚的单独4.2Gbps链路,总共有16个数据引脚连接到每个MDB 604。MRCD 606电路包括用于耦合到存储器总线的存储器总线(主机存储器总线)接口和连接到DRAM芯片602中的每个DRAM芯片的存储器接口。MRCD 606能够通过将命令/地址(C/A)信号路由到DRAM芯片601以用于实施四存储区块信令布置来实施经由主机总线接收的存储器存取命令,并且表示HB-DIMM 500(图5)的能够编程的配置。MRCD 606和MADB 604都是能够编程的,以按照图5所描绘的四存储区块格式或双通道格式进行操作。

[0044] 图7示出了说明描绘图5的HB-DIMM 500在1N操作模式中的操作的多个信号的时序图700;第一列示出每个信号的时钟速度或数据速率,并且第二列示出信号名称。示出了主机时钟信号“DCK”、标记为“CMD”的命令序列、主机到MRCD C/A命令序列“DCA[6:0]”、标记为“QCK”的到DRAM芯片的本地MRCD时钟信号、标记为“CMD PC0”的PC0的命令序列、标记为“CMD PC1”的PC1的命令序列、标记为“QACA[13:0]”的从MRCD到PC0的DRAM芯片的数据序列、标记为“QBCA[13:0]”的从MRCD到PC0的DRAM芯片的数据序列、标记为“MDQ”的从PC0的DRAM芯片到MDB的数据序列、标记为“MDQ”的从PC1的DRAM芯片到MDB的另一数据序列,以及

标记为“DQ”的存储器总线数据 (DQ) 线的的数据序列。用“D”及其序数来标记数据字节。

[0045] 图8示出了说明描绘图5的HB-DIMM 500在2N操作模式中的操作的多个信号的时序图800;信号名称与图7的信号名称相同。描绘了用于DCK时钟的频率的两个选项,标记为“DCK opt1”和“DCK opt2”。对于DCK opt1,本示例中DCK的DCK频率是DCK opt2的一半,为3.2GHz,而不是6.4GHz。对于DCK opt1,C/A总线的时钟频率为双倍数据速率,与QCK的比率为1:1,而对于DCK opt2,C/A总线的时钟频率为单倍数据速率。

[0046] 图9示出了根据各种实施方案的包括可用于配置HB-DIMM的各种选项的表900;示出了使用芯片选择值 (“CS”) 和芯片标识符 (“CID”) 值的组合的选项,用于在各种配置中模块上存取DRAM芯片的存储区块。示出了具有两个伪通道“PC0”和“PC1”的三种配置,以及没有伪通道的四存储区块配置。第一列列出DRAM芯片的存储区块,并且第二列列出伪通道 (“PC”)。

[0047] 每个DRAM芯片具有4条数据线 (“1RPCx4”) 的每通道1存储区块 (“RPC”) 使用CS0和CS1在伪通道之间进行选择。每DRAM芯片具有8个数据线的1RPC配置 (“1RPCx8”) 使用CS0和CID值0或1来在伪通道之间进行选择。每DRAM芯片具有8个数据线的2RPC配置 (“2RPCx8”) 使用CS0和CID值0或1来在0存储区块上的伪通道之间进行选择,并且使用具有CID值0或1的CS1来在1存储区块上的伪通道之间进行选择。每DRAM芯片具有4个数据线的四存储区块 (“QRx4”) 配置使用CS0、CS1和CID值0或1来在存储区块之间进行选择。

[0048] 图10示出了根据一些实施方案的包括用于HB-DIMM的示例性时钟速度和数据速率的表1000;所描绘的配置被示出用于类似于图5实施的8800MT/s (兆传输/秒) 能力的HB-DIMM。第一列列出信号或数据速率。第二列示出了在QCK与DCK的比率为2:1的1N模式下的两个RPC HB-DIMM的速度 (即,图7)。第三列示出了在QCK与DCK的比率为2:1的2N模式下的两个RPC HB-DIMM的速度 (即,图8的DCK opt1)。第四列示出了QCK与DCK的比率为1:1的2N模式下的QR HB-DIMM的速度 (即,图8,DCK opt1)。可配置的2N模式在C/A定时具有挑战性的系统中允许更大的定时裕度,从而允许DDR5 DRAM芯片用于各种大容量DIMM模块中,这有助于延长DDR5标准的有用寿命。

[0049] 图11示出根据各种实施方案的包括用于HB-DIMM的各种配置的示例性速度限制的表1100;第一行示出作为用于比较的基线的QR LRDIMM (没有HB-DIMM特征) 的值。其它行示出了HB-DIMM配置,该配置包括在左侧标记的一组大容量或“高”配置。标记为“减速”的配置包括减速模式,其中HB-DIMM可配置为使得DRAM地址/命令总线使用DDR5存储器总线时钟的每隔一个上升时钟。在四存储区块 (QR) 高配置中,不使用伪通道,并且优选的实施方式采用CID位来将地址映射到模块上的存储区块。

[0050] 图12示出了根据各种实施方案的包括各种HB-DIMM的模块配置的表1200;最后两行示出了由本文的技术实现的模块配置,包括提供四存储区块 (QR) 能力的模块。如可从图9到图13中示出的各种速度和容量选项理解,本文中的技术允许针对适应不同应用要求的各种模式的灵活配置。

[0051] 图13以框图形式例示了根据一些实施方案的模块寄存器时钟驱动器 (MRCD) 1300。MRCD 1300通常体现为HB-DIMM模块上的RCD芯片,并且适用于图3、图5、图6、图16的HB-DIMM以及本文的其他HB-DIMM模块配置。

[0052] MRCD 1300包括标记为“Vref”的参考电压输入、标记为“DCA[6:0]\_A, DPAR\_A”的C/

A总线和奇偶校验输入、标记为“DCS[1:0]\_A\_n”的芯片选择输入、标记为“DRST\_n”的复位输入、标记为“DCK\_t”和“DCK\_c”的一堆差分DCK输入、标记为“QACA[13:0]\_A”的第一DRAM C/A输出、标记为“QBCS[13:0]\_A”的第二DRAM C/A输出、标记为“BCOM[2:0]\_A,BCS\_A\_n”的缓冲器命令总线输出、标记为“QACS[1:0]\_A\_n”的第一DRAM芯片选择输出、标记为“QBCS[1:0]\_A\_n”的第二DRAM芯片选择输出、标记为“Q(O A)CK\_A\_t”和“Q(O A)CK\_A\_c”的一对差分后端QCK时钟输出、标记为“QRST\_[0 A]\_n, BRST\_[0 A]\_n”的复位输出。通常,MRCD 1300包括用于标记为“通道A”的第一伪通道的RCD和用于标记为“信道B”的第二伪通道的MRCD 1320。通道A RCD包括具有控制逻辑和芯片选择逻辑的控制字状态机(“状态机1302”)、时钟电路1310。

[0053] 状态机1302包括接收C/A总线和奇偶校验输入DCA[6:0]\_A、DPAR\_A和芯片选择输入DCS[1:0]\_A\_n的主机总线接口。状态机1302还包括从时钟电路1310接收时钟信号QCK的输入。第一DRAM C/A输出QACA[13:0]\_A和第一DRAM芯片选择输出QACS[1:0]\_A\_n被连接到第一存储区块DRAM芯片(例如,PC0的R0,图5),并且第二DRAM C/A输出QBCA[13:0]\_A和第二DRAM芯片选择输出QBCS[1:0]\_A\_n被连接到第二存储区块DRAM芯片(例如,PC0的R1,图5)。缓冲器命令总线输出BCOM[2:0]\_A,BCS\_A\_n被连接到HB-DIMM的MDB(例如,图5中的504)。

[0054] 时钟电路1310接收复位输入“DRST\_n”以及标记为“DCK\_t”和“DCK\_c”的差分DCK输入,并且产生时钟信号QCK,该时钟信号QCK被馈送到状态机1302,并且可选地被馈送到用于通道B的另一相同状态机。时钟电路1310包括差分接收器1314和锁相环(PLL)1316。在操作中,差分接收器1314从主机存储器总线接收差分时钟信号DCK,该差分时钟信号DCK被馈送到PLL 1316的输入。PLL 1316的输出为操作HB-DIMM的MRCD和DB提供QCK(后侧)时钟。如标签所描绘的,PLL 1316可被配置为在两种模式中操作,一种模式中DCK和QCK时钟信号具有2:1的比率,并且一种模式中DCK和QCK时钟信号具有1:1的比率。在2:1模式中,PLL 1316充当时钟分频器。虽然示出了3.2GHz和6.4GHz的示例性DCK频率,但是这些比率用于具有各种DCK频率的实施方案。

[0055] 通道B的MRCD 1320通常包括第二状态机1302,该第二状态机还从主机控制器接口接收Vref输入、C/A总线和奇偶校验输入“DCA[6:0]\_A,DPAR\_A”、芯片选择输入“DCS[1:0]\_A\_n”以及标记为“DRST\_n”的复位输入。如图所示,如果主机接口支持用于不同伪通道的单独的DCK信号,则可以接收可选的第二DCK作为输入。在这种实现方式中,对于通道B存在第二时钟电路1310,产生其自己的QCK信号,用于驱动第二伪通道的DRAM芯片。

[0056] 在操作中,MRCD 1300通过将命令/地址(C/A)信号路由到存储器芯片以提供至少两个能够独立寻址的伪通道来实施通过主机连接接口经由主机总线接收的存储器存取命令,RCD电路基于从C/A信号导出的芯片标识符(CID)位来寻址每个相应的伪通道。在各种实施方式中,状态机1302解释并重新映射C/A信号的选定CID位以用于产生输出信号,从而根据上文所论述的配置存取DRAM芯片。状态机1302还为HB-DIMM数据缓冲器产生MDB命令信号,以向每个伪通道(对于具有多个伪通道的配置)或向每个存储区块(对于四存储区块配置)正确地提供存储器存取命令的结果,如以下关于图14进一步描述的。具体而言,MRCD 1300产生并向DBS传输命令代码,该命令代码指示基于存储器存取命令的CID位的存储器存取命令的伪通道选择。MRCD 1300还包括用于产生用于操作HB-DIMM的DRAM芯片的QCK时钟输出Q(O A)CK\_A\_t和Q(O A)CK\_A\_c的差分驱动器(未示出)。

[0057] 如图4、图7和图8的时序图中所描绘的,MRCD 1300对经由主机总线接收的存储器存取命令不进行重新排序,而是按顺序提供每个伪通道的响应。MRCD 1300使得至少两个伪通道的读取响应以非交织格式经由总线传输。在一些实施方式中,MRCD 1300能够编程以在第一模式和第二模式中操作,在第一模式中,主机总线的数据时钟(DCK)和C/A引脚以半速率(2N)速度操作,其中C/A引脚以双速率(DDR)模式操作,并且在第二模式中,主机总线的DCK和C/A引脚以全速率(1N)速度操作,其中主机总线的C/A引脚以单速率(SDR)模式操作。

[0058] 在一些实施方案中,MRCD 1300支持定向刷新管理(DRFM)命令,其方法是:通过将每内存库(bank)预充电(PREpb)信号转译为用于伪通道中的第一伪通道的每内存库预充电信号且将从C/A信号导出的保留供未来使用(RFU)位上的信号转译为用于伪通道中的第二伪通道的PREpb信号。

[0059] 在一些实施方案中,MRCD 1300能够编程以四存储区块配置操作,其中它通过将C/A信号路由到以四存储区块(QR)格式的存储器芯片来实施经由主机总线接收的存储器存取命令。在这种情况下,CID位和芯片选择信号被映射到例如如图9所示的DRAM芯片的逻辑存储区块。

[0060] 图14示出了根据一些实施方案的模块数据缓冲器(MDB)1400的混合电路和框图;MDB 1400通常体现为HB-DIMM模块上的MDB芯片,并且适用于图3、图5、图6、图16的HB-DIMM以及本文的其他HB-DIMM模块配置。MDB 1400通常包括缓冲器控制器1410、第一DRAM接口1430、第二DRAM接口1440和主机连接器接口1450。

[0061] 缓冲器控制器1410具有标记为“BCK\_t”和“BCK\_c”的第一对差分时钟输入、标记为“BCOM[2:0]”的控制总线输入、标记为“BCS\_n”的芯片选择输入、标记为“BRST\_n”的复位输入、标记为“ZQCAL”的阻抗校准输出以及连接到主机连接器接口1450的多个输出。

[0062] DRAM接口1430和DRAM接口1440各自具有标记为“MDQS0\_t”和“MDQS0\_c”的一对差分数据选通输入/输出,以及标记为MDQ[3:0]的DRAM数据总线输入/输出、参考电压输入以及连接到主机连接器接口1450的多个输入输出。主机连接器接口1450具有标记为“DQS0\_t”和“DQS0\_c”的第一对差分数据选通输入/输出、标记为“DQS1\_t”和“DQS1\_c”的第二对差分数据选通输入/输出,以及标记为“DQ[3:0],DQ[7:4]”的DRAM数据总线输入/输出(如图所示由下半字节和上半字节分开,以便为上半字节和下半字节使用单独的数据选通信号)。主机连接器接口1450还具有与缓冲器控制器1410的多个连接,如下文进一步描述。

[0063] 通常,MDB 1400通过缓冲器命令总线接收控制信号,用于在履行存储器存取命令时同步MDB的操作。MDB 1400实施附加的BCOM(缓冲器命令)代码以识别用于每个命令的伪通道,且基于该BCOM代码选择使用DRAM接口1430或DRAM接口1440中的哪一者。类似地,对于为HB-DIMM提供四存储区块能力的配置,MDB实施基于附加BCOM代码选择设备的逻辑存储区块,例如如图9中所描绘的。如标签“用于PC的附加BCOM代码”所示,MDB 1400接收并实施命令代码,该命令代码基于用于存储器存取命令的CID位指示由主机连接器接口1450和DRAM接口1430或DRAM接口1440中的一者对存储器存取命令的伪通道选择,以连接到所指示的伪通道的DRAM芯片。

[0064] DRAM接口1430和DRAM接口1440各自连接到HB-DIMM上的DRAM芯片。对于支持伪通道的配置,DRAM接口1430连接到第一伪通道的DRAM芯片,并且第二DRAM接口1440连接到用于第二伪通道的DRAM芯片。如图所示,主机连接器接口1450操作的时钟速率是DRAM接口

1430和DRAM接口1440以及控制总线的时钟速率的两倍,在该示例中是6.4GHz,而不是3.2GHz。通常,HB-DIMM包括多个MADB 1400,该MADB响应于来自MRCD的命令而操作,以便经由主机总线以DRAM芯片的速率向DRAM芯片传输数据且从DRAM芯片接收数据。

[0065] 缓冲器控制器1410包括差分接收器1411、多个其它接收器1412、接收器1413和接收器1414、PLL 1415、多个锁存器1416、锁存器1417和锁存器1418、缓冲器控制字块1420、命令解码器和功率管理块1422、终接(termination)控制块1424、阻抗校准块1426以及延迟元件1428。差分接收器1411从MRCD接收缓冲块信号(通常为BCK),并将其提供给PLL 1415以及锁存器1416、锁存器1417和锁存器1418。在该实施方式中,PLL 1415包括倍频器,以BCK频率的两倍为MDB 1400内的操作电路提供时钟信号,如BCK的示例频率3.2GHz和PLL 1415的输出的示例频率6.4GHz所示。接收器1412接收控制总线输入BCOM[2:0]且将其馈送到锁存器1416,该锁存器将其转发到命令解码器和功率管理块1422。接收器1413接收芯片选择输入BCS\_n且将其馈送到锁存器1417和锁存器1418,该锁存器然后将其馈送到块1422。接收器1414接收复位输入BRST\_n并将其馈送到锁存器1418的复位输入。

[0066] 命令解码器和功率管理块1422具有接收输入BCOM[2:0]上的控制总线信号的输入、接收输入BCS\_n上的芯片选择信号的输入、与缓冲器控制字块1420的双向连接以及连接到主机连接接口1450的事务控制器1451的输出。缓冲器控制字块1422具有与命令解码器和功率管理块1422的双向连接、与终接控制块1424连接的输出、与阻抗校准块1426的双向连接以及与事务控制块1451连接的输出。

[0067] 终接控制器1424通常控制主机连接器接口1450的终接电阻1460。终接控制器1424具有与锁存器1418连接的输出的第一输入、与PLL 1415连接的第二输入以及与缓冲器控制字块1420连接的第三输入。阻抗校准块1426具有与缓冲控制字块1420的双向连接,以及向阻抗校准输出ZQCAL提供信号的输出。

[0068] DRAM接口1430和DRAM接口1440各自包括一对差分发射器1431、差分接收器1432、终接电阻1435、接收器1433、发射器1434、延迟元件1436和锁存器1437。差分发射器1431各自具有与相应的输出事务控制器1451连接的输入、与事务控制器1451连接的输出的控制输入、以及分别与输入/输出MDQS0\_t和MDQS0\_c连接的输出。差分接收器1432具有分别与输入/输出MDQS0\_t和MDQS0\_c连接的两个输入、与事务控制器1451连接的使能输入以及经由延迟元件1436连接到锁存器1437的时钟输入的输入。终接电阻1435选择性地由MDQS0\_t和MDQS0\_c以及MDQ[3:0]的输入/输出施加终接。接收器1433(仅示出四个接收器中的一者)各自具有与输入/输出MDQ[3:0]连接的输入、与MDQ参考电压生成电路1438连接的输入以及通过锁存器1437与读取先入先出缓冲器1452耦合的输出。发射器1434(仅示出一个)各自具有与写入FIFO缓冲器1453连接的输入、与输入/输出MDQ[3:0]连接的输出以及与事务控制器1451连接的使能输入。

[0069] 主机连接器接口1450包括事务控制器1451、读取FIFO缓冲器1452、写入FIFO缓冲器1453、一对差分发射器1455、差分接收器1456、终接电阻1460、发射器1457、接收器1458、锁存器1454。差分发射器1455各自具有与相应输出事务控制器1451连接的输入、与事务控制器1451的输出连接的控制输入、以及分别与输入/输出DQSn\_t和DQSn\_c连接的输出(这里“n”指示0或1,以示出为由MDB 1400处理的数据字节的下半字节和上半字节提供单独的DQS信号)。为了简化附图,仅示出了用于DQS的一个发射器/接收器。差分接收器1456具有分

别与输入/输出MDQS0\_t和MDQS0\_c连接的两个输入、与事务控制器1451连接的使能输入及与锁存器1454的时钟输入连接的输出。终接电阻1460选择性地向输入/输出DQSn\_t和MDQSn\_c以及DQ[3:0]、DQ[7:4]施加终接。接收器1458(仅示出八个接收器中的一者)各自具有与输入/输出DQ[3:0]、DQ[7:4]连接的输入、与MDQ参考电压生成电路1459连接的输入以及通过锁存器1454与写入FIFO缓冲器1452耦合的输出。发射器1457(仅示出一个)各自具有与读取FIFO缓冲器1453连接的输入、与输入/输出MDQ[3:0]连接的输出以及与事务控制器1451连接的使能输入。

[0070] 如图所示,DRAM接口1430和DRAM接口144以DCK的频率的一半操作。在操作中,来自HB-DIMM上的MRCDC的命令通过输入BCOM[2:0]被接收,并且由命令解码器和功率管理块1422解码。命令解码器解释所接收的命令,并存取缓冲器控制字块1420以向事务控制器1451提供合适的控制字。响应于缓冲器控制字,事务控制器1451配置各种发射器、接收器和缓冲器,以通过DRAM接口1430和DRAM接口1440中的一者接收读数据并通过主机连接器接口以DRAM数据速率的两倍传输它,或者经由主机连接器接口接收写入数据并经由DRAM接口1430或DRAM接口1440中的一者以它被接收到的数据速率的一半将它写入DRAM。命令解码器和功率管理电路1422实施解码逻辑以将CID和CS位映射到例如图9中所示的DRAM芯片,以便实施如上文所描述的伪通道配置或四存储区块配置。

[0071] 图15示出了根据一些实施方案的操作HB-DIMM的过程的流程图1500。所描绘的过程适合与本文提供的采用伪通道的那些HB-DIMM配置一起使用。

[0072] 在框1502处,该过程包括在寄存器时钟驱动器(RCD)处通过存储器接口总线接收存储器存取命令。在框1504处,基于用于命令的C/A信号的芯片标识符(CID)位,RCD将存储器存取命令映射到提供至少两个伪通道的多个存储器芯片中的选定存储器芯片。RCD将存储器存取命令的命令/地址(C/A)信号路由到选定存储器芯片。

[0073] 在框1506处,RCD准备并传输数据缓冲器命令代码(BCOM),该数据缓冲器命令代码指示与选定存储器存取命令相关联的伪通道,该命令将针对该数据缓冲器命令代码而被履行。一般而言,框1506可与框1504同时执行。

[0074] 在框1508处,根据数据缓冲器命令代码配置数据缓冲器,并从存储器接收响应数据。然后在框1510处,将所接收的数据驱动到以指定伪通道为目标的适当数据引脚上的主机存储器接口总线上。虽然示出了包括从存储器读取的序列,但是相同的过程在相反方向上适用于写入命令。

[0075] 通常,根据本文描述的实施方式的操作HB-DIMM的过程可以包括接收和实行多个存储器存取命令,其中RCD电路不按照从主机总线接收的命令的顺序对多个存储器存取命令进行重新排序。如上文关于图7和图8所描述,一些实施方案中的过程可包括以非交织格式经由存储器接口总线传输至少两个伪通道的读取响应。

[0076] 根据一些实施方式,该方法可以包括进入具有不同的存储区块映射的训练模式。存在已知的HB-DIMM设计由于硬件约束而不能适当地训练四个存储区块的四存储区块模块的问题,因为当前硬件被限制为仅理解两个存储区块。根据一些实施方案,一种模式被添加到本文的各种实施方案的RCD和DB电路,由此在训练期间,两个主机侧CS输入中的每个CS输入被分配以映射到两个后侧存储区块中的一者以避免逻辑存储区块限制。在训练期间,该过程能够改变模式以进展到所有四存储区块。在正常模式中,该过程采用CS/CID信号来寻

址存储区块。

[0077] 图16以框图形式示出了根据一些实施方案的HB-DIMM 1600。通常,HB-DIMM 1600以类似于图5的每伪通道两存储区块布置来布置,但是包括两个RCD而不是单个RCD。特别地,HB-DIMM 1600具有主RCD 1602和辅助RCD 1604。

[0078] 通常,所提出的HB-DIMM配置存在与信号的负载有关的问题。该问题涉及容量的扩展以及所有模块信号上的相关双负载。为了帮助克服这个问题,添加了第二RCD缓冲器。此添加将更多负载置于外部面向主机接口上,但附加的负载可以是可接受的。图16的实施方式所解决的另一问题是RCD缓冲器与DB之间的连接性。DB由RCD控制。然而,使用两个RCD,HB-DIMM模块通过指定主RCD和辅助RCD来确定哪个控制数据缓冲器。两个RCD都被连接到主机接口上,并且因此知道由另一个RCD实施什么命令。这允许主RCD控制其自身和辅助RCD两者的DB,同时辅助RCD与PC 1的DRAM芯片通信。解决该问题的另一方法是在RCD之间添加辅助通信总线。这种配置由标记为“DB协调”的可选双向连接进行描述,然而,该双向连接需要比第一解决方案更多的资源。

[0079] HB-DIMM 1600RCD电路采用主RCD 1602来实施针对伪通道中的第一伪通道(PC0)的DRAM芯片的第一集合的命令,并且采用辅助RCD 1604来实施针对伪通道中的第二伪通道的DRAM芯片的第二集合的命令。主RCD 1602控制数据缓冲器芯片(MDB)以指导传输用于第一伪通道和第二伪通道的数据,而辅RCD 1604。

[0080] 含有在本文所述的参考电压生成电路或其任何部分的一个或多个集成电路可以由呈数据库或可以由程序读取并且直接或间接地用于制造集成电路的其他数据结构形式的计算机可访问数据结构描述或表示。例如,该数据结构可以是高级设计语言(HDL)诸如Verilog或VHDL中的硬件功能性的行为级描述或寄存器传送级(RTL)描述。描述可以由合成工具读取,该合成工具可以合成描述以产生包括来自合成库的门列表的网表。网表包括门集,该门集也表示包括集成电路的硬件的功能性。然后可以放置和路由网表以产生描述待应用于掩码的几何形状的数据集。然后可以在各种半导体制造步骤中使用掩模以产生集成电路。另选地,计算机可访问存储介质上的数据库可以是网表(具有或不具有合成库)或数据集(根据需要)或图形数据系统(GDS) II数据。

[0081] 虽然已描述了特定实施方案,但是对这些实施方案的各种修改对于本领域技术人员将是显而易见的。例如,如图4、图7和图8中所描绘的命令的特定定时可以变化。此外,可以在各种子组合中采用本文的各种特征。RCD可以在电路中体现为单个RCD芯片或一对协作的RCD。HB-DIMM可以用RCD和DB电路来构造,该RCD和DB电路是能够编程的以在本文的四存储区块配置和伪通道配置之间改变模式,或者可以被构造为仅执行一个或另一个。

[0082] 因此,所附权利要求书旨在覆盖所公开实施方案的落入所公开实施方案的范围内的所有修改。

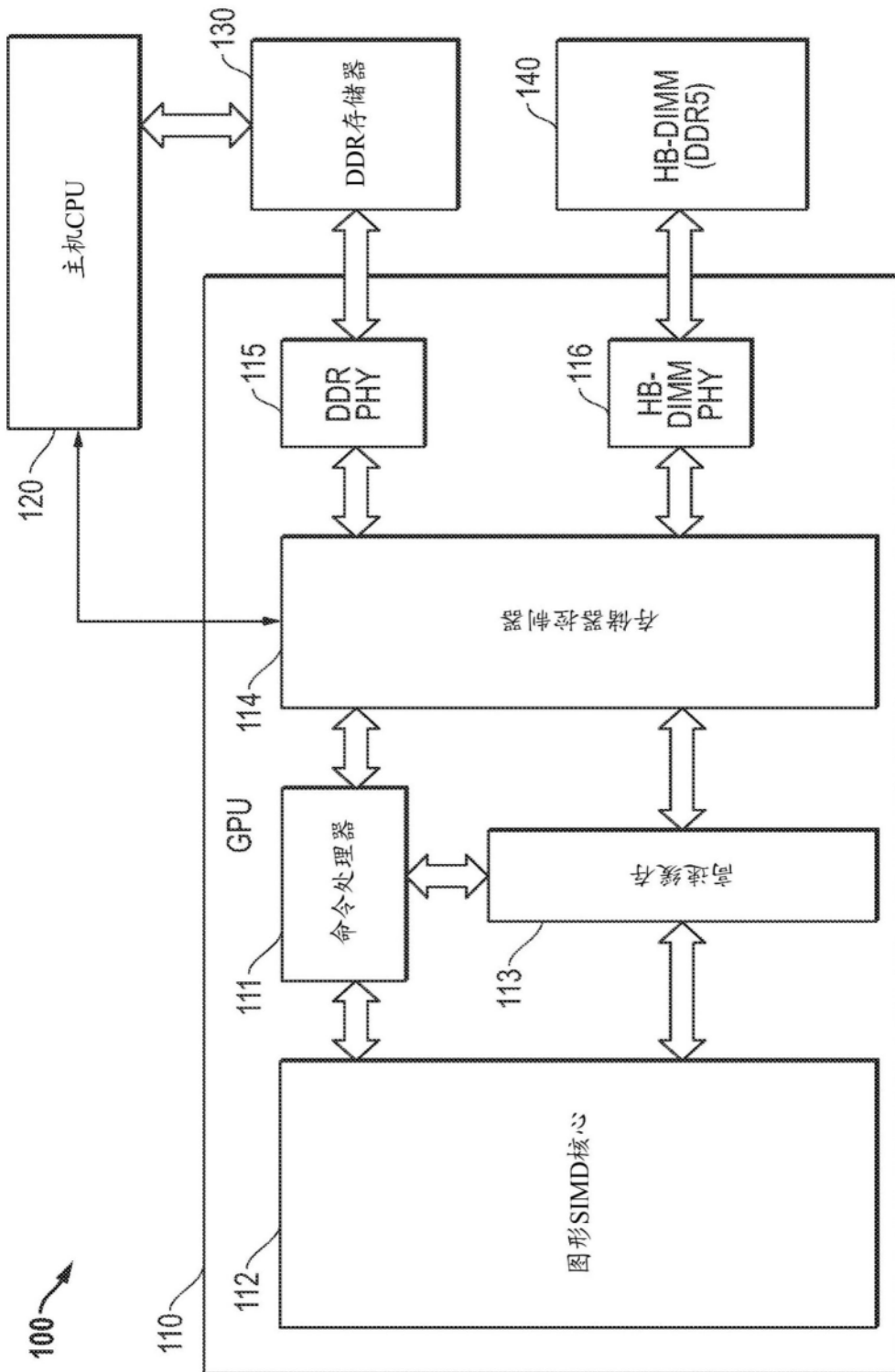


图1



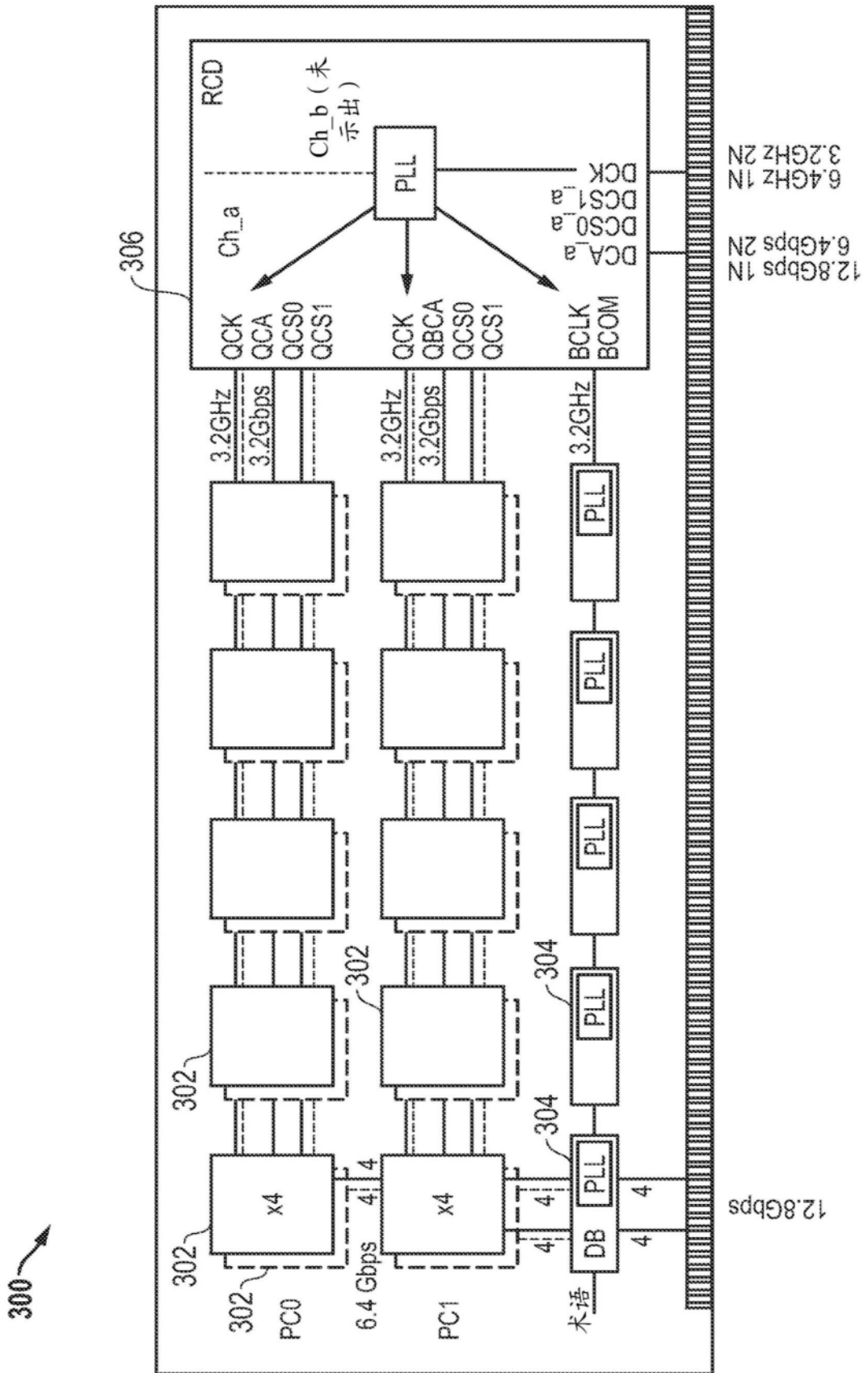


图3



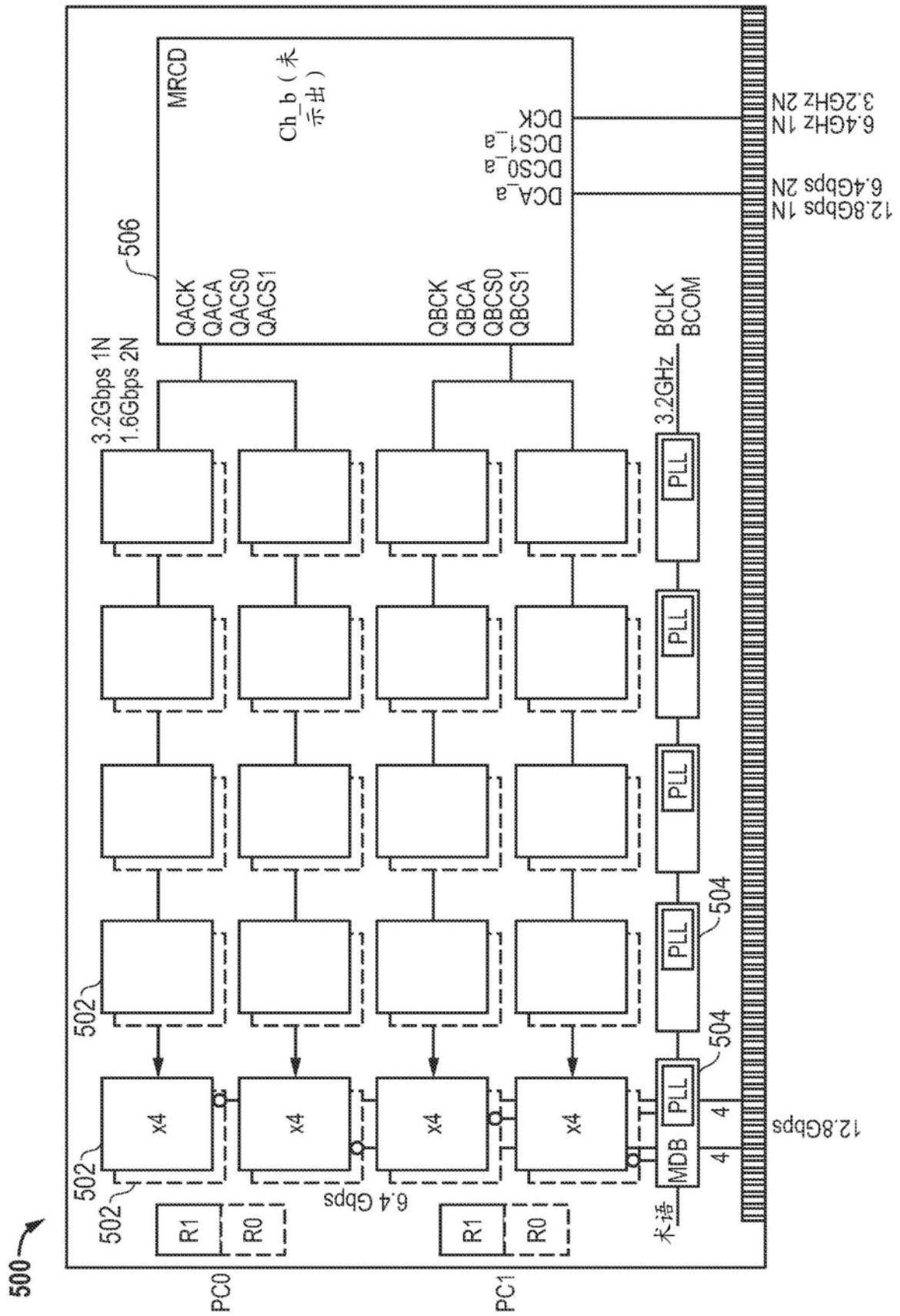


图5



700

HBDIMM DDR5 IN模式

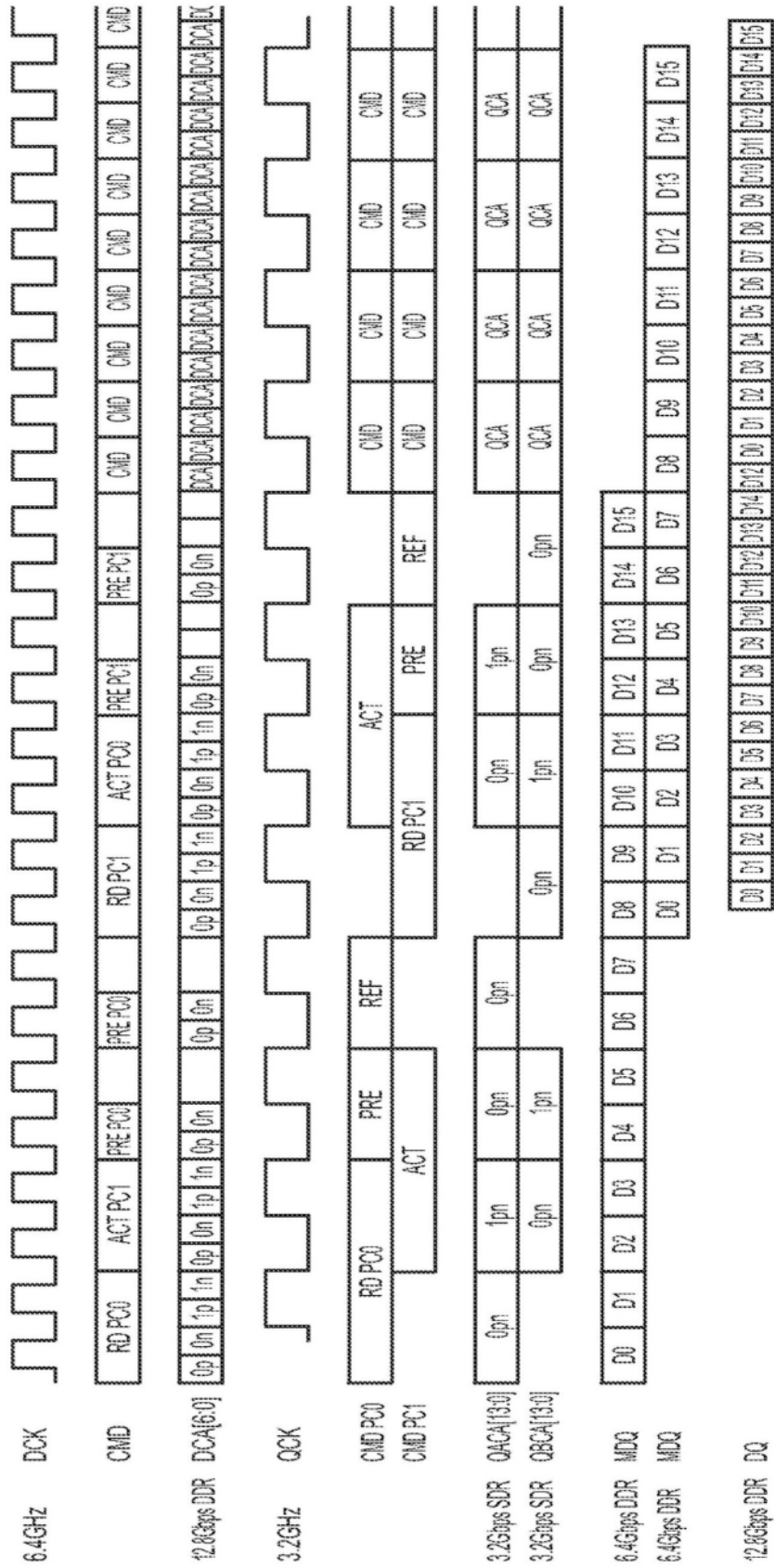


图7

800 

HBDIMM DDR5 2N模式

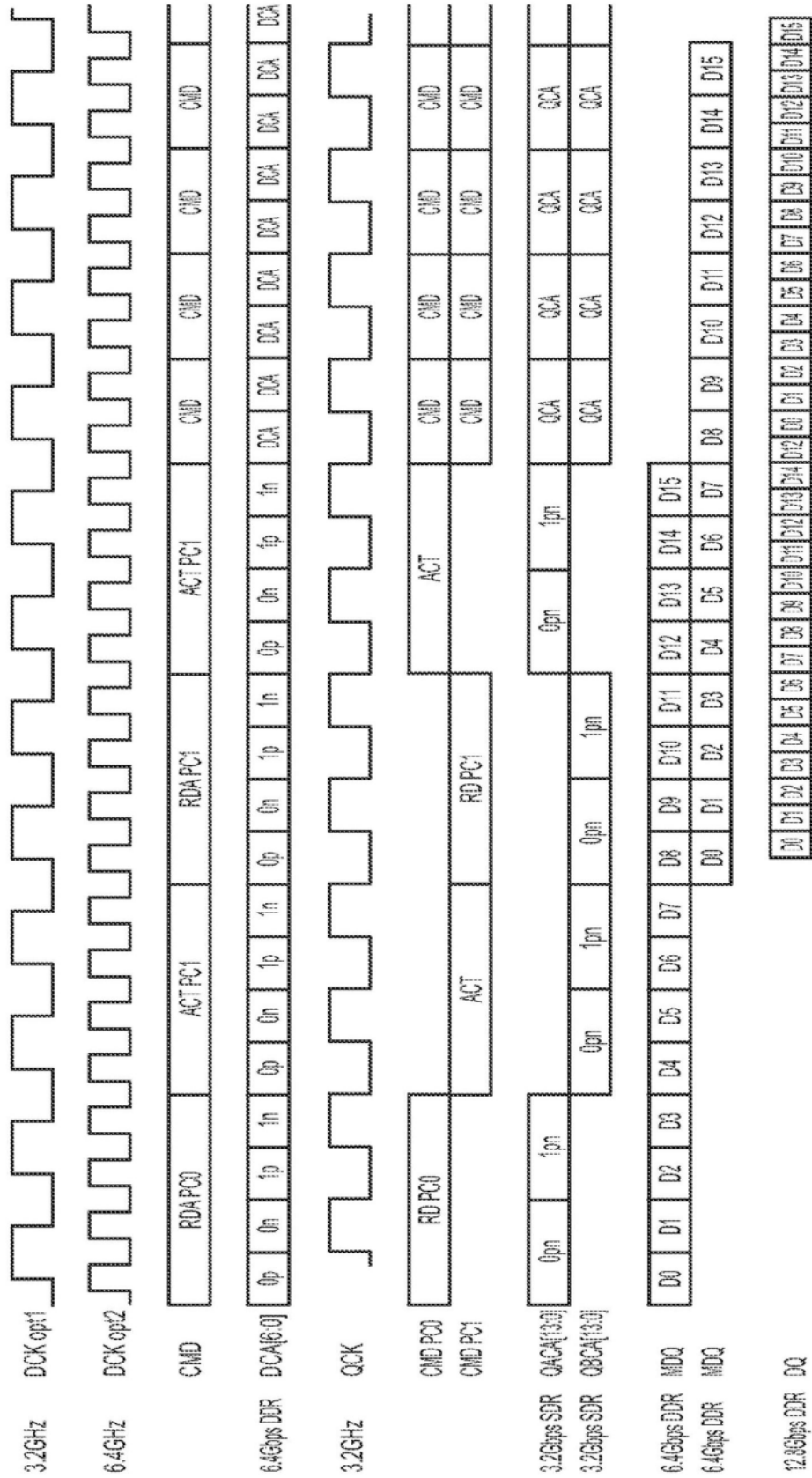


图8

900 

存储区块	PC	1RPCx4	1RPCx8	2RPCx8/x4	QRx4
0	PC0	CS0	CS0,CID=0	CS0,CID=0	CS0,CID=0
	PC1	CS1	CS0,CID=1	CS0,CID=1	-
1	PC0	-	-	CS1,CID=0	CS1,CID=0
	PC1	-	-	CS1,CID=1	-
2	-	-	-	-	CS0,CID=1
3	-	-	-	-	CS1,CID=1

RPC=存储区块伪通道

图9

1000 ↗

信号	2RPC DDR5-8800 MT/s (1N 2:1)	2RPC DDR5-8800 MT/s (2N 2:1)	QR DDR5-8800 MT/s (2N 1:1)	单位
主机接口时钟	4400	2200	4400	MHZ
DRAM接口时钟	2200	2200	4400	MHZ
BCOM接口时钟	2200	2200	4400	MHZ
主机DQ速率	8800	8800	8800	MT/s
DRAM侧DQ速率	4400	4400	8800	MT/s
DCA速率	8800	4400	4400	MT/s
QCA速率	2200	1100	2200	MT/s
DCS速率	4400	2200	4400 (2200)	MT/s
QCS速率	2200	2200	4400 (2200)	MT/s
BCS速率	2200	2200	4400 (2200)	MT/s
BCOM总线速率	2200	1100	2200	MT/s

图10

“高”模块速度限制

1100

基线w/o HB-DIMM

“高”配置

MRC/DB“高”模块配置	可实现的 DQ速率*	MDQ	QCS	QCA
QR LRDIMM 2N	<6.4Gbps	<6.4Gbps	3.2Gbps	2.1Gbps
2PRCx4 1N 2:1	8.4Gbps	8.4Gbps	3.2Gbps	2.1Gbps
2PRCx4 2N 2:1	16.8Gbps	8.4Gbps	3.2Gbps	2.1Gbps
QR 2N 1:1	6.4Gbps	8.4Gbps	3.2Gbps	2.1Gbps
QR 2N 1:1 减速	8.4Gbps	8.4Gbps	3.2Gbps	2.1Gbps
QR 1N 1:1	4.2Gbps	8.4Gbps	3.2Gbps	2.1Gbps
QR 1N 1:1 减速	4.2Gbps	8.4Gbps	3.2Gbps	2.1Gbps

\* 速度不代表表主机接口限制

• 装箱 值示出最终DQ速度中的弱链接

图11

1200 ↗

容量 (16Gb)	DRAM (Gb,pkg)	配置	原始卡
32GB	16平面	1RPCx8	2Rx8
64GB	16平面	2RPCx8	QRx8
64GB	16平面	1RPCx4	2Rx4
128GB	16 3DS-2H	2RPCx4 3DS	QRx4
128GB	16平面	2RPCx4	QRx4
128GB	16平面	QRx4	QRx4

RPC=存储区块伪通道

图12

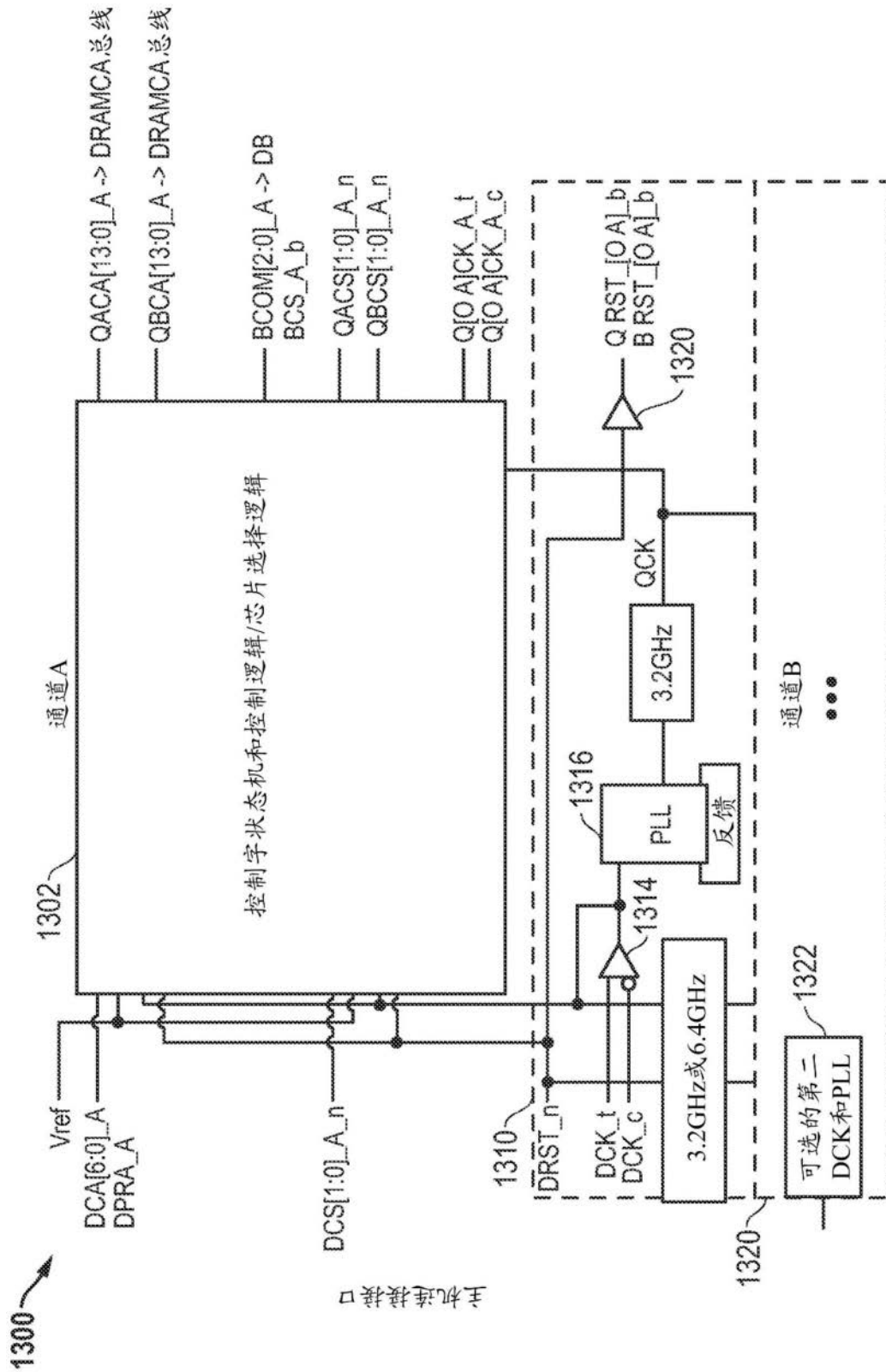


图13

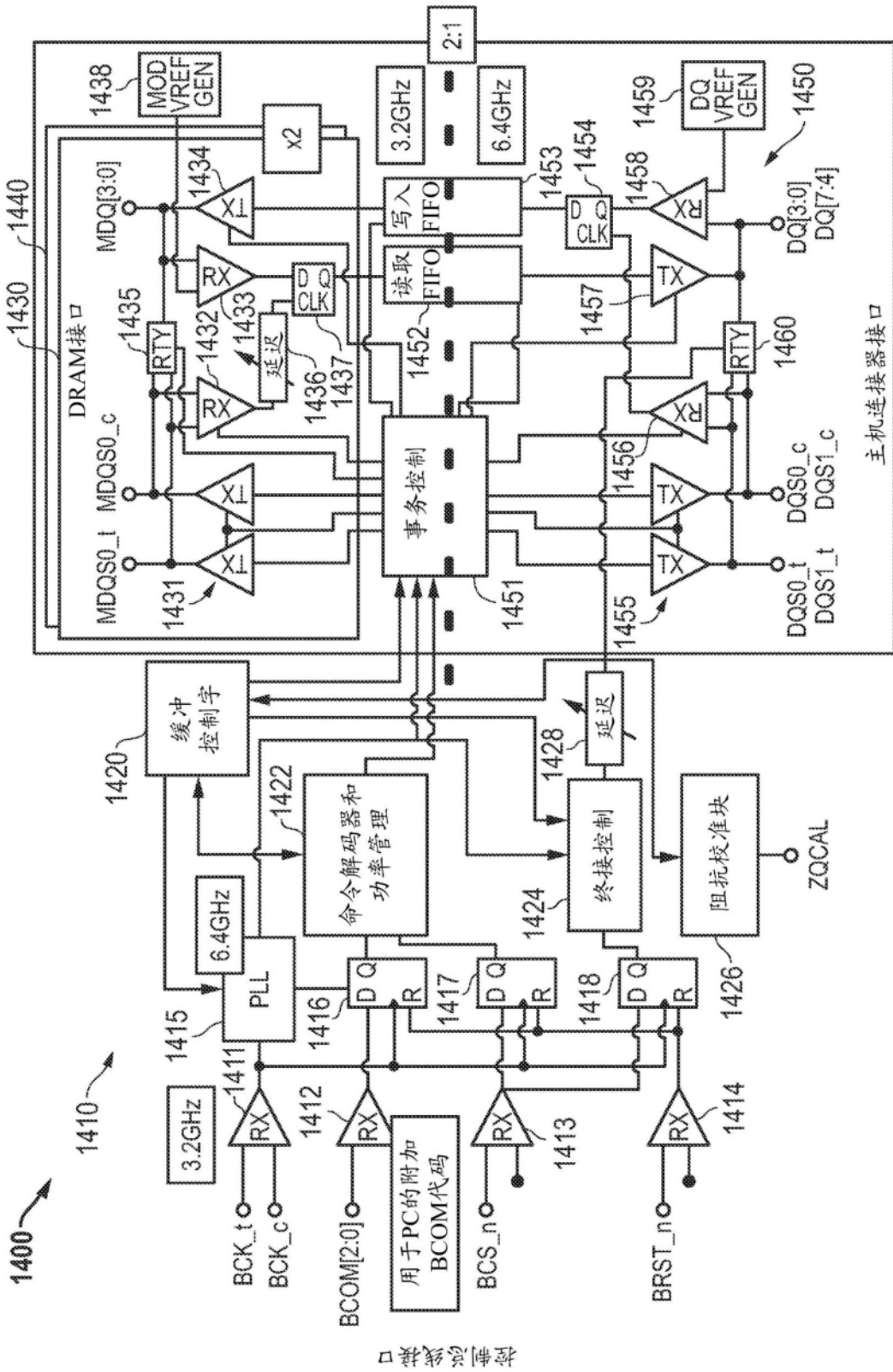


图14

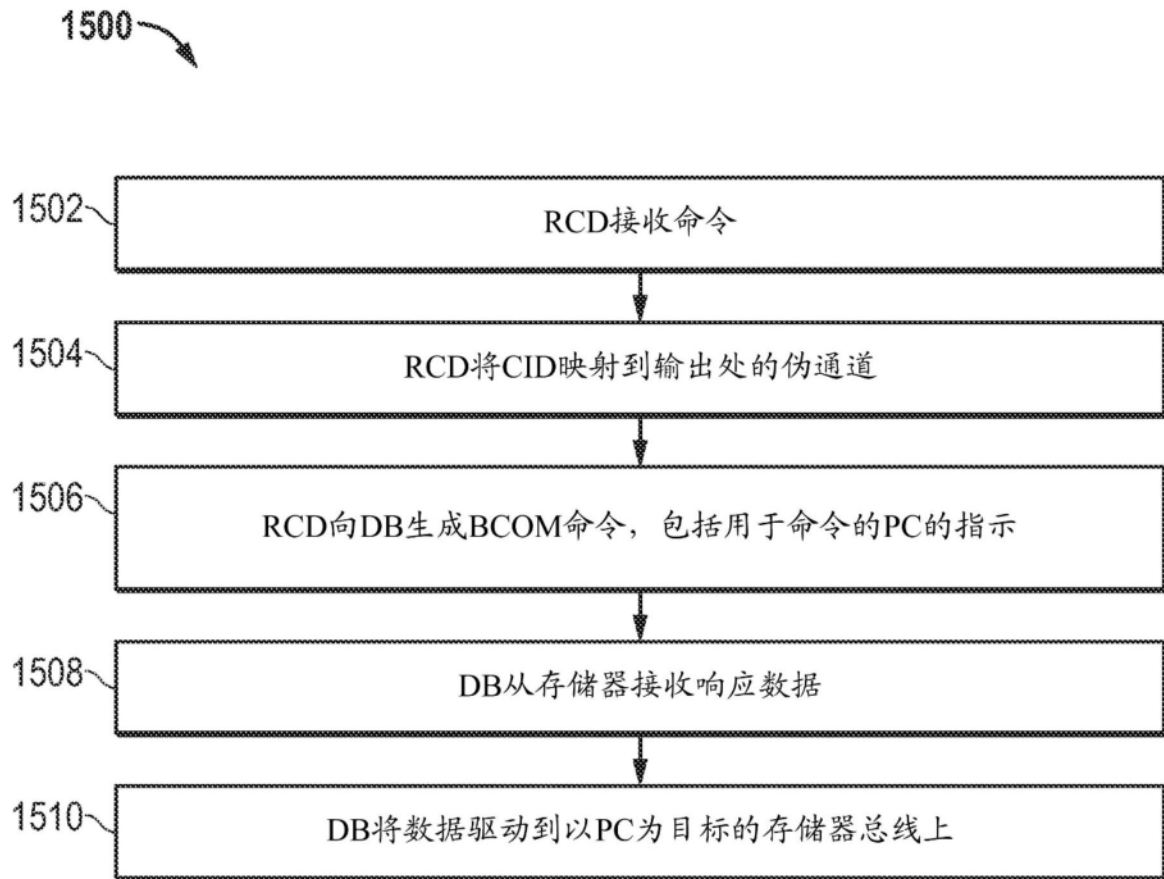


图15

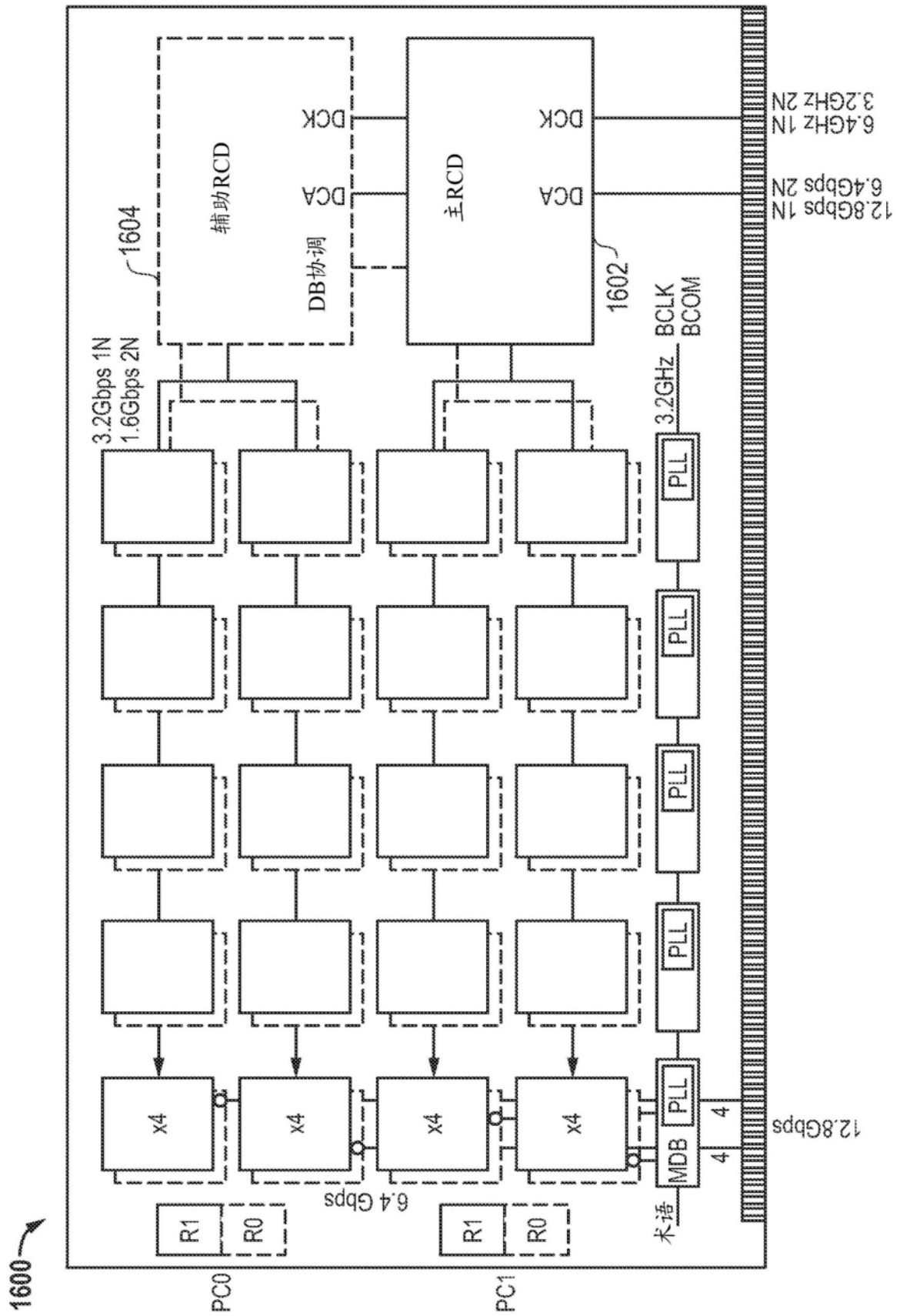


图16