

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4338298号
(P4338298)

(45) 発行日 平成21年10月7日 (2009. 10. 7)

(24) 登録日 平成21年7月10日 (2009. 7. 10)

(51) Int. Cl.	F I
HO 4 N 5/335 (2006. 01)	HO 4 N 5/335 U
HO 1 L 27/148 (2006. 01)	HO 4 N 5/335 P
HO 1 L 21/339 (2006. 01)	HO 1 L 27/14 B
HO 1 L 29/762 (2006. 01)	HO 1 L 29/76 3 O 1 B

請求項の数 8 (全 39 頁)

(21) 出願番号	特願2000-304290 (P2000-304290)	(73) 特許権者	306037311
(22) 出願日	平成12年10月4日 (2000. 10. 4)		富士フイルム株式会社
(65) 公開番号	特開2002-112122 (P2002-112122A)		東京都港区西麻布2丁目26番30号
(43) 公開日	平成14年4月12日 (2002. 4. 12)	(74) 代理人	100091340
審査請求日	平成19年5月21日 (2007. 5. 21)		弁理士 高橋 敬四郎
		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	山田 哲生
			宮城県黒川郡大和町松坂平1丁目6番地
			富士フイルムマイクロデバイス株式会社内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 電荷転送装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の一表面側に形成され、最終段にラインメモリ部を備えた第1導電型の複数の第1電荷転送チャンネル領域、および、複数の第1電荷転送電極と、前記第1電荷転送チャンネル領域の各々に電氣的に接続可能な第1導電型の第2電荷転送チャンネル領域、および、複数の第2電荷転送電極とを含む電荷転送素子であって、前記第2電荷転送電極は、m個を単位として周期的に同じ電圧が印加され、前記ラインメモリ部から前記第2電荷転送チャンネル領域へ電荷を転送する際、1周期であるm個の第2電荷転送電極には、複数回に分けて異なるタイミングで電圧が印加される電荷転送素子と、

10

前記第2電荷転送チャンネル領域に沿って前記半導体基板の前記一表面側に形成され、前記第2電荷転送チャンネル領域に電氣的に接続可能な第1導電型のドレイン領域と、前記第2電荷転送電極への電圧の印加タイミングに同期して、前記第2電荷転送チャンネル領域と前記ドレイン領域との間の電氣的接続をスイッチするスイッチ手段と、を含む掃出ドレインと、

を備えた電荷転送装置。

【請求項 2】

前記スイッチ手段が、(a) 前記第2電荷転送チャンネルと前記ドレイン領域との間に配置され、前記第1導電型とは逆の第2導電型を有するゲート領域と、(b) 該ゲート領域上に電氣的絶縁膜を介して形成された掃出ゲート電極と、を有する請求項1に記載の電荷

20

転送装置。

【請求項 3】

前記スイッチ手段が、(a) 前記第 2 電荷転送チャネルと前記ドレイン領域との間に形成されて電子に対する障壁となる領域と、(b) 前記ドレイン領域に電氣的に接続されるドレイン電極と、を有する請求項 1 に記載の電荷転送装置。

【請求項 4】

前記第 2 電荷転送チャネル領域が、前記第 1 電荷転送チャネル領域の各々に 1 つずつ対応しながら一列に配置される複数の電荷転送段を形成することができる構成を有し、前記電荷転送段の各々は、唯 1 つの第 1 ポテンシャル・バリア領域と、唯 1 つの第 1 ポテンシャル・ウェル領域とを有する請求項 1 ～請求項 3 のいずれか 1 項に記載の電荷転送装置。

10

【請求項 5】

さらに、前記ラインメモリ部が、前記第 1 電荷転送チャネル領域の各々に、1 つの第 2 ポテンシャル・バリア領域と、該第 2 ポテンシャル・バリア領域の前記第 2 電荷転送チャネル側に形成された 1 つの第 2 ポテンシャル・ウェル領域とを有する請求項 1 ～請求項 4 のいずれか 1 項に記載の電荷転送装置。

【請求項 6】

前記第 1 ポテンシャル・バリア領域での実効不純物濃度が前記第 1 ポテンシャル・ウェル領域での実効不純物濃度よりも低い請求項 4 に記載の電荷転送装置。

【請求項 7】

請求項 1 に記載の電荷転送装置の駆動方法であって、

20

前記ラインメモリ部のポテンシャルと前記第 2 電荷転送電極の駆動電圧の設定により、前記第 1 電荷転送チャネル領域の一部から前記第 2 電荷転送チャネル領域へ電荷を転送し、さらに、前記スイッチ手段の設定により、該電荷を前記第 2 電荷転送チャネル領域から前記ドレイン領域へ排出する第 1 の電荷排出工程と、

前記第 1 の電荷排出工程で前記第 2 電荷転送チャネル領域へ電荷を転送しない第 1 電荷転送チャネル領域から前記電荷転送素子へ電荷を転送する第 1 の電荷転送工程と、

前記第 1 の電荷転送工程で前記第 2 電荷転送チャネル領域へ転送された電荷を、該第 2 電荷転送チャネル領域内で一定方向に転送する第 2 の電荷転送工程とを含む電荷転送装置の駆動方法。

【請求項 8】

30

さらに、前記第 1 電荷転送チャネル領域の全てから前記第 2 電荷転送チャネル領域へスミアの要因となる電荷を転送し、さらに、該電荷を前記第 2 電荷転送チャネル領域から前記ドレイン領域へ排出する第 2 の電荷排出工程を含む請求項 7 に記載の電荷転送装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、複数の電荷を並列に受け取り、これらの電荷を直列に出力することができる電荷転送装置およびその駆動方法、ならびに、前記の電荷転送装置を有する CCD イメージセンサおよび当該 CCD イメージセンサを備えた CCD 撮像システムに関する。

40

【0002】

【従来の技術】

例えば、半導体基板に帯状の n 型チャネルを形成し、この n 型チャネル上に電氣的絶縁膜を介して複数の電極を並列に隣接配置することによって電荷転送素子を得ることができる。このとき、個々の電極は、n 型チャネルを平面視上横切るように配置される。n 型チャネルを備えた電荷転送素子は、下記の 3 タイプに大別することができる。

【0003】

1 つ目のタイプの電荷転送素子は、n 型チャネルにおける n 型不純物の濃度がほぼ一定で、n 型チャネル上の電氣的絶縁膜の膜厚もほぼ一定の電荷転送素子である。

【0004】

50

このタイプの電荷転送素子では、個々の電極に印加する電圧の相対的な大小関係に応じて、相対的に高いレベルの電圧を印加した電極の下にはポテンシャル・ウェル領域が、相対的に低いレベルの電圧を印加した電極の下にはポテンシャル・バリア領域が形成される。ポテンシャル・ウェル領域の上流側および下流側にポテンシャル・バリア領域を形成すれば、このポテンシャル・ウェル領域内に電荷を閉じこめることができる。

【0005】

個々の電極に印加する電圧の高さを適宜制御することにより、2つのポテンシャル・バリア領域によって挟まれたポテンシャル・ウェル領域を所望方向に順次移動させることができる。電荷を所望方向に転送することができる。

【0006】

なお、本明細書においては、電荷転送素子によって転送される電荷の移動を1つの流れとみなして、個々の部材等の相対的な位置を、必要に応じて「何々の上流」、「何々の下流」等と称して特定するものとする。

【0007】

2つ目のタイプの電荷転送素子は、 n 型不純物の濃度が相対的に高い領域（以下、この領域を「 n^+ 型不純物添加領域」という。）と相対的に低い領域（以下、この領域を「 n 型不純物添加領域」という。）とが n 型チャンネルに交互に形成された電荷転送素子である。

【0008】

このタイプの電荷転送素子では、通常、 n^+ 型不純物添加領域および n 型不純物添加領域それぞれの上に、電氣的絶縁膜を介して電極が1つずつ配置される。1つの n 型不純物添加領域上に配置された電極と、その下流側の n^+ 型不純物添加領域上に配置された電極とが共通結線される。1つの n 型不純物添加領域とその下流側の n^+ 型不純物添加領域とを覆う1つの電極を、これらの領域上に形成してもよい。

【0009】

個々の n^+ 型不純物添加領域は n 型不純物添加領域に対して常にポテンシャル・ウェル領域となる。ポテンシャル・ウェル領域内の電荷は、ポテンシャル・バリア領域によって、移動を禁止される。ポテンシャル・バリア領域からポテンシャル・ウェル領域に向かう方向に電荷を転送することができる。

【0010】

より具体的に説明する。ある1つの n^+ 型不純物添加領域を「 n^+ 型不純物添加領域A」、その直ぐ下流側の n 型不純物添加領域を「 n 型不純物添加領域B」、この「 n 型不純物添加領域B」の直ぐ下流側の n^+ 型不純物添加領域を「 n^+ 型不純物添加領域C」とする。領域B、Cの上には、共通結線された電極が配置されている。

【0011】

n^+ 型不純物添加領域A（ポテンシャル・ウェル領域）に電荷が分布しているときに、 n 型不純物添加領域B、 n^+ 型不純物添加領域C上の電極に相対的に高い電圧を印加すると、 n 型不純物添加領域Bは n^+ 型不純物添加領域Aに対してポテンシャル・バリア領域として機能しなくなる。 n^+ 型不純物添加領域Cは n 型不純物添加領域Bに対して常にポテンシャル・ウェル領域である。したがって、 n^+ 型不純物添加領域Aに分布していた電荷は、 n 型不純物添加領域Bを介して n^+ 型不純物添加領域Cに移動する。

【0012】

n 型不純物添加領域Bは n^+ 型不純物添加領域Cに対してポテンシャル・バリア領域として機能する。 n 型不純物添加領域B、 n^+ 型不純物添加領域C上の電極に印加する電圧の高さを元に戻しても、 n^+ 型不純物添加領域Cに移動した電荷が n^+ 型不純物添加領域Aに戻ることはない。

【0013】

3つ目のタイプの電荷転送素子は、 n 型チャンネルにおける n 型不純物の濃度がほぼ一定で、 n 型チャンネル上の電氣的絶縁膜に膜厚が相対的に厚い領域（以下、この領域を「厚肉領域」ということがある。）と相対的に薄い領域（以下、この領域を「薄肉領域」ということがある。）とが交互に形成された電荷転送素子である。

10

20

30

40

50

【0014】

通常、厚肉領域および薄肉領域それぞれの上に、電極が1つずつ配置される。1つの薄肉領域上に配置された電極と、その下流側の厚肉領域上に配置された電極とが共通結線される。1つの薄肉領域とその下流側の厚肉領域とを覆う1つの電極を、これらの領域上に形成してもよい。

【0015】

このタイプの電荷転送素子では、各電極に一定の電圧を印加したとしても、n型チャンネルが埋込チャンネルの場合には薄肉領域下にポテンシャル・バリア領域が、厚肉領域下にポテンシャル・ウェル領域が形成される。ポテンシャル・バリアからポテンシャル・ウェルに向かう方向に電荷を転送することができる。

10

【0016】

電荷転送素子を利用した代表的な電子装置として、CCD（電荷結合素子）イメージセンサが挙げられる。CCDリニア（ライン）イメージセンサと、CCDエリアイメージセンサとに大別することができる。

【0017】

CCDエリアイメージセンサは、通常、2種類の電荷転送素子を備えている。1つはVCCDまたは垂直電荷転送素子と呼ばれる電荷転送素子であり、もう1つはHCCDまたは水平電荷転送素子と呼ばれる電荷転送素子である。

【0018】

インターライン型のCCDエリアイメージセンサでは、多数個の光電変換素子が複数行、複数列に亘って行列状に配設され、個々の光電変換素子列に1つずつ、VCCDが配置される。多くのCCDエリアイメージセンサでは、各VCCDが1つのHCCDに電氣的に接続される。複数のHCCDを有するCCDエリアイメージセンサも知られている。

20

【0019】

VCCDは、一般に、n型チャンネルにおけるn型不純物の濃度がほぼ一定で、n型チャンネル上の電氣的絶縁膜の厚さもほぼ一定であるタイプの電荷転送素子によって構成される。この電荷転送素子（VCCD）は、通常、3相以上の垂直駆動信号によって駆動される。個々のVCCDでは、1つの電極と、この電極の下に位置するn型チャンネルの一領域とによって、1つの垂直電荷転送段が構成される。1個の光電変換素子に対して2～4個程度の垂直電荷転送段が配置される。

30

【0020】

HCCDでは、例えば、n型チャンネルに n^+ 型不純物添加領域とn型不純物添加領域とが交互に形成され、隣り合う1対の不純物添加領域の上に共通結線された電極が配置される。隣り合う1対の不純物添加領域とその上の共通結線された電極とによって、1つの水平電荷転送段が構成される。1つのVCCDに対して2個の水平電荷転送段が配置される。この電荷転送素子（HCCD）は、通常、2相の水平駆動信号によって駆動される。

【0021】

CCDエリアイメージセンサを利用して、例えば電子スチルカメラ等のCCD撮像システムが開発されている。

【0022】

電子スチルカメラは、小型モニターを備え、静止画を記録する静止画記録モードと、画像を小型モニターに表示するモニターモードとを使用者が選択できるように構成されている。モニターモードは、例えば、使用者が静止画の画角を決める際に利用される。

40

【0023】

電子スチルカメラで撮像される静止画の画素数は、近年では数100万に達し、さらには600万を超えようとしている。一方、電子スチルカメラのモニターモードで動画を表示する際の画素数は、一般に、10万～40万程度である。

【0024】

このため、モニターモードの際には、VCCDへ電荷が読み出される光電変換素子が一部の光電変換素子行に限定される。光電変換素子行を1/2以上に間引いて電荷を読み出す

50

間引き走査が行われる。あるいは、各VCCD内で電荷同士の混合（垂直加算）が行われる。すなわち、個々の光電変換素子列において光電変換素子列方向に近接する2以上の光電変換素子それぞれに蓄積された電荷同士が、この光電変換素子列に対応するVCCD内で混合（垂直加算）される。電荷の加算を行えば、信号処理上1つの画素として扱われる信号（電荷）量が増加するので、撮像感度が加算量に応じて増大するという利点が得られる。比較的明るい画像を再生することが可能である。

【0025】

カラー撮像用のCCD撮像システムでは、フルカラー情報を得るために、色フィルタアレイが利用される。この色フィルタアレイは、一定の繰返しパターンの下に配列された複数の色フィルタによって構成され、1個の光電変換素子に1個の色フィルタが対応する。

10

【0026】

【発明が解決しようとする課題】

間引き走査およびVCCD内での電荷同士の混合（垂直加算）のいずれか一方または両方を行うことにより、垂直画素数が間引かれた画像データを得ることができる。

【0027】

しかしながら、電氣的に接続されているVCCDの各々から同時に（並列に）受け取った電荷を間引くことができるHCCDは未だ提案されていない。同様に、電荷同士の混合（水平加算）を行うことができるHCCDは未だ提案されていない。

【0028】

本発明の目的は、所望の電荷を間引くことを可能にする電荷転送装置を提供することである。

20

【0029】

本発明の他の目的は、所望の電荷を間引くことを可能にする電荷転送装置の駆動方法を提供することである。

【0030】

本発明の更に他の目的は、VCCDに読み出された電荷の中から所望の電荷だけをHCCDによって転送することを可能にするCCDイメージセンサを提供することである。

【0031】

本発明の更に他の目的は、VCCDに読み出された電荷の中から所望の電荷だけをHCCDによって転送することが可能なCCD撮像システムを提供することである。

30

【0032】

【課題を解決するための手段】

本発明の1観点によれば、
半導体基板と、

前記半導体基板の一表面側に形成され、最終段にラインメモリ部を備えた第1導電型の複数の第1電荷転送チャンネル領域、および、複数の第1電荷転送電極と、前記第1電荷転送チャンネル領域の各々に電氣的に接続可能な第1導電型の第2電荷転送チャンネル領域、および、複数の第2電荷転送電極とを含む電荷転送素子であって、前記第2電荷転送電極は、m個を単位として周期的に同じ電圧が印加され、前記ラインメモリ部から前記第2電荷転送チャンネル領域へ電荷を転送する際、1周期であるm個の第2電荷転送電極には、複数回に分けて異なるタイミングで電圧が印加される電荷転送素子と、

40

前記第2電荷転送チャンネル領域に沿って前記半導体基板の前記一表面側に形成され、前記第2電荷転送チャンネル領域に電氣的に接続可能な第1導電型のドレイン領域と、前記第2電荷転送電極への電圧の印加タイミングに同期して、前記第2電荷転送チャンネル領域と前記ドレイン領域との間の電氣的接続をスイッチするスイッチ手段と、を含む掃出ドレインと、

を備えた電荷転送装置
が提供される。

【0033】

本発明の他の観点によれば、

50

上記の電荷転送装置の駆動方法であって、

前記ラインメモリ部のポテンシャルと前記第2電荷転送電極の駆動電圧の設定により、前記第1電荷転送チャンネル領域の一部から前記第2電荷転送チャンネル領域へ電荷を転送し、さらに、前記スイッチ手段の設定により、該電荷を前記第2電荷転送チャンネル領域から前記ドレイン領域へ排出する第1の電荷排出工程と、

前記第1の電荷排出工程で前記第2電荷転送チャンネル領域へ電荷を転送しない第1電荷転送チャンネル領域から前記電荷転送素子へ電荷を転送する第1の電荷転送工程と、

前記第1の電荷転送工程で前記第2電荷転送チャンネル領域へ転送された電荷を、該第2電荷転送チャンネル領域内で一定方向に転送する第2の電荷転送工程と

を含む電荷転送装置の駆動方法

10

が提供される。

【0038】

CCDイメージセンサを上述のように構成することにより、水平電荷転送素子に電氣的に接続される複数の第1電荷転送チャンネル領域を複数のグループに分け、第1電荷転送チャンネル領域から、ひいては垂直電荷転送素子からグループ単位で選択的に水平電荷転送素子へ電荷を転送することができる。また、水平電荷転送素子内の電荷を掃出ドレインに排出することができる。

【0039】

これらの結果として、垂直電荷転送素子に読み出された電荷の中から所望の電荷だけを水平電荷転送素子によって転送することができる。

20

【0040】

例えば、画像データの生成に寄与させる必要のない電荷（本明細書では、このような電荷を「不要電荷」という。）が分布している第1電荷転送チャンネル領域（転送制御段）のみを対象にして、この第1電荷転送チャンネル領域（転送制御段）から水平電荷転送素子へ不要電荷を転送し、さらに、この不要電荷を掃出ドレインへ排出することができる。

【0041】

この後に、画像データの生成に寄与させる電荷（本明細書では、このような電荷を「必要電荷」という。）が分布している第1電荷転送チャンネル領域（転送制御段）のみを対象にして、第1電荷転送チャンネル領域（転送制御段）から水平電荷転送素子へ必要電荷を転送する。この必要電荷を水平電荷転送素子によって例えば出力アンプへ転送することにより、所望の画像信号を得ることができる。この画像信号を例えば映像信号処理回路に供給することにより、所望の画像データを得ることができる。

30

【0042】

間引き走査および垂直電荷転送素子内での電荷同士の混合（垂直加算）の少なくとも一方と、上述の不要電荷排出動作とを組み合わせることにより、垂直画素数および水平画素数の両方が間引かれた画像データを容易に生成することができる。良好な再生画像（モニター画像）を得ることが容易になる。

【0043】

また、間引き走査のときに、スミアの要因となる電荷を水平電荷転送素子から掃出ドレインへ排出することも可能になる。

40

【0044】

【発明の実施の形態】

図1は、実施例によるCCD撮像システムの概略を示すブロック図である。同図に示すように、本実施例によるCCD撮像システム100は、撮像光学系1、CCDイメージセンサ10、駆動回路65、映像信号処理回路70、画像データ出力部75、表示部80、記録部82、制御部85、モードセレクトア90およびパルス信号発生部95を備えている。

【0045】

撮像光学系1は、CCDイメージセンサ10上に光学像を結像させる。この撮像光学系1は、例えば光学レンズ、絞り、オプティカルローパスフィルタ等を含んで構成される。図中の矢印Lは光を示す。

50

【0046】

ＣＣＤメーシセンサ１０は、撮像光学系１が結像した光学像を電気信号に変換する。このＣＣＤメーシセンサ１０は、光電変換素子、垂直電荷転送素子（ＶＣＣＤ）、水平電荷転送素子（ＨＣＣＤ）、出力部および色フィルタアレイを含んで構成される。ＣＣＤイメージセンサ１０の詳細については、後述する。

【0047】

駆動回路６５は、ＣＣＤイメージセンサ１０の動作に必要な駆動信号および制御信号をＣＣＤイメージセンサ１０に供給する。この駆動回路６５は、例えば垂直ドライバ、水平ドライバ、ＤＣ電源等を含んで構成される。

【0048】

映像信号処理回路７０は、ＣＣＤイメージセンサ１０で生成された画像信号を受け取り、これに種々の処理を施して画像データを生成する。この映像信号処理回路７０は、例えばアナログ／デジタル変換器、ＣＤＳ回路（相関二重サンプリング回路）、色分離回路、ディレーライン等を含んで構成される。

【0049】

画像データ出力部７５は、映像信号処理回路７０から出力された画像データを受け取り、例えば、この画像データをフレームメモリ等の記憶媒体に記憶する。

【0050】

表示部８０は、画像データ出力部７５から供給される画像データに基づいて、静止画または動画を表示する。この表示部８０は、例えば液晶ディスプレイ等の表示装置を含んで構成される。

【0051】

記録部８２は、画像データ出力部７５から供給される画像データを、例えばメモリカード等の記録媒体に記録する。

【0052】

制御部８５は、駆動回路６５、映像信号処理回路７０および画像データ出力部７５の動作を制御する。この制御部８５は、例えば中央演算処理装置（ＣＰＵ）によって構成される。

【0053】

モードセクタ９０は、ＣＣＤ撮像システム１００の撮像モードを選択するための選択スイッチである。ＣＣＤ撮像システム１００は、例えば、少なくとも２つの撮像モード、すなわち、静止画を撮像して記録する静止画記録モードと、動画または静止画を撮像して表示部８０に表示するモニターモードとを有する。モードセクタ９０は、ＣＣＤ撮像システム１００の使用者によって操作される。

【0054】

パルス信号発生回路９５は、装置内の動作タイミングの統一をとるためのパルス信号を生成し、駆動回路６５、映像信号処理回路７０および制御部８５に供給する。このパルス信号発生回路９５は、例えば、一定の周期でパルスが発生する原発振、タイミングジェネレータ等を含んで構成される。

【0055】

ＣＣＤ撮像システム１００を構成するＣＣＤイメージセンサ１０は、行列状に形成された多数個の光電変換素子の中から列方向および行方向の両方で所望の光電変換素子を間引いて画像信号を出力することができるＣＣＤイメージセンサである。以下、ＣＣＤイメージセンサ１０の構成について、実施例を挙げて説明する。

【0056】

図２は、第１の実施例によるＣＣＤイメージセンサ１０ａにおける光電変換素子とその周辺を概略的に示す断面図である。同図には、部分的に示されているものも含めて、計３つの光電変換素子１５が示されている。

【0057】

図２に示すＣＣＤイメージセンサ１０ａにおいては、半導体基板１１の一表面に、光電変

10

20

30

40

50

換素子15が形成されている。半導体基板11は、シリコン等のn型半導体基板11aと、この上に形成されたp型不純物添加領域11bとを有する。

【0058】

光電変換素子15は、例えば、p型不純物添加領域11bの所定箇所にn型不純物添加領域15aを設け、このn型不純物添加領域15aに p^+ 型不純物添加領域15bを設けることによって形成された埋込型のフォトダイオードである。n型不純物添加領域15aの各々は、電荷蓄積領域として機能する。

【0059】

個々の光電変換素子15における図2での右側に、幅 $0.3 \sim 5 \mu m$ 程度の垂直電荷転送チャンネル20aが1つずつ近接配置されている。各垂直電荷転送チャンネル20aは、p型不純物添加領域11bの所定箇所にn型不純物添加領域を設けることによって形成されたn型チャンネルを基本構造とし、後述するように、部分的に、n型不純物添加領域上に p^- 型不純物添加領域が形成された領域を含む。

10

【0060】

各光電変換素子15（n型不純物添加領域15a）における図2での右側縁部に沿って、p型不純物添加領域11bが1箇所ずつ露出している。p型不純物添加領域11bにおけるこの領域が、読出ゲート用チャンネル領域21aとして利用される。読出ゲート用チャンネル領域21aの各々は、平面視上、対応する光電変換素子15の右側縁部のほぼ中央からその下流端にかけて延在する。垂直電荷転送チャンネル20aとこれに対応する光電変換素子15とは、読出ゲート用チャンネル領域21aを介して隣接する。

20

【0061】

読出ゲート用チャンネル領域21aが形成されている箇所を除き、チャンネルストップ領域22が各光電変換素子15の平面視上の周囲を取り囲んでいる。このチャンネルストップ領域22は、光電変換素子15同士、および、光電変換素子15とこれに対応しない垂直電荷転送チャンネル20aとを電氣的に分離する。光電変換素子15と垂直電荷転送チャンネル20aとの平面視上の間に形成されたチャンネルストップ領域22の幅は、例えば $0.5 \mu m$ 程度である。

【0062】

また、最も下流の光電変換素子行よりも更に下流においては、各垂直電荷転送チャンネル20aの平面視上の周囲にも、チャンネルストップ領域22が形成されている。チャンネルストップ領域22は、例えば、p型不純物添加領域11bの所定箇所に p^+ 型不純物添加領域を設けることによって形成される。

30

【0063】

なお、各不純物添加領域は、例えばイオン注入とその後のアニールとによって形成することができる。p型不純物添加領域11bは、例えばエピタキシャル成長法によって形成することもできる。 p^+ 型不純物添加領域におけるp型不純物の濃度は、p型不純物添加領域におけるp型不純物の濃度よりも高い。 p^- 型不純物添加領域におけるp型不純物の濃度は、p型不純物添加領域におけるp型不純物の濃度よりも低い。

【0064】

ほぼ一定の膜厚を有する電氣的絶縁膜23が、半導体基板11における一表面上、すなわち、上述した各種の不純物添加領域が形成されている側の表面（各種の不純物添加領域の表面を含む。）上に形成されている。

40

【0065】

電氣的絶縁膜23は、例えば、酸化ケイ素等の電氣絶縁性酸化物や、窒化ケイ素等の電氣絶縁性窒化物を用いて形成される。この電氣的絶縁膜23は、例えば、1つの電氣絶縁性酸化物層からなる単層構造、電氣絶縁性酸化物層とその上に形成された電氣絶縁性窒化物層との2層積層構造、または、電氣絶縁性酸化物層とその上に形成された電氣絶縁性窒化物層とその上に形成された電氣絶縁性酸化物層との3層積層構造を有する。

【0066】

第1～第2垂直転送電極25～26と、第1～第3補助転送電極31～33と、第1～第

50

2 転送制御電極 3 6 ~ 3 7 と、第 1 ~ 第 2 水平転送電極 4 2 ~ 4 3 と、掃出ゲート電極 4 7 a とが、電氣的絶縁膜 2 3 上に形成されている。ただし、図 2 においては、第 1 垂直転送電極 2 5 のみが見えている。図 2 に示されていない各電極については、後に図 4 または図 5 を参照しつつ詳述する。

【0067】

各電極 2 5 ~ 2 6、3 1 ~ 3 3、3 6 ~ 3 7、4 2 ~ 4 3 および 4 7 a は、それぞれ別個に、電氣的絶縁膜（熱酸化膜）5 0 によって覆われている。

【0068】

第 1 垂直転送電極 2 5 の一領域は、垂直電荷転送チャネル 2 0 a の一領域を平面視上覆って、この一領域と共に垂直電荷転送素子（VCCD）2 0 を構成する。また、第 1 垂直転送電極 2 5 の他の一領域は、読出ゲート用チャネル領域 2 1 a を平面視上覆って、この読出ゲート用チャネル領域 2 1 a とともに読出ゲート 2 1 を構成する。

10

【0069】

第 1 垂直転送電極 2 5 に後述する読出パルスを印加すると、読出ゲート 2 1（読出ゲート用チャネル領域 2 1 a）に第 2 導電型のチャネル、すなわち p 型チャネルが誘起され、光電変換素子 1 5（n 型不純物添加領域 1 5 a）とこれに対応する垂直電荷転送チャネル 2 0 a とが導通する。

【0070】

光遮蔽膜 5 1 が、電氣的絶縁膜 2 3 およびその上に形成されている各種の電極を覆っている。ただし、この光遮蔽膜 5 1 は、光電変換素子 1 5（p⁺ 型不純物添加領域 1 5 b）それぞれのの上に 1 個ずつ所定形状の開口部 5 1 a を有する。各開口部 5 1 a は、光電変換素子 1 5 における n 型不純物添加領域 1 5 a の外周面よりも平面視上の内側において開口している。

20

【0071】

光遮蔽膜 5 1 は、例えばアルミニウム、クロム、タングステン、チタン、モリブデン等の金属からなる薄膜や、これらの金属の 2 種以上からなる合金薄膜、あるいは、前記の金属薄膜と前記の合金薄膜とを含む群から選択された 2 種以上を組み合わせた多層金属薄膜等によって形成される。

【0072】

保護膜 5 2 が、光遮蔽膜 5 1 上および開口部 5 1 a から露出している電氣的絶縁膜 2 3 上に形成されている。この保護膜 5 2 は、例えばシリコン窒化物、シリコン酸化物、PSG（ホスホシリケートガラス）、BPSG（ボロホスホシリケートガラス）、ポリイミド等によって形成される。

30

【0073】

第 1 の平坦化膜 5 3 が、保護膜 5 2 を覆っている。第 1 の平坦化膜 5 3 はマイクロレンズ用の焦点調節層としても利用される。必要に応じて、第 1 の平坦化膜 5 3 中にインナーレンズが形成される。

【0074】

第 1 の平坦化膜 5 3 は、例えばフォトレジスト等の透明樹脂を例えばスピコート法によって所望の厚さに塗布することによって形成される。

40

【0075】

色フィルタアレイ 5 5 が、第 1 の平坦化膜 5 3 上に形成されている。この色フィルタアレイ 5 5 は、カラー撮像を可能にする複数種の色フィルタを所定のパターンで形成したものである。カラー撮像用の色フィルタアレイとしては、原色型の色フィルタアレイ、および、補色型の色フィルタアレイがある。

【0076】

原色型の色フィルタアレイおよび補色型の色フィルタアレイのいずれにおいても、個々の光電変換素子 1 5 の上方に色フィルタが 1 個ずつ配設される。図示の色フィルタアレイ 5 5 における色フィルタの配列パターンについては、後に図 3 を参照しつつ詳述する。図 2 においては、赤色フィルタ 5 5 R、緑色フィルタ 5 5 G および青色フィルタ 5 5 B が 1 個

50

ずつ示されている。

【0077】

色フィルタアレイ55は、例えば、所望色の顔料もしくは染料を含有させた樹脂（カラーレジン）の層を、フォトリソグラフィ法等の方法によって所定箇所に形成することによって作製することができる。

【0078】

第2の平坦化膜56が、色フィルタアレイ55上に形成されている。第2の平坦化膜56は、例えばフォトレジスト等の透明樹脂を例えばスピンコート法によって所望の厚さに塗布することによって形成される。

【0079】

マイクロレンズアレイ58が、第2の平坦化膜56上に形成されている。このマイクロレンズアレイ58は、個々の光電変換素子15の上方に1個ずつ配設されたマイクロレンズ58aによって構成されている。

【0080】

これらのマイクロレンズ58aは、例えば、屈折率が概ね1.3～2.0の透明樹脂（フォトレジストを含む。）からなる層をフォトリソグラフィ法等によって所定形状に区画した後、熱処理によって各区画の透明樹脂層を溶融させ、表面張力によって角部を丸め込ませた後に冷却すること等によって得られる。

【0081】

図3は、色フィルタアレイ55の一部を示す平面図である。同図においては、便宜上、赤色フィルタを記号Rで示し、緑色フィルタを記号G1またはG2で示し、青色フィルタを記号Bで示している。

【0082】

同図に示した色フィルタアレイ55では、緑色フィルタG1のみによって構成された第1色フィルタ列FC1と、赤色フィルタRのみによって構成された第2色フィルタ列FC2と、緑色フィルタG2のみによって構成された第3色フィルタ列FC3と、青色フィルタBのみによって構成された第4色フィルタ列FC4とが、紙面の左から右へ向かってこの順番で繰り返し配置されている。

【0083】

第1色フィルタ列FC1を構成する緑色フィルタG1と、第3色フィルタ列FC3を構成する緑色フィルタG2とは、参照符号を便宜的に変えただけであり、両者は同じ材料によって形成されている。

【0084】

なお、図3において各色フィルタ内に示した破線で囲まれた領域は、後述する光電変換素子領域16の輪郭を示す。

【0085】

図4は、CCDイメージセンサ10aを概略的に示す部分平面図である。ただし、同図においては、図2に示した光遮蔽膜51、保護膜52、第1の平坦化膜53、第2の平坦化膜56およびマイクロレンズアレイ58の図示を省略している。また、色フィルタアレイ55自体の図示も省略しているが、各光電変換素子15上に配置されている色フィルタの色を記号G1、G2、RまたはBで示してある。記号G1、G2、RおよびBの意味は、図3におけるこれらの記号の意味と同じである。図4に示した構成要素のうちで図2において既に示した構成要素については、図2で用いた参照符号と同じ参照符号を付してある。

【0086】

図4に示すように、CCDイメージセンサ10aにおいては、半導体基板11に多数個の光電変換素子15が複数行、複数列に亘って行列状に配設されている。実際のCCD撮像システムでは、光電変換素子15の総数が例えば数100万個を超える。光電変換素子列方向および光電変換素子行方向の光電変換素子のピッチは、例えば2～10μmの範囲内で適宜選定される。

10

20

30

40

50

【0087】

1列の光電変換素子列に1本ずつ、その右側（図4での右側）に沿って垂直電荷転送チャンネル20aが近接配置されている。

【0088】

第1～第2垂直転送電極25～26は、1行の光電変換素子行に各々1本ずつ配設されている。第1垂直転送電極25の各々は、各垂直電荷転送チャンネル20aと平面視上交差しつつ、対応する光電変換素子行に沿ってその下流側に延在する。第2垂直転送電極26の各々は、各垂直電荷転送チャンネル20aと平面視上交差しつつ、対応する光電変換素子行に沿ってその上流側に延在する。

【0089】

各第1垂直転送電極25は、対応する光電変換素子15それぞれの図4での右側方において、1つの読出ゲート用チャンネル領域21a（図2参照）と共に1つの読出ゲート21を構成する。図4に示したII-II線に沿った断面を拡大して概略的に示した図が、図2に相当する。

【0090】

1行の光電変換素子行に対応する第1～第2垂直転送電極25～26は、左端の光電変換素子列に含まれる光電変換素子15を除き、この光電変換素子行中の光電変換素子15の各々を平面視上取り囲んで光電変換素子領域16を画定している。

【0091】

最も下流の第1垂直転送電極25の下流側に、第1～第3補助転送電極31～33がこの順番で1本ずつ配設されている。これらの第1～第3補助転送電極31～33の各々も、各垂直電荷転送チャンネル20aと平面視上交差しつつ、光電変換素子行方向に延在する。

【0092】

第1～第2転送制御電極36～37が、第3補助転送電極33の下流側にこの順番で配設されている。これら第1～第2転送制御電極36～37も、各垂直電荷転送チャンネル20aと平面視上交差しつつ、光電変換素子行方向に延在する。

【0093】

第2垂直転送電極26、第1補助転送電極31、第3補助転送電極33および第2転送制御電極37は、半導体基板11上の第1レベルに設けられた第1ポリシリコン層によって形成される。第1垂直転送電極25、第2補助転送電極34および第1転送制御電極36は、半導体基板11上の第1レベルよりも上の第2レベルに設けられた第2ポリシリコン層によって形成される。個々の電極25～26、31～33および36～37は、前述したように電氣的絶縁膜（熱酸化膜）50（図2参照）によって覆われている。

【0094】

垂直電荷転送チャンネル20aの各々において第1垂直転送電極25、第2垂直転送電極26、第1補助転送電極31、第2補助転送電極32、または第3補助転送電極33と対向する領域は、その上の電極25、26、31、32または33と共に1つの垂直電荷転送段を構成する。

【0095】

1本の垂直電荷転送チャンネル20aを含んで構成される垂直電荷転送段の各々は、光電変換素子列方向に連なって1つの垂直電荷転送素子20を構成する。個々の垂直電荷転送チャンネル20aのうちで垂直電荷転送素子20を構成する領域は、n型チャンネルによって構成されている。

【0096】

一方、垂直電荷転送チャンネル20aの各々において第1転送制御電極36および第2転送制御電極37と対向する領域は、その上の転送制御電極36、37と共に1つの電荷転送段35aを構成する。この電荷転送段35aを、以下、「転送制御段35a」という。

【0097】

これらの転送制御段35aは、全体として1つのCCDラインメモリ部35を構成する。CCDラインメモリ部35での垂直電荷転送チャンネル20aの構成については、後に図6

10

20

30

40

50

(A)を参照しつつ詳述する。

【0098】

各垂直電荷転送チャネル20aの下流端（第1電荷転送チャネル領域の下流端）は、水平電荷転送素子（HCCD）40に電氣的に接続されている。

【0099】

水平電荷転送素子40に沿って、掃出ドレイン45が設けられている。この掃出ドレイン45とCCDラインメモリ部35とは、平面視上、水平電荷転送素子40を挟んで対向する。

【0100】

掃出ドレイン45は、半導体基板11のp型不純物添加領域11bに形成されたn型ドレイン領域46と、p型不純物添加領域11bによって構成された掃出ドレイン用チャネル領域と、掃出ドレイン用チャネル領域上に電氣的絶縁膜を介して配置された掃出ゲート電極47bとを有する。掃出ドレイン45の構成については、後に図6（A）および図6（B）を参照しつつ詳述する。

10

【0101】

水平電荷転送素子40の一端に、出力部60が接続されている。この出力部60は、水平電荷転送素子40から送られてきた電荷を例えばフローティング容量（図示せず。）によって信号電圧に変換し、この信号電圧をソースホロウ回路（図示せず。）等を利用して増幅する。検出（変換）された後のフローティング容量の電荷は、図示を省略したりセットトランジスタを介して電源（図示せず。）に吸収される。出力部60は、例えば、特願平11-287326号明細書の第0084段～0091段において図4（b）を参照しつつ説明されている出力部と同様にして構成することができる。

20

【0102】

以下、図5、図6（A）および図6（B）を参照しつつ、CCDラインメモリ部35、水平電荷転送素子40および掃出ドレイン45それぞれの構成について詳述する。

【0103】

図5は、CCDラインメモリ部35から掃出ドレイン45にかけての領域を拡大して示す概略図である。

【0104】

図6（A）は、図5に示したVIA-VIA線に沿った断面の概略図であり、図6（B）は、図5に示したVIB-VIB線に沿った断面の概略図である。

30

【0105】

図5または図6（A）に示すように、垂直電荷転送チャネル20aそれぞれの下流端は、水平電荷転送チャネル41に接している。

【0106】

図6（A）に示すように、CCDラインメモリ部35での垂直電荷転送チャネル20aの各々は、n型不純物添加領域（n型チャネル）20a1の上にp⁻型不純物添加領域20a2が形成されている1つのポテンシャル・バリア領域20aBと、n型不純物添加領域（n型チャネル）20a1のみによって構成されている1つのポテンシャル・ウェル領域20aWとを有する。

40

【0107】

ポテンシャル・バリア領域20aBの幅（光電変換素子列方向の幅）は、例えば0.5～1μm程度であり、ポテンシャル・ウェル領域20aWの幅（光電変換素子列方向の幅）は、例えば2～20μm程度である。いずれの領域20aB、20aWも、電荷転送チャネルとしての導電型はn型である。

【0108】

第1転送制御電極36は、ポテンシャル・バリア領域20aBの上方に電氣的絶縁膜23を介して配置されている。第2転送制御電極37は、ポテンシャル・ウェル領域20aWの上方に電氣的絶縁膜23を介して配置されている。例えば、第1ポリシリコン層によって第2転送制御電極37が形成され、第2ポリシリコン層によって第1転送制御電極36

50

が形成される。

【0109】

個々の転送制御段35aは、1つのポテンシャル・バリア領域20aBと、その上方の第1転送制御電極36と、1つのポテンシャル・ウェル領域20aWと、その上方の第2転送制御電極37とによって構成される。

【0110】

第1転送制御電極36と第2転送制御電極37とは共通結線され、制御信号φLMの供給を受ける。制御信号φLMのレベルを制御してポテンシャル・バリア領域20aBの電位を高くすることにより、垂直電荷転送素子20から転送制御段35aへ電荷を転送することが可能になる。制御信号φLMのレベルを制御してポテンシャル・ウェル領域20aWの電位を低くすることにより、転送制御段35aから水平電荷転送素子40へ電荷を転送することができる。

10

【0111】

転送制御段35aから水平電荷転送素子40への電荷転送については、後に図9を参照しつつ詳述する。

【0112】

図5に示すように、水平電荷転送素子40は、光電変換素子行方向に帯状に延在する1本の水平電荷転送チャネル41と、この水平電荷転送チャネル41上に形成された多数個の第1～第2水平転送電極42～43とを有する。

【0113】

図6(A)および図6(B)に示すように、水平電荷転送チャネル41は、n型不純物添加領域(n型チャネル)41a上にp⁻型不純物添加領域41bが形成されているポテンシャル・バリア領域41Bと、n型不純物添加領域(n型チャネル)41aのみによって構成されているポテンシャル・ウェル領域41Wとを有する。いずれの領域41B、41Wも、電荷転送チャネルとしての導電型はn型である。

20

【0114】

ポテンシャル・バリア領域41Bは、光電変換素子行方向に帯状に延在する1つの第1バリア領域41B1と、第1バリア領域41B1から一定の間隔で分岐して光電変換素子列方向に帯状に延在する多数の第2バリア領域41B2とを含む。1つの第2バリア領域41B2とその下流の第2バリア領域41B2との間に、これらに隣接する1つのポテンシャル・ウェル領域41Wが形成されている。最も下流の第2バリア領域41B2の下流側にも、1つのポテンシャル・ウェル領域41Wが形成されている。

30

【0115】

第1バリア領域41B1は、転送制御段35aと水平電荷転送素子40内のポテンシャル・ウェル領域41Wとを分離する。第2バリア領域41B2の各々は、水平電荷転送素子40内でポテンシャル・ウェル領域41W同士を分離する。

【0116】

個々の第1水平転送電極42は、1つの第2バリア領域41B2と、この第2バリア領域41B2に続く第1バリア領域41B1とを覆う。第1水平転送電極42は、平面視上、逆L字状を呈する(図5参照)。

40

【0117】

個々の第2水平転送電極43は、1つのポテンシャル・ウェル領域41Wを覆う。第2水平転送電極43は、平面視上、矩形を呈する(図5参照)。

【0118】

これらの第1および第2水平転送電極42、43は、電氣的絶縁膜23を介して半導体基板1上に形成されている。例えば、第2ポリシリコン層によって第2水平転送電極43が形成され、第3ポリシリコン層によって第1水平転送電極42が形成される。

【0119】

1個の第1水平転送電極42と、その下方のポテンシャル・バリア領域41Bと、1個の第2水平転送電極43と、その下方のポテンシャル・ウェル領域41Wとは、1つの水平

50

電荷転送段 40a または補助水平電荷転送段 40b を構成する。水平電荷転送段 40a は、1 本の垂直電荷転送チャンネル 20a に 1 つずつ対応しながら一列に形成されている。補助水平電荷転送段 40b は、図 5 での最も左の垂直電荷転送チャンネル 20a に対応する水平電荷転送段 40a の下流側（後述する出力部 60 側を意味する。）に、計 3 つ形成されている。

【0120】

1 つの水平電荷転送段または補助水平電荷転送段を構成する第 1 および第 2 水平転送電極 42、43 は共通結線され、水平駆動信号 $\phi H1$ 、 $\phi H2$ または $\phi H3$ の供給を受ける。

【0121】

転送制御段 35a から水平電荷転送素子 40 へ電荷を転送する際には、制御信号 ϕLM ならびに水平駆動信号 $\phi H1$ 、 $\phi H2$ または $\phi H3$ のレベルが例えば次のように制御される。すなわち、水平電荷転送段 40a におけるポテンシャル・バリア領域 41B の電位が、転送制御段 35a におけるポテンシャル・ウェル領域 20aW の電位よりも相対的に高くなるように制御される。転送制御段 35a から水平電荷転送素子 40 へ電荷を転送することが可能になる。転送制御段 35a から水平電荷転送素子 40 への電荷転送の原理については、後に図 9 を参照しつつ詳述する。

【0122】

水平電荷転送素子 40 内で電荷を転送する際には、水平駆動信号 $\phi H1$ 、 $\phi H2$ および $\phi H3$ のレベルが例えば次のように制御される。すなわち、電荷が分布している水平電荷転送段 40a におけるポテンシャル・ウェル領域 41W の電位が、その下流の水平電荷転送段 40a におけるポテンシャル・バリア領域 41B の電位よりも相対的に低くなるように制御される。

【0123】

図 5、図 6 (A) または図 6 (B) に示すように、掃出ドレイン 45 は、光電変換素子行方向に延在するドレイン領域 46 を有する。このドレイン領域 46 は、例えば、半導体基板 11 の p 型不純物添加領域 11b に帯状に形成された n^+ 型不純物添加領域によって構成される。

【0124】

掃出ドレイン用チャンネル領域 47a が、ドレイン領域 46 と水平電荷転送チャンネル 41 との間に介在する。この掃出ドレイン用チャンネル領域 47a は、例えば p 型不純物添加領域 11b の一部によって構成され、光電変換素子行方向に延在する。

【0125】

掃出ゲート電極 47b が、掃出ドレイン用チャンネル領域 47a を平面視上覆う。この掃出ゲート電極 47b は、例えば第 1 ポリシリコン層によって、電氣的絶縁膜 23 上に形成される。掃出ドレイン用チャンネル領域 47a と掃出ゲート電極 47b とは、掃出ゲート 47 を構成する。

【0126】

掃出ゲート電極 47b は、制御信号 ϕDR の供給を受ける。制御信号 ϕDR の電圧を例えば 15 ~ 20 V 程度にすると、掃出ドレイン用チャンネル領域 47a の表面付近が反転する。水平電荷転送チャンネル 41 とドレイン領域 46 とが導通する。水平電荷転送段内および補助水平電荷転送段内の電荷をドレイン領域 46 へ排出することができる。水平電荷転送素子 40 から掃出ドレイン 45 への電荷転送の原理については、後に図 9 を参照しつつ詳述する。

【0127】

なお、個々の水平転送電極 42 ~ 43 および掃出ゲート電極 47b は、それぞれが別個に、電氣的絶縁膜（熱酸化膜）50（図 6 (A) または図 6 (B) 参照）によって覆われている。図 6 (B) に示すように、各垂直電荷転送チャンネル 20a の平面視上の周囲には、水平電荷転送チャンネル 41 との隣接箇所を除いて、チャンネルストップ 22 が配置されている。

【0128】

以上説明した構成を有するCCDイメージセンサ10aは、駆動回路65（図1参照）から供給される駆動信号および制御信号に従って駆動する。

【0129】

図4には、垂直電荷転送素子20の各々を4相の垂直駆動信号 $\phi V1 \sim \phi V4$ によって駆動させる際の配線例を付記してある。図5には、水平電荷転送素子40を3相の水平駆動信号 $\phi H1 \sim \phi H3$ によって駆動させる際の配線例を付記してある。図4および図5には、CCDラインメモリ部35を制御信号 ϕLM によって駆動させ、掃出ドレイン45を制御信号 ϕDR によって駆動させる際の配線例も付記してある。

【0130】

図4に示すように、垂直電荷転送素子20の各々を4相駆動させるために、第1～第2垂直転送電極25～26の各々と第1～第3補助転送電極31～33とが4つのグループに分けられている。グループ毎に異なる垂直駆動信号 $\phi V1 \sim \phi V4$ が供給される。1つのグループは、3本おきに選択された第1垂直転送電極25、第2垂直転送電極26、第1補助転送電極31、第2補助転送電極34または第3補助転送電極33によって構成されている。

10

【0131】

図5に示すように、水平電荷転送素子40を3相駆動するために、最も下流の補助水平電荷転送段を基点にして各水平電荷転送段および各補助水平電荷転送段が3つのグループに分けられている。1つのグループは、2つおきに選択された水平電荷転送段および補助水平電荷転送段によって構成される。

20

【0132】

1つのグループに水平駆動信号 $\phi H1$ が供給され、他の1つのグループに水平駆動信号 $\phi H2$ が供給され、残りのグループに水平駆動信号 $\phi H3$ が供給される。図示の例では、最も下流の補助水平電荷転送段に水平駆動信号 $\phi H1$ が供給され、下流から2番目の補助水平電荷転送段に水平駆動信号 $\phi H2$ が供給される。最も上流の補助水平電荷転送段（下流から3番目の補助水平電荷転送段）には、水平駆動信号 $\phi H3$ が供給される。

【0133】

図4および図5に示すように、制御信号 ϕLM は、第1～第2転送制御電極36～37の各々に供給される。制御信号 ϕDR は、掃出ゲート電極47bに供給される。

【0134】

なお、本明細書においては、駆動信号を供給する電圧供給線に接続された後の水平電荷転送素子における水平転送電極の数を、以下の約束の下に数えるものとする。

30

【0135】

すなわち、互いに隣接し、かつ同一の電圧供給配線に接続されている複数個の水平転送電極は、これらをまとめて1個として数えるものとする。この約束の下では、互いに隣接してはいるが、互いに異なる電圧供給線に接続されている2個の水平転送電極の数は、2個である。また、同一の電圧供給配線に接続されてはいるが、互いに離隔している2個の水平転送電極の数も2個である。

【0136】

上記の約束事は、次の場合にも適用するものとする。すなわち、複数の第1電荷転送チャネル領域（例えば、複数本の垂直電荷転送チャネル20aそれぞれにおける下流側端部）と、これらの第1電荷転送チャネル領域の各々に電氣的に接続される第2電荷転送チャネルを含む電荷転送素子（例えば水平電荷転送素子40）とを備えた電荷転送装置であって、第2電荷転送チャネル上に電氣的絶縁膜を介して形成された複数個の転送電極を有し、これらの転送電極の各々が所定の電圧供給配線に接続されている電荷転送装置における転送電極の数を数える際にも適用するものとする。また、CCDラインメモリ部における転送制御電極の数を数える際にも適用するものとする。

40

【0137】

上記の約束事に従えば、図5に示した水平電荷転送素子40は、1水平電荷転送段40a当たり、および1補助水平電荷転送段40b当たり、1個の水平転送電極を有する。水平

50

電荷転送素子40は、光電変換素子行方向に連続する3個の水平転送電極を1群とする複数群の水平転送電極を有する。1つの群を構成する3個の水平転送電極の各々は、互いに異なる電圧供給線に接続されている。3個を周期とする水平転送電極の各々は、同一の電圧供給線に接続されている。

【0138】

CCD撮像システム100（図1参照）においては、撮像モードが静止画記録モードであるかモニターモードであるかに応じて、所定波形の駆動信号 $\phi V1 \sim \phi V4$ 、制御信号 ϕLM および $\phi H1 \sim \phi H3$ が駆動回路65からCCDイメージセンサ10に供給される。垂直電荷転送素子20の各々、CCDラインメモリ部35および水平電荷転送素子40は、CCD撮像システム100の撮像モードに応じた所定の動作を行う。

10

【0139】

以下、CCD撮像システム100の撮像モードがモニターモードのときの各垂直電荷転送素子20、CCDラインメモリ部35、水平電荷転送素子40および掃出ドレイン45の動作の一例について説明する。

【0140】

CCD撮像システム100の撮像モードがモニターモードのときには、例えば1/2間引き走査の下に各垂直電荷転送素子20が駆動される。また、不要電荷が、CCDラインメモリ部35から水平電荷転送素子40を介して掃出ドレイン45へ排出される。

【0141】

各垂直電荷転送素子20を1/2間引き走査の下に駆動させる場合、1つの垂直期間に全光電変換素子行のうちの1/2の光電変換素子行、例えば1行おきの光電変換素子行を対象に、光電変換素子15から各垂直電荷転送素子20へ電荷が読み出される。このとき、垂直駆動信号 $\phi V1$ および $\phi V3$ のいずれかに読出パルスが重畳される。

20

【0142】

垂直電荷転送素子20の各々に読み出された電荷は、垂直電荷転送素子内を順次転送されて、CCDラインメモリ部35を構成する転送制御段に達する。1つの光電変換素子行中の光電変換素子15の各々から各垂直電荷転送素子20へ読み出された電荷は、同じタイミングで転送制御段に達する。

【0143】

図7に示すように、モニターモードの際には、各垂直電荷転送チャンネル20aが2つのグループ、すなわち、必要電荷を転送する第1グループGp1と不要電荷を転送する第2グループGp2とに分けられる。第1グループGp1は、水平駆動信号 $\phi H1$ が供給される水平電荷転送段に対応する垂直電荷転送チャンネル20aの各々によって構成される。第2グループGp2は、水平駆動信号 $\phi H2$ 、 $\phi H3$ が供給される水平電荷転送段に対応する垂直電荷転送チャンネル20aの各々によって構成される。

30

【0144】

なお、図7に示した構成要素は全て図5に示されているので、各構成要素には図5で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0145】

以下、不要電荷を水平電荷転送素子40を介して掃出ドレイン45へ排出した後必要電荷を水平電荷転送素子40へ転送し、更にこれらの必要電荷を出力部60へ向けて転送する方法について、図8、図9、図10（A）および図10（B）を参照しつつ説明する。

40

【0146】

下記の説明においては、個々の垂直電荷転送チャンネル20aを介して転送される電荷を、この垂直電荷転送チャンネル20aに対応する光電変換素子15の上方に配置されている色フィルタの色に応じて、「電荷g1」、「電荷r」、「電荷g2」、「電荷b」と称する。第1グループGp1を構成する垂直電荷転送チャンネル20aの各々は、電荷g1または電荷bを転送する。第2グループGp2を構成する垂直電荷転送チャンネル20aの各々は、電荷rまたは電荷g2を転送する。

【0147】

50

図 8 は、必要電荷だけを C C D ラインメモリ部 3 5 から出力部 6 0 へ転送する場合の制御信号 ϕ L M、水平駆動信号 ϕ H 1 ~ ϕ H 3 および制御信号 ϕ D R の波形の一例を示す。

【 0 1 4 8 】

図 9 は、C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ、また、C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 を介して掃出ドレイン 4 5 へ電荷を転送する際の原理を模式的に示す。

【 0 1 4 9 】

図 1 0 (A) は図 8 に示した時刻 t_1 での電荷の分布の様子を模式的に示し、図 1 0 (B) は図 8 に示した時刻 t_2 での電荷の分布の様子を模式的に示す。

【 0 1 5 0 】

なお、図 9、図 1 0 (A)、図 1 0 (B) に示した構成要素は全て図 6 (A) または図 7 に示されているので、各構成要素には図 6 (A) または図 7 で用いた参照符号と同じ参照符号を付してその説明を省略する。

【 0 1 5 1 】

図 8 に示すように、C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ電荷を転送する前の段階の時刻 t_0 では、水平駆動信号 ϕ H 1 ~ ϕ H 3 がローレベル L (例えば 0 V) にあり、制御信号 ϕ L M がハイレベル H (例えば + 3 . 3 V) にある。

【 0 1 5 2 】

図 9 に示すように、水平駆動信号 ϕ H n (n は 1 ~ 8 のうちの任意の整数を表す。以下同じ。) がローレベル L のとき、第 1 水平転送電極 4 2 下の水平電荷転送チャンネル 4 6 (ポテンシャル・バリア領域 4 1 B) の電位は、制御信号 ϕ L M がハイレベル H にあるかローレベル L にあるかに拘わらず、第 2 転送制御電極 3 7 下の垂直電荷転送チャンネル 2 0 a (ポテンシャル・ウェル領域 2 0 a W) の電位より低い。したがって、水平駆動信号 ϕ H n がローレベル L にあると、図 9 に記号 ○ で示した電荷は C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ転送されることなく、C C D ラインメモリ部 3 5 に留まる。

【 0 1 5 3 】

したがって、図 8 に示した時刻 t_0 においては、C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ電荷が転送されない。

【 0 1 5 4 】

図 8 に示した時刻 t_1 におけるように、C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ不要電荷を転送する際には、制御信号 ϕ L M をハイレベル H からローレベル L (例えば 0 V) にする。水平駆動信号 ϕ H 1 をローレベル L にし、水平駆動信号 ϕ H 2 ~ ϕ H 3 をハイレベル H にする。さらに、制御信号 ϕ D R をハイレベル H (例えば 1 5 ~ 2 0 V) にする。

【 0 1 5 5 】

図 9 に示すように、水平駆動信号 ϕ H n がハイレベル H にあり、かつ、制御信号 ϕ L M がローレベル L にあると、第 1 水平転送電極 4 2 下での水平電荷転送チャンネル 4 6 (ポテンシャル・バリア領域 4 1 B) の電位が第 2 転送制御電極 3 7 下の垂直電荷転送チャンネル 2 0 a (ポテンシャル・ウェル領域 2 0 a W) の電位より高くなる。したがって、電荷 ○ が C C D ラインメモリ部 3 5 から水平電荷転送素子 4 0 へ転送される。

【 0 1 5 6 】

このとき、制御信号 ϕ D R がローレベル L (例えば 5 V) であると、掃出ゲート用チャンネル領域 4 7 a は反転しない。掃出ゲート用チャンネル領域 4 7 a の電位は、第 2 水平転送電極 4 3 下の水平電荷転送チャンネル 4 1 (ポテンシャル・ウェル領域 4 1 W) の電位より低い。水平電荷転送段 4 0 a とドレイン領域 4 6 とは導通しない。水平電荷転送素子 4 0 に転送された電荷 ○ は、ドレイン領域 4 6 へ排出されることなく、水平電荷転送素子 4 0 に留まる。

【 0 1 5 7 】

一方、制御信号 ϕ D R がハイレベル H であると、掃出ゲート用チャンネル領域 4 7 a の表面付近が反転する。掃出ゲート用チャンネル領域 4 7 a の電位が、第 2 水平転送電極 4 3 下の

10

20

30

40

50

水平電荷転送チャネル41（ポテンシャル・ウェル領域41W）の電位より高くなる。水平電荷転送段40aとドレイン領域46とが導通する。水平電荷転送素子40内の電荷○が、掃出ドレイン45（ドレイン領域46）へ排出される。

【0158】

したがって、図8に示した時刻t1では、水平駆動信号φH2またはφH3が供給されている水平電荷転送段の各々へCCDラインメモリ部35から電荷が転送され、さらに、これらの電荷が掃出ドレイン45へ排出される。

【0159】

図10（A）は、図8に示した時刻t1での各電荷g1、r、g2およびbの分布状態を示す。水平駆動信号φH2、φH3が供給されている水平電荷転送段の各々へ、第2グループGp2の垂直電荷転送チャネル20aの各々から不要電荷r、g2が転送され、更に、これらの不要電荷r、g2が掃出ドレイン45へ排出されている。同図においては、各不要電荷の移動経路を矢印で示している。

10

【0160】

水平駆動信号φH1が供給されている水平電荷転送段の各々へは、CCDラインメモリ部35から電荷が転送されない。すなわち、第1グループGp1の垂直電荷転送チャネル20aの各々から水平電荷転送素子40へは、必要電荷が転送されない。

【0161】

次いで、水平駆動信号φH2およびφH3をハイレベルHからローレベルLにする。続いて、制御信号φLMをローレベルLからハイレベルHにし、CCDラインメモリ部35から水平電荷転送素子40への電荷の転送を禁止する。

20

【0162】

その後、制御信号φDRをハイレベルHに維持したまま、水平駆動信号φH3、φH2およびφH1をこの順番で順次ローレベルLからハイレベルHにする。水平駆動信号φH2がハイレベルHにある間に、水平駆動信号φH3をハイレベルHからローレベルLに戻す。水平駆動信号φH1がハイレベルHにある間に、水平駆動信号φH2をハイレベルHからローレベルLに戻す。水平駆動信号φH1は、一定時間経過後にローレベルLに戻す。この動作は、水平電荷転送素子40内の電荷をそれぞれ1水平電荷転送段分、下流側に転送する動作に相当する。

【0163】

この転送動作により、掃出ドレイン45への不要電荷の排出を十分に行うことができない水平電荷転送段が仮にあったとしても、この水平電荷転送段以外の水平電荷転送段において不要電荷を掃出ドレイン45へ排出することができる。不要電荷を高い確率で掃出ドレイン45へ排出することができる。

30

【0164】

水平駆動信号φH1をハイレベルHからローレベルLへ戻した後に、制御信号φLMをハイレベルHからローレベルLにする。さらに、制御信号φDをハイレベルHからローレベルLにし、水平電荷転送素子40から掃出ドレイン45への電荷の排出を禁止する。

【0165】

その後、図8の時刻t2におけるように、水平駆動信号φH1のみを再びハイレベルにする。制御信号φLMはローレベルLにあり、制御信号φDRもローレベルLにある。したがって、水平駆動信号φH1が供給されている水平電荷転送段の各々に、ラインメモリ35から電荷が転送される。

40

【0166】

図10（B）は、図8に示した時刻t2での各電荷g1、r、g2およびbの分布状態を示す。水平駆動信号φH1が供給されている水平電荷転送段の各々へ、第1グループGp1の垂直電荷転送チャネル20aの各々から必要電荷g1、r、g2またはbが転送されている。これらの必要電荷は、掃出ドレイン領域45へは排出されずに、水平電荷転送素子40内に留まる。

【0167】

50

この後、水平駆動信号 $\phi H1$ をハイレベルHからローレベルLにしてから制御信号 ϕLM をローレベルLからハイレベルHにし、CCDラインメモリ部35から水平電荷転送素子40への電荷の転送を禁止する。引き続き、水平駆動信号 $\phi H3$ 、 $\phi H2$ および $\phi H1$ をこの順番でローレベルLからハイレベルHへと、また、ハイレベルHからローレベルLへと、繰返し変化させる。

【0168】

その結果、水平電荷転送素子40内の電荷g1、b、g2、rの各々が、出力部60へ向けて1水平電荷転送段または1補助水平電荷転送段ずつ、順次転送される。

【0169】

以上のようにラインメモリ部35、水平電荷転送素子40および掃出ドレイン45を制御することにより、各垂直電荷転送素子20に読み出された電荷の中から不要電荷を掃出ドレイン45へ排出して、必要電荷だけを水平電荷転送素子45によって出力部60へ転送することができる。1/3に間引かれた電荷が、水平電荷転送素子45から出力部60へ転送される。

10

【0170】

出力部60は、水平電荷転送素子40から受け取った電荷（必要電荷）に基づいて、画像信号（信号電圧）を順次出力する。図1に示した映像信号処理回路70は、これらの画像信号（信号電圧）を利用して画像データを生成する。映像信号処理回路70で生成された画像データは、画像データ出力部75へ送られて、フレームメモリ等の記憶媒体に一旦記憶される。その後、画像データ出力部75から表示部80へ画像データが供給され、表示部80が画像を表示する。

20

【0171】

第1の実施例によるCCDイメージセンサ10aを備えたCCD撮像システム100は、上述のようにして不要電荷を掃出ドレイン45へ排出して、必要電荷のみに基づいて画像信号を生成することができる。

【0172】

したがって、光電変換素子列方向および光電変換素子行方向のいずれについても所望の電荷を間引いて、垂直画素数および水平画素数の両方が間引かれた画像データを生成することが容易である。垂直画素数のみを間引いた画素データに基づいてモニター表示する場合に比べて、良好なモニター画像を得ることが容易になる。動画をモニター表示することもできるし、静止画をモニター表示することも可能である。勿論、光電変換素子行方向についてのみ所望の電荷を間引いて、水平画素数のみが間引かれた画像データを生成することも可能である。

30

【0173】

水平電荷転送素子40から出力部60へ転送する電荷の数が1/3に減ることから、次の利点を得られる。

【0174】

すなわち、全ての垂直電荷転送素子から電荷を受け取り、これらの電荷を全て出力部へ転送していた従来の水平電荷転送素子に比べて、同じデータレートの下での1水平読出期間の長さがほぼ1/3に短縮される。これに伴って、モニター表示の際のフレーム周波数をほぼ3倍に高めることができ、より自然なモニター表示を行うことが容易になる。従来と同じフレーム周波数でモニター表示を行った場合には、データレートがほぼ1/3になることから、水平電荷転送素子の駆動周波数をほぼ1/3に低減させることができる。その結果、CCD撮像システムにおける主な電力消費源である水平電荷転送素子の駆動電力をほぼ1/3に削減することができる。

40

【0175】

一方、CCD撮像システム100の撮像モードが静止画記録モードのときには、例えばインターレース走査の下に各垂直電荷転送素子20が駆動される。1つの光電変換素子行から各垂直電荷転送素子20へ読み出された電荷の各々は、同じタイミングでCCDラインメモリ部35まで転送される。電荷の垂直加算は行われない。

50

【0176】

静止画記録モードの際には、各垂直電荷転送チャンネル20aが第1～第3グループの計3つのグループに分けられる。そして、これら第1～第3グループ毎に異なるタイミングで、CCDラインメモリ部35から水平電荷転送素子40へ電荷が転送される。1つのグループは、2本おきに選択された垂直電荷転送チャンネル20aの各々によって構成される。

【0177】

まず、1つのグループの各垂直電荷転送チャンネル20aから、例えば水平駆動信号φH1が供給されている水平電荷転送段の各々へ電荷が転送される。これらの電荷を水平電荷転送素子40から出力部60へ転送し終えた後に、他の1つのグループの各垂直電荷転送チャンネル20aから、例えば水平駆動信号φH2が供給されている水平電荷転送段の各々へ電荷が転送される。これらの電荷を水平電荷転送素子40から出力部60へ転送し終えた後に、最後の1つのグループの各垂直電荷転送チャンネル20aから、例えば水平駆動信号φH3が供給されている水平電荷転送段の各々へ電荷が転送され、さらに、出力部60へ転送される。水平電荷転送素子40から掃出ドレイン45への電荷の排出は、行われない。

10

【0178】

CCDラインメモリ部35から水平電荷転送素子40（水平電荷転送段）への電荷の転送は、図9を用いて既に説明した原理に従って行われる。

【0179】

水平電荷転送素子40内での電荷転送の際には、水平駆動信号φH1～φH3が所定の順番および位相の下にローレベルLからハイレベルHへ、また、ハイレベルHからローレベルLへと繰返しそのレベルを変化させる。

20

【0180】

出力部60は、水平電荷転送素子40から受け取った電荷に基づいて、画像信号（信号電圧）を順次出力する。図1に示した映像信号処理回路70は、これらの画像信号（信号電圧）を利用して静止画の画像データを生成する。映像信号処理回路70で生成された画像データは、画像データ出力部75へ送られて、フレームメモリ等の記憶媒体に一旦記憶される。

【0181】

その後、画像データ出力部75から表示部80へ画像データが供給され、表示部80が静止画を表示する。あるいは、画像データ出力部75から記録部82へ画像データが供給され、例えばメモ리카ード等の記録媒体に静止画の画像データが記録される。CCD撮像システム100は、全ての光電変換素子15それぞれに蓄積された電荷に基づいて、静止画の画像データを生成する。

30

【0182】

勿論、静止画記録モードの際に、光電変換素子列方向および光電変換素子行方向のいずれか一方または両方について所望の電荷を間引いて、垂直画素数および水平画素数のいずれか一方または両方が間引かれた画像データを生成することも可能である。

【0183】

水平電荷転送素子40をφH1～φH6の6相の水平駆動信号によって駆動させると、各垂直電荷転送チャンネル20aを2つのグループに分け、グループ毎に異なるタイミングで、水平電荷転送素子40へ電荷を転送することができる。個々のグループは、例えば、1本おきに選択された垂直電荷転送チャンネル20aによって構成される。

40

【0184】

水平電荷転送素子40を4相の水平駆動信号φH1～φH4によって駆動させると、光電変換素子行方向の電荷を1/2に間引いて出力部60へ転送することが可能になる。

【0185】

図11は、光電変換素子行方向の電荷を1/2に間引いて出力部60へ転送することを可能にする4相の水平駆動信号φH1～φH4を水平電荷転送素子40へ供給するための配線例を示す。同図には、CCDラインメモリ部35へ制御信号φLMを供給し、掃出ドレ

50

イン４５へ制御信号 ϕ DRを共有するための配線も付記してある。

【０１８６】

水平駆動信号 ϕ H１は、図１１での最も左端の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々、ならびに、左から３番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々に供給される。

【０１８７】

水平駆動信号 ϕ H２は、左から２番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々、ならびに、左から４番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々に供給される。

10

【０１８８】

水平駆動信号 ϕ H３は、左から５番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々、ならびに、左から７番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々に供給される。

【０１８９】

水平駆動信号 ϕ H４は、左から６番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々、ならびに、左から８番目の垂直電荷転送チャンネル２０aに対応する水平電荷転送段と、この水平電荷転送段の右側に７おきに選択された水平電荷転送段の各々に供給される。

20

【０１９０】

図示の例では、水平駆動信号 ϕ H１が供給される水平電荷転送段の各々に対応する各垂直電荷転送チャンネル２０aが、第１グループGp１を構成する。水平駆動信号 ϕ H２が供給される水平電荷転送段の各々に対応する各垂直電荷転送チャンネル２０aが、第２グループGp２を構成する。水平駆動信号 ϕ H３、 ϕ H４が供給される水平電荷転送段の各々に対応する各垂直電荷転送チャンネル２０aが、第３グループGp３を構成する。

【０１９１】

第１および第２グループGp１、Gp２の垂直電荷転送チャンネル２０aは、それぞれ必要電荷を転送する。第３グループGp３の垂直電荷転送チャンネル２０aは、不要電荷を転送する。

30

【０１９２】

図１２は、不要電荷を掃出ドレイン４５へ排出した後、必要電荷を出力部６０へ転送する場合の制御信号 ϕ LM、水平駆動信号 ϕ H１～ ϕ H４および制御信号 ϕ DRの波形の一例を示す。

【０１９３】

図１３（Ａ）、図１３（Ｂ）、図１４は、図１２に示した時刻T１、T２またはT３での電荷の分布の様子を模式的に示す。

【０１９４】

図１２に示すように、CCDラインメモリ部３５から水平電荷転送素子４０へ電荷を転送する前の段階の時刻T０では、水平駆動信号 ϕ H２、 ϕ H４および制御信号 ϕ DRがそれぞれローレベルLにあり、水平駆動信号 ϕ H１、 ϕ H３および制御信号 ϕ LMがそれぞれハイレベルHにある。

40

【０１９５】

制御信号 ϕ LMがハイレベルHにあることから、CCDラインメモリ部３５から水平電荷転送素子４０への電荷の転送が禁止される。

【０１９６】

図１２に示した時刻T１におけるように、CCDラインメモリ部３５から水平電荷転送素子４０へ不要電荷を転送する際には、制御信号 ϕ LMをハイレベルHからローレベルLにする。水平駆動信号 ϕ H１、 ϕ H２をローレベルLにし、水平駆動信号 ϕ H３、 ϕ H４を

50

ハイレベルHにする。さらに、制御信号 ϕDR をハイレベルHにする。

【0197】

制御信号 ϕLM がローレベルLにあり、水平駆動信号 $\phi H1 \sim \phi H4$ のうちの $\phi H3$ および $\phi H4$ がハイレベルHにあることから、水平駆動信号 $\phi H3$ または $\phi H4$ が供給されている水平電荷転送段の各々へCCDラインメモリ部35から電荷が転送される。すなわち、第3グループGp3の垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へ不要電荷が転送される。

【0198】

水平電荷転送素子40へ転送された不要電荷は、制御信号 ϕDR がハイレベルHにあることから、水平電荷転送素子40から掃出ドレイン45へ排出される。

10

【0199】

図13(A)は、図12に示した時刻T1での各電荷g1、r、g2およびbの分布状態を示す。水平駆動信号 $\phi H3$ 、 $\phi H4$ が供給されている水平電荷転送段の各々へ、第3グループGp3の垂直電荷転送チャンネル20aの各々から不要電荷g1、r、g2、bが転送され、更に、これらの不要電荷g1、r、g2、bが掃出ドレイン45へ排出されている。同図においては、各不要電荷の移動経路を矢印で示している。

【0200】

水平駆動信号 $\phi H1$ 、 $\phi H2$ が供給されている水平電荷転送段の各々へは、CCDラインメモリ部35から電荷が転送されない。すなわち、第1および第2グループGp1、Gp2の垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へは、必要電荷が転送

20

【0201】

次に、水平駆動信号 $\phi H3$ および $\phi H4$ をハイレベルHからローレベルLにする。続いて、制御信号 ϕDR をハイレベルHからローレベルLにし、水平電荷転送素子40から掃出ドレイン45への電荷の排出を禁止する。制御信号 ϕDR がローレベルLに転じるのに同期させて、または、やや遅れて、水平駆動信号 $\phi H1$ をローレベルLからハイレベルHにする。

【0202】

図12の時刻T2におけるように、水平駆動信号 $\phi H1$ のみがハイレベルHになり、他の水平駆動信号 $\phi H2 \sim \phi H3$ および制御信号 ϕLM 、 ϕDR がローレベルLになる。水平駆動信号 $\phi H1$ が供給される水平電荷転送段に対応する垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へ、電荷が転送される。すなわち、第1グループGp1の垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へ必要電荷が転送される。

30

【0203】

図13(B)は、図12に示した時刻T2での各電荷g1、r、g2およびbの分布状態を示す。水平駆動信号 $\phi H1$ が供給されている水平電荷転送段の各々へ、第1グループGp1の垂直電荷転送チャンネル20aの各々から必要電荷g1またはg2が転送されている。これらの必要電荷g1、g2は、掃出ドレイン45へ排出されることなく水平電荷転送素子40に留まる。同図においては、各必要電荷g1、g2の移動経路を矢印で示している。

40

【0204】

水平駆動信号 $\phi H2$ が供給されている水平電荷転送段の各々へは、CCDラインメモリ部35から電荷が転送されない。すなわち、第2グループGp2の垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へは、必要電荷が転送されない。

【0205】

この後、制御信号 ϕLM をローレベルLからハイレベルHにし、CCDラインメモリ部35から水平電荷転送素子40への電荷の転送を禁止する。また、水平駆動信号 $\phi H4$ をハイレベルHにし、水平駆動信号 $\phi H1$ をローレベルLにする。水平駆動信号 $\phi H2$ をハイレベルHにする。水平駆動信号 $\phi H3$ は、ローレベルLにある。水平駆動信号 $\phi H1$ が供給される水平電荷転送段に分布していた必要電荷g1またはg2が、それぞれ1水平電荷

50

転送段分下流側に転送される。

【0206】

次いで、水平駆動信号 $\phi H1$ をハイレベルHにし、水平駆動信号 $\phi H2$ をローレベルLにする。水平駆動信号 $\phi H3$ をハイレベルHにし、水平駆動信号 $\phi H4$ をローレベルLにする。水平駆動信号 $\phi H2$ 、 $\phi H4$ が供給される水平電荷転送段に分布していた必要電荷g1またはg2が、それぞれ1水平電荷転送段分下流側に転送される。

【0207】

さらに、水平駆動信号 $\phi H4$ をハイレベルHにし、水平駆動信号 $\phi H1$ をローレベルLにする。水平駆動信号 $\phi H2$ をハイレベルHにし、水平駆動信号 $\phi H3$ をローレベルLにする。水平駆動信号 $\phi H1$ 、 $\phi H3$ が供給される水平電荷転送段に分布していた必要電荷g1またはg2が、それぞれ1水平電荷転送段分下流側に転送される。

10

【0208】

この後、図12の時刻T3におけるように、制御信号 ϕLM をハイレベルHからローレベルLにする。このとき、制御信号 ϕDR はローレベルLにあり、水平電荷転送素子40から掃出ドレイン45への電荷の排出を禁止している。水平駆動信号 $\phi H2$ はハイレベルHにあり、他の水平駆動信号 $\phi H1$ 、 $\phi H3$ 、 $\phi H4$ はローレベルLにある。水平駆動信号 $\phi H2$ が供給される水平電荷転送段に対応する垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へ、電荷が転送される。すなわち、第2グループGp2の垂直電荷転送チャンネル20aの各々から水平電荷転送素子40へ必要電荷が転送される。

【0209】

20

図14は、図12に示した時刻T3での各電荷g1、r、g2およびbの分布状態を示す。水平駆動信号 $\phi H2$ が供給されている水平電荷転送段の各々へ、第2グループGp1の垂直電荷転送チャンネル20aの各々から必要電荷rまたはbが転送されている。これらの必要電荷r、bは、掃出ドレイン45へ排出されることなく水平電荷転送素子40に留まる。同図においては、各必要電荷r、bの移動経路を矢印で示している。

【0210】

この段階で、水平電荷転送素子40には、必要電荷が最下流の補助水平電荷転送段から1補助水平電荷転送段または1水平電荷転送段おきに分布する。必要電荷g1、g2、r、bが下流側からこの順番で繰返し分布する。

【0211】

30

この後、制御信号 ϕLM をローレベルLからハイレベルHにし、CCDラインメモリ部35から水平電荷転送素子40への電荷の転送を禁止する。引き続き、水平駆動信号 $\phi H1$ と $\phi H3$ とを1組とし、水平駆動信号 $\phi H2$ と $\phi H4$ とを他の1組として、各組の水平駆動信号をローレベルLからハイレベルHへと、また、ハイレベルHからローレベルLへと繰返し変化させる。このとき、一方の組の水平駆動信号の位相を、他方の組の水平駆動信号の位相から180°ずらす。水平駆動信号 $\phi H1$ を含む組を、最初にローレベルLにする。

【0212】

その結果、水平電荷転送素子40内の必要電荷g1、b、g2、rの各々が、出力部60へ向けて1水平電荷転送段または1補助水平電荷転送段ずつ、順次転送される。

40

【0213】

このようにしてラインメモリ部35、水平電荷転送素子40および掃出ドレイン45を制御することにより、水平電荷転送素子45から出力部60へ転送する電荷を1行の光電変換素子行当たり1/2に間引くことができる。

【0214】

この場合でも、水平電荷転送素子40を3相の水平駆動信号によって駆動させる場合と同様に、光電変換素子列方向についても所望の電荷を間引くことができる。垂直画素数および水平画素数のいずれか一方または両方が間引かれた画像信号を容易に生成することができる。

【0215】

50

したがって、垂直画素数および水平画素数の両方が間引かれた画像データを生成することが容易になる。垂直画素数のみを間引いた画素データに基づいてモニター表示する場合に比べて、良好なモニター画像を得ることが容易になる。動画をモニター表示することもできるし、静止画をモニター表示することも可能である。

【0216】

また、水平電荷転送素子40を3相の水平駆動信号によって駆動させた場合と同様の理由から、モニター表示の際のフレーム周波数を従来のほぼ2倍に高めることができ、より自然なモニター表示を行うことが容易になる。従来と同じフレーム周波数でモニター表示を行った場合には、データレートがほぼ $1/2$ になることから、水平電荷転送素子の駆動周波数をほぼ $1/2$ に低減させることができる。その結果、CCD撮像システムにおける主

10

【0217】

一方、CCD撮像システム100の撮像モードが静止画記録モードのときには、例えばインターレース走査の下に各垂直電荷転送素子20が駆動される。1つの光電変換素子行から各垂直電荷転送素子20へ読み出された電荷の各々は、同じタイミングでCCDラインメモリ部35まで転送される。

【0218】

静止画記録モードの際にも、各垂直電荷転送チャンネル20aが第1～第2グループの計2つのグループに分けられる。そして、これら第1～第2グループ毎に異なるタイミングで、CCDラインメモリ部35から水平電荷転送素子40へ電荷が転送される。1つのグループは、1本おきに選択された垂直電荷転送チャンネル20aの各々によって構成される。

20

【0219】

まず、1つのグループ、例えば第1グループの各垂直電荷転送チャンネル20aから水平電荷転送素子40へ電荷が転送される。これらの電荷を水平電荷転送素子40から出力部60へ転送し終えた後に、第2グループの各垂直電荷転送チャンネル20aから水平電荷転送素子40へ電荷が転送され、さらに、出力部60へ転送される。

【0220】

CCDラインメモリ部35から水平電荷転送素子40への電荷の転送は、図9を用いて既に説明した原理に従って行われる。

【0221】

水平電荷転送素子40内での電荷転送の際には、水平駆動信号 $\phi H1 \sim \phi H4$ が所定の順番および位相の下にローレベルLからハイレベルHへ、また、ハイレベルHからローレベルLへと繰返しそのレベルを変化させる。

30

【0222】

出力部60は、水平電荷転送素子40から受け取った電荷に基づいて、画像信号（信号電圧）を順次出力する。図1に示した映像信号処理回路70は、これらの画像信号（信号電圧）を利用して静止画の画像データを生成する。映像信号処理回路70で生成された画像データは、画像データ出力部75へ送られて、フレームメモリ等の記憶媒体に一旦記憶される。

【0223】

その後、画像データ出力部75から表示部80へ画像データが供給され、表示部80が静止画を表示する。あるいは、画像データ出力部75から記録部82へ画像データが供給され、例えばメモリカード等の記録媒体に静止画の画像データが記録される。CCD撮像システム100は、全ての光電変換素子15それぞれに蓄積された電荷に基づいて、静止画の画像データを生成する。

40

【0224】

勿論、静止画記録モードの際に、光電変換素子列方向および光電変換素子行方向のいずれか一方または両方について所望の電荷を間引いて、垂直画素数および水平画素数のいずれか一方または両方が間引かれた画像データを生成することも可能である。

【0225】

50

次に、図1に示したCCDイメージセンサ10に係る第2の実施例によるCCDイメージセンサについて説明する。

【0226】

図15は、第2の実施例によるCCDイメージセンサ10bにおける光電変換素子、垂直電荷転送素子、CCDラインメモリ部、水平電荷転送素子、掃出ドレインおよび出力部の平面配置を概略的に示す部分平面図である。

【0227】

図15に示すように、CCDイメージセンサ10bにおいては、多数個の光電変換素子15が画素ずらし配置されている。この点で、CCDイメージセンサ10bは、第1の実施例によるCCDイメージセンサ10aと大きく異なる。

【0228】

他に下記(1)～(7)の点でも、CCDイメージセンサ10bはCCDイメージセンサ10aと異なる。

(1) 各光電変換素子15の平面視上の形状および各光電変換素子領域16の平面視上の形状が、それぞれ八角形である。

(2) 個々の垂直電荷転送チャンネル20aが、対応する光電変換素子列に沿って蛇行する領域を含んでいる。これに伴って、個々の垂直電荷転送素子20も、対応する光電変換素子列に沿って蛇行する領域を含んでいる。

(3) 個々の光電変換素子15の平面視上の右斜下の辺に沿って、読出ゲート用チャンネル領域が1つずつ配置されている。

(4) 最も下流の第1垂直転送電極25aを除き、第1垂直転送電極25aの各々が、水平電荷転送素子40側から数えて偶数番目の光電変換素子行とその直ぐ下流の奇数番目の光電変換素子行との間をこれらの光電変換素子行に沿って蛇行する領域を含んでいる。最も下流の第1垂直転送電極25aは、水平電荷転送素子40側から数えて1番目の光電変換素子行の下流側をこの光電変換素子行に沿って蛇行する領域を含んでいる。

(5) 最も上流の第2垂直転送電極26aを除き、第2垂直転送電極26aの各々が、水平電荷転送素子40側から数えて奇数番目の光電変換素子行とその直ぐ下流の偶数番目の光電変換素子行との間をこれらの光電変換素子行に沿って蛇行する領域を含んでいる。最も上流の第2垂直転送電極26aは、最も上流の光電変換素子行の上流側をこの光電変換素子行に沿って蛇行する領域を含んでいる。

(6) 個々の第1垂直転送電極25aは、この第1垂直転送電極25aが対応している奇数行中の光電変換素子それぞれに対応する全ての読出ゲート21を構成し、個々の第2垂直転送電極26aは、この第2垂直転送電極26aが対応している奇数行中の光電変換素子それぞれに対応する全ての読出ゲート21を構成する。

(7) 第1補助転送電極31が、蛇行しつつ全体としては光電変換素子行方向に延在している。

【0229】

これらの相違点を除けば、図15に示したCCDイメージセンサ10bは、第1の実施例によるCCDイメージセンサ10aと同様の構成を有する。

【0230】

このため、図15に示した構成要素のうちで図4に示した構成要素と機能上共通するものについては、図4で用いた参照符号と同じ参照符号を付してその説明を省略する。ただし、第1垂直転送電極については新たな参照符号「25a」を付し、第2垂直転送電極については新たな参照符号「26a」を付してある。

【0231】

なお、図15においては、光遮蔽膜、保護膜、第1の平坦化膜、第2の平坦化膜およびマイクロレンズアレイの図示を省略している。また、色フィルタアレイ自体の図示も省略しているが、各光電変換素子15上に配置されている色フィルタの色を記号G1、G2、RまたはBで示してある。記号G1、G2、RおよびBの意味は、図4におけるこれらの記号の意味と同様である。

10

20

30

40

50

【0232】

本実施例によるCCDイメージセンサ10bの特徴の1つである「画素ずらし配置」とは、本明細書においては下記の配置を意味する。

【0233】

すなわち、奇数番目に当たる光電変換素子列の各光電変換素子に対し、偶数番目に当たる光電変換素子列の光電変換素子の各々が、光電変換素子列内での光電変換素子のピッチの約 $1/2$ 、列方向にずれ、奇数番目に当たる光電変換素子行の各光電変換素子に対し、偶数番目に当たる光電変換素子行の光電変換素子の各々が、光電変換素子行内での光電変換素子のピッチの約 $1/2$ 、行方向にずれ、光電変換素子列の各々が奇数行または偶数行の光電変換素子のみを含むような、多数個の光電変換素子の配置を意味する。「画素ずらし配置」は、複数行、複数列に亘って行列状に形成された多数個の光電変換素子の一形態である。

10

【0234】

上記の「光電変換素子列内での光電変換素子のピッチの約 $1/2$ 」とは、 $1/2$ を含む他に、製造誤差、設計上もしくはマスク製作上起こる画素位置の丸め誤差等の要因によって $1/2$ からはずれてはいるものの、得られるCCDイメージセンサの性能およびその画像の画質からみて実質的に $1/2$ と同等とみなすことができる値をも含むものとする。上記の「光電変換素子行内での光電変換素子のピッチの約 $1/2$ 」についても同様である。

【0235】

上述した構成を有するCCDイメージセンサ10bでは、例えば4相の垂直駆動信号 $\phi V1 \sim \phi V4$ によって、各垂直電荷転送素子20を $1/2$ 間引き走査の下に駆動させることができる。このときの配線は、図15に併記したように、図4に示したCCDイメージセンサ10aでの配線例と同様である。図15には、制御信号 ϕLM をCCDラインメモリ部35に供給するための配線、および、制御信号 ϕDR を掃出ドレイン45に供給するための配線も併記してある。

20

【0236】

各垂直電荷転送素子20を $1/2$ 間引き走査の下に駆動させる場合、例えば垂直駆動信号 $\phi V1$ および $\phi V4$ に読出パルスがほぼ同時に重畳される。垂直電荷転送素子20の各々に読み出された電荷は、垂直電荷転送素子20内を順次転送されて、CCDラインメモリ部35を構成する転送制御段に達する。相隣る2つの光電変換素子行中の光電変換素子15の各々から各垂直電荷転送素子20へ読み出された電荷が、同じタイミングでCCDラインメモリ部35に達する。

30

【0237】

したがって、この後は第1の実施例によるCCDイメージセンサ10aでの不要電荷排出動作と同様にして不要電荷を掃出ドレイン45へ排出し、必要電荷を出力部60へ転送することにより、垂直画素数および水平画素数の両方が間引かれた画像信号を容易に生成することができる。垂直画素数および水平画素数の両方が間引かれた画像データを生成することが容易になる。垂直画素数のみを間引いた画素データに基づいてモニター表示する場合に比べて、良好なモニター画像を得ることが容易になる。動画をモニター表示することもできるし、静止画をモニター表示することも可能である。勿論、垂直画素数および水平画素数のいずれか一方のみが間引かれた画像信号を生成することもできる。

40

【0238】

一方、CCD撮像システム100の撮像モードが静止画記録モードのときには、例えば1フレームが2つのフィールドに分類される。第1のフィールドは、例えば、最も下流の光電変換素子行と、この光電変換素子行の上流側に3行おきに選択された光電変換素子行の各々によって構成される。第2のフィールドは、下流から3番目の光電変換素子行と、この光電変換素子行の上流側に3行おきに選択された光電変換素子行の各々によって構成される。

【0239】

第1のフィールドを構成する光電変換素子の各々から各垂直電荷転送素子20へ電荷を読

50

み出す際には、垂直駆動信号 $\phi V1$ および $\phi V4$ に読出パルスがほぼ同じタイミングで重畳される。第2のフィールドを構成する光電変換素子の各々から各垂直電荷転送素子20へ電荷を読み出す際には、垂直駆動信号 $\phi V3$ および $\phi V2$ に読出パルスがほぼ同じタイミングで重畳される。

【0240】

光電変換素子15からの電荷の読み出しおよびその転送は、フィールド単位で行われる。相隣る2つの光電変換素子行から各垂直電荷転送素子20へ読み出された電荷の各々は、同じタイミングでCCDラインメモリ部35まで転送される。

【0241】

静止画記録モードの際には、第1の実施例によるCCDイメージセンサ10aと同様に、各垂直電荷転送チャンネル20aが2つのグループに分けられる。そして、これらのグループ毎に異なるタイミングで、CCDラインメモリ部35から水平電荷転送素子40へ電荷が転送される。

10

【0242】

CCDラインメモリ部35から水平電荷転送素子40への電荷の転送は、図9を用いて既に説明した原理に従って行われる。必要に応じて、不要電荷が水平電荷転送素子40から掃出ドレイン45へ排出される。

【0243】

出力部60は、水平電荷転送素子40から受け取った電荷に基づいて、画像信号（信号電圧）を順次出力する。図1に示した映像信号処理回路70は、これらの画像信号（信号電圧）を利用して静止画の画像データを生成する。映像信号処理回路70で生成された画像データは、画像データ出力部75へ送られて、フレームメモリ等の記憶媒体に一旦記憶される。

20

【0244】

その後、画像データ出力部75から表示部80へ画像データが供給され、表示部80が静止画を表示する。あるいは、画像データ出力部75から記録部82へ画像データが供給され、例えばメモ리카ード等の記録媒体に静止画の画像データが記録される。CCD撮像システム100は、全ての光電変換素子15それぞれに蓄積された電荷に基づいて、静止画の画像データを生成する。

【0245】

勿論、静止画記録モードの際に、光電変換素子列方向および光電変換素子行方向のいずれか一方または両方について所望の電荷を間引いて、垂直画素数および水平画素数のいずれか一方または両方が間引かれた画像データを生成することも可能である。

30

【0246】

次に、スミアの要因となる電荷を掃出ドレイン45に排出する方法について説明する。

【0247】

図2を用いて既に説明したように、垂直電荷転送素子20の各々は光遮蔽膜51によって覆われている。設計上は、垂直電荷転送素子20への光の入射が光遮蔽膜51によって阻止される。しかしながら実際は、垂直電荷転送素子20へ僅かながら光が入射する。垂直電荷転送素子20へ光が入射すると、垂直電荷転送素子20内で光電変換が起こり、スミアの要因となる雑音電荷が生じる。

40

【0248】

例えば、電子スチルカメラのリアルタイムモニタ信号の読出し期間中は、CCDイメージセンサ10に光が入射し続ける。このため、リアルタイムモニタ信号の読出し期間中は、各垂直電荷転送素子20における垂直電荷転送段の各々に、スミアの要因となる雑音電荷が均一に分布しやすい。この雑音電荷は、光電変換素子15から読み出した電荷を垂直電荷転送素子20によって水平電荷転送素子40へ転送する際に、一緒に水平電荷転送素子40へ転送される。

【0249】

垂直電荷転送素子20の駆動方法を工夫することにより、雑音電荷の多くを掃出ドレイン

50

45へ排出することが可能となる。以下、雑音電荷の多くを掃出ドレイン45へ排出することを可能とする垂直電荷転送素子20の駆動方法（以下、この方法による駆動を「低スミア駆動」という。）について、図16および図17を用いて説明する。ただし、下記の説明においては、読出パルスPrの印加後に新たな雑音電荷が生じないものとする。

【0250】

図16は、第1の実施例によるCCDイメージセンサ10aにおける垂直電荷転送素子20の各々を低スミア駆動させたときの各垂直電荷転送段の電位レベルの変化と、各垂直電荷転送段に分布する電荷の種類とを示す。垂直電荷転送素子20の各々は、8相の垂直駆動信号φV1～φV8によって1/4間引き走査の下に駆動される。読出パルスPrは、垂直駆動信号φV1に重畳される。

10

【0251】

同図には、読出パルスPrが所定の垂直転送電極25に印加された時刻T1から所定の時刻T5までの間での、各垂直電荷転送段の電位レベルの変化と、各垂直電荷転送段に分布する電荷の種類とが示されている。1つの光電変換素子15から読み出された電荷をQとし、読出パルスPrの印加前の段階で各垂直電荷転送段に分布していた雑音電荷の各々をSとする。

【0252】

低スミア駆動では、まず、垂直駆動信号φV1およびφV3～φV7をハイレベルとし、これと同時に垂直駆動信号φV2およびφV8をローレベルとする。垂直駆動信号φV1、φV3～φV7が供給される各垂直電荷転送段の電位レベルが、ポテンシャル・ウェルとして機能するレベルWになる。また、垂直駆動信号φV2、φV8が供給される各垂直電荷転送段の電位レベルが、ポテンシャル・バリアとして機能するレベルBになる。

20

【0253】

垂直電荷転送段がレベルBになると、この垂直電荷転送段に分布していた雑音電荷Sは、上流側または下流側のポテンシャル・ウェルに移動する。ポテンシャル・バリアとポテンシャル・ウェルとが同時に形成された場合、ポテンシャル・バリアとなった垂直電荷転送段に分布していた雑音電荷Sが上流側および下流側のどちらのポテンシャル・ウェルに移動するかは、特定できない。ここでは、便宜上、上流側のポテンシャル・ウェルに移動するものとする。

【0254】

次に、時刻T1において、垂直駆動信号φV1に読出パルスPrを重畳する。読出パルスPrが供給された垂直電荷転送段に、所定の光電変換素子15から電荷Qが読み出され、これらの垂直電荷転送段の各々において、電荷Qと2つの雑音電荷Sとが混合される。2つの雑音電荷Sのうちの一方は、この垂直電荷転送段に予め分布していた雑音電荷Sであり、他の一方は、下流側のポテンシャル・バリアから移動してきた雑音電荷Sである。混合されたこれらの電荷を記号「Q+2S」で表す。

30

【0255】

このとき、垂直駆動信号φV3～φV7が供給されている各垂直電荷転送段は互いに連なって、5つの垂直電荷転送段に亘るポテンシャル・ウェルを形成する。このポテンシャル・ウェルにおいて、計6つの雑音電荷Sが混合される。混合されたこれらの雑音電荷を記号「6S」で表す。また、M個（Mは1以上の整数を表す。以下同じ。）の垂直電荷転送段に亘るポテンシャル・ウェルを「M連のポテンシャル・ウェル」といい、M個の垂直電荷転送段に亘るポテンシャル・バリアを「M連のポテンシャル・バリア」という。

40

【0256】

次いで、時刻T2において垂直駆動信号φV3およびφV4がハイレベルからローレベルに転じる。垂直駆動信号φV3～φV4が供給されている各垂直電荷転送段のレベルがレベルBになる。

【0257】

その結果、上記5連のポテンシャル・ウェルの上流端が下流側に2垂直電荷転送段分移動して、3連のポテンシャル・ウェルとなる。その一方で、ポテンシャル・ウェルの下流側

50

にあった1連のポテンシャル・バリアが下流側に2垂直電荷転送段分伸長して、3連のポテンシャル・バリアとなる。

【0258】

次に、時刻T3において垂直駆動信号 $\phi V2$ および $\phi V3$ がローレベルからハイレベルに転じる。垂直駆動信号 $\phi V2 \sim \phi V3$ が供給されている各垂直電荷転送段のレベルがレベルWになる。

【0259】

その結果、上記1連のポテンシャル・ウェルが下流側に2垂直電荷転送段分伸長して、3連のポテンシャル・ウェルとなる。その一方で、ポテンシャル・ウェルの下流側にあった上記3連のポテンシャル・バリアの上流端が下流側に2垂直電荷転送段分移動して、1連のポテンシャル・バリアとなる。

10

【0260】

この後、時刻T4におけるように、ポテンシャル・ウェルの上流端を下流側に1垂直電荷転送段分移動させて、2連のポテンシャル・ウェルとする。その一方で、ポテンシャル・ウェルの下流側にあった1連のポテンシャル・バリアを下流側に1垂直電荷転送段分伸長させて、2連のポテンシャル・バリアとする。

【0261】

次いで、時刻T5におけるように、上記2連のポテンシャル・ウェルを下流側に1垂直電荷転送段分伸長させて、3連のポテンシャル・ウェルとする。その一方で、ポテンシャル・ウェルの下流側にあった上記2連のポテンシャル・バリアの上流端を下流側に1垂直電荷転送段分移動させて、2連のポテンシャル・バリアとする。

20

【0262】

時刻T4での動作と時刻T5での動作とをこの順番で交互に繰り返すことにより、雑音電荷6sと電荷($Q+2S$)とを順次下流へ転送することができる。

【0263】

図17に示すように、CCDラインメモリ部35へは、雑音電荷6Sが同じタイミングで転送されてくる。したがって、これらの雑音電荷6Sの全てを一斉に、水平電荷転送素子40を介して掃出ドレイン45へ容易に排出することができる。

【0264】

電荷($Q+2S$)にのみ基づいて、画像データを生成することができる。スミアの要因となる雑音電荷の量が低減されるので、より良好な画像を表示ないし記録することができる。

30

【0265】

以上、実施例によるCCD撮像システムならびにCCDイメージセンサおよびその駆動方法について説明したが、本発明は上述した実施例に限定されるものではない。

【0266】

例えば、実施例によるCCDイメージセンサの各々では、各水平転送電極を電圧供給線に接続する前の段階での数で、1つの水平電荷転送段当たり第1～第2水平転送電極を1個ずつ配置した。しかしながら、水平電荷転送チャネルの構造は変えずに、各水平転送電極を電圧供給線に接続する前の段階での水平転送電極の数を、1つの水平電荷転送段当たり1個にすることもできる。この場合、第1および第2水平転送電極がそれぞれ覆っていた領域が、1個の水平転送電極で覆われる。補助水平電荷転送段についても同様である。

40

【0267】

また、水平電荷転送素子は、1本のn型チャネルに n^+ 型不純物添加領域とn型不純物添加領域とを所定のパターンで繰り返し形成し、このn型チャネル上に膜厚がほぼ一定の電氣的絶縁膜を介して所定数の転送電極を形成したタイプの電荷転送素子によって構成することもできる。

【0268】

このとき、各水平転送電極を電圧供給線に接続する前の段階での数で、個々の n^+ 型不純物添加領域の上方に電氣的絶縁膜を介して1個ずつ水平転送電極が配置され、個々のn型

50

不純物添加領域の上方にも電氣的絶縁膜を介して1個ずつ水平転送電極が配置される。あるいは、1つの n^+ 型不純物添加領域とその直ぐ上流側の1つの n 型不純物添加領域とによって構成される1組の不純物添加領域に1個ずつ、この組を構成する不純物添加領域の両方を平面視上覆う水平転送電極が電氣絶縁膜を介して配置される。また、上記の n^+ 型不純物添加領域に代えて n 型不純物添加領域を形成し、上記の n 型不純物添加領域に代えて n 型不純物添加領域とその上に形成された p^- 型不純物添加領域とによって構成される領域を形成してもよい。

【0269】

n 型不純物の濃度がほぼ一定である1本の n 型チャンネルの上に、膜厚が相対的に厚い領域（以下、この領域を「厚肉領域」という。）と相対的に薄い領域（以下、この領域を「薄肉領域」という。）とを所定のパターンで繰り返し配置した電氣的絶縁膜を形成し、この電氣的絶縁膜上に所定数の転送電極を形成したタイプの電荷転送素子によって水平電荷転送素子を構成することもできる。

10

【0270】

このとき、各水平転送電極を電圧供給線に接続する前の段階での数で、厚肉領域および薄肉領域それぞれの上に1個ずつ、水平転送電極が形成される。あるいは、1つの厚肉領域とその直ぐ上流側の1つの薄肉領域とによって構成される1組の領域に1個ずつ、この組を構成する厚肉領域および薄肉領域の両方を平面視上覆う水平転送電極が電氣絶縁膜を介して配置される。

【0271】

20

さらには、 n 型不純物の濃度がほぼ一定である1本の n 型チャンネルの上に、膜厚がほぼ一定の電氣的絶縁膜を形成し、この電氣的絶縁膜上に所定数の転送電極を形成したタイプの電荷転送素子によって水平電荷転送素子を構成することもできる。

【0272】

このとき、個々の水平転送電極に相対的に高いレベルの電圧を印加することにより、この水平転送電極の下に位置する n 型チャンネルの一領域にポテンシャル・ウェル領域を形成することができる。個々の水平転送電極に相対的に低いレベルの電圧を印加することにより、この水平転送電極の下に位置する n 型チャンネルの一領域にポテンシャル・バリア領域を形成することができる。

【0273】

30

いずれのタイプの電荷転送素子を水平電荷転送素子として利用する場合でも、1つの垂直電荷転送素子に対応して1つの水平電荷転送段が形成される。個々の水平電荷転送段は、唯1つのポテンシャル・バリア領域と、唯1つのポテンシャル・ウェル領域とを有する。垂直電荷転送素子に対応する各水平電荷転送段は、互いに隣接しつつ一列に配置される。

【0274】

水平電荷転送素子における水平転送電極の各々は、これらの水平転送電極を電圧供給線に接続した後の段階での数を基準にしてみたときに、複数の群に分けることができる。1つの群は、光電変換素子行方向に連続する m 個（ m は3以上の整数を表す。）の水平転送電極によって構成され、1つの群を構成する m 個の水平転送電極の各々は、互いに異なる電圧供給線に接続されている。 m 個を周期とする水平転送電極の各々は、同一の電圧供給線に接続されている。 m の値は、例えば3、4、6、7、8等、水平電荷転送素子の駆動方法等に応じて適宜選定可能である。

40

【0275】

水平電荷転送素子に補助水平電荷転送段を設けるか否かは、適宜選択可能である。

【0276】

垂直電荷転送素子は、補助転送電極を含めずに構成することもできる。垂直電荷転送素子の駆動方法は、1/2間引き走査やインターレース走査に基づく駆動方法に限定されるものではない。素子の構造、撮像モード、垂直加算の態様等に応じて、1/8間引き走査、1/16間引き走査、プログレッシブ走査等、適宜選定可能である。

【0277】

50

CCDラインメモリ部における転送制御段の構成も、水平電荷転送素子と同様に、適宜選定可能である。転送制御段は、水平電荷転送素子における水平電荷転送段と同様にして構成することができる。

【0278】

図18に示すように、掃出ドレインは、パンチスルータイプにすることもできる。同図に示した構成要素のうち、パンチスルータイプの掃出ドレイン145以外の構成要素は、既に図6(A)において示されているので、図6(A)に示した構成要素と共通するものについては、図6(A)で用いた参照符号と同じ参照符号を付してその説明を省略する。

【0279】

図18に示したパンチスルータイプの掃出ドレイン145は、水平電荷転送チャンネル41から所定の間隔を開けてp型不純物添加領域11bに形成されたドレイン領域140を有している。このドレイン領域140は、 n^+ 型不純物添加領域によって構成され、光電変換素子行方向に延在する。

【0280】

n型不純物添加領域141が、ドレイン領域140における水平電荷転送チャンネル41側に隣接配置され、このn型不純物添加領域141における水平電荷転送チャンネル41側に、ポテンシャル・バリア領域142が隣接配置されている。バリア領域142は、例えば、p型不純物添加領域11bの所定箇所に形成された n^- 型もしくは p^- 型の不純物添加領域によって構成される。n型不純物添加領域141とポテンシャル・バリア領域142とは、共に、光電変換素子行方向に延在する。ポテンシャル・バリア領域142は、水平電荷転送チャンネル41とも隣接する。

【0281】

なお、 n^- 型不純物添加領域におけるn型不純物の濃度は、n型不純物添加領域におけるn型不純物の濃度よりも低い。 p^- 型不純物添加領域におけるp型不純物の濃度は、p型不純物添加領域におけるp型不純物の濃度よりも低い。

【0282】

ドレイン領域140の上方に、電氣的絶縁膜23を介してドレイン電極143が配置されている。ドレイン電極143は、例えば第1ポリシリコン層によって形成される。電氣的絶縁膜（熱酸化膜）50が、ドレイン電極143を覆っている。

【0283】

n型不純物添加領域141上に、電氣的絶縁膜23を介して、更に電氣的絶縁膜144が形成されている。電氣的絶縁膜144は、例えば、CVD（化学的気相堆積法）によって電氣的絶縁膜23上に堆積されたシリコン酸化物によって構成される。

【0284】

水平電荷転送素子40における第1～第2水平転送電極42、43の各々は、水平電荷転送チャンネル41の所定領域を覆う他、 p^- 型不純物添加領域142をも覆う。更に、電氣的絶縁膜144をも覆う。n型不純物添加領域141はポテンシャル・ウェル領域として機能する。

【0285】

ドレイン電極143に供給される制御信号がローレベルのときには、水平電荷転送素子40における水平電荷転送段の各々に供給される水平駆動信号がローレベルおよびハイレベルのいずれであっても、ポテンシャル・バリア領域142の電位の方が水平電荷転送段の電位より低くなる。水平電荷転送段内の電荷は、掃出ドレイン145へ排出されることなく、水平電荷転送段内に留まる。

【0286】

水平電荷転送段の各々にローレベルの水平駆動信号を印加し、ドレイン電極143にハイレベルの制御信号を印加すると、ドレイン領域140の電位が高まる。この影響により、n型不純物添加領域141の電位がドレイン領域140の電位とほぼ同等になり、これに伴ってポテンシャル・バリア領域142の電位も高まる。ポテンシャル・バリア領域142の電位が、ローレベルの水平駆動信号が供給されている水平電荷転送段の電位より高く

10

20

30

40

50

なる。

【0287】

その結果として、ローレベルの水平駆動信号が供給されている水平電荷転送段に分布していた電荷が、ポテンシャル・バリア領域142およびn型不純物添加領域141を介して、ドレイン領域140へ排出される。ドレイン領域140へ排出された電荷は、掃出ドレイン145の制御信号の電源に吸収される。

【0288】

その他、CCDラインメモリ部の構成も、水平電荷転送素子と同様に、適宜変更可能である。1つのポテンシャル・バリア領域と1つのポテンシャル・ウェル領域とを有する転送制御段を形成することができる構成であれば基本的によい。

10

【0289】

垂直電荷転送素子は、補助転送電極を含めずに構成することもできる。垂直電荷転送素子の駆動方法は、インターレース走査や1/2間引き走査に基づく駆動方法に限定されるものではない。プログレッシブ走査、1/4間引き走査、1/8間引き走査、1/16間引き走査等、撮像モード等に応じて適宜選定可能である。

【0290】

水平電荷転送素子の駆動方法も、光電変換素子行方向の電荷を1/2または1/3に間引き駆動方法に限定されるものではない。例えば、光電変換素子行方向の電荷を1/4以上に間引いて駆動させることも可能である。必要に応じて、水平電荷転送素子内で2または3以上の電荷同士を加算（混合）することも可能である。水平電荷転送素子の駆動方法に応じて、水平駆動信号の相数を、3、4、6、8相等、適宜選定することができる。

20

【0291】

CCDラインメモリ部から水平電荷転送素子へ電荷を転送する際の垂直電荷転送チャンネルのグループ分け、すなわち、どの垂直電荷転送チャンネルによって転送されてくる電荷を必要電荷とし、どの垂直電荷転送チャンネルによって転送されてくる電荷を不要電荷とするかは、CCD撮像システムの撮像モード等に応じて、適宜選定可能である。

【0292】

例えばカラー撮像を行う場合には、必要電荷を転送する1つの垂直電荷転送チャンネルグループを構成するサブグループの各々は、フルカラー情報を得るうえで必要となる種類数の電荷、例えば電荷g、電荷rおよび電荷bの3種類を転送する3～4本程度の垂直電荷転送チャンネルによって構成される。白黒撮像の場合には、1本の垂直電荷転送チャンネルによって1つのサブグループを構成することも可能である。

30

【0293】

カラー撮像用のCCDイメージセンサでは、光遮蔽膜を設けることが好ましい。カラー撮像用の単板式CCDイメージセンサでは、色フィルタアレイが設けられる。マイクロレンズアレイは省略することも可能であるが、設けた方が好ましい。

【0294】

白黒撮像用のCCDイメージセンサでは、光遮蔽膜およびマイクロレンズアレイを省略することができる。色フィルタアレイを設けることは必須の要件ではないが、必要に応じて単色の色フィルタアレイを設けてもよい。

40

【0295】

カラー撮像用の単板式CCDイメージセンサに設けられる色フィルタアレイは、図3に示した配列パターンを有するものに限定されるものではない。また、原色型の色フィルタアレイに限定されるものではなく、補色型の色フィルタアレイであってもよい。

【0296】

原色型の色フィルタアレイにおける色フィルタの配列パターンとしては、ベイヤ型、インターライン型、GストライプRB市松型、GストライプRB完全市松型、ストライプ型、斜めストライプ型等と呼ばれる配列パターンが知られている。これらの配列パターンを平面上で40°程度回転させれば、多数個の光電変換素子が画素ずらし配置されたCCDイメージセンサに適用することが可能な原色型の色フィルタアレイを得ることができる。

50

【0297】

補色型の色フィルタアレイにおける色フィルタの配列パターンとしては、フィールド色差順次型、フレーム色差順次型、MOS型、改良MOS型、フレームインタリーブ型、フィールドインタリーブ型、ストライプ型等と呼ばれる配列パターンが知られている。これらの配列パターンを平面上で40°程度回転させれば、多数個の光電変換素子が画素ずらし配置されたCCDイメージセンサに適用することが可能な補色型の色フィルタアレイを得ることができる。

【0298】

CCDイメージセンサは、インターライン転送型に限らず、フルフレーム型、フレーム転送型、フレームインターライン転送型、全画素読出型等であってもよい。

10

【0299】

その他、種々の変更、改良、組み合わせ等が可能であることは当業者に自明であろう。

【0300】

【発明の効果】

以上説明したように、本発明によれば、所望の電荷を間引くことを可能にする電荷転送装置が提供される。この電荷転送装置をCCDイメージセンサの水平電荷転送素子として用いることにより、複数の垂直電荷転送素子それぞれに読み出された電荷の中から所望の電荷だけを水平電荷転送素子によって転送することが可能になる。

【0301】

CCDイメージセンサを備えたCCD撮像システムにおいて、垂直画素数と水平画素数の両方が間引かれた画像データを容易に得ることが可能になる。良好なモニター表示を行うCCD撮像システムを提供することが容易になる。

20

【図面の簡単な説明】

【図1】実施例によるCCD撮像システムの概略を示すブロック図である。

【図2】第1の実施例によるCCDイメージセンサにおける光電変換素子とその周辺を概略的に示す断面図である。

【図3】第1の実施例によるCCDイメージセンサが備えている色フィルタアレイの一部を示す平面図である。

【図4】第1の実施例によるCCDイメージセンサを概略的に示す部分平面図である。

【図5】第1の実施例によるCCDイメージセンサのCCDラインメモリ部から掃出ドレインにかけての領域を拡大して示す概略図である。

30

【図6】図6(A)は、図5に示したB-B線に沿った断面の概略図であり、図6(B)は、図5に示したC-C線に沿った断面の概略図である。

【図7】水平電荷転送素子から掃出ドレインへ選択的に不要電荷を排出する際になされる垂直電荷転送チャンネルのグループ分けの1つの仕様を示す部分平面図である。

【図8】第1の実施例によるCCDイメージセンサのCCDラインメモリ部、水平電荷転送素子および掃出ドレインをそれぞれ駆動させる際の制御信号 ϕ_{LM} 、水平駆動信号 $\phi_{H1} \sim \phi_{H8}$ および制御信号 ϕ_{DR} の波形の一例を示すタイミングチャートである。

【図9】第1の実施例によるCCDイメージセンサにおいてCCDラインメモリ部から水平電荷転送素子へ、また、CCDラインメモリ部から水平電荷転送素子を介して掃出ドレインへ電荷を転送する際の原理を模式的に示す

40

【図10】図10(A)～図10(B)は、図8に示した時刻 $t_1 \sim t_2$ での電荷の分布の様子を示す模式図である。

【図11】第1の実施例によるCCDイメージセンサにおける水平電荷転送素子を4相の水平駆動信号によって駆動させる際の配線例を概略的に示す部分平面図である。

【図12】第1の実施例によるCCDイメージセンサのCCDラインメモリ部、水平電荷転送素子および掃出ドレインそれぞれを駆動させる際の制御信号 ϕ_{LM} 、水平駆動信号 $\phi_{H1} \sim \phi_{H8}$ および制御信号 ϕ_{DR} の波形の他の一例を示すタイミングチャートである。

【図13】図13(A)～図13(C)は、図12に示した時刻 $T_1 \sim T_2$ での電荷の分布の様子を示す模式図である。

50

【図 1 4】図 1 2 に示した時刻 T 3 での電荷の分布の様子を示す模式図である。

【図 1 5】第 2 の実施例による C C D イメージセンサにおける光電変換素子、垂直電荷転送素子、C C D ラインメモリ部、水平電荷転送素子、掃出ドレインおよび出力部の平面配置を概略的に示す部分平面図である。

【図 1 6】第 1 の実施例による C C D イメージセンサにおける垂直電荷転送素子の各々を低スミア駆動させたときの各垂直電荷転送段の電位レベルの変化と、各垂直電荷転送段に分布する電荷の種類とを示す模式図である。

【図 1 7】雑音電荷が掃出ドレインへ排出される際の電荷の分布の様子を示す模式図である。

【図 1 8】パンチスルータイプの掃出ドレインを模式的に示す部分断面図である。

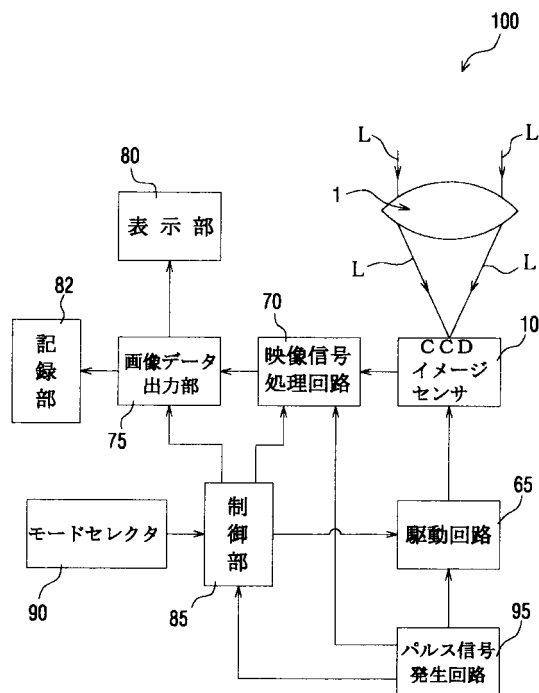
10

【符号の説明】

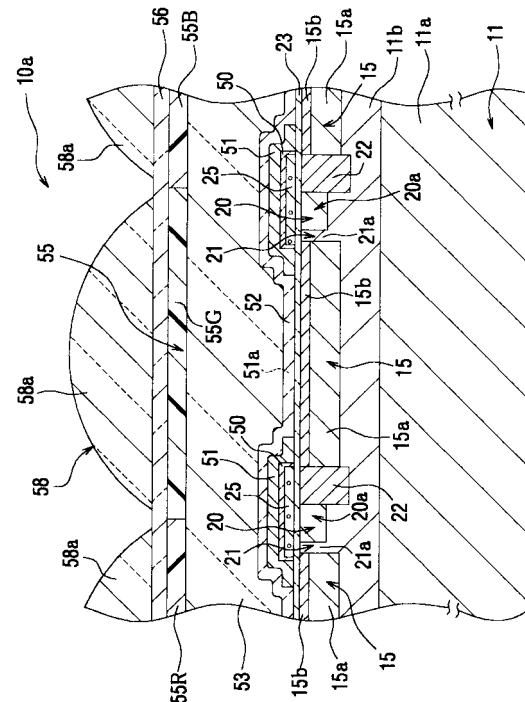
1 0、1 0 a、1 0 b…C C D イメージセンサ、 1 1…半導体基板、 1 5…光電変換素子、 1 6…光電変換素子領域、 2 0…垂直電荷転送素子、 2 0 a…垂直電荷転送チャネル、 2 1…読出ゲート、 2 1 a…読出ゲート用チャネル領域、 2 5、2 5 a…第 1 垂直転送電極、 2 6、2 6 a…第 2 垂直転送電極、 3 5…C C D ラインメモリ部、 3 5 a…転送制御段、 3 6…第 1 転送制御電極、 3 7…第 2 転送制御電極、 4 0…水平電荷転送素子、 4 0 a…水平電荷転送段、 4 0 b…補助水平電荷転送段、 4 1…水平電荷転送チャネル、 4 2…第 1 水平転送電極、 4 3…第 2 水平転送電極、 4 5、1 4 5…掃出ドレイン、 4 6、1 4 0…ドレイン領域、 4 7 a…掃出ゲート電極、 4 7 b…掃出ゲート用チャネル領域、 5 5…色フィルタアレイ、 6 0…出力部、 6 5…駆動回路、 7 0…映像信号処理回路、 8 0…表示部、 1 0 0…C C D 撮像システム。

20

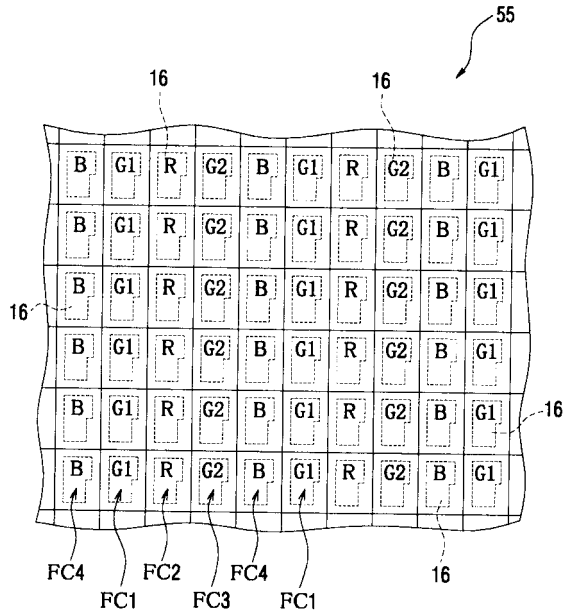
【図 1】



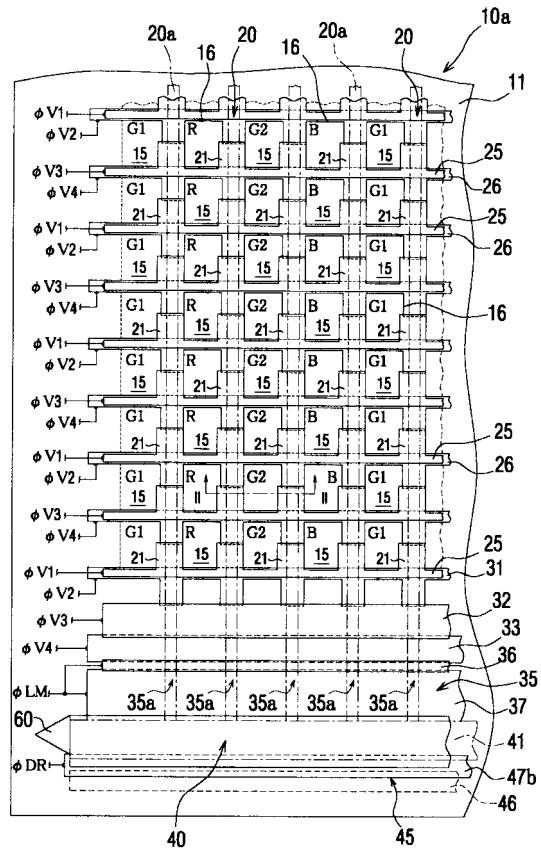
【図 2】



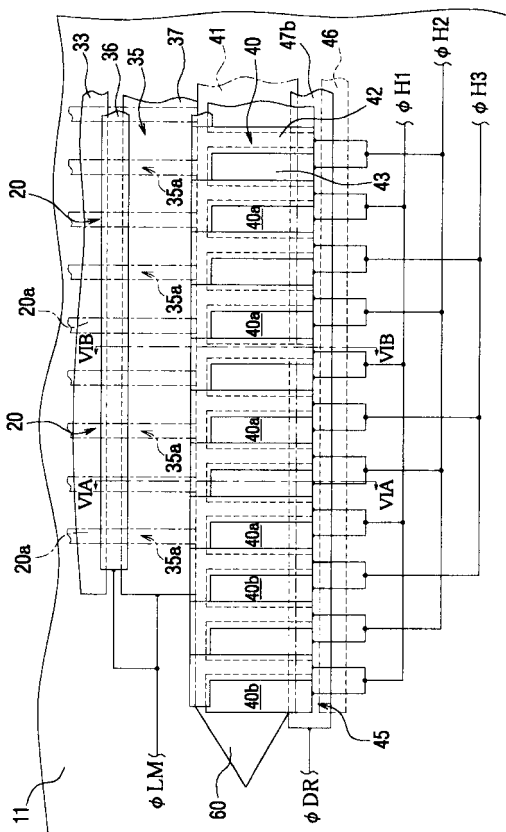
【図 3】



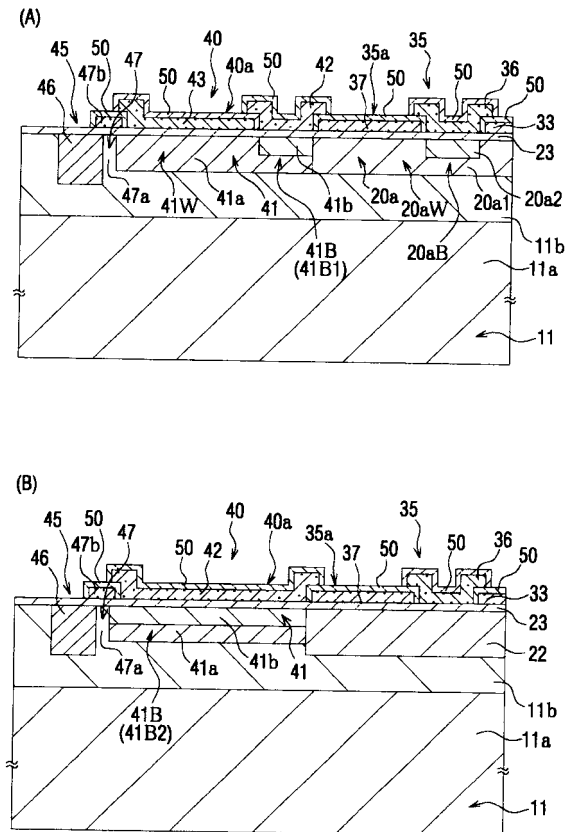
【図 4】



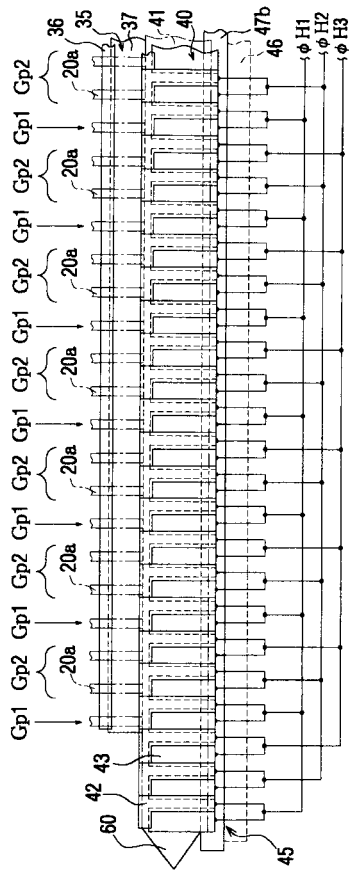
【図 5】



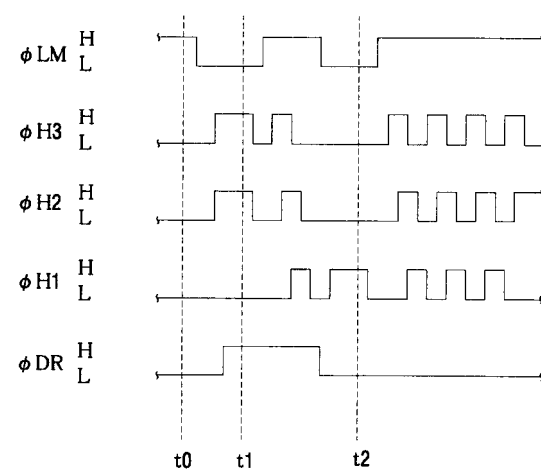
【図 6】



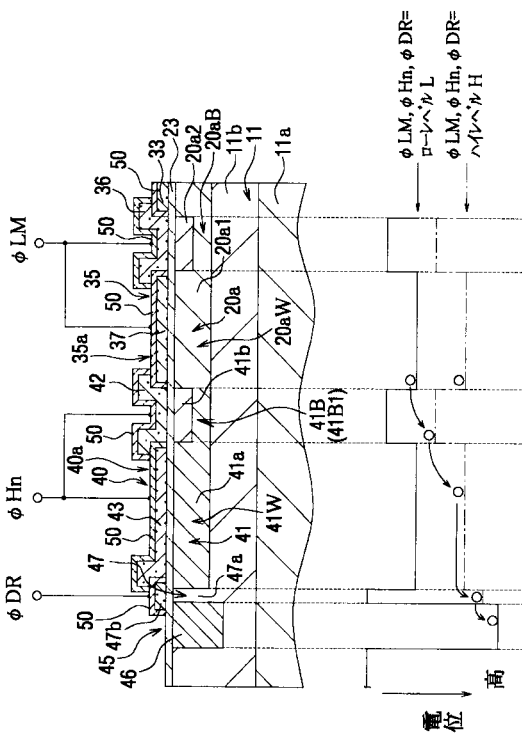
【图 7】



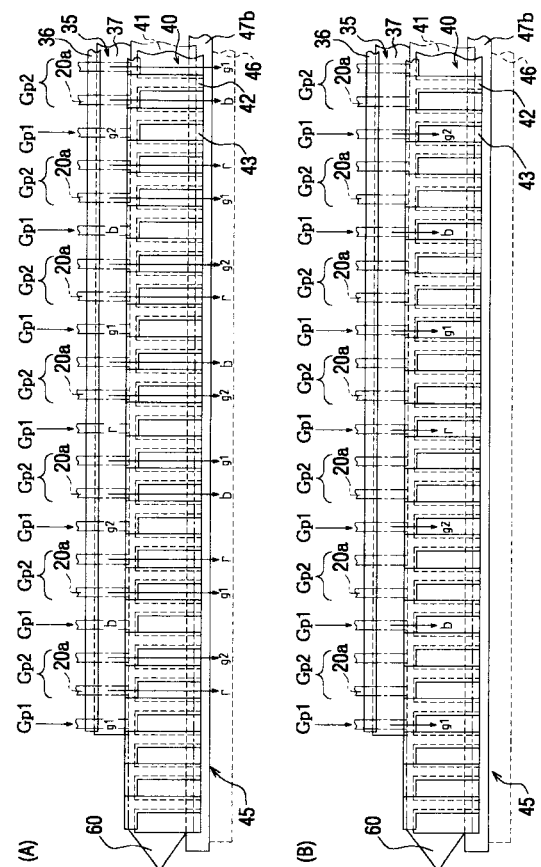
【图 8】



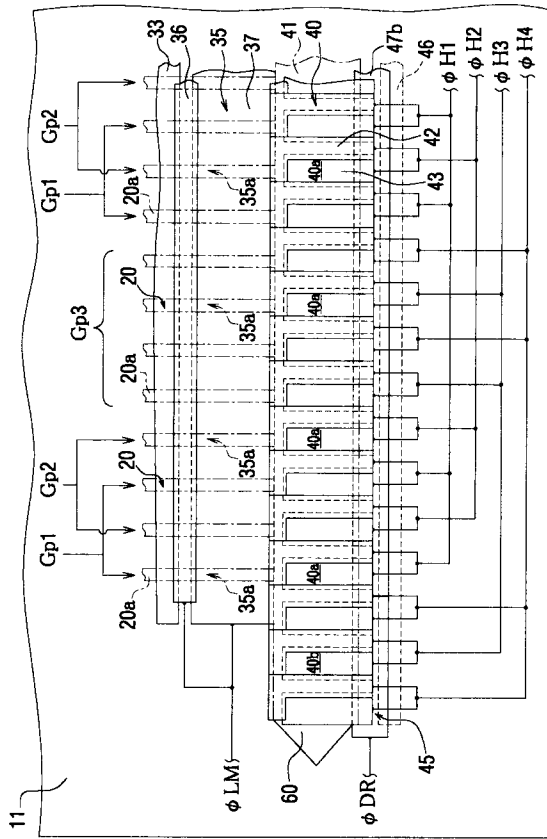
【図 9】



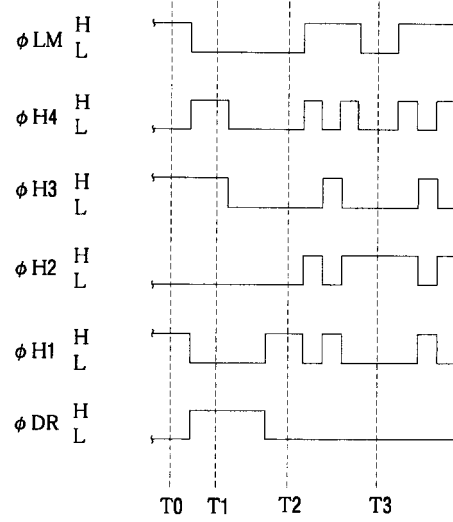
【図 10】



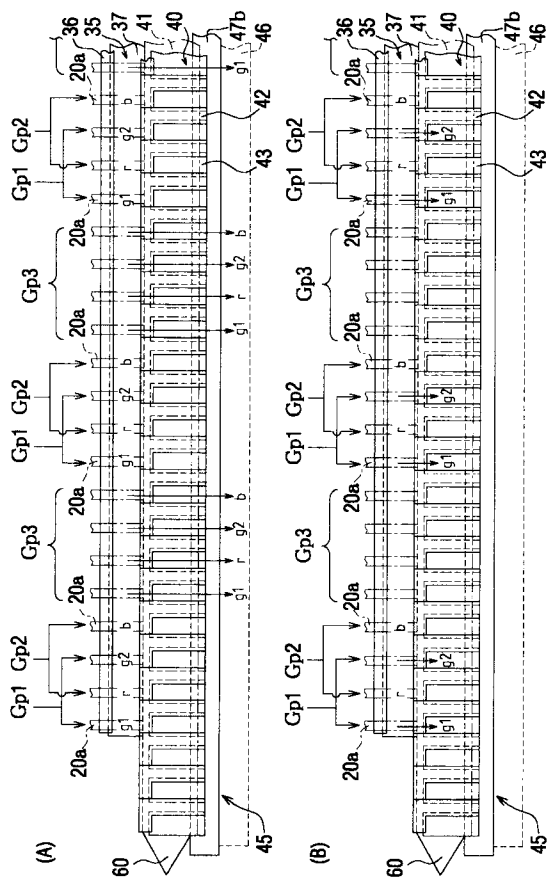
【図 1 1】



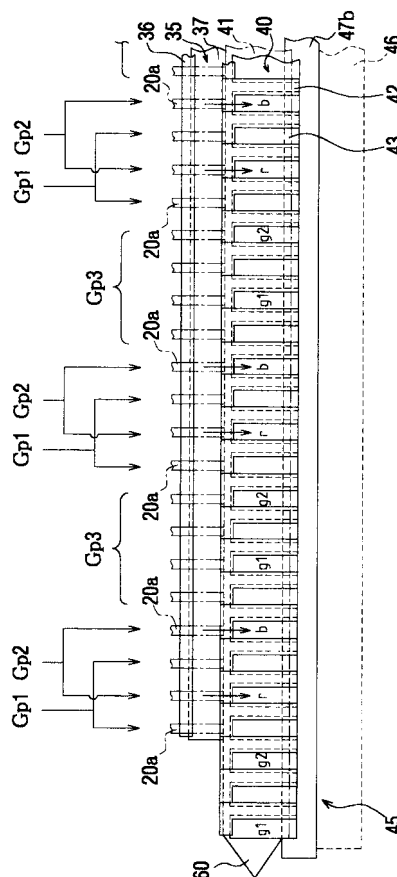
【図 1 2】



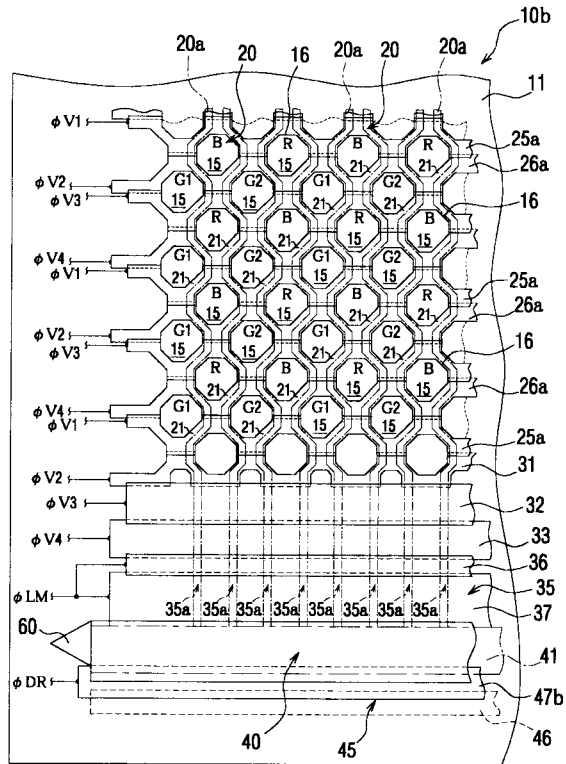
【図 1 3】



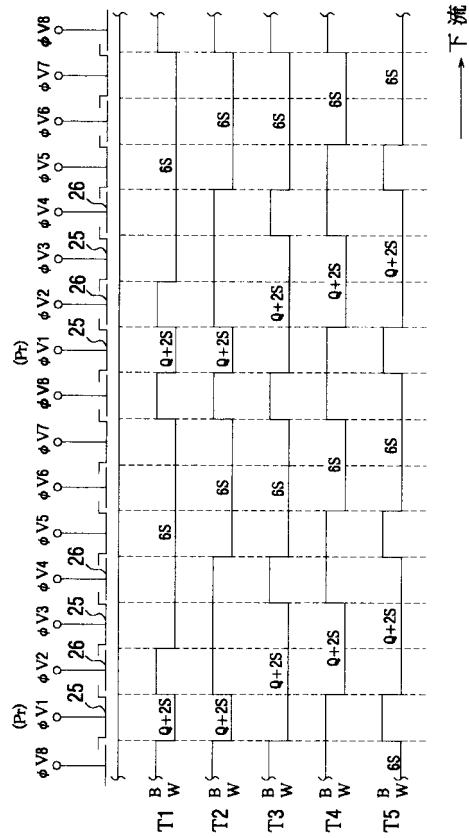
【図 1 4】



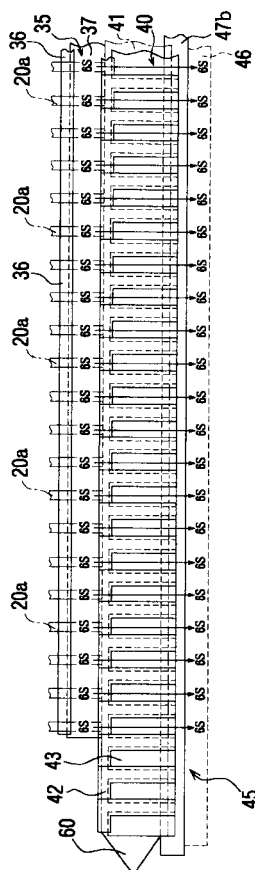
【図15】



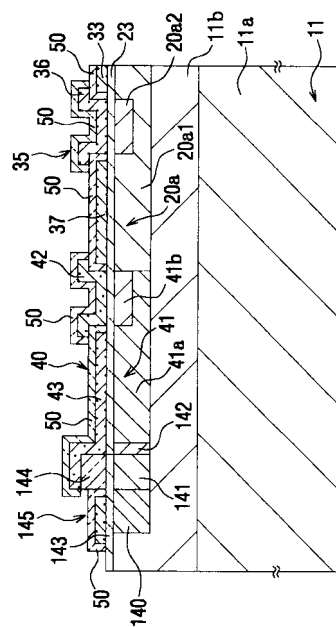
【図16】



【図17】



【図18】



フロントページの続き

- (56)参考文献 特開平05-037862 (JP, A)
特開平09-139490 (JP, A)
特開平07-106553 (JP, A)
特開平10-191168 (JP, A)
特開平01-300771 (JP, A)
特開平09-233394 (JP, A)
特開平10-271394 (JP, A)
特開平11-146281 (JP, A)
特開平11-354772 (JP, A)
特開2000-209559 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30-5/335
H01L 21/339
H01L 27/148
H01L 29/762