



(12) 发明专利

(10) 授权公告号 CN 102751329 B

(45) 授权公告日 2015.04.08

(21) 申请号 201210129980.6

CN 101933141 A, 2010.12.29, 参见说明书第 [0151] 段, 图 13.

(22) 申请日 2012.04.19

JP 2008283112 A, 2008.11.20, 全文.

(30) 优先权数据

CN 101499473 A, 2009.08.05, 全文.

2011-093121 2011.04.19 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

审查员 雷颖劼

(72) 发明人 大宅大介 中村胜光

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 29/423(2006.01)

(56) 对比文件

CN 1418377 A, 2003.05.14, 说明书第 15 页第 14 行 - 第 32 页第 16 行, 图 1-53.

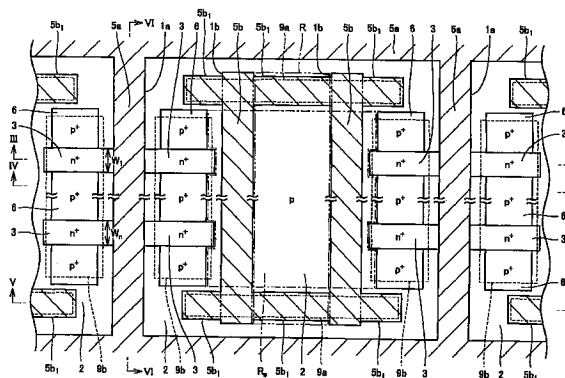
权利要求书3页 说明书14页 附图24页

(54) 发明名称

半导体装置

(57) 摘要

本发明涉及一种半导体装置。稳定板部 (33) 形成于由第 1 和第 2 绝缘栅型场效应晶体管部 (32) 所夹的第 1 主面 (1A) 的区域。稳定板部 (33) 包含: 最靠近第 1 绝缘栅型场效应晶体管部 (32) 配置的第 1 稳定板 (5b); 和最靠近第 2 绝缘栅型场效应晶体管部 (33) 配置的第 2 稳定板 (5b)。发射极电极 (11) 与第 1 和第 2 绝缘栅型场效应晶体管部 (32) 的各个发射极区域 (3) 电连接, 并且与第 1 和第 2 稳定板 (5b) 分别电连接, 而且隔着绝缘层 (4b) 配置在由第 1 和第 2 稳定板 (5b) 所夹的第 1 主面 (1A) 的整个面上。



1. 一种半导体装置,具备:

半导体基板,具有彼此对向的第1主面和第2主面;

第1和第2绝缘栅型场效晶体管部,分别在所述第1主面侧具有绝缘栅结构,并且具有在所述第1主面形成的第1导电型发射极区域,且用于在所述第1主面和所述第2主面之间流过主电流;

稳定板部,形成于由所述第1和第2绝缘栅型场效晶体管部所夹的所述第1主面的区域;以及

发射极电极,设置在所述第1主面上,其中,

所述稳定板部包含:最靠近所述第1绝缘栅型场效晶体管部配置的第1稳定板;和最靠近所述第2绝缘栅型场效晶体管部配置的第2稳定板,

所述发射极电极与所述第1和第2绝缘栅型场效晶体管部各自的所述发射极区域电连接,并且与所述第1和第2稳定板分别电连接,而且隔着绝缘层配置在由所述第1和第2稳定板所夹的所述第1主面的整个面上,

所述第1和第2绝缘栅型场效晶体管部分别包含形成在所述半导体基板的第1主面的第2导电型接触区域和栅极电极,

在比由所述第1绝缘栅型场效晶体管部的所述发射极区域及接触区域的形成区域与所述第2绝缘栅型场效晶体管部的所述发射极区域及接触区域的形成区域所夹的区域更靠近所述栅极电极的俯视图中的长度方向的端部侧的端部区域中,所述发射极电极与所述第1和第2稳定板分别电连接。

2. 如权利要求1所述的半导体装置,其中,还具备以连接所述第1和第2稳定板的方式在所述第1主面上隔着所述绝缘层延伸的导电层,

所述导电层位于所述端部区域。

3. 如权利要求1所述的半导体装置,其中,还具备:形成在所述半导体基板的内部的第1导电型区域;和形成在所述第1导电型区域的所述第1主面侧并且具有比所述接触区域更低的第2导电型杂质浓度的第2导电型体区域,

所述第1和第2稳定板分别以填埋稳定板用沟槽的内部的方式形成,所述稳定板用沟槽以从所述半导体基板的所述第1主面开始贯穿所述体区域并抵达所述第1导电型区域的方式形成,

所述第1和第2绝缘栅型场效晶体管部各自的所述栅极电极以填埋栅极用沟槽的内部的方式形成,所述栅极用沟槽以从所述半导体基板的所述第1主面开始贯穿所述体区域并抵达所述第1导电型区域的方式形成。

4. 如权利要求3所述的半导体装置,其中,在将所述稳定板用沟槽的数量除以所述栅极用沟槽的数量与所述稳定板用沟槽的数量之和所得到的数值设定为哑沟槽比例的情况下,

所述哑沟槽比例为0.5以上0.92以下。

5. 如权利要求3所述的半导体装置,其中,所述栅极用沟槽的深度和所述稳定板用沟槽的深度为从所述第1导电型区域与所述体区域的接合部开始向所述第2主面侧为 $1.5\mu\text{m}$ 以上。

6. 如权利要求3所述的半导体装置,其中,所述栅极用沟槽的顶端形状和所述稳定板

用沟槽的顶端形状是圆角形状。

7. 如权利要求 3 所述的半导体装置,其中,包含所述稳定板用沟槽和所述栅极用沟槽的多条沟槽的各间距彼此相同。

8. 如权利要求 3 所述的半导体装置,其中,所述第 1 导电型区域包含第 1 导电型的第 1 区域和形成在比所述第 1 区域更靠近所述第 1 主面侧并且具有比所述第 1 区域更高的第 1 导电型杂质浓度的第 1 导电型的第 2 区域,

所述稳定板用沟槽和所述栅极用沟槽两者以贯穿所述第 2 区域并抵达所述第 1 区域的方式形成。

9. 如权利要求 3 所述的半导体装置,其中,还具备第 2 导电型区域,所述第 2 导电型区域形成在所述第 1 稳定板和所述第 2 稳定板之间的所述第 1 主面并且具有比所述体区域更高的第 2 导电型杂质浓度。

10. 一种半导体装置,具备:

半导体基板,具有彼此对向的第 1 主面和第 2 主面;

第 1 和第 2 绝缘栅型场效晶体管部,分别在所述第 1 主面侧具有绝缘栅结构,并且具有在所述第 1 主面形成的第 1 导电型发射极区域,且用于在所述第 1 主面和所述第 2 主面之间流过主电流;

稳定板部,形成于由所述第 1 和第 2 绝缘栅型场效晶体管部所夹的所述第 1 主面的区域;以及

发射极电极,设置在所述第 1 主面上,其中,

所述稳定板部包含:最靠近所述第 1 绝缘栅型场效晶体管部配置的第 1 稳定板;和最靠近所述第 2 绝缘栅型场效晶体管部配置的第 2 稳定板,

所述发射极电极与所述第 1 和第 2 绝缘栅型场效晶体管部各自的所述发射极区域电连接,并且与所述第 1 和第 2 稳定板分别电连接,而且隔着绝缘层配置在由所述第 1 和第 2 稳定板所夹的所述第 1 主面的整个面上,

所述第 1 和第 2 绝缘栅型场效晶体管部分别包含形成在所述半导体基板的第 1 主面的栅极电极和多个第 2 导电型体接触区域,

在所述第 1 和第 2 绝缘栅型场效晶体管部的各个,沿着所述栅极电极的俯视图中的长度方向排列所述多个体接触区域,

在至少包含配置在所述第 1 绝缘栅型场效晶体管部的所述栅极电极的俯视图中的长度方向的最端部的所述体接触区域和配置在所述第 2 绝缘栅型场效晶体管部的所述栅极电极的俯视图中的长度方向的最端部的所述体接触区域之间所夹的区域的区域中,所述发射极电极与所述第 1 和第 2 稳定板分别电连接。

11. 一种半导体装置,具备:

半导体基板,具有彼此对向的第 1 主面和第 2 主面;

第 1 和第 2 绝缘栅型场效晶体管部,分别在所述第 1 主面侧具有绝缘栅结构,并且具有在所述第 1 主面形成的第 1 导电型发射极区域,且用于在所述第 1 主面和所述第 2 主面之间流过主电流;

稳定板部,形成于由所述第 1 和第 2 绝缘栅型场效晶体管部所夹的所述第 1 主面的区域;以及

发射极电极,设置在所述第 1 主面上,其中,

所述稳定板部包含:最靠近所述第 1 绝缘栅型场效应晶体管部配置的第 1 稳定板;和最靠近所述第 2 绝缘栅型场效应晶体管部配置的第 2 稳定板,

所述发射极电极与所述第 1 和第 2 绝缘栅型场效应晶体管部各自的所述发射极区域电连接,并且与所述第 1 和第 2 稳定板分别电连接,而且隔着绝缘层配置在由所述第 1 和第 2 稳定板所夹的所述第 1 主面的整个面上,

所述第 1 和第 2 绝缘栅型场效应晶体管部分别包含形成在所述半导体基板的第 1 主面的栅极电极和多个第 2 导电型接触区域,

在所述第 1 和第 2 绝缘栅型场效应晶体管部的各个,沿着所述栅极电极的俯视图中的长度方向排列所述多个接触区域,

在沿着所述第 1 绝缘栅型场效应晶体管部的所述栅极电极的俯视图中的长度方向排列的所述多个接触区域之中配置在最端部的所述接触区域以外的所述接触区域和沿着所述第 2 绝缘栅型场效应晶体管部的所述栅极电极的俯视图中的长度方向排列的所述多个接触区域之中配置在最端部的所述接触区域以外的所述接触区域之间所夹的区域中,所述发射极电极与所述第 1 和第 2 稳定板分别电连接。

## 半导体装置

### 技术领域

[0001] 本发明涉及半导体装置,特别是涉及具备用于在半导体基板的彼此对向的主面之间流过主电流的至少 2 个绝缘栅型场效晶体管部的半导体装置。

### 背景技术

[0002] 在对超过数百 V 的电压进行控制的高耐压半导体装置的领域,由于所处理的电流也很大,因此要求有能够抑制发热即损失的元件特性。另外,作为对这些电压·电流进行控制的栅极的驱动方式,希望是驱动电路规模小、相应的损失小的电压驱动元件。

[0003] 由于上述原因,目前在该领域,作为能够使用电压驱动且损失小的元件,绝缘栅双极型晶体管即 IGBT(Insulated Gate Bipolar Transistor) 成为了主流。该 IGBT 的结构是既能够降低 MOS(Metal Oxide Semiconductor:金属氧化物半导体)晶体管的漏极的杂质浓度从而确保耐压,又能够将漏极侧当做二极管使用从而降低漏极阻抗的结构。

[0004] 在这种 IGBT 中,二极管会执行双极型动作,因此,在本说明书中将 IGBT 的 MOS 晶体管的源极称为发射极,将漏极侧称为集电极侧。

[0005] 在作为电压驱动元件的 IGBT 中,一般来说,在集电极和发射极之间施加有数百 V 的电压,该电压由 ± 数 V ~ 数十 V 的栅电压进行控制。IGBT 常被用作逆变器中的开关元件。当 IGBT 处于导通状态时,集电极·发射极之间产生大电流,集电极·发射极之间的电压降低。当 IGBT 处于截止状态时,集电极·发射极之间几乎不流过电流,集电极·发射极之间的电压升高。

[0006] 通常,IGBT 的动作按照上述方式执行,因此,IGBT 中的损失划分为导通状态下的电流·电压乘积构成的恒定损失以及导通状态和截止状态发生切换的过渡时的开关损失。截止状态下的泄漏电流·电压乘积非常小,因而可以忽略不计。

[0007] 另一方面,即使在例如负载发生了短路等的异常状态下也要防止元件的破坏,这也是很重要的。在这种情况下,集电极·发射极之间保持施加数百 V 的电源电压,栅极变为导通,流过大电流。

[0008] 在具有将 MOS 晶体管和二极管串联连接的结构 IGBT 中,最大电流受到 MOS 晶体管的饱和电流的限制。因此,即使如上所述发生了短路时,电流限制也会发生作用,如果在一定时间内,则能够防止因发热而导致的元件的破坏。

[0009] 近年来的 IGBT 为了进一步减小损失,采用了在元件表面形成沟槽并在沟槽中填埋栅极电极而形成的沟槽栅极的沟槽栅型 IGBT 逐渐成为主流(例如,参照日本特开平 9-331063 号公报、日本特开平 8-167711 号公报、日本特开平 11-330466 号公报、日本特开 2010-10556 号公报、日本特开 2002-16252 号公报、日本特开 2001-244325 号公报)。沟槽栅型 IGBT 是一种将 MOS 晶体管部分作了微细化处理的元件,因此栅极电容增大。另外,当发生短路时饱和电流变得非常大,因此存在着发热大、在短时间内就会破坏的倾向。

[0010] 进而,近年来,例如文献(例如 Proceeding of 1998 International Symposium on Power Semiconductor Devices & ICs, p. 89) 中所记载,已经得知 IGBT 的反馈电容导致在

发生短路时栅极电压、栅极电流、集电极·发射极电压和集电极电流会出现振荡,进而引发错误动作的现象。这种由反馈电容引起的振荡现象成为诸如沟槽栅型 IGBT 之类的栅极电容大的元件的深刻问题。

[0011] 针对这些问题,人们提出了一种使用与栅极电极不产生电气连接的沟槽、即哑沟槽 (dummy trench),从而抑制栅极电容的结构。另外,在国际公开第 02/058160 (即 W002/058160) 中提出了一种能够抑制短路时的振荡的结构。

[0012] 在上述的以往例中,沟槽栅型 IGBT 等高耐压半导体装置中以抑制发生短路时的振荡为目的,如果逐渐增加哑沟槽 (以下也称为稳定板或稳定板用沟槽) 的比例,则导通电压 ( $V_{ce(sat)}$ ) 和恒定损失就会增加,因此存在着无法充分增加哑沟槽的问题。

## 发明内容

[0013] 本发明是借鉴了上述问题而提出的,其目的是提供一种即使在为了抑制短路时的振荡而增加了稳定板用沟槽的比例的情况下,仍然能够降低导通电压并且易于提高短路耐受性的半导体装置。

[0014] 本发明的半导体装置具备:半导体基板、第 1 和第 2 绝缘栅型场效晶体管部、稳定板部和发射极电极。半导体基板具有彼此对向的第 1 主面和第 2 主面。第 1 和第 2 绝缘栅型场效晶体管部各自在第 1 主面侧具有绝缘栅极结构,并具有形成于第 1 主面的第 1 导电型发射极区域,而且用于在第 1 主面和第 2 主面之间流过主电流。稳定板部形成于由第 1 和第 2 绝缘栅型场效晶体管部所夹的第 1 主面的区域。发射极电极设置在第 1 主面上。稳定板部包含:最靠近第 1 绝缘栅型场效晶体管部配置的第 1 稳定板;和最靠近第 2 绝缘栅型场效晶体管部配置的第 2 稳定板。发射极电极与第 1 和第 2 绝缘栅型场效晶体管部的各个发射极区域电连接,并且与第 1 和第 2 稳定板分别电连接,而且隔着绝缘层配置在由第 1 和第 2 稳定板所夹的第 1 主面的整个面上。

[0015] 根据本发明,发射极电极隔着绝缘层配置在由第 1 和第 2 稳定板所夹的第 1 主面的整个面上。亦即,发射极电极没有通过接触孔 (contact hole) 与第 1 和第 2 稳定板所夹的第 1 主面发生连接。因此,在导通状态下电流基本上不会流到稳定板部,而是集中流向绝缘栅型场效晶体管部,导通电压降低。

[0016] 另外,利用本发明的半导体装置中的稳定板和发射极电极的连接结构,可以实现晶体管部的微细化。因此,电流进一步集中流向晶体管部,能够进一步降低导通电压。由于可以实现半导体装置微细化,因此能够容易地增加稳定板用沟槽的比例。因此,既能够进一步降低导通电压,同时又易于降低有效栅极宽度,能够减少饱和电流,提高短路耐受性。另外,利用本发明的半导体装置中的稳定板和发射极电极的连接结构,即使对半导体装置进行微细化的情况下仍然能够将稳定板作为发射极电位,因此能够降低栅极电容,可以抑制短路时的振荡。

[0017] 由上可知,可以获得一种能够降低导通电压、进而易于提高短路耐受性的半导体装置。

[0018] 根据参照附图理解的本发明有关的详细说明,可以明确了解本发明的上述内容以及其他目的、特征、方面和优点。

## 附图说明

[0019] 图 1 是示意性地表示本发明的第 1 实施方式的半导体装置的芯片状态的结构的概略俯视图。

[0020] 图 2 是将图 1 中的区域 S 放大后表示出来的、概略表示出本发明的第 1 实施方式中的半导体装置的结构局部俯视图。

[0021] 图 3 是沿图 2 中的 III-III 线的向视剖视图。

[0022] 图 4 是沿图 2 中的 IV-IV 线的向视剖视图。

[0023] 图 5 是沿图 2 中的 V-V 线的向视剖视图。

[0024] 图 6 是沿图 2 中的 VI-VI 线的向视剖视图。

[0025] 图 7 是概略表示出比较例中的半导体装置的结构局部俯视图。

[0026] 图 8 是沿图 7 中的 VIII-VIII 线的向视剖视图。

[0027] 图 9 是表示饱和电流与导通电压之间的关系的图。

[0028] 图 10 是表示导通电压降低效果对台面宽度 (mesa width) 的依赖性的图。

[0029] 图 11 是表示稳定板用沟槽比例与导通电压之间的关系的图。

[0030] 图 12A 是表示本发明的第 1 实施方式中的半导体装置的器件内的电流密度的图, 图 12B 是表示本发明的第 1 实施方式中的半导体装置的器件内的电流通路的图。

[0031] 图 13A 是表示比较例中的半导体装置的器件内的电流密度的图, 图 13B 是表示比较例中的半导体装置的器件内的电流通路的图。

[0032] 图 14 是表示各器件结构中的载流子浓度分布的图。

[0033] 图 15 是图 14 中的发射极区域侧的放大图。

[0034] 图 16 是表示稳定板用沟槽比例与饱和电流之间的关系的图。

[0035] 图 17 是表示导通电压  $V_{ce(sat)}$  与开关损失  $E_{截止}$  之间的关系的图。

[0036] 图 18 是表示从 P/N 结起的沟槽深度与耐压之间的关系的图。

[0037] 图 19 是表示深度方向的电场强度分布的图。

[0038] 图 20 是表示从 P/N 结开始的沟槽深度与导通电压之间的关系的图。

[0039] 图 21 是概略表示出将用于使发射极电极与哑沟槽内的导电层 5b1 形成电连接的接触孔配置于  $p^+$  杂质扩散区 6 之间所夹的区域而构成的本发明的一个实施方式的半导体装置的一个变形例的局部俯视图。

[0040] 图 22 是沿图 21 中的 XXII-XXII 线的向视剖视图。

[0041] 图 23 是概略表示出将用于使发射极电极与哑沟槽内的导电层 5b1 形成电连接的接触孔配置于  $p^+$  杂质扩散区 6 之间所夹的区域而构成的本发明的一个实施方式的半导体装置的另一个变形例的局部俯视图。

[0042] 图 24 是沿图 23 中的 XXIV-XXIV 线的向视剖视图。

[0043] 图 25 是表示另一个实施方式的半导体装置的结构概略俯视图。

[0044] 图 26 是表示再一个实施方式的半导体装置的结构概略俯视图。

[0045] 图 27 是表示再一个实施方式的半导体装置的结构概略俯视图。

[0046] 图 28 是平面栅结构的 IGBT 的剖视图。

## 具体实施方式

[0047] 下面参照附图说明基于本发明的实施方式的半导体装置。此外,在下面所说明的实施方式中,当提到个数、数量时,除了有特别记载的情况之外,本发明的范围并不一定限定于这些个数、数量等。另外,针对同一部件和相当部件标注相同的参照符号,有时候会省略其重复的说明。

[0048] (实施方式 1)

[0049] 首先,使用图 1~图 6 说明本实施方式的半导体装置的结构。

[0050] 首先,参照图 1,在半导体芯片 100 的俯视图中,IGBT 形成区域 40 形成于半导体芯片 100 的中央部,包围着该 IGBT 形成区域 40 的周围配置着边缘终止(edge termination)区域 41。在 IGBT 形成区域 40 形成有多个发射极电极 11。

[0051] 主要参照图 2 和图 3,该半导体装置是在仅具有例如  $40\mu\text{m}\sim 700\mu\text{m}$  厚度的半导体基板 1 形成的沟槽栅型 IGBT。半导体基板 1 具有彼此对向的第 1 主面(上表面)1A 和第 2 主面(下表面)1B。作为半导体基板 1 的硅基板具有例如杂质浓度约为  $1\times 10^{12}\sim 1\times 10^{16}\text{cm}^{-3}$  的  $n^-$  区域( $n^-$  漂移区域)1c(第 1 区域)。

[0052] 在该  $n^-$  区域 1c 的第 1 主面 1A 侧的半导体基板 1 内,形成有例如浓度约为  $1\times 10^{16}\sim 1\times 10^{18}\text{cm}^{-3}$ 、从第 1 主面 1A 起的深度约为  $3\mu\text{m}$  的由 p 型半导体构成的 p 型体(body)区域 2。在  $n^-$  区域 1c 和 p 型体区域 2 之间形成有杂质浓度比  $n^-$  区域 1c 高、并且杂质浓度比 p 型体区域 2 低的 n 型杂质扩散区域 14(第 2 区域)。在 p 型体区域 2 内的第 1 主面 1A,形成有例如浓度在  $1\times 10^{19}\text{cm}^{-3}$  以上、从第 1 主面 1A 起的深度约为  $0.5\mu\text{m}$  的由 n 型半导体构成的 n 型发射极区域 3。

[0053] 主要参照图 2 和图 4,在与 n 型发射极区域 3 相邻的第 1 主面 1A 以例如  $1\times 10^{20}\text{cm}^{-3}$  左右的浓度形成有  $p^+$  杂质扩散区域( $p^+$  体接触区域)6,用于构成对 p 型体区域 2 的低阻抗接触。

[0054] 主要参照图 3 和图 4,在半导体基板 1 的第 1 主面 1A 上贯穿 p 型体区域 2 和 n 型杂质扩散区域 14 形成有抵达  $n^-$  区域 1c 的栅极用沟槽 1a。该栅极用沟槽 1a 的深度为从第 1 主面 1A 起例如  $3\mu\text{m}\sim 10\mu\text{m}$ 。

[0055] 在栅极用沟槽 1a 的内表面形成有由例如  $30\text{nm}\sim 200\text{nm}$  厚度的氧化硅膜构成的栅极绝缘膜 4a。以填埋栅极用沟槽 1a 的内部方式形成由低阻抗材料(例如高浓度地掺入了磷而形成的多晶硅)构成的栅极电极 5a。

[0056] 这样,栅极用沟槽 1a 和栅极绝缘膜 4a 以及栅极电极 5a 就在半导体基板 1 的第 1 主面 1A 侧构成了绝缘栅结构。另外,由  $n^-$  区域 1c 和 n 型发射极区域 3 以及栅极用沟槽 1a 构成了以  $n^-$  区域 1c 为漏极、以 n 型发射极区域 3 为源极的绝缘栅型场效应晶体管部(这里是 MOS 晶体管部)32。该 MOS 晶体管部 32 使得在半导体基板 1 的第 1 主面 1A 和第 2 主面 1B 之间流过主电流。

[0057] 在第 1 主面 1A 配置有多个 MOS 晶体管部 32,在由 2 个 MOS 晶体管部 32 所夹的第 1 主面 1A 的区域形成有稳定板部 33。该稳定板部 33 具有例如 2 个哑沟槽。这 2 个哑沟槽分别具有稳定板用沟槽 1b、稳定板用绝缘膜 4b 和稳定板 5b。又,形成于稳定板部 33 的哑沟槽的个数并不限于 2 个,也可以是 3 个以上。

[0058] 稳定板用沟槽 1b 形成为从第 1 主面 1A 开始贯穿 p 型体区域 2 和 n 型杂质扩散区域 14 而抵达  $n^-$  区域 1c,其具有从半导体基板 1 的第 1 主面 1A 起例如  $3\mu\text{m}\sim 10\mu\text{m}$  的深

度。稳定板用沟槽 1b 彼此之间、以及相邻栅极用沟槽 1a 与稳定板用沟槽 1b 之间的间距 ( $W_{pitch}$ ) 为例如  $0.5\mu\text{m} \sim 6.0\mu\text{m}$ 。

[0059] 为了提高耐压,稳定板用沟槽 1b 相互之间的间距优选是等同于相邻栅极用沟槽 1a 与稳定板用沟槽 1b 之间的间距。另外,当哑沟槽的个数在 3 个以上时,优选是使稳定板用沟槽 1b 相互之间的间距彼此相等。即,优选是使包含栅极用沟槽 1a 和稳定板用沟槽 1b 的多个沟槽的各间距彼此相等。

[0060] 沿着该稳定板用沟槽 1b 的内表面,按照与栅极用沟槽 1a 相同的方式形成有由厚度为例如  $30\text{nm} \sim 200\text{nm}$  的氧化硅膜构成的稳定板用绝缘膜 4b。与栅极用沟槽 1a 相同地,以填埋稳定板用沟槽 1b 的内部的方式形成导电层,该导电层由例如高浓度地掺入了磷而形成的多晶硅构成并且成为稳定板 5b。

[0061] 主要参照图 2 和图 5,2 个哑沟槽的各自的稳定板 5b 相互之间通过导电层  $5b_1$  而彼此电连接。该导电层  $5b_1$  在半导体基板 1 的第 1 主面 1A 上与稳定板用绝缘膜 4b 隔着由同一层构成的绝缘层而形成,其与半导体基板 1 电绝缘。

[0062] 导电层  $5b_1$  由例如高浓度地掺入了磷而形成的多晶硅构成,由与稳定板 5b 相同的层构成。导电层  $5b_1$  如图 2 所示配置在栅极用沟槽 1a 和稳定板用沟槽 1b 的俯视图的长度方向的端部,并且在俯视图的长度方向上,配置在比 n 型发射极区域 3 和  $p^+$  杂质扩散区域 6 更靠近端部侧。即,导电层  $5b_1$  优选是位于比由一个(例如图 2 中左侧的)MOS 晶体管部 32 的 n 型发射极区域 3 及  $p^+$  杂质扩散区域 6 的形成区域与另一个(例如图 2 中右侧的)MOS 晶体管部 32 的 n 型发射极区域 3 及  $p^+$  杂质扩散区域 6 的形成区域所夹的区域  $R_s$ (图 2 中由单点虚线包围的区域)更靠近栅极电极 5a 的长度方向的端部侧。

[0063] 主要参照图 3~图 5,在半导体基板 1 的第 1 主面 1A 上依次形成有绝缘层 22A、层间绝缘膜 9、和绝缘层 22B。绝缘层 22A 是通过在栅极电极 5a 或稳定板 5b 实施例如热氧化或 CVD (Chemical Vapor Deposition: 化学汽相沉积) 氧化而形成的。绝缘层 22B 在层间绝缘膜 9 上有选择地形成。层间绝缘膜 9 是使用硅酸盐即掺杂了例如硼或磷的氧化硅膜,通过 CVD (Chemical Vapor Deposition: 化学汽相沉积) 等处理而形成的。在层间绝缘膜 9 形成有接触孔 9a 和接触孔 9b。

[0064] 如图 5 所示,接触孔 9a 形成为抵达导电层  $5b_1$ 。在位于接触孔 9a 的底部的导电层  $5b_1$  的表面形成有硅化物层 21b。另外,如图 3 和图 4 所示,接触孔 9b 以抵达位于第 1 主面 1A 的 n 型发射极区域 3 和  $p^+$  杂质扩散区域 6 的方式形成。在位于接触孔 9a 底部的 n 型发射极区域 3、 $p^+$  杂质扩散区域 6 以及 p 型体区域 2 的表面形成有硅化物层 21a。

[0065] 主要参照图 2,接触孔 9a 配置在栅极用沟槽 1a 和稳定板用沟槽 1b 的俯视图的长度方向的端部侧(即比上述区域  $R_s$  更靠近栅极电极 5a 的长度方向的端部侧)。接触孔 9b 并不配置在俯视图中由 2 个稳定板用沟槽 1b 所夹的区域 R(图 2 中双点虚线所包围的区域),而是配置在由稳定板用沟槽 1b 和栅极用沟槽 1a 所夹的区域内。

[0066] 如上可知,2 个稳定板用沟槽 1b 所夹的区域 R 的整体被绝缘层 4b 所覆盖,在该区域 R 内未形成抵达半导体基板 1 的第 1 主面 1A (p 型体区域 2) 的接触孔。在稳定板部 33 包含 3 个以上的哑沟槽的情况下,由最靠近 3 个以上的稳定板用沟槽 1b 之中的一个(图 2 中例如左侧的)MOS 晶体管部 32 的稳定板用沟槽 1b 和最靠近另一个(图 2 中例如右侧的)MOS 晶体管部 32 的稳定板用沟槽 1b 所夹的半导体基板 1 的第 1 主面 1A 的区域对应于上述

区域 R。

[0067] 主要参照图 3 ~ 图 5, 在层间绝缘膜 9 上, 沿着接触孔 9a、9b 的侧部及底部、层间绝缘膜 9 的上表面、和绝缘层 22B 的上表面地形成有阻挡金属 (barrier metal) 层 10。在阻挡金属层 10 与半导体基板 1 相接触的部分, 为了降低接触电阻, 形成有上述的硅化物层 21a。在半导体基板 1 的第 1 主面 1A 上形成有发射极电极 11。该发射极电极 11 在阻挡金属层 10 上与阻挡金属层 10 相接地形成。

[0068] 由此, 提供发射极电位 E 的发射极电极 11 经由接触孔 9a 分别与 2 个稳定板 5b 电连接, 并且经由接触孔 9b 与 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 分别电连接。即, 发射极电极 11 在由 2 个稳定板用沟槽 1b 夹的区域 R 中并未经由接触孔等连接, 而是在该区域 R 的整个面上至少隔着稳定板用绝缘膜 4b 而配置。

[0069] 主要参照图 6, 在栅极用沟槽 1a 的俯视图的长度方向的两侧的半导体基板 1 的第 1 主面 1A 形成有 p 型阱 (well) 39。栅极电极 5a 在形成有该 p 型阱 39 的半导体基板 1 的第 1 主面 1A 上隔着栅极绝缘膜 4a 而延伸。在层间绝缘膜 9 形成有接触孔 9c。该接触孔 9c 抵达栅极电极 5a 延伸到 p 型阱 39 上的部分。

[0070] 在接触孔 9c 的底部的栅极电极 5a 的表面形成有硅化物层 21b。阻挡金属层 10 沿着接触孔 9c 的侧部及底部而形成, 在该阻挡金属层 10 上形成有提供栅电位 G 的控制电极 11g。该控制电极 11g 是由与发射极电极 11 相同的层通过形成图案 (patterning) 而分离之后形成的层。由此, 栅极电极 5a 就会在其长度方向的端部经由接触孔 9c 与提供栅电位 G 的控制电极 11g 电连接。

[0071] 主要参照图 3 ~ 图 6, 在 n<sup>-</sup> 区域 1c 的第 2 主面 1B 侧依次形成有 n 型缓冲区域 7 和 p 型集电极区域 8。该 p 型集电极区域 8 上电连接着提供集电极电位 C 的集电极电极 12。该集电极电极 12 的材质是例如铝化合物。

[0072] 接着, 使用图 2 ~ 图 5 说明本实施方式中的台面宽度 ( $W_{MOS}$ )、沟槽间距 ( $W_{pitch}$ ) 和沟槽宽度 ( $W_{trench}$ )。

[0073] 发射极电极 11 在图 2 所示的俯视图中在比上述区域 Rs 更靠近栅极电极 5a 的长度方向的端部侧与导电层 5b<sub>1</sub> 电连接。稳定板 5b 是由低阻抗材料形成的, 因此稳定板 5b 整体成为发射极电位。之所以将稳定板 5b 置为发射极电位, 是为了减小栅极电容, 从而抑制 IGBT 在发生短路时的振荡, 防止器件破坏。之所以在比上述区域 Rs 更靠近栅极电极 5a 的长度方向的端部侧将发射极电极 11 电连接到稳定板 5b 的理由如下。即, 在减小台面宽度 ( $W_{MOS}$ ) 和 / 或沟槽间距 ( $W_{pitch}$ ) 从而降低导通电压时, 如果将导电层 5b<sub>1</sub> 配置在上述区域 Rs 中, 则如采用图 22、图 24 在后文描述的, 用于将发射极电极 11 连接到 n 型发射极区域 3 或 p 杂质扩散区域 6 的区域变窄, 发射极电极 11 与 n 型发射极区域 3 或 p 杂质扩散区域 6 之间的可靠的电连接恐怕难以实现。

[0074] 在本实施方式中, 台面宽度 ( $W_{MOS}$ ) 表示栅极用沟槽 1a 与稳定板用沟槽 1b 之间、以及稳定板用沟槽 1b 相互之间的距离。栅极用沟槽 1a 与稳定板用沟槽 1b 之间的台面宽度以及稳定板用沟槽 1b 相互之间的台面宽度设定为相同宽度。另外, 沟槽间距 ( $W_{pitch}$ ) 表示栅极用沟槽 1a 与稳定板用沟槽 1b 之间的配置间距、以及稳定板用沟槽 1b 相互之间的配置间距。栅极用沟槽 1a 与稳定板用沟槽 1b 的沟槽间距、以及稳定板用沟槽 1b 相互之间的沟槽间距设定为相同的距离。另外, 沟槽电极宽度 ( $W_{trench}$ ) 表示栅极电极 5a 和稳定板 5b 各自

的宽度。栅极电极 5a 的沟槽电极宽度和稳定板 5b 的沟槽电极宽度设定为相同宽度。

[0075] 在本实施方式中的沟槽栅型 IGBT 中,台面宽度 ( $W_{\text{MOS}}$ )、沟槽间距 ( $W_{\text{pitch}}$ ) 和沟槽宽度 ( $W_{\text{trench}}$ ) 的关系满足  $W_{\text{MOS}} = W_{\text{pitch}} - W_{\text{trench}} > 0$  (式 1) 的关系。

[0076] 接着,通过与以往例进行对比来说明本实施方式的半导体装置的使用效果。

[0077] 图 7 和图 8 中表示以往的沟槽栅型 IGBT 的结构。图 7 的区域  $\times 2$  表示出以往的沟槽栅型 IGBT 中形成于层间绝缘膜 9 的接触孔 9d 的平面形状。发射极电极 11 通过该接触孔 9d 与 n 型发射极区域 3、 $p^+$  杂质扩散区域 6、p 型体区域 2 和稳定板 5b 电连接。即,位于由稳定板 5b 所夹的半导体基板 1 的第 1 主面 1A 的 p 型体区域 2 和  $p^+$  杂质扩散区域 6 也电连接到发射极电极 11。

[0078] 另外,在由 2 个稳定板 5b 所夹的半导体基板 1 的第 1 主面 1A 也形成有  $p^+$  杂质扩散区域 6。另外,n 型发射极区域 3 沿着栅极电极 5a 的长度方向形成在栅极电极 5a 与  $p^+$  杂质扩散区域 6 之间。

[0079] 另外,从上表面看起来,栅极用沟槽 1a 和稳定板用沟槽 1b 成为与分别在图 1 和图 4 所示的栅极电极 5a 及稳定板 5b 相同的图案。

[0080] 又,除此之外的以往例的结构与本实施方式的结构基本相同,因此对于相同的部分标注相同的符号,并不重复其说明。

[0081] 在以往结构中,发射极电极 11 也电连接到位于由稳定板 5b 所夹的半导体基板 1 的第 1 主面的 p 型体区域 2 和  $p^+$  杂质扩散区域 6。根据后文叙述的实施例中的探讨研究可知,沟槽 MOS 晶体管部在导通状态下的载流子浓度因此而降低,导通电阻升高。

[0082] 与此相对,本实施方式的结构中,如图 2 所示,发射极电极 11 在俯视图中并未与由稳定板 5b 所夹的区域 R 的 p 型体区域 2 电连接。发射极电极 11 经由接触孔 9b 与由稳定板 5b 和栅极电极 5a 所夹的区域电连接,仅与位于区域  $R_s$  的外侧的导电层  $5b_1$  电连接。即,如图 3 ~ 图 5 所示,发射极电极 11 在稳定板部 33 并未与半导体基板 1 的第 1 主面 1A 电连接,而是在 MOS 晶体管部 32 与半导体基板 1 的第 1 主面 1A 电连接。因此,在导通状态下,电流基本不会流到稳定板部 33,而是集中流向 MOS 晶体管部 32,根据后文叙述的实施例中的探讨研究可知,其与以往例相比,导通电压降低。

[0083] 另外,根据后文叙述的实施例中的探讨研究可知,上述的导通电压降低效果随着本实施方式的结构中的稳定板部 33 的稳定板用沟槽 1b 占单位单元 (cell) 的比例的增加而增强,因此,也能够进一步降低导通电压。本实施方式的结构在由稳定板用沟槽 5b 所夹的区域 R 未设置  $p^+$  杂质扩散区域 6,并且通过精心配置导电层  $5b_1$ ,形成了一种易于提高稳定板用沟槽 1b 占单位单元的比例的结构。进而,通过增加该稳定板用沟槽 1b 的比例,也很容易降低有效栅极宽度  $W$  (图 2 中的  $W_1 + \dots + W_n$ )。因此,也容易减少饱和电流,能够容易地提高短路耐受性。下面对此进行说明。

[0084] 根据表示 MOS 晶体管的饱和区域中的漏极电流  $I_D$  (饱和电流) 的下述式 2 可知,一旦减小了有效栅极宽度  $W$ ,MOS 晶体管的漏极电流  $I_D$  就会减少。在本实施方式中,通过增加未进行栅极布线的稳定板用沟槽 1b 的条数的比例来减小占 MOS 晶体管部 32 的有效单元尺寸的有效栅极宽度  $W$  (图 2 中的  $W_1 + \dots + W_n$ )。由此,IGBT 的短路电流受到抑制,短路耐受性得到提高。进而如后文所述,通过增加稳定板用沟槽 1b 的条数的比例,也能够进一步降低导通电压,因此能够提高或保持短路耐受性,并且降低导通电压。

$$[0085] \quad I_D = \frac{1}{2} \cdot \frac{W}{L} \cdot \mu \cdot C_{ox} (V_G - V_{th})^2$$

[0086] ... (式 2)

[0087] 在上述式 2 中,  $I_D$  表示饱和区域中的漏极电流 (饱和电流),  $W$  表示有效栅极宽度,  $\mu$  表示移动度,  $C_{ox}$  表示每单位面积的栅极绝缘膜电容,  $V_G$  表示栅电压,  $V_{th}$  表示阈值电压。  $L$  表示沟道长度, 在本实施方式的半导体装置中, 其相当于沿着从 n 型发射极区域 3 的下端直到 p 型体区域 2 与 n 型杂质扩散区域 14 的交界面的栅极用沟槽 1a 的距离。

[0088] 当负载短路时, 器件中产生的电流由器件的饱和电流所决定。如果饱和电流小, 则短路时流过的电流也小, 器件上的能量负载也小。由此, 通过抑制饱和电流, 就可以提高短路耐受性。

[0089] 另外, 在本实施方式中的结构中, 发射极电极 11 在由稳定板 5b 所夹的区域不与 p 型体区域 2 连接, 因此, 能够将电流集中到 MOS 晶体管部 32。另外, 因为能够容易地增加稳定板用沟槽 1b 的条数, 所以也可以获得导通电压降低的效果 (在图 9 所示的恒定损失区域中, 相对于同一集电极电流  $J_c$  的导通电压  $V_{ce}$  减小)。即, 通过使用本结构, 在维持短路耐受性的基础上, 又能够降低恒定损失。

[0090] 另外, 由于 MOS 晶体管部 32 的微细化容易进行, 因而通过使 MOS 晶体管部 32 实现微细化, 能够降低有效栅极宽度, 易于减少饱和电流并提高短路耐受性, 因此, 能够提高半导体装置的成品率。

[0091] 进而, 在上述以往例中, 为了降低 p 型体区域 2 和发射极电极 11 之间的接触电阻, 在相邻的稳定板 5b 之间设置了  $p^+$  杂质扩散区域 6。但是, 设置有该  $p^+$  杂质扩散区域 6 的部位在 IGBT 截止时会成为空穴穿过的通路, 导致 IGBT 的截止阻断能力、即可截止的电流密度或电压下降。

[0092] 与此相对, 在本实施方式的结构中, 如上所述, 发射极电极 11 并未通过接触孔与由稳定板 5b 所夹的 p 型体区域 2 连接。因此, 不仅能够降低导通电压, 而且当 IGBT 截止时由稳定板 5b 所夹的区域中也不会产生空穴穿过的通路, 能够防止可截止的电流密度或电压的下降。

[0093] 另外, 在本实施方式中的结构中, 如图 2 所示, 发射极电极 11 在俯视图中在由稳定板 5b 所夹的区域 R 并未与 p 型体区域 2 电连接。因此, 如图 23、图 24 所示的结构所示, 不需要为了顾虑发射极电极 11 与 n 型发射极区域 3 或  $p^+$  杂质扩散区域 6 的连接而加大栅极用沟槽 1a 和稳定板用沟槽 1b 之间的台面宽度。因而, 在本实施方式中, 在能够减小栅极用沟槽 1a 和稳定板用沟槽 1b 之间的台面宽度的同时, 能够提高该台面宽度的设计自由度。另外, 因为能够减小台面宽度, 所以也可以进一步降低导通电压。

[0094] 另外, 如果上述的沟槽间距在各部分的大小不同, 则各沟槽 1a、1b 附近的电场分布会变得不均匀, 产生电场集中, 导致耐压下降。因此, 在本实施方式中将栅极用沟槽 1a 和稳定板用沟槽 1b 的沟槽间距、以及稳定板用沟槽 1b 相互之间的沟槽间距设定为相同大小。由此可以防止沟槽周围发生电场集中, 提高耐压。即, 在上述结构中, 由于能够缩小栅极用沟槽 1a 和稳定板用沟槽 1b 之间的台面宽度, 因而能够相应地缩小栅极用沟槽 1a 与稳定板用沟槽 1b 之间的沟槽间距。进而, 相应于栅极用沟槽 1a 与稳定板用沟槽 1b 之间的沟槽间

距的缩小而缩小稳定板用沟槽 1b 相互之间的沟槽间距,就既能够防止电场集中导致的耐压下降,也有助于实现器件的小型化。

[0095] (实施例)

[0096] 下面说明具有上述结构的沟槽栅型 IGBT 的具体一个例子。

[0097] 沟槽栅型 IGBT 的模拟参数按照下述表 1 所示设定。另外,使用本数据的哑沟槽比例如表 2 所示。哑沟槽比例定义为每 1 单元(单元单元(unit cell)部 34)的哑沟槽(稳定板用沟槽)的条数除以每 1 单元(单元单元部 34)的全部沟槽的条数(栅极用沟槽条数 + 哑沟槽条数)所得的数值,即稳定板沟槽条数 / 全部沟槽条数。

[0098] 【表 1】

[0099]

区域	杂质浓度
n <sup>-</sup> 区域1c	$1.313 \times 10^{13} \text{cm}^{-3}$
p型体区域2	$9.45 \times 10^{17} \text{cm}^{-3}$
n型发射极区域3	$20 \times 10^{19} \text{cm}^{-3}$
沟槽氧化膜(栅极绝缘膜4a, 发射极用绝缘膜4b)	0.12 $\mu\text{m}$
p <sup>+</sup> 杂质扩散区域6	$5.71 \times 10^{19} \text{cm}^{-3}$
n型缓冲区域7	$30 \times 10^{16} \text{cm}^{-3}$
p型集电极区域8	$1 \times 10^{18} \text{cm}^{-3}$
n型杂质扩散区域14	$6.5 \times 10^{16} \text{cm}^{-3}$

[0100] 【表 2】

[0101]

哑沟槽比例	稳定板沟槽条数 / 全部沟槽条数
0.5	1/2
0.67	2/3
0.75	3/4
0.8	4/5
0.875	7/8
0.9	9/10
0.92	11/12
0.93	13/14

[0102] 此外,在本实施方式中,栅极用沟槽 1a 的条数以及稳定板用沟槽 1b 的条数的绝对值并不重要,重要的是它们的比例。亦即,栅极用沟槽 1a 和稳定板用沟槽 1b 的条数无论有多少,器件的特性也很大程度上依赖于哑沟槽比例。

[0103] (i) 台面宽度 ( $W_{MOS}$ )

[0104] 通过减小沟槽电极之间(栅极用沟槽 1a 和稳定板用沟槽 1b 之间、稳定板用沟槽 1b 和稳定板用沟槽 1b 之间)的台面宽度 ( $W_{MOS}$ ),就能够获得导通电压和恒定损失的降低效果。其关系如图 10 所示。

[0105] 图 10 的横轴表示台面宽度 ( $W_{MOS}$ ) [ $\mu m$ ],纵轴表示导通电压 ( $V_{ce(sat)}$ ) [V]。在图 10 中,沟槽宽度 ( $W_{trrench}$ ) 为固定。为便于参照,将图 28 中所示的以往的平面栅结构 IGBT 的数据作为相同参数(单位单元(unit cell)尺寸)描绘在图 10 中。参照图 28,在平面栅结构中,栅极电极 5a 位于半导体基板 1 的第 1 主面 1A 上,其在由 n 型发射极区域 3 和 n 型杂质扩散区域 14 所夹的 p 型体区域 2 上隔着栅极绝缘膜 4a 而形成。发射极电极 11 与 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 电连接。而且,除此之外的平面栅结构 IGBT 的结构与图 2 所示的沟槽栅结构的 MOS 晶体管部 32 的结构大致相同,因此对于相同的要素赋予相同的符号,不重复其说明。

[0106] 此外,图 10 所示的数据是以 298K(25℃)下的数据作为代表例而示出的,在其他温度下也表现出同样的倾向。另外,每 1 单元的沟槽电极的栅极电极与稳定板的比例是在 1 个栅极电极、7 个稳定板这样的哑沟槽比例为 0.875 的条件下进行模拟得到的结果。

[0107] 在本实施方式的结构中,发射极电极 11 并未通过接触孔与稳定板部 33 的 p 型体区域 2 连接,能够提高 MOS 晶体管部 32 的载流子浓度,因此,其与图 7、图 8 所示的以往例相比,能够降低导通电压。由此可知,如果使用本实施方式中的结构,就能够进一步缩小台面宽度 ( $W_{MOS}$ ),并进一步提高 MOS 晶体管部 32 的载流子密度,因此,与以往例相比,进一步降低了导通电压。

[0108] 另外,就台面宽度 ( $W_{MOS}$ ) 与导通电压降低效果的关系而言,以往的沟槽构造(参照图 7、图 8)也表现出同样的倾向。不过,在先前所述的以往结构中,发射极电极 11 和 p 型体区域 2 的接触在稳定板 5b 区域的整个面上发生,因此,沟槽 MOS 晶体管部的导通状态下的载流子浓度下降,导通电阻升高。

[0109] 与此不同的是,本实施方式中的结构中,发射极电极 11 并未通过接触孔与稳定板部 33 的 p 型体区域 2 相连接。因此,沟槽 MOS 晶体管部 32 中导通状态下的载流子浓度增大,能够获得高的导通电压降低效果。

[0110] (ii) 哑沟槽比例

[0111] 在本实施方式的结构中,通过逐渐增加稳定板 5b 相对于栅极电极 5a 的比例(增加哑沟槽比例),能够获得降低导通电压以及恒定损失的效果。该关系如图 11 所示。横轴表示哑沟槽比例,纵轴表示导通电压 ( $V_{ce(sat)}$ )。器件中的能量损失表示为(器件中流过的电流)×(器件上所施加的电压),因此,导通电压越是减小,恒定损失越小。

[0112] 该导通电压的降低原理如图 12A、图 12B、图 13A、图 13B 和图 14 所示。图 12A、图 13A 表示当 IGBT 处于导通状态时器件内的电流密度,图 12B、图 13B 表示当 IGBT 处于导通状态时稳定板所夹的区域内的电流通路,图 14 表示导通状态下的器件内的载流子浓度。此外,图 12A、图 12B 表示本实施方式的结构的情形,图 13A、图 13B 表示图 7 和图 8 所示的以

往的沟槽电极结构的情形,它们分别与图 3 和图 8 所示的截面相对应。

[0113] 在图 12A 和图 13A 的各个图中,左端 ( $X = 0 \mu\text{rn}$ ) 是栅极用沟槽 1a,稳定板用沟槽 1b 以规定的间距并排设置 ( $X > 0$ )。另外,图 12B、图 13B 是图 12A、图 13A 中的 Z 所包围的区域的放大图,图 12B、图 13B 中的箭头方向表示电流的流动方向,箭头长度表示电流密度的大小。

[0114] 在图 12A、图 12B 所示的本实施方式的结构(图 2)的导通状态下,稳定板部 33 的旁边的沟槽 MOS 晶体管部 32 的栅极电极上施加有偏置电压(本结构是 n 沟道 MOS 晶体管,因此栅极上施加正偏压),电子经由沟道部(在 p 型体区域 2 中与栅极用沟槽 1a 邻接的部分)注入到  $n^-$  区域 1c。此时,集电极侧被施加正向偏压,因此,同时空穴从集电极侧注入到  $n^-$  区域 1c。

[0115] 这里,在本实施方式的结构中,在稳定板部 33、即相邻的稳定板用沟槽 1b 之间,发射极电极 11 并未与 p 型体区域 2 连接,而在 MOS 晶体管部 32、即栅极用沟槽 1a 与稳定板用沟槽 1b 之间,经由接触孔 9b 与 p 型体区域 2 相连接。因此,在本结构中,空穴流向发射极侧的通路仅是沟槽 MOS 晶体管部 32,因此,稳定板部 33 中几乎没有电流流过,电流集中流到沟槽 MOS 晶体管部 32。

[0116] 由于电流集中流到沟槽 MOS 晶体管部 32,因此沟槽 MOS 晶体管部 32 在导通状态下的载流子浓度增大,导通电压下降。该效果如图 11 所示,随着单位单元中哑沟槽所占比例的增加而得到强化(即沟槽 MOS 晶体管部 32 的导通状态下的载流子浓度进一步增大),导通电压变得更低,恒定损失减少。

[0117] 与此不同的是,如图 13A、图 13B 所示,在以往的沟槽电极结构中,发射极电极 11 也连接到稳定板 5b 之间的 p 型体区域 2,因此,稳定板 5b 之间也会流过电流,电流难以集中到沟槽 MOS 晶体管部 32。

[0118] 即,在以往的结构中,由于稳定板部 33 上存在空穴穿过的连接部分,因此哑沟槽之间也会形成空穴的通路。其结果就产生了图 12B 和图 13B 所示的电流集中程度的差异。受其影响,如图 14 所示,本实施方式与以往例相比,沟槽 MOS 晶体管部 32 的发射极侧载流子浓度分布发生变化,产生了导通电压  $V_{ce}(\text{sat})$  的差异。

[0119] 图 14 是对图 2~图 6 所示的本实施方式与图 7、图 8 所示的以往例的半导体装置中沟槽 MOS 晶体管部 32 的 IGBT 处于导通状态时的载流子浓度分布加以比较得到的图。图 14 所示的载流子密度分布对应于图 3、图 8 的 A-A' 线部和图 28 的 B-B' 线部。

[0120] 图 14 和图 15 中表示该器件结构与电流集中的关系。图 14 和图 15 中横轴表示从发射极区域到集电极区域的距离,纵轴表示载流子浓度。图 15 是图 14 中的发射极侧的放大图。另外,本数据对应于图 3、图 8 的 A-A' 线部和图 28 的 B-B' 线部,并包含形成了沟道的部位。

[0121] 此外,图 14 是对各半导体装置在哑沟槽比例相同的情况下(排除平面栅结构)进行比较得到的。在图 2~图 6 所示的本实施方式的结构中,电流通路仅是与栅极用沟槽 1a 相邻的沟槽 MOS 晶体管部 32,其结果是,处于导通状态下的发射极侧的载流子浓度如图 14 所示地增大。反之,如果如图 7、图 8 所示的以往例的结构那样,将发射极电极 11 连接到 p 型体区域 2,则相邻稳定板用沟槽 1b 之间的 p 型体区域 2 和  $p^+$  杂质扩散区域 6 上也会形成电流通路。由此,在沟槽 MOS 晶体管部以外也会形成电流通路,因此,沟槽 MOS 晶体管部在

导通状态下的载流子浓度下降。因此,以往的半导体装置与本实施方式相比,其导通电压升高。

[0122] 参照图 14 和图 15,在本实施方式中的沟槽电极结构中,从集电极区域侧注入的空穴在  $n^-$  区域 ( $n^-$  漂移区域) 1c 内其密度不降低地到达发射极侧。进而,通过增加稳定板 5b,在发射极侧造成载流子集中,在  $n^-$  区域 ( $n^-$  漂移区域) 1c 内的发射极侧的载流子浓度上升。与此相对,以往的沟槽电极结构和平面栅结构这两者之中越靠近发射极侧,载流子浓度越低。

[0123] 即,在本实施方式中的沟槽电极结构中,根据从  $n^-$  漂移区域到发射极侧的载流子浓度增大效果,能够获得导通电压随着哑沟槽比例的增加而降低的效果。但是,哑沟槽比例一旦超过 0.92,则载流子集中效果就会饱和(参照图 11)。

[0124] 对本实施方式相互间进行比较可知,哑沟槽比例 0.875 与 0.67 相比,载流子浓度大。当 IGBT 处于导通状态下,空穴穿过稳定板部 33 正下方朝着沟槽 MOS 晶体管部 32 移动。该移动距离越大,稳定板部 33 正下方的空穴浓度越高。其结果是,稳定板部 33 的距离越是增大(哑沟槽比例越是增加)导致载流子越集中,作为唯一的空穴通路的沟槽 MOS 晶体管部 32 中的载流子浓度就变得越高。当载流子浓度升高,该部位的载流子浓度就会增大、阻抗下降,因此,导通电压降低。

[0125] 如图 14 和图 15 所示,除了发射极区域之外,空穴的密度与电子的密度大致相同。另外,如图 15 所示,在发射极区域,电子密度比空穴密度高。

[0126] 此外,在以往的沟槽栅结构或平面栅结构中,随着靠近发射极载流子下降,这是因为,电子的供应能力(注入能力)下降。

[0127] 由上可知,能够利用稳定板 5b 来获得导通电压降低效果的哑沟槽比例优选是设定在稳定板为最小条数时的 0.5 到载流子集中效果达到饱和的 0.92 之间的范围内(即 0.5 以上 0.92 以下的范围)。

[0128] 另外,参照图 16,根据表示哑沟槽比例与饱和电流的关系的图可知,通过增加稳定板 5b,能够缩小栅极宽度,抑制饱和电流。

[0129] 本实施方式的沟槽栅结构中的单元单位是沟槽 MOS 晶体管部 32 和稳定板部 33 成为一体后的区域(图 3、4 所示的单位单元部 34)。另外,当哑沟槽比例增加时,则占单位单元部 34 的总栅极宽度  $W$  缩小。

[0130] 利用本实施方式的结构,能够实现可通过抑制饱和电流而在保持短路耐受性的同时降低导通电压的 IGBT。但是,在本实施方式的结构中,由于能够任意设定哑沟槽比例,因此可以实现饱和电流的抑制与低导通电压的这两方面(请参照图 11、图 16)。

[0131] 图 17 是表示导通电压  $V_{ce(sat)}$  与开关损失 ( $E_{off}$ ) 的关系的图。即,存在导通电压越低恒定损失变得越小的关系。本实施方式所示的数据点将 p 型集电极区域 8 的杂质浓度(集电极浓度)分配为  $1 \times 10^{16} \sim 5 \times 10^{20}$ ,集电极浓度越高,导通电压变得越低。

[0132] 下面说明导通电压与开关损失具有交换(trade-off)关系的原因。在 IGBT 中,除了器件结构以外使用公共控制参数对导通电压和开关损失这 2 个器件特性进行控制。在本实施方式,例如该参数是集电极浓度。

[0133] 在通过降低导通电压来减小恒定损失的情况下,为了提高集电极侧的载流子浓度而将集电极浓度设定为高浓度。这样一来,当 IGBT 处于导通状态时,高浓度的空穴由集电

极侧注入到在  $n^-$  区域 1c 中,当 IGBT 截止时,就需要时间来吐出所注入的空穴,开关损失增加。在减小开关损失的情况下,反之集电极浓度降低,而导通电压升高。由上可知,导通电压与开关损失处于交换 (trade-off) 关系。

[0134] 但是在本实施方式中,即使集电极侧的载流子浓度相同,与以往结构的半导体装置相比,由于能够降低导通电压 ( $V_{ce(sat)}$ ),因此可以使图 17 所示的交换曲线 (trade curve) 向低导通电压侧移动,有可能改善交换特性。

[0135] 因此,根据本实施方式的沟槽电极结构可以降低恒定损失,由此也能够降低总损失 (开关损失 + 恒定损失)。

[0136] 此外,图 11 ~ 图 17 所示的数据是在仿真模拟过程中半导体基板 1 的厚度  $t_{sub} = 470 \mu m$ 、台面宽度 ( $W_{MOS}$ ) =  $1.2 \mu m$ 、沟槽宽度 ( $W_{trench}$ ) =  $1.2 \mu m$  的条件下取得的。另外,作为代表,表示了 298K (25°C) 下的数据,在其他温度下也表现出同样的倾向。

[0137] 另外,关于到此为止所述的哑沟槽比例的关系,无论有无 n 型发射极区域 3 (图 3 和图 4 的不同的部分),都能够获得同样的效果。

[0138] (iii) 沟槽深度 (D)

[0139] 图 18 表示沟槽深度 (D:从 p 型体区域 2 和 n 型杂质扩散区域 14 所形成的发射极侧的 P/N 结开始的深度,参照图 3) 与耐压的关系,图 19 表示在各种沟槽深度 (D) 条件下从半导体基板的第 1 主面开始的深度与电场强度的关系。根据图 18,在本实施方式的沟槽电极结构中,通过将沟槽深度 (D) 设计为大于等于能够缓和发射极侧的 P/N 结间所产生的电场集中的长度,就能够获得充分的耐压。如图 19 所示,能够缓解发射极侧的 P/N 结的电场集中的沟槽深度 (D) 是从 P/N 结开始  $1.5 \mu m$  以上的深度。

[0140] 下面说明增大沟槽深度时电场集中得到缓解的机制。当 IGBT 保持耐压时,栅极和稳定板的沟槽部变成与源极电位相同的 0V。其结果是,这些沟槽部就像场板 (field plate) 那样感应产生电荷,将等电位线向集电极侧推移,从而可以获得发射极侧的 P/N 结的电场缓和效果。

[0141] 耐压提高的沟槽深度基本不依赖于沟槽或台面的宽度、哑沟槽比例、杂质浓度。另一方面,耐压提高的沟槽深度依赖于沟槽 MOS 晶体管部 32 的各种杂质深度、即 p 型体区域 2 与 n 型杂质扩散区域 14 所形成的 P/N 结的位置关系。

[0142] 另外,如果将沟槽进一步加深到大于  $1.5 \mu m$ ,则如图 20 所示,能够获得导通电压 ( $V_{ce(sat)}$ ) 降低效果。例如,如果达到  $5.5 \mu m$  以上,则能够将  $V_{ce(sat)}$  降低到 1.5V 以下。

[0143] 此外,图 18 ~ 图 20 所示的数据是在哑沟槽比例为 0.875、半导体基板 1 的厚度  $t_{sub}$  为  $470 \mu m$ 、台面宽度 ( $W_{MOS}$ ) =  $1.2 \mu m$ 、沟槽宽度 ( $W_{trench}$ ) =  $1.2 \mu m$  的条件下进行评估的。另外,作为代表,表示了 298K (25°C) 下的数据,而在其他温度下也表现出同样的倾向。

[0144] (iv) 沟槽电极的顶端 (tip end, 尖端) 形状

[0145] 再次参照图 3,将栅极用沟槽 1a 和稳定板用沟槽 1b 各自的顶端的截面形状做成圆角形状 (例如半圆形),就能够实现耐压提高。栅极用沟槽 1a 和稳定板用沟槽 1b 的顶端形状是角形的情况下,其角部会发生电场集中,耐压降低。因此,栅极用沟槽 1a 和稳定板用沟槽 1b 的顶端的截面形状优选是具有圆形的形状。

[0146] (其他实施方式)

[0147] 此外,如图 2 所示,连接 2 个稳定板 5b 相互间的导电层 5b<sub>1</sub> 的俯视图中的配置位置,优选是比起区域 R<sub>s</sub> 配置在更靠栅极电极 5a 的长度方向的端部侧,但如图 21 和图 23 所示,也可以配置在区域 R<sub>s</sub> 内。

[0148] 如图 21 所示,导电层 5b<sub>1</sub> 也可以配置在由位于栅极电极 5a 的长度方向上排列的 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 之中的长度方向的最靠端部的最端部的 p<sup>+</sup> 杂质扩散区域 6 彼此之间所夹的区域内,并且导电层 5b<sub>1</sub> 的一部分在俯视图中看起来与最端部的 p<sup>+</sup> 杂质扩散区域 6 的一部分重合。该结构中形成有导电层 5b<sub>1</sub> 的部分的截面结构如图 22 所示。

[0149] 如图 23 所示,导电层 5b<sub>1</sub> 也可以配置在由位于在栅极电极 5a 的长度方向上排列的 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 之中最端部的 p<sup>+</sup> 杂质扩散区域 6 以外的 n 型发射极区域 3 彼此之间或 p<sup>+</sup> 杂质扩散区域 6 彼此之间所夹的区域内。在图 23 的结构中,导电层 5b<sub>1</sub> 配置在最端部的 p<sup>+</sup> 杂质扩散区域 6 以外的 p<sup>+</sup> 杂质扩散区域 6 彼此之间所夹的区域内。该结构中形成有导电层 5b<sub>1</sub> 的部分的截面结构如图 24 所示。

[0150] 根据图 22 和图 24 可知,当导电层 5b<sub>1</sub> 位于上述区域 R<sub>s</sub> 内的情况下,通过导电层 5b<sub>1</sub> 将发射极电极 11 连接到半导体基板 1 的第 1 主面 1A 所需的区域宽度缩小。与此相对,在图 2 ~ 图 6 所示的结构中,导电层 5b<sub>1</sub> 位于上述区域 R<sub>s</sub> 之外,因此,发射极电极 11 通过该导电层 5b<sub>1</sub> 与 p<sup>+</sup> 杂质扩散区域 6 和 n 型发射极区域 3 发生接触的部分的面积没有缩小。

[0151] 另外,本实施方式中的半导体装置的俯视图中的 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 的图案结构并不限于图 2 所示的图案,也可以是图 7 的以往结构中所示的图案结构。即,如果使用图 2 所示的接触孔 9a、9b 取代图 7 的以往结构中的接触孔 9d,则也可以使用图 7 的以往结构中所示的 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 的图案结构。图 25 表示出在该图 7 的以往结构中所示的 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 的图案结构中应用了图 2 所示的接触孔 9a、9b 的情况下的结构。在该图 25 的结构中,也能够获得与图 2 ~ 图 6 所示的结构相同的效果。

[0152] 另外,在图 2 所示的图案结构中,稳定板 5b 和稳定板 5b 之间,即使存在图 26 所示的 p<sup>+</sup> 杂质扩散区域 6,也能够获得与图 2 ~ 图 6 所示的结构相同的效果。另外,如图 27 所示,如果采用在俯视图中 n 型发射极区域 3 和 p<sup>+</sup> 杂质扩散区域 6 分别沿着栅极电极 5a 的长度方向并排延伸的长方形的图案结构,也能够获得同样的效果。

[0153] 此外,上述以 MOS 晶体管部为例进行了说明,但栅极绝缘膜的材质并不限于氧化硅膜。因此,本发明能够应用所有 MIS 晶体管部。

[0154] 以上对本发明进行了详细说明和展示,但这只是示例,并不构成限定,发明的范围由附带的权利要求书进行解释,这是应该明确理解的。

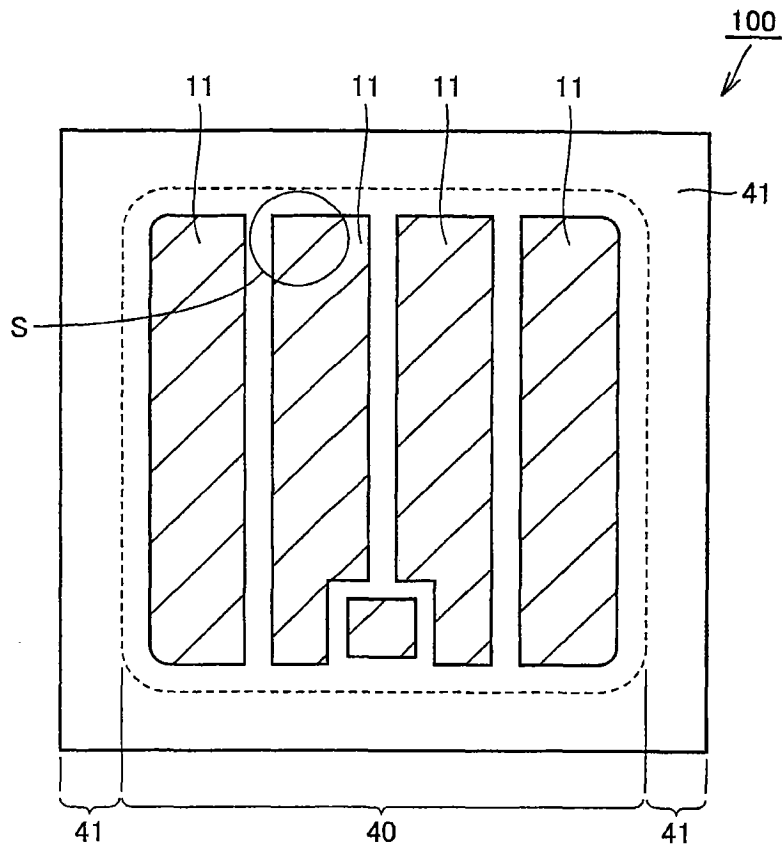


图 1





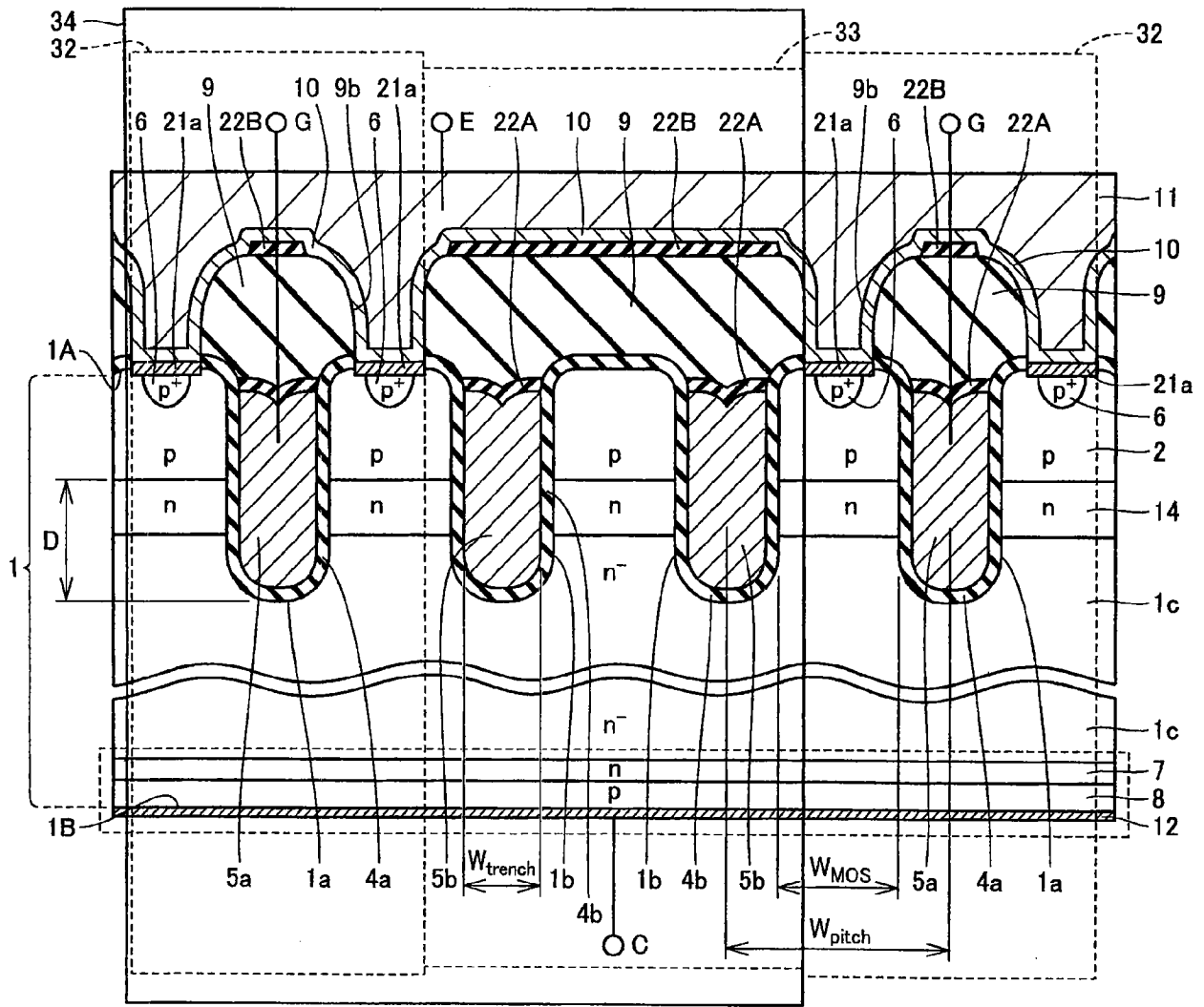


图 4







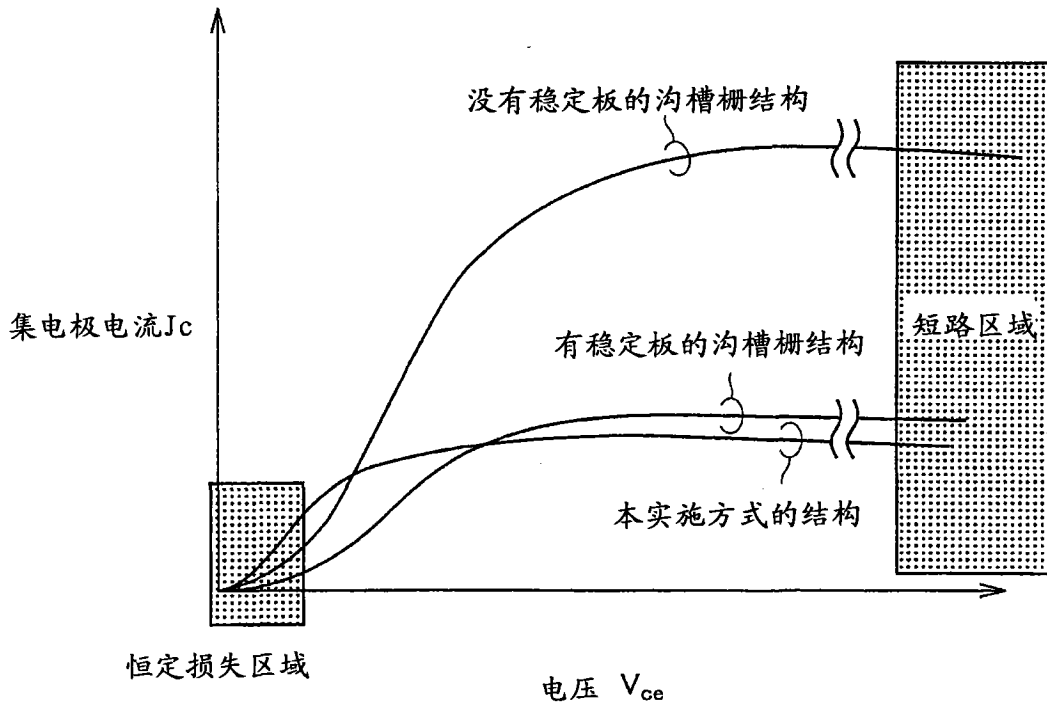


图 9

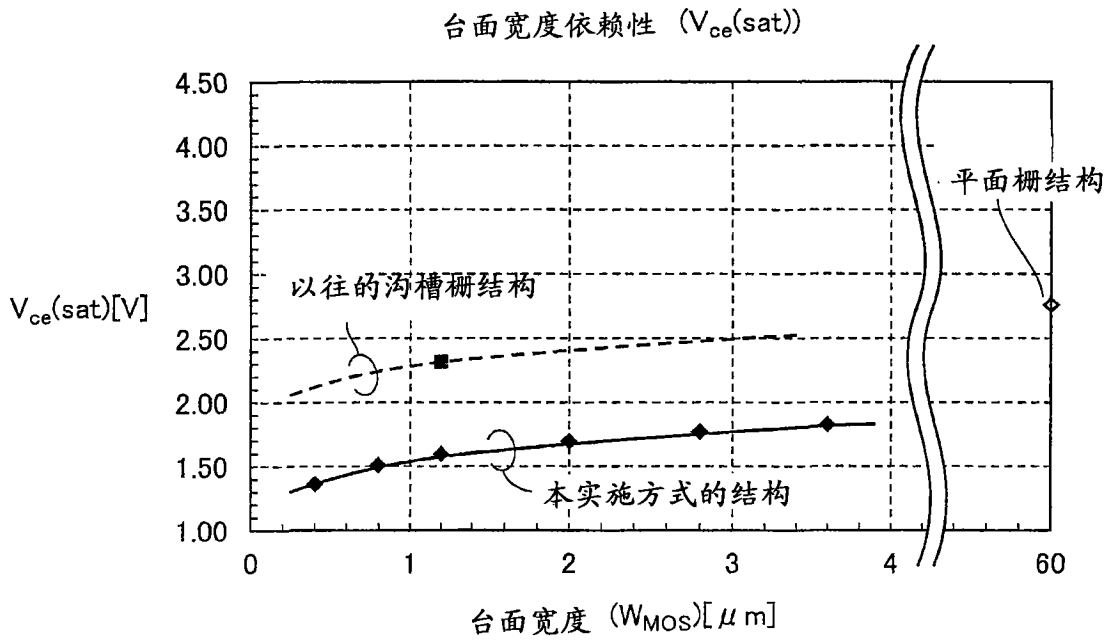


图 10

图 10

哑沟槽比例依赖性 ( $V_{ce(sat)}$ )

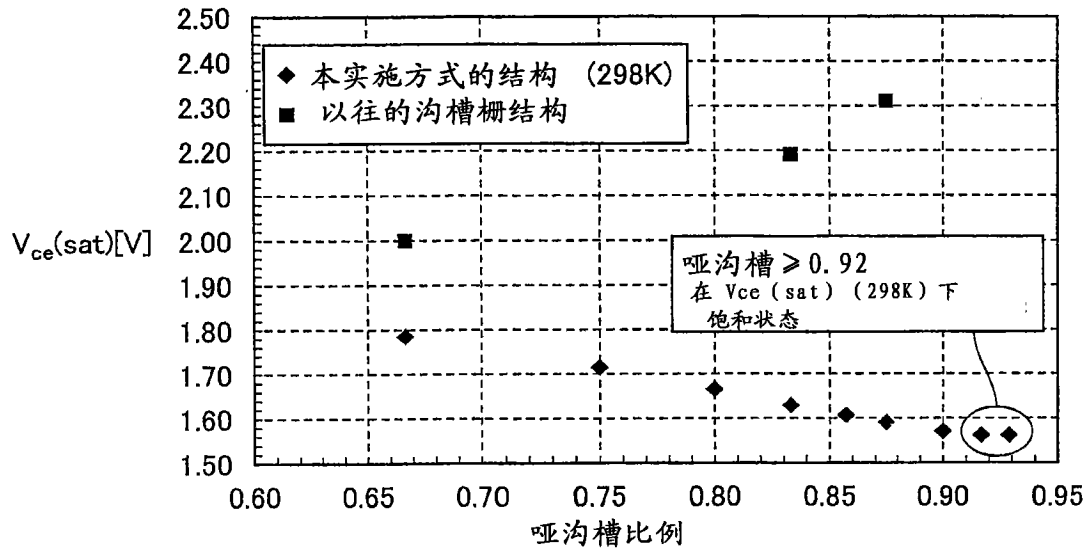


图 11

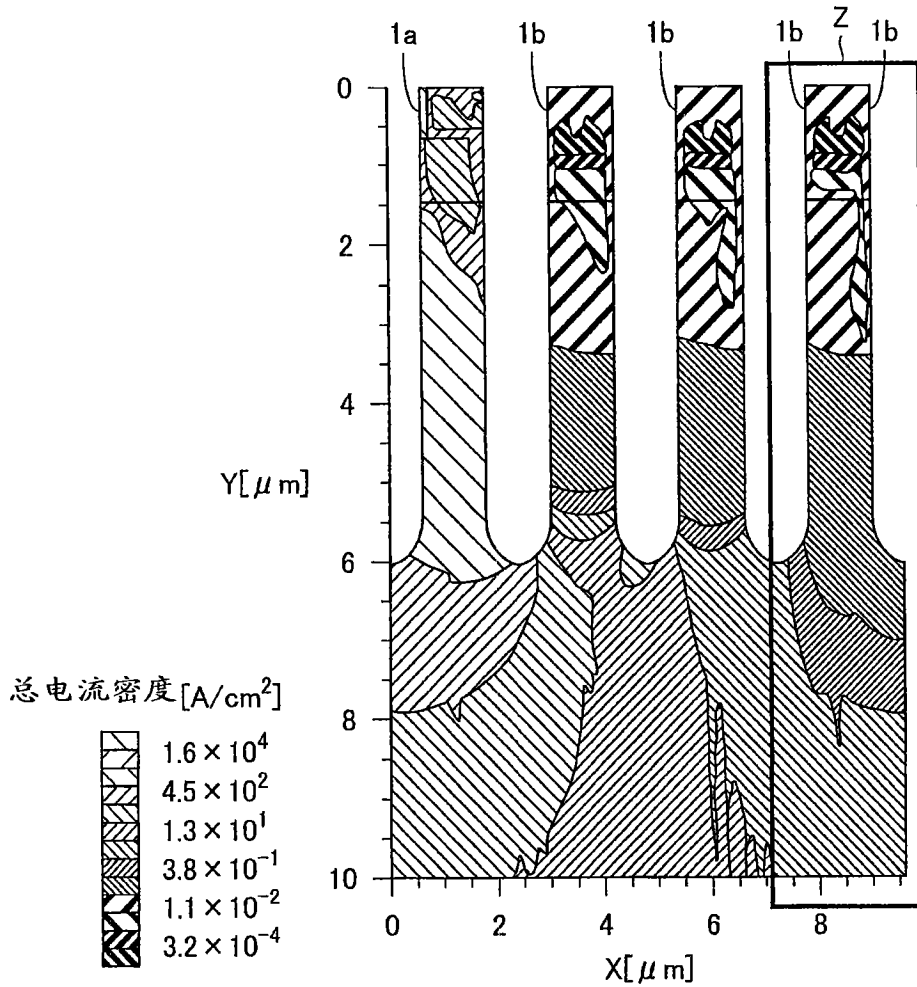


图 12A

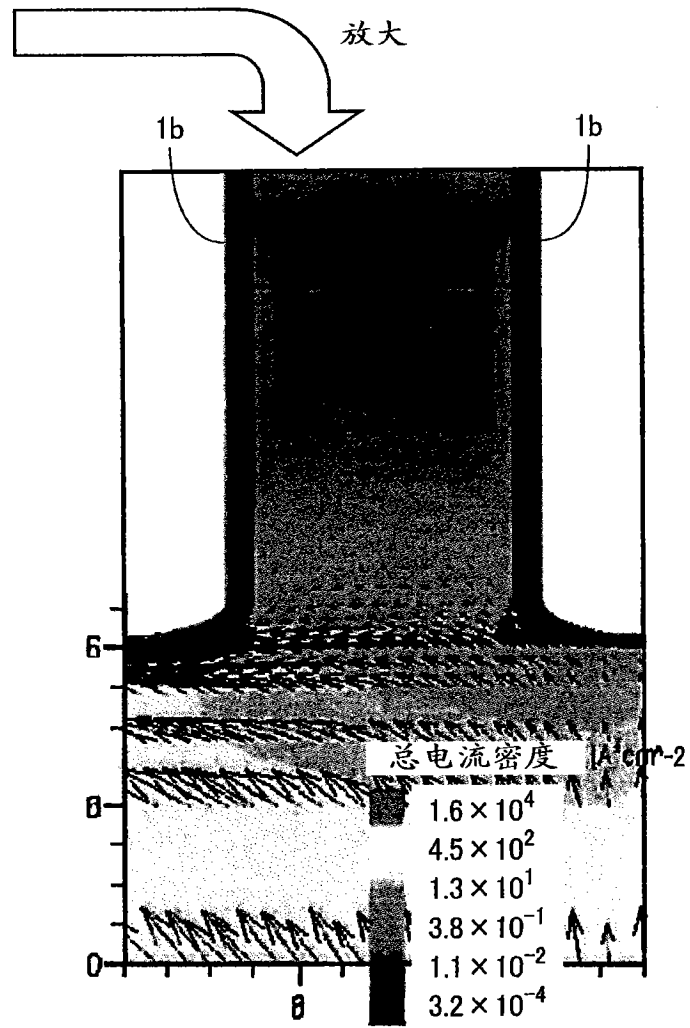


图 12B

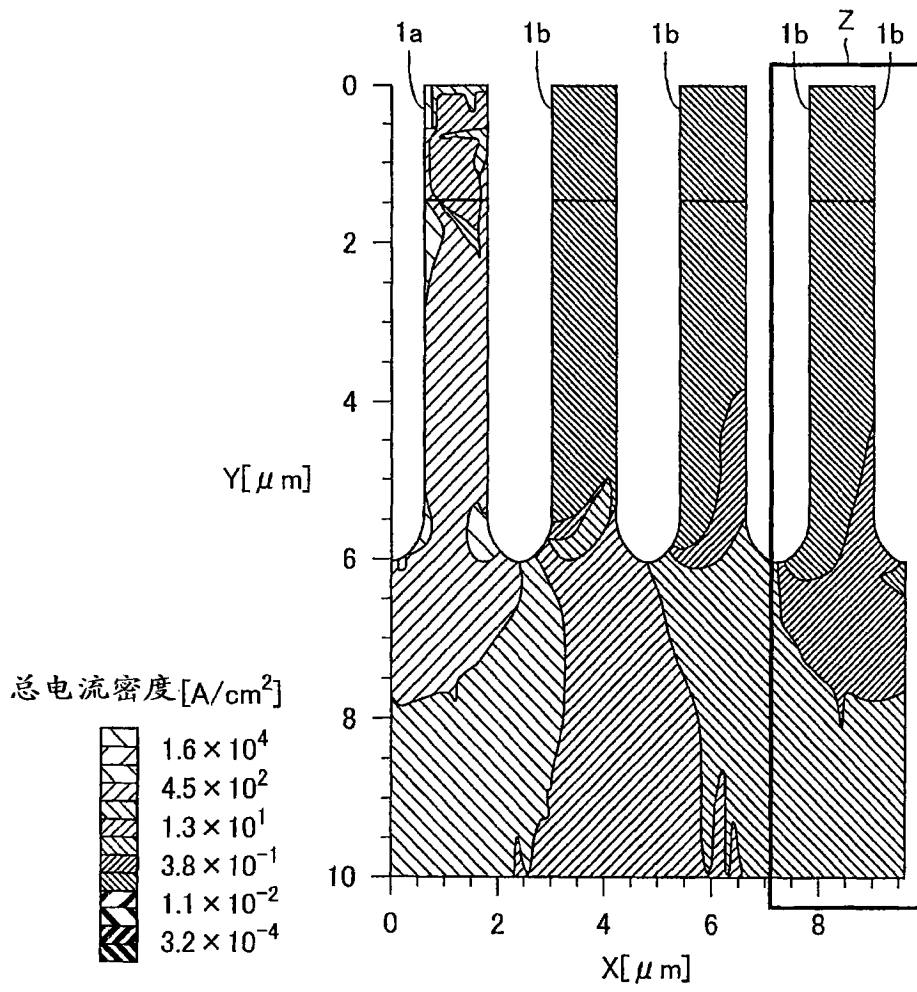


图 13A

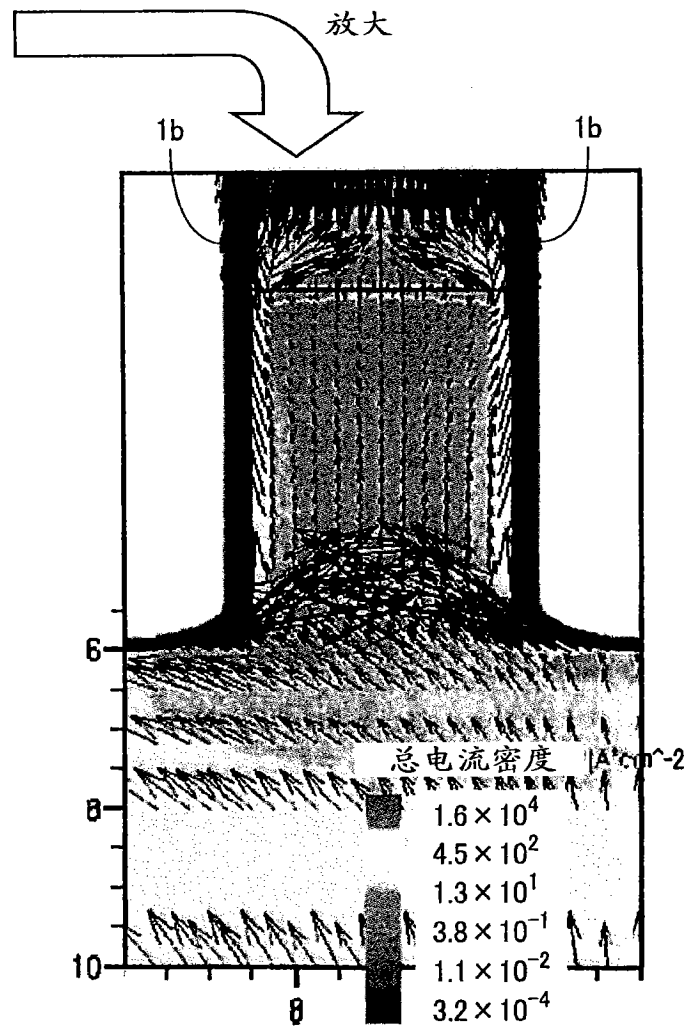


图 13B

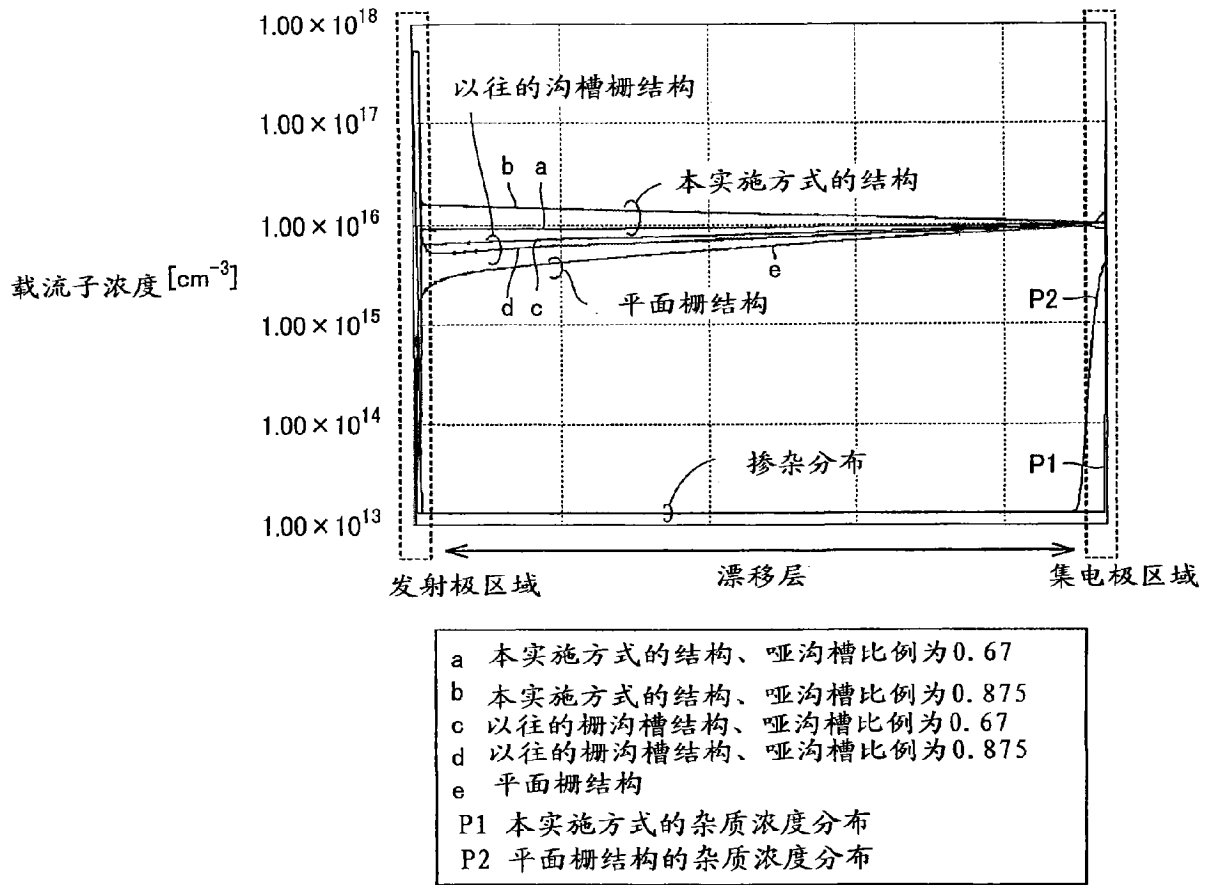


图 14

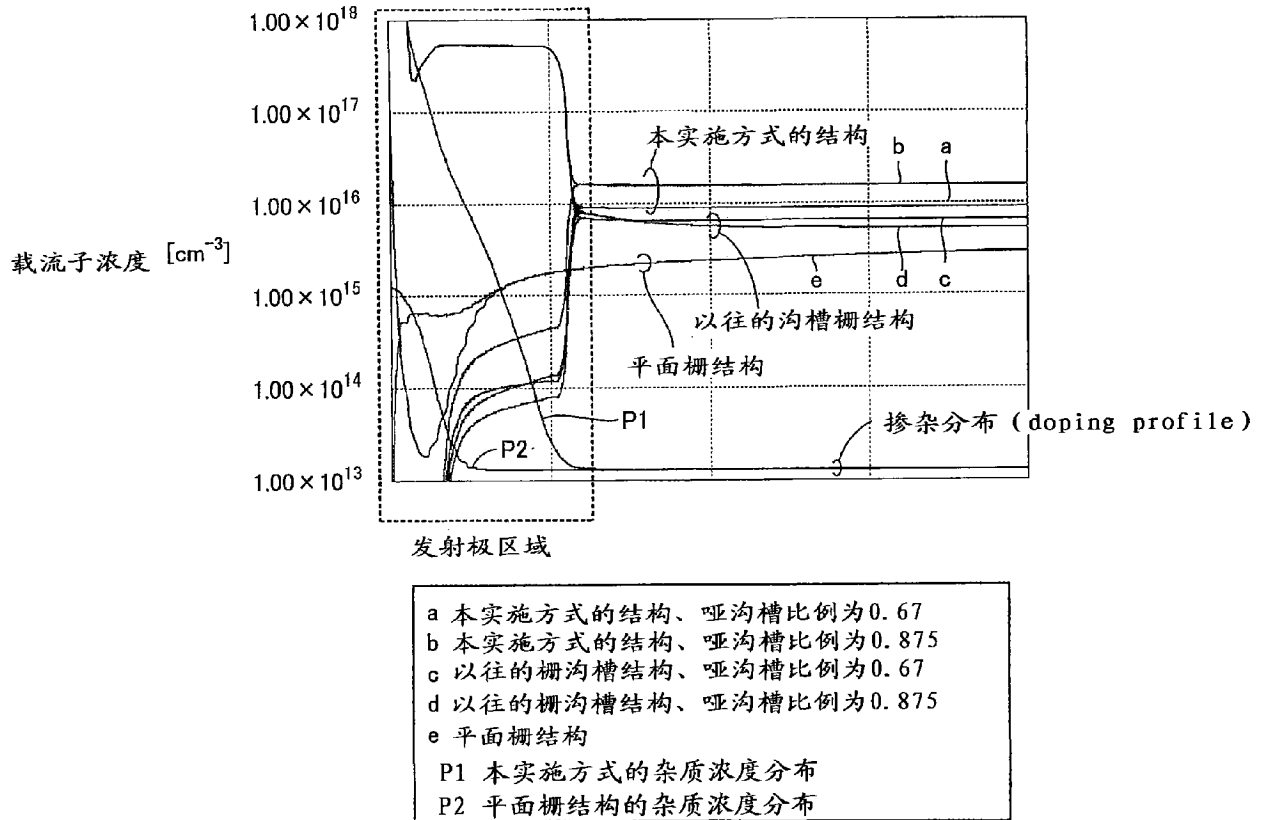


图 15

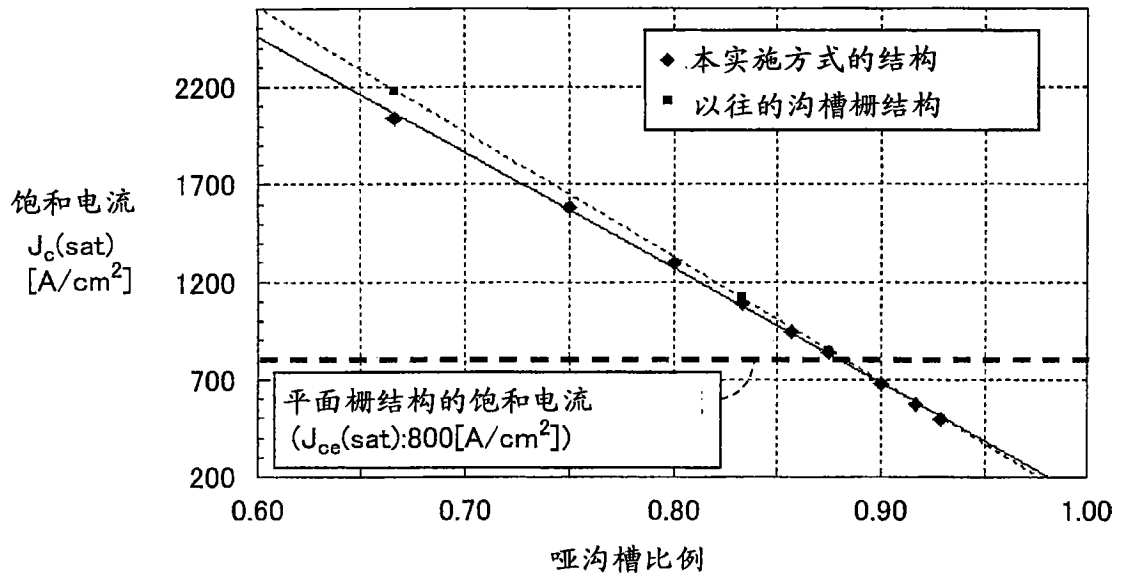


图 16

$V_{ce}$  vs.  $E_{off}$  交换 (trade-off) 特性

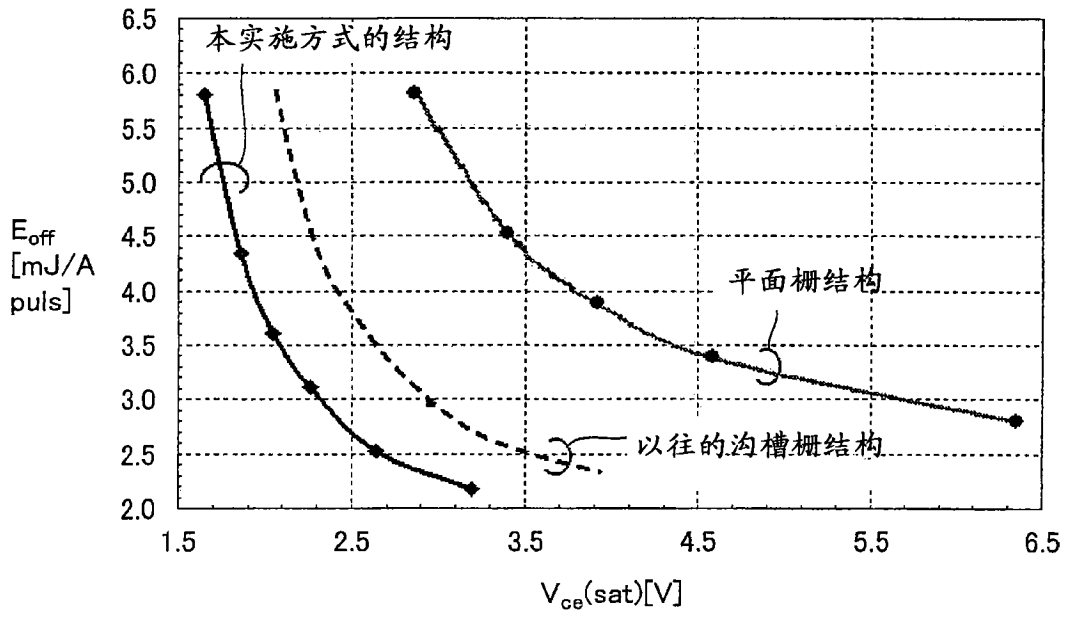


图 17

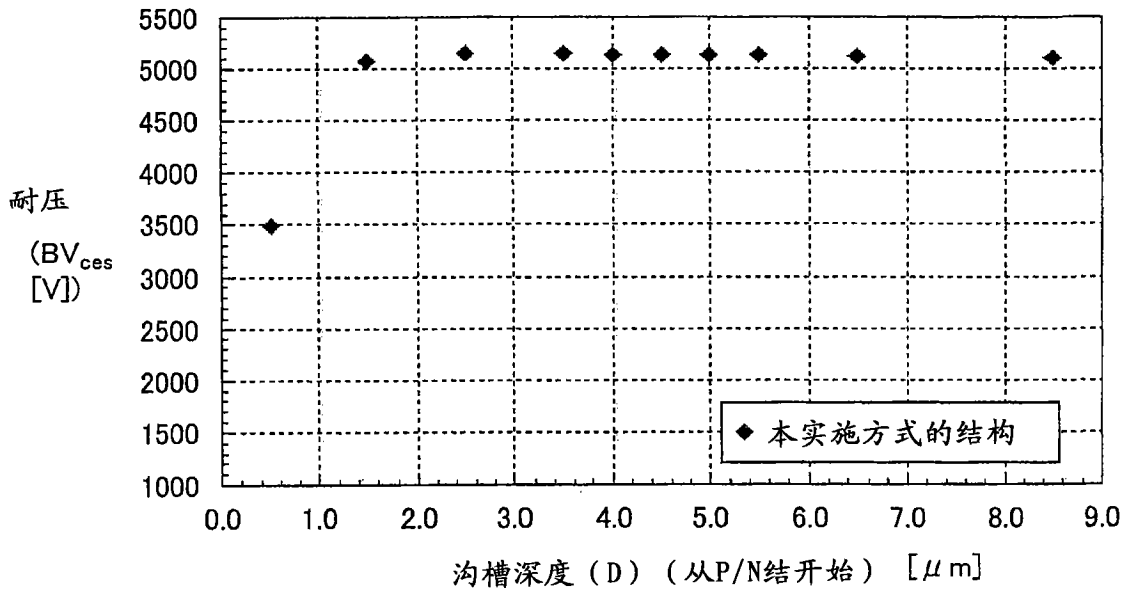


图 18

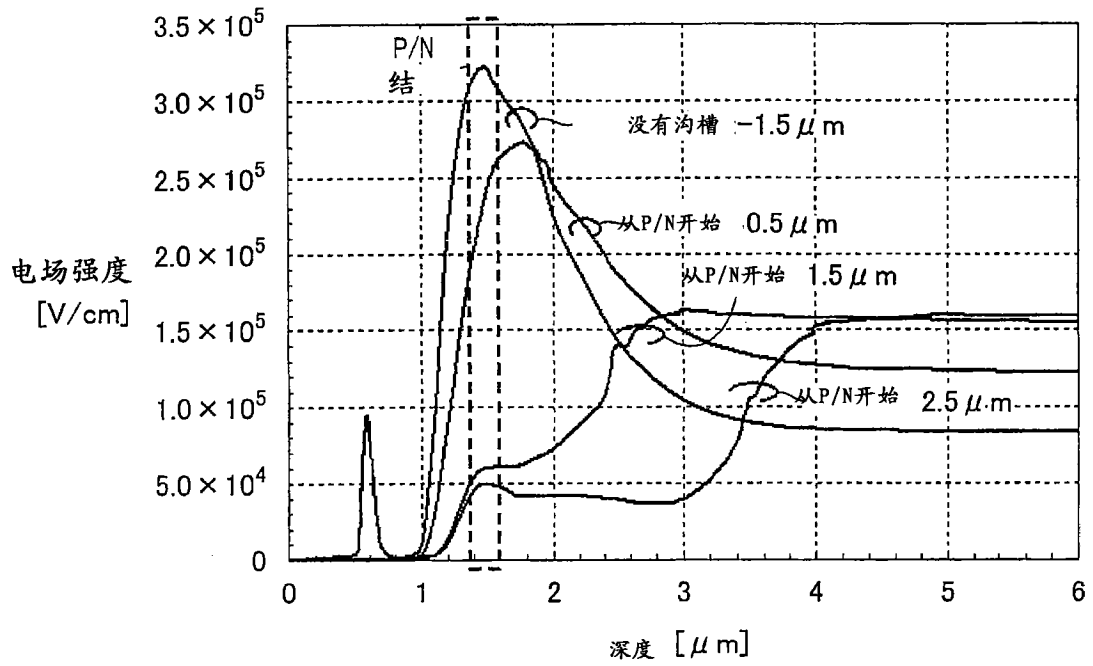


图 19

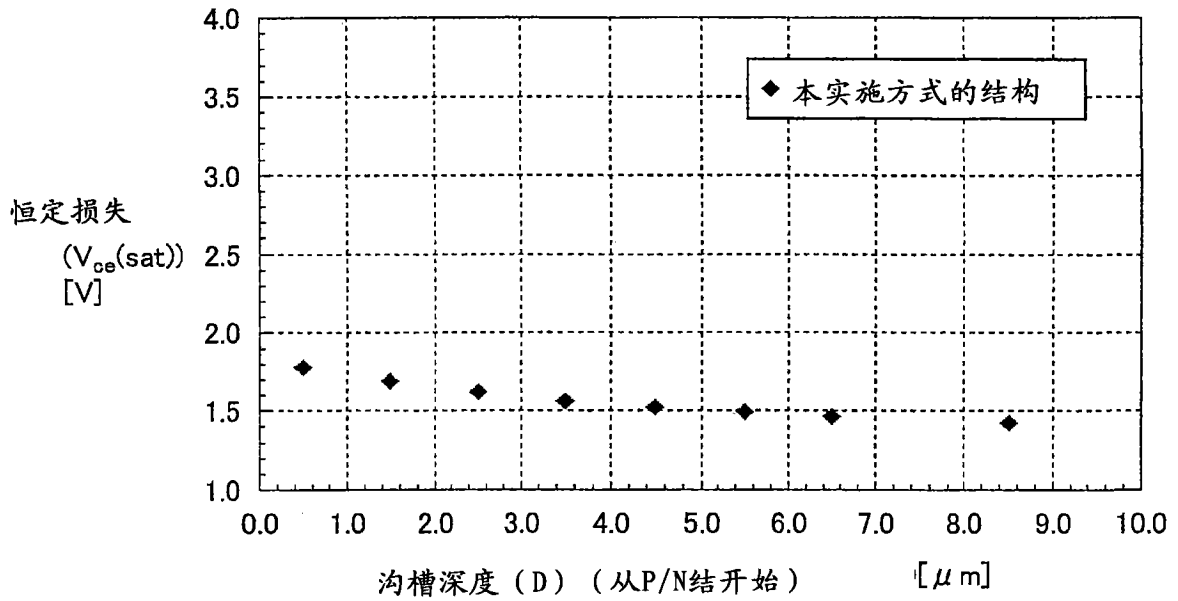


图 20

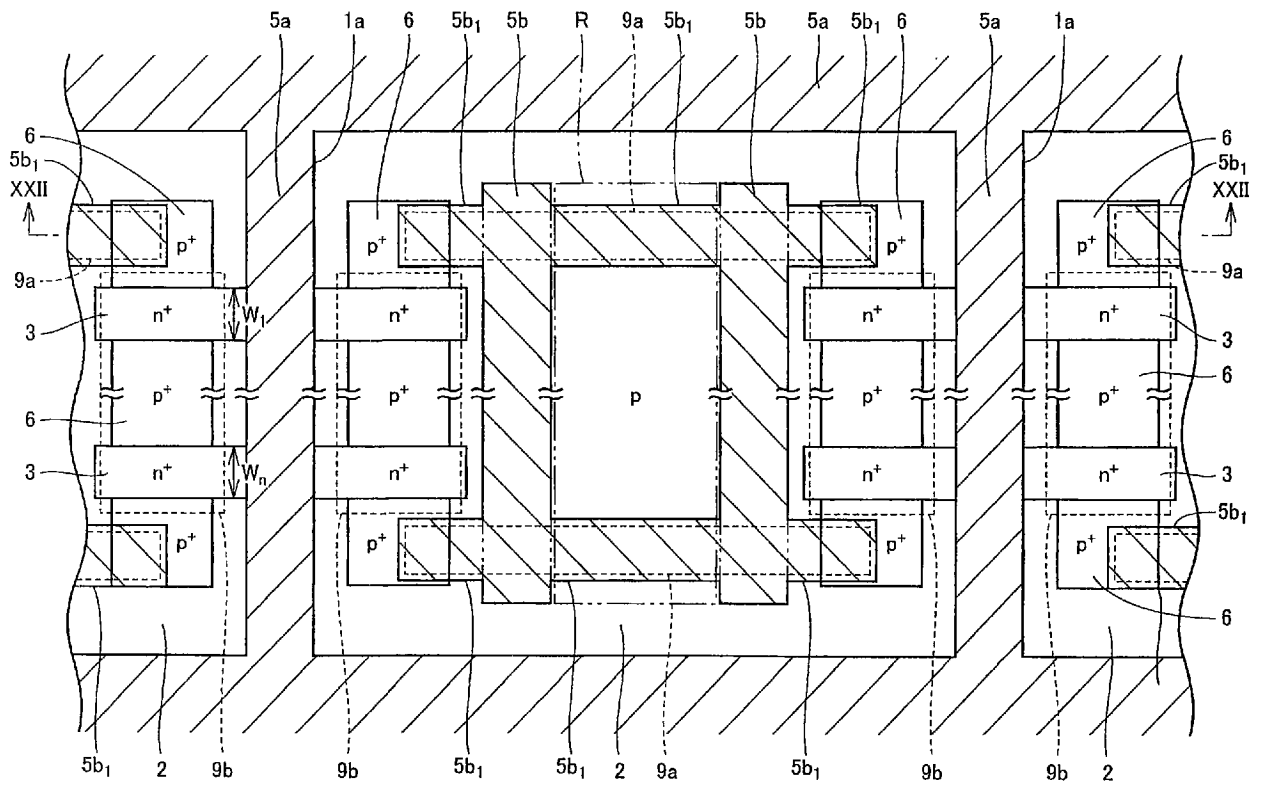


图 21



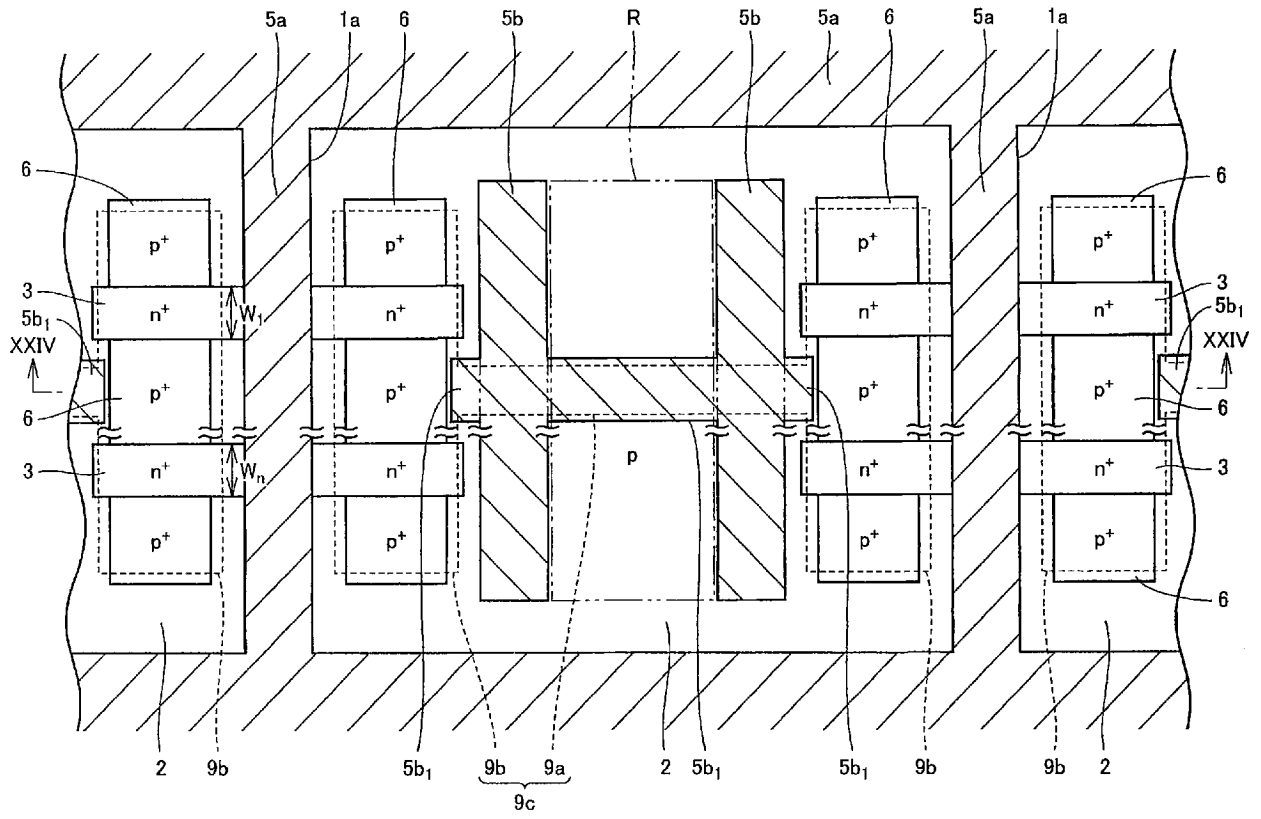


图 23

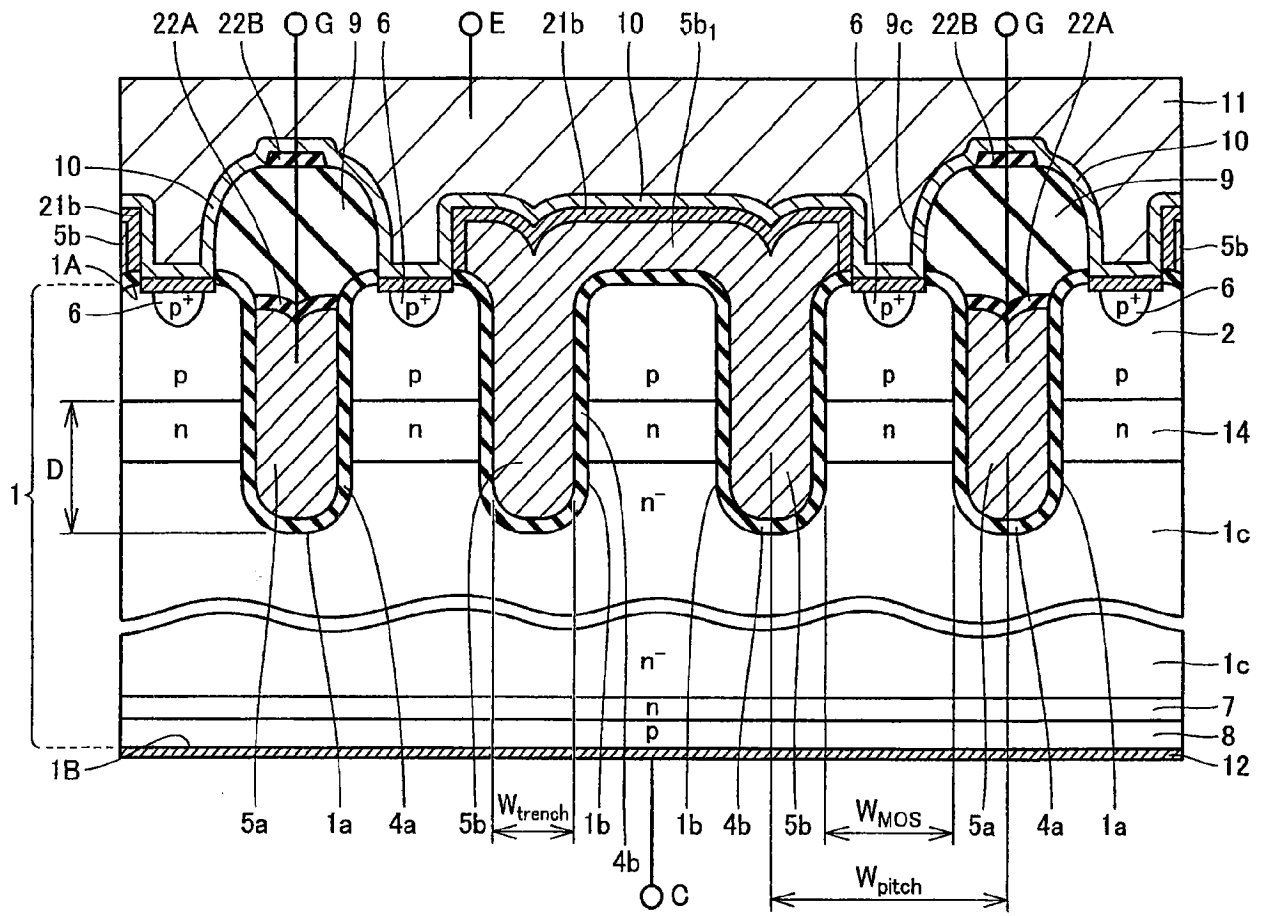


图 24

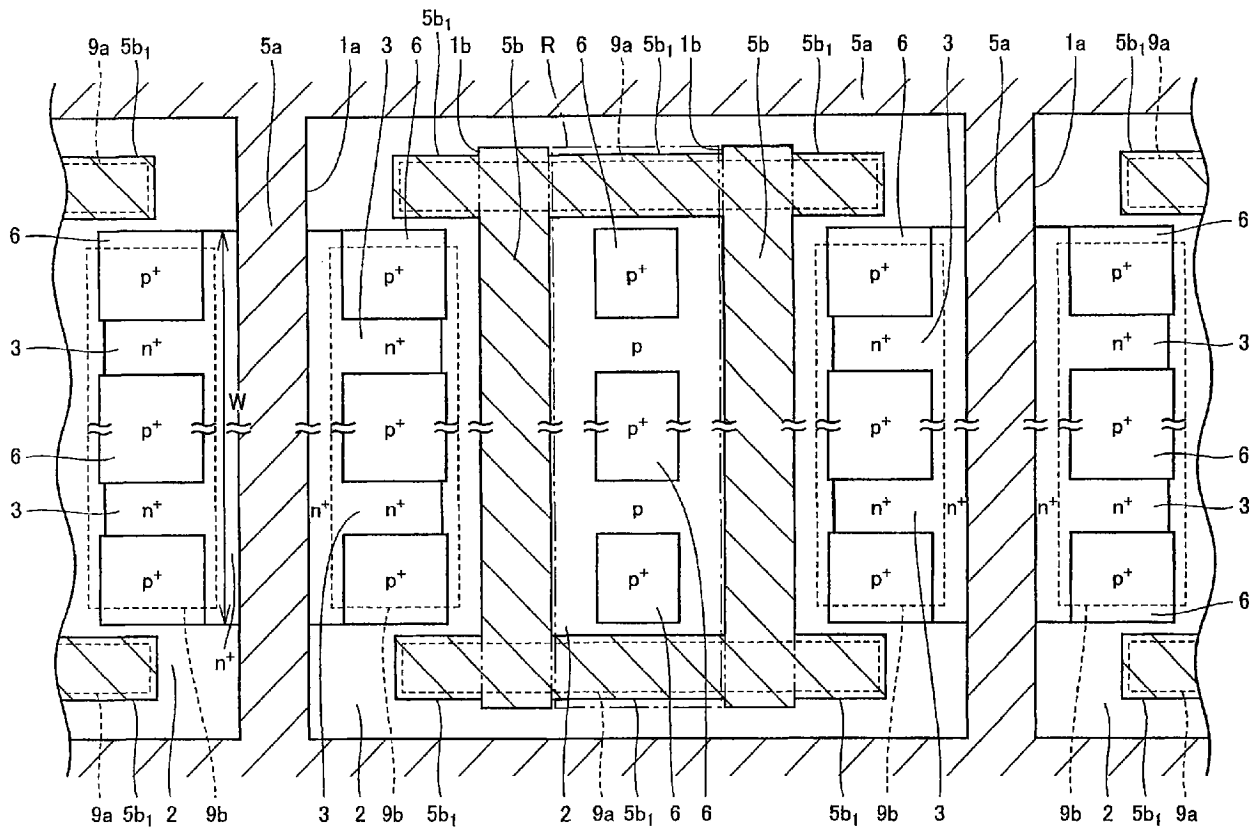


图 25



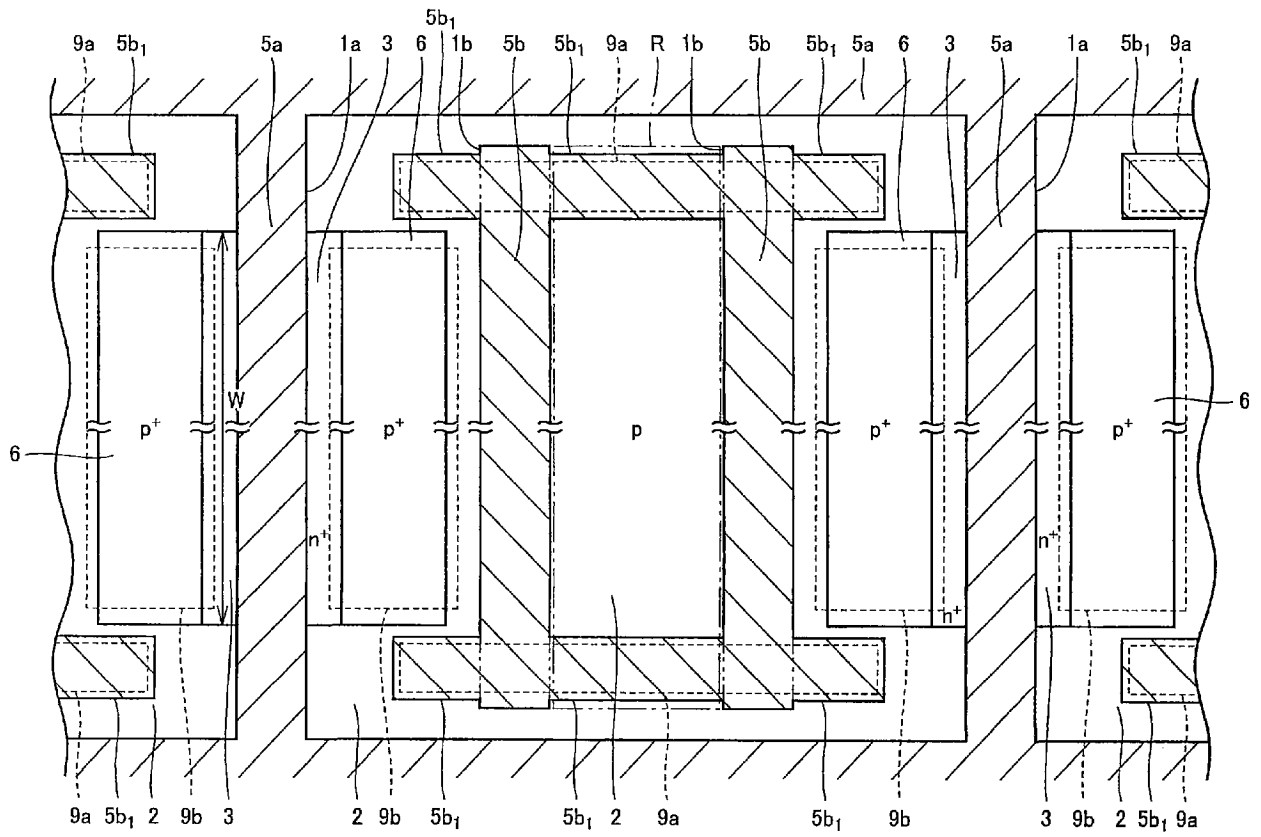


图 27

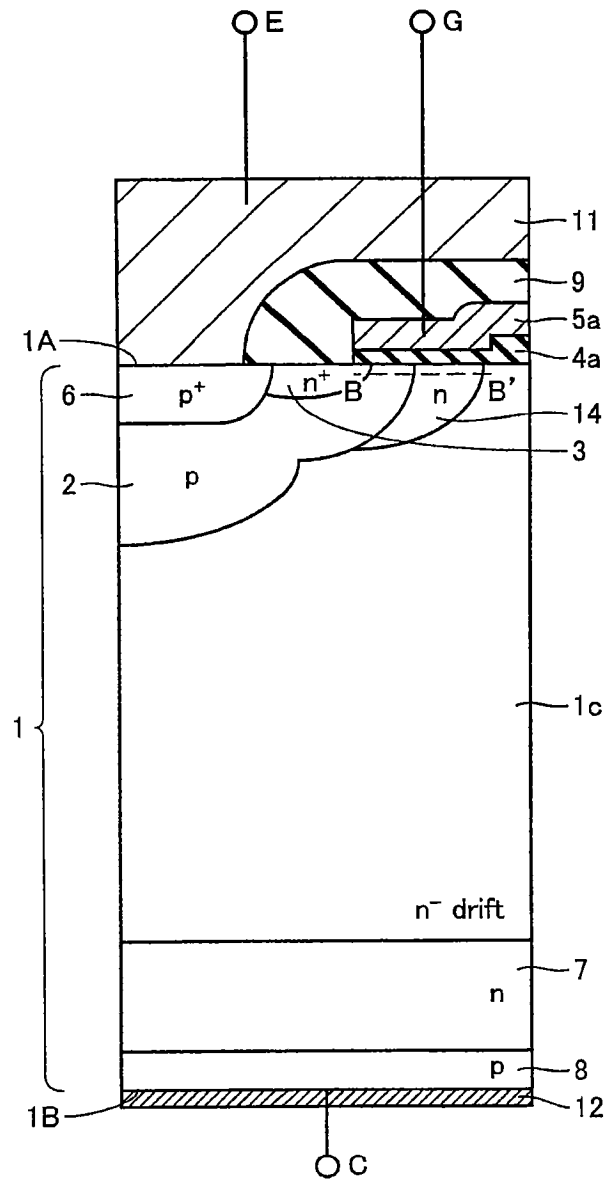


图 28