

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ G09G 3/30	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년12월06일 10-0533450 2005년11월29일
---	-------------------------------------	--

(21) 출원번호	10-1999-7010600	(65) 공개번호	10-2001-0012639
(22) 출원일자	1999년11월16일	(43) 공개일자	2001년02월26일
번역문 제출일자	1999년11월16일		
(86) 국제출원번호	PCT/JP1999/001342	(87) 국제공개번호	WO 1999/48078
국제출원일자	1999년03월17일	국제공개일자	1999년09월23일

(81) 지정국

 국내특허 : 대한민국, 미국, 중국,

 EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 98-69147 1998년03월18일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키키가이샤
 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 기무라무츠미
 일본나가노켄스와의시오와3초메3-5세이코엡슨가부시키키가이샤(내)

 마즈에다요지로
 일본나가노켄스와의시오와3초메3-5세이코엡슨가부시키키가이샤(내)

 오자와도쿠로
 일본나가노켄스와의시오와3초메3-5세이코엡슨가부시키키가이샤(내)

 마이클린
 영국, 런던이148엘에스, 웨스트페리로드10, 프랭클린빌딩279

(74) 대리인 문두현
 문기상

심사관 : 천대식

(54) 트랜지스터 회로, 표시 패널 및 전자기기

요약

입력 전압에 따라 소스 및 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터(110)와, 게이트가 소스 및 드레인 중 한 쪽에 접속되어 있고, 상기 소스 및 드레인을 거쳐서 입력 신호가 구동용 트랜지스터의 게이트에 공급되도록 접속된 보상용

트랜지스터(120)를 구비하는 트랜지스터 회로(100). 비교적 저전압의 입력 신호에 의해 제어가능하고, 또한 구동용 트랜지스터의 임계치 특성의 격차가 보상된다. 이 트랜지스터 회로에서, 구동용 트랜지스터(110)의 소스 또는 드레인에 전류 제어형소자(500)가 접속되어, 밝기 불균일성이 저감된 화상표시가 이루어지는 표시 패널이 실현된다.

대표도

도 1

색인어

컨덕턴스 제어, 보상용 트랜지스터, 임계치 특성의 격차, 밝기 불균일성

명세서

기술분야

본 발명은, 박막 트랜지스터(이하, TFT라 칭함), 전계 효과형 트랜지스터, 바이폴러 트랜지스터 등의 트랜지스터를 복수 구비하여 구성된 트랜지스터 회로의 기술 분야에 속하고, 특히 게이트에 공급되는 전압에 따라 소스 및 드레인 간의 컨덕턴스를 제어함으로써, 상기 소스 및 드레인을 거쳐서 전류 제어형(전류구동형) 소자 등의 피구동 소자에 공급되는 구동 전류를 제어하는 구동용 트랜지스터를 구비하여 구성된 트랜지스터 회로의 기술 분야에 속한다.

배경기술

일반적으로, 트랜지스터에는, 반도체막의 막 질, 막 두께, 불순물 농도나 확산 영역, 게이트 절연막 등의 막 질, 막 두께, 동작 온도 등의 각종 조건에 따라, 그 전압 전류 특성이나 임계치에는 크건 작건 격차가 생긴다. 크리스탈 실리콘을 사용한 바이폴러 트랜지스터의 경우에는, 이러한 임계치의 격차는 비교적 작지만, TFT의 경우에는, 이러한 격차가 큰 것이 보통이다. 특히, 액정 패널, EL 패널 등의 표시 패널 등에 있어서 TFT 어레이기판 상에 광범위하게 걸쳐 복수 형성되는 TFT의 경우에는, 이러한 전류 전압 특성이나 임계치의 격차가 상당히 커지는 경우가 많다. 예를 들면, 이 종류의 TFT의 임계치를 2 V(볼트) 정도(N채널에서 +2V, P채널에서 -2V)가 되도록 제조해도, 그 격차는 ±수 V 정도가 되기도 한다.

여기서, 소위 TFT 액정 패널 등의 경우처럼 액정 등으로 된 화소부를 전압 제어하는 전압 제어(전압구동) 방식의 경우에는, 각 화소부에 설치된 구동용 TFT에서의 전압전류 특성이나 임계치의 격차가 문제가 되는 경우는 비교적 적다. 즉, 이 경우에는, 가령 TFT의 전류전압 특성이나 임계치에 다소의 격차가 있었다고 해도, 충분한 스위칭 시간만 주면, 외부에서 TFT를 거쳐서 각 화소부에 공급하는 전압의 정밀도를 높임으로써, 각 화소부에서의 표시농도나 밝기를 정밀도 높게 제어할 수 있기 때문이다. 따라서, 각 화소부에서의 표시 농도나 밝기의 불균일성이 중요시되는 표시용 TFT 액정 패널 등에서도, 전류전압 특성이나 임계치의 격차가 비교적 큰 TFT를 사용하여, 고품위의 화상 표시 등을 행할 수 있다.

한편, 최근에, 전류 공급량에 따라 밝기가 변화하도록 스스로 발광하는 유기 EL 등의 전류 제어형 발광 소자를 화소부에 구비한 표시 패널이 개발되고 있고, 백 라이트나 반사광을 이용하지 않고 화상 표시가 가능하고, 소비 전력이 낮고, 더구나 시야각 의존성이 적으며, 또한 때로는 가곡성(可曲性)을 실현하는 표시 패널로서 주목받고 있다. 이 EL 패널의 경우에도, 액티브 매트릭스 구동을 행하기 위해서는, 각 화소부에 구동용 TFT가 사용된다. 예를 들면, 구동용 TFT의 드레인이 정공 주입용 전극을 거쳐서 EL 소자에 접속되고, 게이트에 인가되는 데이터 신호의 전압에 따라 소스에 접속된 전원배선으로부터 EL 소자에 공급되는 구동전류를 제어하도록(변화시키도록) 구성되어 있다. 이와 같이 구동용 TFT를 사용하면, 입력 신호의 전압 변화를 따라 소스 및 드레인 간의 컨덕턴스를 제어함으로써 EL 소자를 흐르는 구동 전류를 제어하여, 각 화소부에서의 밝기(휘도)를 변화시킬 수 있고, 화상 표시 등을 행할 수 있다.

그렇지만, 특히 상술한 EL 패널 등과 같이 전류 제어형 소자의 경우에는, 각 화소부에 설치된 구동용 TFT에서의 전압 전류 특성이나 임계치의 격차가 문제가 된다. 즉, 이 경우에는, 외부에서 구동용 TFT에 공급되는 데이터 신호의 전압 정밀도를 아무리 높인다고 해도, 구동용 TFT에서의 전압 전류 특성이나 임계치의 격차가 데이터 신호에 대한 구동전류의 격차로서 그대로 나타나기 때문에, 구동전류의 정밀도가 저하된다. 이 결과, 각 화소부에서의 밝기도 구동용 TFT의 임계치의 격차를 따라 흐려진다. 그리고, 특히 현재의 저온 폴리 실리콘 TFT의 제조 기술에서는 이와 같은 전압전류 특성이나 임계치의 격차는, 상당한 정도로 발생하기 때문에, 이 문제는 실용상 상당히 크다.

이 문제에 대해, 전압전류 특성이나 임계치의 격차를 저감하도록 각 TFT를 제조하려고 하면, 제품 비율의 저하를 초래하고, 특히 표시 패널처럼 다수의 TFT를 사용하여 구성하는 장치에서는 극단적인 제품 비율의 저하를 초래하여, 저비용화라는 일반적 요청에 상반된다. 또한, 그러한 격차를 저감하는 TFT를 제조하는 것은 불가능에 가깝다. 또한, 각 TFT에서의 전류전압 특성이나 임계치의 격차를 보상하는 회로를 별도로 설치하려해도, 역시 장치의 복잡화나 대형화, 게다가 소비 전력의 증가를 초래하고, 특히 복수의 TFT가 고밀도로 배열된 표시 패널에서는, 다시 제품 비율의 저하를 초래하거나, 최근의 저소비 전력화나 장치의 소형 경량화라는 요청에 응하는 것이 곤란해지는 것이 예상된다.

발명의 상세한 설명

본 발명은 상술한 문제점을 감안한 것이고, 입력 신호의 전압에 따라 구동용 트랜지스터에서의 컨덕턴스 제어를 행하는 트랜지스터 회로로서, 비교적 저전압의 입력 신호에 의해 상기 컨덕턴스 제어가 가능하고, 더구나 구동용 트랜지스터의 전류전압 특성이나 임계치 특성의 격차를 비교적 적은 수의 트랜지스터를 사용해 비교적 작은 전력 소비에 의해 보상할 수 있는 트랜지스터 회로, 및 이를 사용한 표시 패널 및 전자기기를 제공하는 것을 과제로 한다.

본 발명에 의하면, 하기의 제 1 내지 제 10 트랜지스터 회로가 제공된다.

먼저, 본 발명의 제 1 트랜지스터 회로는, 제 1 게이트, 제 1 소스 및 제 1 드레인을 가지고, 상기 제 1 게이트에 공급되는 입력 신호의 전압에 따라 상기 제 1 소스 및 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와, 제 2 게이트, 제 2 소스 및 제 2 드레인을 가지고, 상기 제 2 게이트가 상기 제 2 소스 및 제 2 드레인 중 한 쪽에 접속되어 있고, 상기 제 2 소스 및 제 2 드레인을 거쳐서 상기 입력 신호가 상기 제 1 게이트에 공급되도록 또한 상기 제 1 게이트에 대하여 상기 컨덕턴스를 낮추는 방향의 전하 이동을 가능하도록 하는 방향으로 상기 제 1 게이트에 접속된 보상용 트랜지스터를 구비한 것을 특징으로 한다.

상기 트랜지스터 회로에 의하면, 보상용 트랜지스터의 제 2 소스 및 제 2 드레인 중 한 쪽이 구동용 트랜지스터의 제 1 게이트에 접속되어 있고, 이들 제 2 소스 및 제 2 드레인을 거쳐서, 구동용 트랜지스터의 제 1 게이트에는 입력 신호가 공급된다. 그리고, 구동용 트랜지스터에서, 이 제 1 게이트에 공급되는 입력 신호의 전압에 따라, 제 1 소스 및 제 1 드레인 간의 컨덕턴스가 제어된다. 여기서, 보상용 트랜지스터는, 제 2 게이트가 제 2 드레인 또는 제 2 소스에 접속되어 있고, 제 1 게이트에 대하여 제 1 소스 및 제 1 드레인 간의 컨덕턴스를 낮추는 방향의 전하 이동을 가능하게 하는 방향으로 제 1 게이트에 접속되어 있다. 즉, 보상용 트랜지스터는, 다이오드 특성을 가지고 있고, 예를 들면, 구동용 트랜지스터가 N채널형이면, 그 제 1 게이트에서 입력 신호원으로서의 방향에만 통전 가능하다. 혹은, 구동용 트랜지스터가 P채널형이면, 입력 신호원에서 제 1 게이트의 방향으로 통전 가능하다.

이 때문에, 상기 트랜지스터 회로에 입력 신호를 공급했을 때에는, 보상용 트랜지스터에 입력되는 시점에서의 입력 신호의 전압과 비교하여, 제 1 게이트의 게이트 전압은, 보상용 트랜지스터의 임계치 분만 구동용 트랜지스터의 컨덕턴스를 높일 수 있는 측에서 승압되게 된다. 따라서, 구동용 트랜지스터에서 원하는 컨덕턴스를 얻기 위해서는, 상기 컨덕턴스에 대응하는 게이트 전압보다도 보상용 트랜지스터의 임계치(전압) 분만큼 낮은 전압의 입력 신호를 보상용 트랜지스터를 거쳐서 공급하면 된다. 이처럼, 보상용 트랜지스터의 임계치(전압) 분만큼 입력 신호에 대한 게이트 전압을 승압할 수 있기 때문에, 보상용 트랜지스터가 없는 경우와 비교하여, 보다 낮은 입력 신호의 전압에 의해 동등한 컨덕턴스 제어를 행하는 것이 가능해진다.

일반적으로, 이 입력 신호는 다른 신호에 비해 고주파수인 경우가 많고, 보다 낮은 입력 신호로 되면, 상당한 저소비 전력화를 기대할 수 있다.

더욱이, 이와 같이 보상용 트랜지스터에 의해 입력 신호의 전압을 승압해 제 1 게이트의 게이트 전압으로 하는 것은, 트랜지스터 회로 전체로서 본 경우, 구동용 트랜지스터에서 컨덕턴스 제어된 소스 및 드레인을 거쳐서 흐르는 구동 전류에 대한 입력 신호의 임계치는, 구동용 트랜지스터의 임계치 전압으로부터, 입력 전압으로부터 게이트 전압에의 승압분인 보상용 트랜지스터의 임계치 전압만큼 낮게 되어 있다. 즉, 구동전류에 대한 입력 전압의 임계치 중에서는, 보상용 트랜지스터의 임계치와 구동용 트랜지스터의 임계치는 상쇄된 형태로 되어 있다. 따라서, 양자의 임계치 특성이나 전압전류 특성을 근접시킴으로써, 구동 전류에 대한 입력 신호의 임계치를 영에 근접시키는 것이 가능해진다.

또한, 이와 같이 구동용 트랜지스터의 임계치와 보상용 트랜지스터의 임계치를 상기 트랜지스터 회로 전체 안에서 상쇄시킴으로써, 구동용 트랜지스터의 임계치의 대소에 의하지 않고 트랜지스터 회로 전체로서의 입력 신호의 임계치를 일정치(제로)에 근접시킬 수 있다. 즉, 복수의 임계치가 상이한 구동용 트랜지스터를 사용하여 상기 트랜지스터 회로를 복수 작성

한 경우에, 각 트랜지스터 회로 부분에서의 구동용 트랜지스터와 보상용 트랜지스터의 임계치를 각각 서로 근접시키면(이상적으로는 양자를 일치시키면), 각 트랜지스터 회로 간에서의 임계치 차는, 각 구동용 트랜지스터의 임계치의 차보다도 작게 되어 있다(이상적으로는 차가 거의 없게 되어 있다). 따라서, 상기 트랜지스터 회로를 복수 작성할 때에, 복수의 임계치가 다른 복수의 구동용 트랜지스터를 사용했다고 해도, 임계치의 격차가 거의 또는 전혀 없는 복수의 트랜지스터 회로를 얻는 것이 가능해진다.

본 발명의 제 2 트랜지스터 회로는, 상술한 제 1 트랜지스터 회로에서, 상기 제 1 게이트에 대해 상기 입력 신호에 따라 제어되는 상기 컨덕턴스의 최고치보다도 높은 컨덕턴스 값에 대응하는 전압을 가진 리세트 신호를 상기 입력 신호 공급 전에 공급하는 리세트 수단을 구비한 것을 특징으로 한다.

상기 제 2 트랜지스터 회로에 의하면, 구동용 트랜지스터의 제 1 게이트에 입력 신호가 공급되기 전에(또는, 한 입력 신호가 공급된 후에, 다음 입력 신호가 공급되기 전에), 리세트 수단에 의해 이 제 1 게이트에, 입력 신호에 따라 제어되는 구동용 트랜지스터의 컨덕턴스의 최고치보다도 높은 컨덕턴스 값에 대응하는 전압을 가진 리세트 신호가 공급된다. 이 결과, 입력 신호의 전압치의 대소에 의하지 않고 구동용 트랜지스터의 게이트 전압을 리세트 수단에 의해 일정치로 할 수 있고, 더구나, 리세트 후에, 컨덕턴스를 낮추는 방향의 전하 이동을 가능하게 하는 방향으로 제 1 게이트에 접속된 보상용 트랜지스터를 거쳐서 입력 신호를 제 1 게이트에 공급하는 것이 가능해진다.

본 발명의 제 3 트랜지스터 회로는, 상술한 제 2 트랜지스터 회로에서, 상기 리세트 신호가, 상기 입력 신호의 최대 전압보다도 상기 보상용 트랜지스터의 임계치 전압분 이상 큰 전압으로 설정되어 있는 것을 특징으로 한다.

상기 제 3 트랜지스터 회로에 의하면, 리세트 수단에 의해 구동용 트랜지스터의 제 1 게이트에, 입력 신호보다도 큰 전압의 리세트 신호가 공급된다. 더구나, 이 리세트 신호의 전압은, 입력 신호의 최대 전압보다도 보상용 트랜지스터의 임계치 전압분 이상으로 크게 설정되어 있기 때문에, 리세트 후에 입력 신호가 입력되면, 입력 신호 전압의 대소나 구동용 트랜지스터의 임계치의 대소에 의하지 않고서 항상 그 입력 신호의 전압보다도 구동용 트랜지스터의 임계치 전압분 만큼 높은 전압을, 보상용 트랜지스터를 거쳐서 구동용 트랜지스터의 제 1 게이트에 공급할 수 있다.

본 발명의 제 4 트랜지스터 회로는, 상술한 제 2 또는 제 3 트랜지스터 회로에 있어서 상기 리세트 수단은, 제 3 게이트, 제 3 소스 및 제 3 드레인을 가지고, 상기 제 3 소스 및 제 3 드레인 중 한 쪽이 상기 제 1 게이트에 접속되어 있고, 상기 제 3 게이트에 리세트 타이밍 신호가 상기 입력 신호의 공급 전에 공급되었을 때에, 상기 제 3 소스 및 제 3 드레인을 거쳐서 상기 리세트 신호를 상기 제 1 게이트에 공급하는 리세트용 트랜지스터를 구비한 것을 특징으로 한다.

상기 제 4 트랜지스터 회로에 의하면, 리세트용 트랜지스터의 제 3 게이트에 리세트 타이밍 신호가 공급되면, 상기 리세트용 트랜지스터에 의해, 그 제 3 소스 및 제 3 드레인을 거쳐서, 리세트 신호가 구동용 트랜지스터의 제 1 게이트에 공급된다. 이 결과, 구동용 트랜지스터의 게이트 전압을 리세트 타이밍 신호의 공급 타이밍으로 일정치에 리세트할 수 있다. 따라서, 제 2 또는 제 3 트랜지스터 회로에 대해 설명한 동작이 가능해진다.

본 발명의 제 5 트랜지스터 회로는, 상술한 제 1 내지 제 4 중 어느 한 트랜지스터 회로에서, 상기 구동용 트랜지스터와 상기 보상용 트랜지스터는, 동일 도전형의 트랜지스터인 것을 특징으로 한다.

상기 제 5 트랜지스터 회로에서는, 구동용 트랜지스터와 보상용 트랜지스터는, 동일 도전형 트랜지스터이지만, 여기서 「동일 도전형」이란, 트랜지스터의 도전형이 동일하고, 예컨대 구동용 트랜지스터가 N 채널형이면, 보상용 트랜지스터도 N 채널형이고, 구동용 트랜지스터가 P 채널형이면, 보상용 트랜지스터도 P 채널형인 경우이다. 따라서, 보상용 트랜지스터의 임계치와 구동용 트랜지스터의 임계치는 서로 거의 같아지기 때문에, 상기 트랜지스터 회로 내에서, 이들 임계치는 서로 상쇄되고, 그 결과, 구동 전류에 대한 입력 신호의 임계치를 거의 영으로서 컨덕턴스 제어를 하는 것도 가능해진다. 더욱이, 복수의 트랜지스터 회로를, 임계치에 격차가 있는 복수의 구동용 트랜지스터를 사용해 형성한 경우에도, 임계치의 격차를 보상하는 것도 가능해진다.

또한, 트랜지스터의 채널 폭, 채널 길이를 비롯한 설계치, 디바이스 구조, 프로세스 조건 등도, 구동용 트랜지스터와 보상용 트랜지스터에서 동일하게 함으로써, 보다 완전한 보상이 가능해진다.

본 발명의 제 6 트랜지스터 회로는, 상술한 제 1 내지 제 5 중 어느 한 트랜지스터 회로에서, 제 4 게이트, 제 4 소스 및 제 4 드레인을 가지고, 상기 제 4 게이트에 스위칭 타이밍 신호가 공급되었을 때 상기 입력 신호를 상기 제 4 소스 및 제 4 드레인을 거쳐서 상기 보상용 트랜지스터에 공급하도록 접속된 스위칭용 트랜지스터를 더 구비한 것을 특징으로 한다.

상기 제 6 트랜지스터 회로에 의하면, 스위칭 타이밍 신호가 스위칭용 트랜지스터의 제 4 게이트에 공급되면, 입력 신호가, 상기 스위칭용 트랜지스터의 제 4 소스 및 제 4 드레인을 거쳐서 보상용 트랜지스터에 공급된다. 이 결과, 스위칭 타이밍 신호의 공급 타이밍으로 입력 신호를 구동용 트랜지스터에 공급할 수 있다.

본 발명의 제 7 트랜지스터 회로에 의하면, 상술한 제 1 내지 제 6 중 어느 한 트랜지스터 회로에서, 상기 제 1 게이트에 접속된 보존 용량을 더 구비한 것을 특징으로 한다.

상기 제 7 트랜지스터 회로에 의하면, 제 1 게이트에 입력 신호가 공급되면 그 전압은, 상기 1게이트에 접속된 보존용량에 의해 보존된다. 따라서, 입력 신호를 일정기간만 공급한 경우에도, 그보다도 긴 기간에 걸쳐 제 1 게이트에 이러한 전압을 보존하는 것이 가능해진다.

또한, 보상용 트랜지스터를 통해, 스위칭용 트랜지스터에 누설 전류가 있는 경우에도, 제 1 게이트에 인가되는 전위의 변화를 저감하는 것이 가능해진다.

본 발명의 제 8 트랜지스터 회로는, 상술한 제 1 내지 제 7 중 어느 한 트랜지스터 회로에서, 상기 트랜지스터 회로가, 동일 기관 상에 형성된 박막 트랜지스터로 구성되어 있는 것을 특징으로 한다.

상기 제 8 트랜지스터 회로에 의하면, 동일 기관 상에 형성된 구동용 박막 트랜지스터에서의 전류 전압 특성이나 임계치 특성이 구동 전류에 미치는 영향을 보상용 박막 트랜지스터에 의해 보상할 수 있다. 특히, 양 박막 트랜지스터를 동일 기관 상에 동일 박막 형성 공정에서 형성하면, 양 트랜지스터 간의 특성은 보다 유사하기 때문에, 전류 전압 특성이나 임계치 특성의 격차가 적은 복수의 트랜지스터 회로를 동일 기관 상에서 얻는 것이 가능해진다.

본 발명의 제 9 트랜지스터 회로는, 상술한 제 1 내지 제 7 중 어느 한 트랜지스터 회로에서, 상기 트랜지스터는 각각, 상기 게이트, 소스 및 드레인이, 베이스, 컬렉터 및 이미터에 각각 대응하는 바이폴러 트랜지스터로 구성되어 있다.

상기 제 9 트랜지스터 회로에 의하면, 구동용 바이폴러 트랜지스터에서의 전류전압 특성이나 임계치 특성이 구동 전류에 미치는 영향을 보상용 바이폴러 트랜지스터에 의해 보상할 수 있다. 특히, 양 바이폴러 트랜지스터를 동일 제조 공정에서 제조하면, 양 트랜지스터 간의 특성 유사 정도는 일반적으로 높기 때문에, 전류전압 특성이나 임계치 특성의 격차가 적은 복수의 트랜지스터 회로를 얻는 것이 가능해진다.

본 발명의 제 10 트랜지스터 회로는, 상술한 제 1 내지 제 9 중 어느 한 트랜지스터 회로에서, 상기 입력 신호는, 입력 신호원에 의해 전압이 제어되는 전압신호이고, 상기 구동용 트랜지스터는, 상기 제 1 소스 및 제 1 드레인 중 한 쪽이 전류 제어형 소자에 접속되어 있고, 상기 컨덕턴스를 제어함으로써 상기 전류 제어형 소자에 흐르는 전류를 제어하는 것을 특징으로 한다.

상기 제 10 트랜지스터 회로에 의하면, 입력 신호원에 의해 전압이 제어되는 전압신호가, 입력 신호로서 보상용 트랜지스터를 거쳐서 공급되면, 구동용 트랜지스터에서, 이 전압 신호의 전압 변화에 따라 제 1 소스 및 제 1 드레인 간의 컨덕턴스가 제어된다. 이로써, 제 1 소스 및 제 1 드레인 중 한 쪽에 접속된 전류 제어형 소자는 전류 제어된다. 따라서, 전류 제어형 소자를 비교적 저전압의 입력 신호로 전류 구동하는 것이 가능해지고, 더구나, 복수의 구동용 트랜지스터 간에서의 전류 전압 특성이나 임계치 특성의 격차에 의하지 않고, 복수의 전류구동형 소자를 전압 신호의 전압에 따라 정밀도 높게 전류 제어하는 것도 가능해진다.

본 발명에 의하면, 상술한 제 10 트랜지스터 회로를 각각 포함함과 동시에 매트릭스 형상으로 배치된 복수의 화소부를 구비하고, 상기 전류 제어형 소자가 상기 화소부에 각각 설치된 것을 특징으로 하는 표시 패널이 제공된다.

이러한 표시 패널에 의하면, 각 화소부에서, 입력 신호가 보상용 트랜지스터를 거쳐서 공급되면, 구동용 트랜지스터에 의해 이 입력 신호의 전압에 따라 전류 제어형 발광소자는 전류 제어되기 때문에, 구동용 트랜지스터 간에서의 전류전압 특성이나 임계치 특성의 격차에 의하지 않고, 전류 제어형 발광 소자의 밝기(휘도)를 정밀도 높게 제어할 수 있고, 표시 패널의 화면 표시 영역의 전면에 걸쳐 밝기의 불균일성을 저감할 수 있다. 더욱이, 구동용 트랜지스터의 게이트 전압을 보상용 트랜지스터에 의해 승압함으로써 비교적 저전압의 입력 신호에 의해 전류 제어형 발광 소자의 제어를 하는 것도 가능해진다.

본 발명에 의하면, 상술한 표시 패널을 구비한 전자기기가 제공된다.

이러한 전자기기에 의하면, 상술한 표시 패널을 구비하기 때문에, 표시 패널의 전면에 걸쳐 밝기의 불균일성이 적게 또한 비교적 저전압으로 구동하는 것도 가능한 전자기기를 실현할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 트랜지스터 회로의 1 실시형태에서의 회로도.

도 2는 트랜지스터 회로에서의 각종 신호의 타이밍 차트(도 2(a)), 및 도 1의 트랜지스터 회로에서의 각종 신호의 타이밍 차트(도 2(b)).

도 3은 구동용 TFT를 구비한 비교예에서의 임계치 특성을 나타낸 특성도(도 3(a)) 및 보상용 TFT와 구동용 TFT를 구비한 본 실시형태에서의 임계치 특성을 나타낸 특성도(도 3(b)).

도 4는 임계치의 격차(ΔV_{th})에 대한 구동 전류(I_d)의 변화를 각종의 경우에 대해 나타낸 특성도.

도 5는 본 실시형태에서 리세트 신호(V_{rsig})를 5V로 한 경우의 보상용 TFT에 의한 강압 작용을 나타낸 타이밍 차트(도 5(a)) 및 리세트 신호(V_{rsig})를 0V로 한 경우의 보상용 TFT에 의한 강압작용을 나타낸 타이밍 차트(도 5(b)).

도 6은 트랜지스터 회로의 다른 실시 형태에서의 회로도.

도 7은 표시 패널의 실시형태의 전체 구성을 나타낸 평면도.

도 8은 도 7의 표시 패널의 1화소부의 평면도.

도 9는 도 8의 A-A' 단면도(도 9(a)), B-B' 단면도(도 9(b)) 및 C-C' 단면도(도 9(c)).

도 10은 도 7의 표시 패널에서의 서로 인접하는 4개의 화소부의 회로도.

도 11은 본 발명에 의한 전자기기의 실시형태의 개략구성을 나타낸 블록도.

도 12는 전자기기의 일예로서의 퍼스널 컴퓨터를 나타낸 모식도.

도 13은 전자기기의 다른 예로서의 TCP를 사용한 액정장치를 나타낸 사시도.

실시예

본 발명의 작용 및 다른 이득은 다음에 설명하는 실시 형태로 분명해진다.

이하, 본 발명의 실시형태를 도면에 근거하여 상세히 설명한다.

(트랜지스터 회로)

먼저, 본 발명의 트랜지스터 회로의 실시형태에 대해 도 1 및 도 2를 참조하여 설명한다. 도 1은, 본 실시형태에서의 트랜지스터 회로의 회로도이고, 도 2 (a) 및 (b)는 각각, 상기 트랜지스터 회로에서의 각종 신호의 타이밍 및 전압을 도시한 타이밍 차트이다.

도 1에서, 트랜지스터 회로(100)는, 구동용 TFT(110)(P채널형), 보상용 TFT (120)(P채널형), 리세트용 TFT(130)(N채널형) 및 스위칭용 TFT(140)(N채널형)을 구비하여 구성되어 있다. 이하, 각 트랜지스터의 구성에 대해서 순서대로 설명한다.

먼저, 구동용 트랜지스터의 일예를 구성하는 구동용 TFT(110)는, 스위칭용 TFT(140) 및 보상용 TFT(120)를 거쳐서 공급되는 입력 신호에 근거하여 게이트(111)에 인가되는 게이트 전압(V_g)에 따라, 소스(112) 및 드레인(113) 간의 컨덕턴스가 제어되도록 구성되어 있다.

보상용 트랜지스터의 일예를 구성하는 보상용 TFT(120)는, 게이트(121)가 소스(122) 및 드레인(123) 중 한 쪽(도 1에서는, 드레인(123))에 접속되어 있다. 즉, 보상용 TFT(120)는 소위 다이오드 접속되어 있다. 그리고, 보상용 트랜지스터(120)는, 소스(122) 및 드레인(123)을 거쳐서, 입력 신호가 게이트(111)에 공급되도록 또한 게이트(111)에 대해 컨덕턴스를 낮추는 방향의 전하 이동을 가능하게 하는 방향으로(도 1에서는, 드레인(123) 측이) 게이트(111)에 접속되어 있다.

리세트 수단의 일예를 구성하는 리세트용 TFT(130)는, 소스(132) 및 드레인(133) 중 한 쪽(도 1에서는, 드레인(133))이 게이트(111)에 접속되어 있고, 게이트(131)에 리세트 타이밍 신호의 일예로서의 전압(Vrscan)의 리세트 주사신호(이하, 리세트 주사신호(Vrscan)라 칭함)가 입력 신호(Vsig)의 공급 전에 공급되었을 때에, 소스(132) 및 드레인(133)을 거쳐서 전압(Vrscan)의 리세트 신호(이하, 리세트 신호(Vrsig)라 칭함)를 게이트(111)에 공급하도록 구성되어 있다.

또한, 스위칭 트랜지스터의 일예를 구성하는 스위칭용 TFT(140)는, 게이트(141)에 스위칭 타이밍 신호의 일예로서의 전압(Vscan)의 주사 신호(이하, 주사 신호(Vscan)라 칭함)가 공급되었을 때에, 전압(Vsig)의 입력 신호(이하, 입력 신호(Vsig)라 칭함)를 소스(142) 및 드레인(143)을 거쳐서 보상용 TFT(120)에 공급하도록 입력 신호원 및 보상용 TFT(120) 간에 접속되어 있다.

그리고, 구동용 트랜지스터(110)의 소스(112)에는, EL 소자 등의 전류 제어형(전류구동형) 소자(500)의 한쪽 끝이 접속되어 있고, 이 전류 제어형 소자(500)의 다른 끝에는, 소정 전위의 부전원(-Vc)이 접속되어 있다. 또한, 구동용 트랜지스터(110)의 드레인(113)에는, 소정 전위의 정전원(+Vc)이 접속되어 있다. 따라서, 구동용 트랜지스터(110)에서 소스(112) 및 드레인(113) 간의 컨덕턴스 제어가 행해지면, 전류 제어형 소자(500)를 흐르는 구동전류(Id)가 제어된다(즉, 컨덕턴스 변화에 따라 구동전류(Id)가 변화한다).

더욱이, 구동용 트랜지스터(110)의 게이트(111)에는, 보존 용량(160)이 접속되어 있다. 이 때문에, 일단 인가된 게이트 전압(Vg)은, 보존 용량(160)에 의해 보존된다.

다음에, 이상과 같이 구성된 트랜지스터 회로(100)의 동작에 대해서 도 1과 함께 도 2 및 도 3을 참조하여 설명한다.

도 2(a)에 도시된 바와 같이(이 도면은 구동용 TFT(110) 및 보상용 TFT(120)로서 모두 P채널형 TFT를 사용한 경우를 나타냄), 리세트 주사 신호(Vrscan)가 리세트용 TFT(130)에 입력되면, 리세트용 TFT(130)가 도통 상태가 되고, 구동용 TFT(110)의 게이트(111)에는, 리세트 신호(Vrsig)가 공급되어, 게이트(111)의 게이트 전압(Vg)은, 이 리세트 신호(Vrsig)의 전압(Vrsig)에 거의 같은 레벨이 된다. 이 결과, 입력 신호(Vsig)의 전압(Vsig)의 대소에 의하지 않고 구동용 TFT(110)의 게이트 전압(Vg)을 리세트 주사신호(Vrsig)의 공급 타이밍으로 일정 전압(즉, 전압(Vrsig))에 리세트할 수 있다.

그리고, 이 리세트 기간이 끝나고, 주사 신호(Vscan)가 스위칭용 TFT(140)에 공급되면, 스위칭용 TFT(140)가 도통 상태로 되어, 구동용 TFT(110)의 게이트(111)에는, 보상용 TFT(120)를 거쳐서 데이터 신호(Vsig)가 공급된다. 여기서, 본 실시형태에서는 특히 보상용 TFT(120)에서 게이트(121)가 드레인(123)에 접속되어 있기 때문에(즉, 다이오드 접속되어 있기 때문에), 부전압을 게이트(111)에 인가함으로써 도통 상태가 되는 P 채널형 TFT인 구동용 TFT(110)에서의 게이트 전압(Vg)은, 데이터신호(Vsig)의 전압(Vsig)보다도 보상용 TFT(120)의 임계치 전압(Vth2)만큼 부전압 측에 강압된다. 그리고, 이와 같이 강압된 게이트 전압(Vg)은, 주사 신호(Vscan)나 입력 신호(Vsig)의 공급 정지 후에도, 보존 용량(160)에 의해 구동기간 중 보존된다.

더욱이, 리세트 기간으로서는, 게이트 전압(Vg)이 리세트 신호(Vrsig)의 전압(Vrsig)이 되는 시간만큼 취하면 충분하다. 이 때문에, 구동 기간을 리세트 기간보다도 훨씬 길게 설정할 수 있고, 이로써, 리세트 기간 중에 구동용 TFT(110)가 리세트 신호(Vrsig)에 의해 도통 상태가 되어도, 이 사이에 구동용 TFT(110)의 소스(112) 및 드레인(113)을 거쳐서 흐르는 전류의 구동 전류(Id)에 대한 영향을 무시할 수 있는 정도로 작게 할 수 있다.

이상과 같이 본 실시형태에 의하면, 보상용 TFT(120)의 임계치 전압(Vth2)분만큼 입력 신호(Vsig)에 대한 게이트 전압(Vg)을 강압할 수 있기 때문에, 보상용 TFT(120)가 없는 경우에 비해, 보다 낮은 입력 신호(Vsig)의 전압(Vsig)을 사용하여 동등한 컨덕턴스 제어를 구동용 TFT(110)에서 하는 것이 가능해진다.

더구나, 도 2(b)는, 구동용 TFT(110) 및 보상용 TFT(120)로서 모두 N 채널형 TFT를 사용한 경우의 타이밍 차트이고, 이 경우에는, 정전압을 게이트(111)에 인가함으로써 도통 상태가 되는 N채널형 TFT인 구동용 TFT(110)에서의 게이트 전압(V_g)은, 리셋 시에 리셋 신호(V_{rsig})의 전압(V_{rsig})이 된 후, 입력 신호(V_{sig})의 전압(V_{sig})보다도 보상용 TFT(120)의 임계치 전압(V_{th2})만 정전압 측에 승압된다.

여기서, 보상용 TFT(120)를 개재시키는 일 없이 구동용 TFT(110)에 입력 신호(V_{sig})를 직접 입력했다고 하면, 즉 입력 신호(V_{sig})의 전압(V_{sig})과 게이트 전압(V_g)이 일치할 경우에는, 도 3(a)(구동용 TFT(110)가 N채널형 TFT인 경우임)에 도시된 바와 같이, 구동 전류(I_d)는 구동용 TFT(110)의 임계치 전압(V_{th1})으로부터 상승하는 특성을 가진다. 예를 들면, 이 임계치 전압(V_{th1})의 설계 기준치를 2V로 하면 임계치의 격차는 $\pm 0.5V$ 정도가 된다. 그리고, 구동용 TFT(110)에서의 임계치 전압(V_{th1})의 격차가 그대로 구동 전류(I_d)의 격차로서 나타난다.

이에 대해, 본 실시 형태에서는, 보상용 TFT(120)를 거쳐서 구동용 TFT(110)에 입력 신호(V_{sig})를 입력하기 때문에, 즉 입력 신호(V_{sig})의 전압(V_{sig})을 보상용 TFT(120)의 임계치 전압(V_{th2})분만큼 승압해 게이트 전압(V_g)으로 할 경우에는, 도 3(b)(구동용 TFT(110) 및 보상용 TFT(120)가 모두 N채널형 TFT인 경우임)에 도시된 바와 같이, 보상용 TFT(120)의 임계치 전압(V_{th2})과 구동용 TFT(110)의 임계치 전압(V_{th1})이 상쇄되어, 트랜지스터 회로(100) 전체에 대한 입력 신호(V_{sig})의 임계치 전압(V_{th})은 영에 가까워진다. 그리고, 특히, 양 임계치 전압(V_{th1})과 (V_{th2})가 거의 일치할 경우에는, 이 임계치 전압(V_{th})은 거의 영이 된다. 이와 같이, 임계치 전압(V_{th1})(V_{th2})을 일치시키는 것은, 예를 들면 동일 반도체 기판 상의 근접 위치에 구동용 TFT(110)와 보상용 TFT(120)를 같은 도전형 TFT로 구성함으로써 비교적 간단히 할 수 있다.

이와 같이 구성하면, 양쪽의 TFT에서의, 박막 형성되는 게이트 절연막, 반도체막 등의 막 두께나, 채널 길이 등의 각 구성 요소의 평면 형상이나, 채널형성용 영역, 소스 영역, 드레인 영역에서의 불순물 농도나, 동작 시의 온도상태 등을 용이하게 일치시킬 수 있기 때문에, 결국, 양쪽의 TFT의 임계치 전압(V_{th1})과 (V_{th2})을 완전히 또는 거의 완전히 일치시킬 수 있다. 더구나, 임계치 특성을 근사시키는 데에는, 채널 길이는 같게 하는 쪽이 좋지만, 채널 폭은 같지 않아도 된다.

이와 같이 본 실시형태에 의하면, 구동용 TFT(110)와 보상용 TFT(120)의 임계치 특성이나 전압전류 특성을 근접시킴으로써(이상적으로는 일치시킴으로써), 구동 전류(I_d)에 대한 입력 신호(V_{sig})의 임계치 전압(V_{th})을 영에 근접시키는(이상적으로는 영에 일치시키는) 것이 가능해진다.

더욱이, 도 3(a) 및 도 3(b)에서 알 수 있는 바와 같이, 복수의 트랜지스터 회로(100)를 제조할 경우에, 각 구동용 TFT(110)에서의 임계치 전압(V_{th1})에 격차가 있다고 해도, 이 임계치 전압(V_{th1})의 대소에 의하지 않고 각 보상용 TFT(120)의 작용에 의해 각 트랜지스터 회로(100)의 임계치 전압(V_{th})은, 영에 가까운 값이 된다. 즉, 임계치 전압(V_{th})이 일정한 복수의 트랜지스터 회로(100)를 제조할 수 있게 된다. 이것은, 후술하는 바와 같이 복수의 트랜지스터 회로(100) 간에서의 임계치 전압(V_{th})의 격차가 문제가 되는 표시 패널용 등의 용도에는 특히 도움이 된다. 그리고, 각 트랜지스터 회로(100)에서, 서로 근접 배치되는 한 쌍의 구동용 TFT(110)의 임계치 전압(V_{th1})과 보상용 TFT(120)의 임계치 전압(V_{th2})을 일치시키는 것은, 거리를 두고 별도로 배치되는 두개의 구동용 TFT(110)의 임계치 전압(V_{th1})을 일치시키는 것보다도 진술한 바와 같이 훨씬 용이하기 때문에, 이와 같이 보상용 TFT(120)에 의해 각 트랜지스터 회로(100)에서의 임계치 전압(V_{th1})을 보상하는 구성은, 복수의 트랜지스터 회로(100) 상호 간의 임계치 전압(V_{th})의 격차를 저감시키기 위해서는 지극히 효과적이라고 할 수 있다.

이상과 같이 본 실시 형태에 의하면, 트랜지스터 회로(100)를 복수 작성할 때에, 임계치 전압(V_{th1})이 상이한 복수의 구동용 TFT(110), 즉 설계 기준치로서의 임계치 전압(예를 들면, 2.5V)부터 크게 흩어진 임계치 전압(V_{th1})을 각각 가진 복수의 구동용 TFT(110)를 사용했다 해도, 임계치 전압(V_{th})의 격차가 거의 또는 완전히 없는 복수의 트랜지스터 회로(100)를 얻는 것이 가능해진다. 이 때문에, 전류전압 특성에 대해서 TFT에 요구되는 조건이 완만해져, 제품 비율의 향상 및 제조 비용의 저감을 도모할 수 있다.

더구나, 도 3(a) 및 도 3(b)에서 알 수 있듯이, 임계치 전압(V_{th1}) 및 (V_{th2})를 일치시킴으로써, 각 구동용 TFT(110)에서의 컨덕턴스 제어를 입력 신호 (V_{sig})의 전압(V_{sig})보다도 높은 게이트 전압(V_g)을 사용하여 행할 수 있는 제 1 효과 및 복수의 트랜지스터 회로(100) 간에서의 임계치 전압(V_{th})의 격차를 저감한다는 제 2 효과는 현저히 발현하지만, 각 트랜지스터 회로(100)에서 구동용 TFT(110)의 임계치 전압(V_{th1})과 보상용 TFT(120)의 임계치 전압(V_{th2})을 완전히 일치시키지 않더라도, 양 임계치 전압은 상쇄하는 성질을 갖기 때문에, 양 임계치 전압의 유사성에 따른 정도로 이들 제 1 및 제 2 효과가 얻어진다.

본 실시 형태에서는, 특히 게이트(111)에 대하여 입력 신호(Vsig)에 따라 제어되는 컨덕턴스의 최고치보다도 높은 컨덕턴스 값에 대응하는 전압을 가진 리세트 신호(Vrsig)를 공급하도록 구성되어 있다. 따라서, 입력 신호(Vsig)의 전압치(Vsig)의 대소에 의하지 않고 리세트 후에, 이 컨덕턴스를 낮추는 방향의 전하 이동을 가능하게 하는 방향으로 게이트(111)에 접속된 보상용 TFT(120)를 거쳐서 입력 신호(Vsig)를 게이트(111)에 공급하는 것이 가능해진다. 더구나 본 실시형태에서는, 리세트 신호(Vrsig)는, 입력 신호(Vsig)의 최대 전압보다도 보상용 TFT(120)의 임계치 전압(Vth2)분 이상 큰 전압으로 설정되어 있다. 따라서, 리세트 후에 입력 신호(Vsig)가 입력되면, 입력 신호(Vsig)의 전압(Vsig)의 대소나 보상용 TET(120)의 임계치 전압(Vth2)의 대소에 의하지 않고 늘, 그 입력 신호(Vsig)의 전압(Vsig)보다도 보상용 TFT(120)의 임계치 전압(Vth2)분만큼 높은 전압을, 게이트(111)에 공급할 수 있다.

더구나, 종래의 액정 표시 소자로 자주 사용되고 있는, 입력 신호(Vsig)의 반전이 행해질 경우에는, 반전한 입력 신호도 포함한 모든 입력 신호(Vsig)에 대해서도, 상기 리세트 신호(Vrsig)의 관계가 성립하는 것이 바람직하다.

이 리세트 신호(Vrsig)의 전압 설정에 의한 효과에 대해서도 도 4 및 도 5를 참조하여 검토를 가한다. 여기서, 도 4는, 임계치의 설계 기준치를 예를 들면 -2.5V로서 그 기준치로부터의 임계치 전압의 격차(ΔV_{th})에 대한 구동전류(Id)의 변화를, (1) 보상용 TFT(120) 없이 구동용 TFT(110)에 직접 입력 신호(Vsig)를 공급한 경우(특성 곡선(C1)), (2) 리세트 신호(Vrsig)를 5V로서 보상용 TFT(120)를 거쳐서 구동용 TFT(110)에 입력 신호(Vsig)를 공급한 경우(특성 곡선(C2)) 및 (3) 리세트 신호(Vrsig)를 0V로서 보상용 TFT(120)를 거쳐서 구동용 TFT(110)에 입력 신호(Vsig)를 공급한 경우(특성 곡선(C3))에 대해서 각각 도시한 것이다. 또한, 도 5(a)는, 특성 곡선(C2)에 대한 게이트 전압(Vg)의 변동 범위를 도시하고, 도 5(b)는 특성 곡선(C3)에 대응하는 게이트 전압(Vg)의 변동범위를 도시한다. 또한, 여기서, Vsig = 7.5 V, +Vc = 10 V, -Vc = 5 V로 하고 있다.

도 4에서, 특성 곡선(C1)으로 도시한 바와 같이, 보상용 TFT(120) 없는 경우에는, 임계치 전압의 격차(ΔV_{th})가 그대로 구동전류(Id)의 격차로서 현저히 나타나고 있다.

특성 곡선(C2)으로 도시한 바와 같이, 리세트 신호(Vrsig)를 5V로서 보상용 TFT를 사용한 경우에는, 임계치 전압의 격차(ΔV_{th})가, 플러스 측에서는 꽤 보상되어 있지만, 마이너스 측에서는, 구동전류(Id)의 격차로서 나타나고 있다. 이것은, 도 5(a)에 도시된 바와 같이 마이너스 측에서는, 리세트 후에 입력 신호(Vsig)가 입력되었을 때, 게이트 전압(Vg)을, 입력 신호(Vsig)보다도, 임계치 전압(Vth2) 분만 부전압 측에 강압하는(보상하는) 것이 불가능하기 때문이다. 왜냐하면, 다이오드인 보상용 TFT(120)는, 게이트 전압(Vg)을 리세트 신호(Vrsig)에서 입력 신호(Vsig)로 근접시키는 것은 가능해도 멀리하는 것은 불가능하기 때문이다.

또한, 특성 곡선(C3)으로 도시한 바와 같이, 리세트 신호(Vrsig)를 0V로서 보상용 TFT를 사용한 경우에는, 임계치 전압의 격차(ΔV_{th})가, 구동 전류(Id)의 격차로서 거의 나타나고 있지 않다. 이것은, 도 5(b)에 도시된 바와 같이, 리세트 후에 입력 신호(Vsig)가 입력되었을 때, 게이트 전압(Vg)을, 입력 신호(Vsig)보다도, 임계치 전압(Vth) 분만큼 부전압 측에 강압하는(보상하는) 것이 가능하기 때문이다. 또한, 여기서 준 Vsig=7.5V는, 입력 신호(Vsig)의 최소 전위라고 생각하면, 모든 Vsig에 대해 보상할 수 있는지에 대해, 상기 고찰이 성립한다.

이상과 같이, 본 실시형태에서는, 입력 전압(Vsig)의 대소나 보상용 TFT(110')의 임계치 전압(Vth2)의 대소에 의하지 않고서 항상 그 입력 신호(Vsig)의 전압보다도 보상용 TFT(120)의 임계치 전압(Vth2) 분만큼 낮은 전압(Vg)을 구동용 TFT(110)의 게이트(111)에 인가할 수 있는 것이다.

더구나, 도 2(a) 및 도 2(b)에서, 게이트 전압(Vg)은 구동 기간 중, 보존용량(160)에 의해 보존된다. 이 때문에, 보존 용량(160)에 의해, 복수의 트랜지스터 회로(100) 간에서의 게이트 전압(Vg)의 보존 특성의 격차를 저감(보상)할 수 있다.

이상, 도 1 내지 도 5를 참조하여 설명한 바와 같이, 본 실시형태의 트랜지스터 회로(100)에 의하면, EL 소자 등의 전류 제어형 소자(500)를 비교적 저전압의 입력 신호(Vsig)로 전류 구동하는 것이 가능해지고, 게다가, 복수의 구동용 TFT(110) 간에서의 전류 전압 특성이나 임계치 특성의 격차에 의하지 않고, 복수의 전류 제어형 소자(500)를 입력 신호(Vsig)의 전압에 따라 정밀도 좋게 전류 제어할 수 있다.

더구나, 도 1에 도시한 예에서는, P 채널형 TFT와 N 채널형 TFT 양 쪽을 사용하고 있지만, 모든 TFT를 N채널형 TFT로 구성해도 되고, 혹은, 모든 TFT를 P채널형 TFT로 구성해도 된다. 단, 구동용 TFT(110)의 전류전압 특성이나 임계치 특성을 보상용 TFT(120)로 보상하는 관점에서는, 이들 구동용 TFT(110) 및 보상용 TFT(120)를 동일 공정에 의해 동일 도전형의 TFT로서 구성한 쪽이 유리하다. 특히, 양 TFT를 동일 박막 형성공정에서 형성하면, 양 TFT 간의 특성 유사 정도

는 일반적으로 증가하기 때문에, 전류전압 특성이나 임계치 특성의 격차가 전혀 또는 거의 없는 트랜지스터 회로(100)를 동일 기판 상에서 얻는 것이 가능해진다. 한편, 리세트용 TFT(130)나 스위칭용 TFT(140)는, 구동용 TFT(110)가 P채널형인지 N채널형인지에 의하지 않고, P채널형이라도 N채널형이라도 상관없다. 단, 모든 TFT를 같은 도전형의 TFT로 한 쪽이 제조상 유리한 경우도 많다.

또한, 본 실시형태에서의 각종 TFT(110 내지 140)을, 접합형, 병렬·직렬 접속 등 중 어느 한 종류의 전계 효과 트랜지스터(FET)로 구성해도 된다.

더욱이, 도 6에 도시된 바와 같이, 상술과 같은 트랜지스터 회로를 바이폴러 트랜지스터로 구성해도 된다. 이 경우, 상술한 게이트, 소스 및 드레인을 베이스, 이미터 및 컬렉터에 각각 대응시키고, 바이폴러 트랜지스터로부터 구동용 트랜지스터(110')를 구성함과 동시에 바이폴러 트랜지스터로부터 보상용 트랜지스터(120')를 구성하여, 트랜지스터 회로(100')로 하면 된다. 일반적으로 바이폴러 트랜지스터의 경우에는, 임계치 전압은, 예를 들면 0.7 V를 중심으로 하고, 그 격차는 TFT와 비교하면 작지만, 이와 같이 구성해도, 구동용 트랜지스터(110')에서의 전류전압 특성이나 임계치 특성의 격차가 구동 전류(I_d)에 미치는 영향을 보상용 트랜지스터(120')에 의해 보상할 수 있다. 더욱이, 비교적 저전압으로 구동용 트랜지스터(110')에 의한 구동을 행할 수 있다. 특히, 구동용 트랜지스터(110')와 보상용 트랜지스터(120')를 동일 제조공정에서 제조하면, 이들 양 트랜지스터 간의 특성 유사 정도는 일반적으로 증가하기 때문에, 전류전압 특성이나 임계치 특성의 격차가 거의 없는 또는 저감된 복수의 트랜지스터 회로(100')를 얻는 것이 가능해진다.

이상의 실시 형태에서의 전류 제어형 소자(500)로는, 유기 EL 소자, 무기 EL 소자 등의 전류 제어형 발광 소자, 전류 제어형의 열전사 소자 등 각종 소자를 들 수 있다.

(표시 패널)

본 발명의 표시 패널의 실시형태에 대해서 도 7에서 도 10을 참조하여 설명한다. 도 7은, 표시 패널의 전체구성을 도시하는 블록도이고, 도 8은, 표시 패널에서의 한 화소부의 평면도이고, 도 9(a), 도 9(b) 및 도 9(c)는 각각, 그 A-A' 단면도, B-B' 단면도 및 C-C' 단면도이고, 도 10은, 서로 인접하는 4개 화소부의 회로도이다.

본 실시형태에서의 표시 패널은, 상술한 본 발명의 트랜지스터 회로를 각각 포함함과 동시에 매트릭스 형상으로 배치된 복수의 화소부를 구비하고 있고, 상기 복수의 화소부에는, 전류 제어형 발광 소자의 일례로서 EL 소자(50)가 각각 설치되어 구성되어 있다.

도 7에 도시된 바와 같이, 표시 패널(200)은, TFT 어레이기판(1)을 가지고, 상기 TFT 어레이기판(1) 상에서 복수의 화소부(2)가 매트릭스 형상으로 배치된 화면 표시 영역에는, Y방향으로 각각 늘어나고 있고 X방향으로 배열된 복수의 데이터선(11)과, X방향으로 각각 늘어나고 있고 Y방향으로 배열된 복수의 주사선(12)과, 복수의 데이터선(11)과 평행으로 나열된 복수의 공통급전선(13)을 구비하고 있다. 표시 패널(1)은 더욱이, 화면 표시 영역의 주위에, 각 데이터선(11)에 데이터 신호를 공급하는 데이터선 구동회로(21)와, 각 주사선(12)에 주사신호를 공급하는 한 쌍의 주사선 구동회로(22)와, 각 화소부(2)에서의 도통 불량, 절연 불량, 소자의 결함 등을 검사하기 위한 검사 회로(23)를 구비하여 구성되어 있다. 또한, 본 실시 형태에서는, 각 구동 회로는, TFT 어레이기판(1) 상에 화소부(2)와 공통 공정에서 형성되어 있지만, TFT 어레이기판(1) 상에 없는 회로가 되어도 되고, 또는 화소부(2)와 별도의 공정에서 형성되어도 된다.

도 8에 도시된 바와 같이, 각 화소부(2)에는, 도 1에서 도 6을 사용하여 설명한 구동용 TFT(110), 보상용 TFT(120), 리세트용 TFT(130), 스위칭용 TFT(140) 및 보존용량(160)이 설치되어 있다. 그리고, 전 단계의 주사선(12b)이 도 1에서의 리세트 주사신호(Vrscan)용 배선이 되고, 현 단계의 주사선(12a)이 도 1에서의 주사신호(Vscm)용 배선 및 리세트 신호(Vrsig)용 배선이 되어, 현 단계의 데이터선(11a)이 도 1에서의 입력 신호(Vsig)(데이터 신호)용 배선이 되어 있다. 더욱이, 공통급전선(13)이 정전원(+V)에 접속되어 있고, EL 소자(50)가 구동용 TFT(110)와 후술하는 대향전극 간에 접속되어 있고, 상기 대향 전극이 부전원(-V)에 접속되어 있다.

도 9(a)에 도시된 바와 같이, 스위칭용 TFT(140), 보상용 TFT(120) 및 보존용량(160)은, 도 8의 A-A' 단면을 따라, TFT 어레이기판 상(1)에 반도체막(폴리실리콘막)(4), 산화 실리콘막이나 질화 실리콘막으로 이루어지는 게이트 절연막(5), Ta(탄탈륨)막(6), 산화 실리콘막이나 질화 실리콘막으로 이루어지는 제 1 층간절연막(7) 및 A1막(8)으로 구성되어 있다. 더구나, 게이트 전극 형성용의 Ta막(6) 대신에, 저저항 폴리실리콘막을 성막해도 된다.

보다 구체적으로는, 스위칭용 TFT(140)는, 폴리 실리콘막(6)으로 이루어지는 게이트(141)를 가진 톱 게이트형의 TFT이고, 게이트 절연막(5)을 거쳐서 게이트(141)에 대향하는 반도체층(4) 부분을 채널형성용 영역으로서, 그 양측에 n 형으로

고농도 도프된 소스(142) 및 드레인(143)을 구비한 N채널형 TFT로 구성되어 있다. 그리고, 소스(142)는, 게이트 절연막(5) 및 제 1 층간절연막(7)에 개공된 콘택트 홀을 거쳐서 Al막(8)으로 이루어지는 데이터선(11a)에 접속되어 있다. 또한, 드레인(143)은, 게이트 절연막(5) 및 제 1 층간절연막(7)에 개공된 콘택트 홀 및 Al막(8)을 중계하여, 보상용 TFT(120)에 접속되어 있다.

보상용 TFT(120)는, Ta막(6)으로 이루어지는 게이트(121)를 가진 톱 게이트형 TFT이고, 게이트 절연막(5)을 거쳐서 게이트(121)에 대항하는 반도체막(4)부분을 채널형성용 영역으로서, 그 양측에 p형으로 고농도 도프된 소스(122) 및 드레인(123)을 구비한 P채널형 TFT로 구성되어 있다.

그리고, 게이트 절연막(5) 및 제 1 층간절연막(7)에 개공된 콘택트 홀 및 A1(8)을 중계하여 스위칭용 TFT(140) 및 보존용량(160) 및 구동용 TFT(110)의 게이트(111)에 접속되어 있다.

또한, 보존 용량(160)은, 2중의 콘덴서 구성을 가진 바와 같이, 반도체막(4), Ta 막(6) 및 Al 막(8)이, 게이트 절연막(5) 및 제 1 층간절연막(7)을 거쳐서 대항 배치되어 구성되어 있다. 그리고 보존 용량을 구성하는 반도체막(4) 부분은, 게이트 절연막(5) 및 제 1 층간절연막(7)에 개공된 콘택트 홀을 거쳐서 A1막(8)에 접속되어 있고, 보존용량을 구성하는 Ta막(6) 부분은 제 1 층간절연막(7)에 개공된 콘택트 홀을 거쳐서 A1막(8)에 접속되어 있다.

도 9(b)에 도시된 바와 같이, 리세트용 TFT(130)는, 도 8의 B-B' 단면을 따라, TFT 어레이기판 상(1)에 반도체막(4), 게이트 절연막(5), Ta막(6), 제 1 층간절연막(7) 및 A1막(8)으로 구성되어 있다.

보다 구체적으로는, 리세트용 TFT(130)는, Ta막(6)으로 이루어지는 게이트(131)를 가진 톱 게이트형 TFT이고, 게이트 절연막(5)을 거쳐서 게이트(131)에 대항하는 반도체층(4) 부분을 채널형성용 영역으로서, 그 양측에 n형으로 고농도 도프된 소스(132) 및 드레인(133)을 구비한 N채널형 TFT로서 구성되어 있다. 그리고 소스(132) 및 드레인(133)은, 게이트 절연막(5) 및 제 1 층간절연막(7)에 개공된 콘택트 홀 및 Al막(8)을 중계하여, Ta막(6)으로 이루어지는 현 단계의 주사선(12a) 및 구동용 TFT(110)의 게이트(111)에 각각 접속되어 있다.

또한, 도 9(c)에 도시된 바와 같이, 구동용 TFT(110)는, 도 8의 C-C' 단면을 따라, TFT 어레이기판 상(1)에 반도체막(4), 게이트 절연막(5), Ta막(6), 제 1 층간절연막(7) 및 A1막(8)으로 구성되어 있다. 그리고, 제 2 층간절연막(9) 상에는, 구동용 TFT(110)의 드레인(113)에 콘택트 홀 및 A1막(8)을 중계하여 접속된 IT0막(51)이 형성되고, 그 위에 EL 소자(50)가 형성되어 있다. 한편, 구동용 TFT(110)의 소스(112)는, 콘택트 홀을 거쳐서 A1막(8)으로 이루어지는 공통급 전선(13)에 접속되어 있다. 또한, 서로 인접하는 화소부(2)에서의 EL 소자(50)는, 전기 절연성의 बैं크(52)에 의해 서로 막혀 있다. 바람직하게는, बैं크(52)는 차광성을 가진 것이 좋다. बैं크(52)는, 예를 들면, 차광성 레지스트로 이루어지고, 상기 표시 패널(200)의 화면 표시 영역의 주위를 덮는 주변 확인 영역에도 बैं크(52)를 설치하도록 해도 된다. 그리고, EL 소자(50) 상에는, A1 등의 저저항 금속 혹은 ITO 등으로 이루어지는 대향전극(상전극)(56)이 설치되어 있다.

도 10에 도시된 바와 같이, 표시 패널(200)에서는 특히, 공통급 전선(13)에 의해 X 방향으로 서로 인접한 화소부(2)의 쌍방에 대해 정전원(+V)이 공급되는 구성을 채용하고, 정전원(+V) 공급용의 전원 배선을 단순하게 화소부(2)의 열마다 설치하는 경우와 비교하여, 전원 배선의 수를 약 1/2로 하고 있다. 또한, 리세트용 TFT(130)의 게이트(131)에 입력되는 리세트 주사 신호(Vrscan)를 전 단계의 주사선(12b)에 의해 공급하고, 리세트용 TFT(130)에 입력되는 리세트 신호(Vrsig)를 현 단계의 주사선(12b)에 의해 공급하는 구성을 채용함으로써, 리세트 주사 신호(Vrscan) 전용 배선이나 리세트 신호(Vrsig) 전용 배선을 설치하는 경우와 비교하여 신호 배선수를 줄이고 있다. 이와 같이 전원 배선수나 신호 배선수를 늘리지 않도록 함으로써, 종래의 표시 패널에는 설치되어 있지 않은 보상용 TFT(120)나 리세트용 TFT(130)를 설치하는 스페이스를 확보할 수 있다. 물론, 본 실시형태와 달리, 각 화소마다 공통급전선을 설치하여, 각 화소마다 패턴을 같게 한 것이나, 리세트 주사 신호(Vrscan) 전용 배선이나, 리세트 신호(Vrsig) 전용 배선을 설치한 것에 대하여도, 본 발명의 기술 사상은 적용할 수 있다.

더구나, 본 실시형태처럼 전류구동형 발광 소자인 EL 소자(50)를 사용한 표시 패널(200)의 경우에는, 예를 들면, 액정 패널처럼 화소의 개구 영역을 늘리지 않더라도, 발광 소자에 공급하는 전류량을 증가시키면 이를 따라 스스로 발광하기 때문에, 화상 표시에 필요한 밝기를 얻을 수 있다. 따라서, 본 실시형태처럼, 배선이 차지하는 영역을 절약하여 각종 TFT를 화소부(2)에 형성하는 스페이스를 확보해도 되고, 각 EL 소자(50)의 크기를 작게 함으로써 각종 TFT를 화소부(2)에 형성하는 스페이스를 확보해도 된다.

다음으로, 본 실시형태의 표시 패널(200)의 동작에 대해서 도 7 및 도 10을 참조하여 설명한다.

주사선 구동회로(22)로부터 전 단계의 주사선(12b)에 주사신호(Vscan)가 공급되면, 이것이 현 단계의 리세트 주사신호(Vrscan)로서, 현 단계의 리세트용 TFT(130)의 게이트(131)에 입력된다. 이와 병행하여, 주사선 구동회로(22)로부터 현 단계의 주사선(12a)에 리세트 신호(Vrsig)가 공급되어, 현 단계의 구동용 TFT(110)의 게이트 전압(Vg)은, 리세트 신호(Vrsig)의 전위가 된다(도 2(a) 참조). 이때, 리세트 신호(Vrsig)는, 주사신호(Vscan)의 오프 전위와 동일해도 상관없다. 이어서, 주사선 구동회로(22)로부터 현 단계의 주사선(12a)에 주사 신호(Vscan)이 공급되면, 이것이 현 단계의 스위칭용 TFT(140)의 게이트(141)에 입력된다. 이와 병행하여, 데이터선 구동회로(21)로부터 현 단계의 데이터선(11a)에 입력 신호(Vsig)(데이터 신호)가 공급되고, 스위칭용 TFT(140) 및 보상용 TFT(120)을 거쳐서, 이 전압(Vsig)이 보상용 TFT(120)의 임계치 전압(vth2) 분만큼 강압되고, 현 단계의 구동용 TFT(110)의 게이트(111)에, 게이트 전압(Vg)으로서 공급된다(도 2(a) 참조). 이 결과, 이 강압된 게이트 전압(Vg)에 따라, 구동용 TFT(110)의 소스(112) 및 드레인(113) 간의 컨덕턴스가 제어되어, 정전원(+V) 및 부전원(-V) 간에서, EL 소자(50)를 흐르는 구동전류(Id)가 제어 된다.

따라서, 각 화소부(2)에 설치된 구동용 TFT(110)에서의 임계치 전압(Vth1)의 격차가 보상용 TFT(120)의 임계치(Vth2)에 의해 보상되고, 복수의 화소부(2) 간에서의 구동 전류(Id)에 대한 데이터신호(Vsig)의 임계치의 격차가 거의 없어져, 표시 패널(200)의 화면 표시 영역 전체에 걸쳐 균일한 밝기로 불균일성이 없는 화상표시가 가능해진다. 또한, 보상용 TFT(120)에 의한 강압작용에 의해 비교적 작은 전압의 데이터신호(Vsig)를 사용해 구동전류(Id)를 제어하는 것도 가능해진다.

이상의 실시형태에서는, 리세트용 TFT(130)에 의해 게이트 전압(Vg)을 입력 신호(Vsig)의 공급 전에 리세트하고 있지만, 예를 들면, 정지화를 표시하는 기간에는, 같은 입력 신호(Vsig)에 의해 복수 프레임에 걸쳐 구동 전류(Id)의 제어를 하면 되기 때문에, 관련된 리세트 동작을 각 주사마다 할 필요는 없다. 또한, 이와 같이 전기적인 리세트 신호(Vrsig) 대신에 광 조사에 의해 게이트 전압(Vg)을 리세트하도록(소정의 리세트전압으로 하도록) 구성해도 된다. 더욱이 또한, 리세트용 TFT(130) 대신에 스위칭용 TFT(140)나 보상용 TFT(120)를 거쳐서 리세트 신호(Vrsig)를 공급하도록 구성해도 된다. 한편, 액티브 매트릭스 구동과 같이 스위칭을 하지 않는 용도이면, 스위칭용 TFT(140)나 스위칭 동작이 불필요함은 말할 필요도 없다.

(전자기기)

다음에, 이상 상세히 설명한 표시 패널(200)을 구비한 전자기기의 실시형태에 대해서 도 11 내지 도 13을 참조하여 설명한다.

먼저, 도 11에, 이와 같이 표시 패널(200)을 구비한 전자기기의 개략구성을 도시한다.

도 11에서, 전자기기는, 표시 정보 출력원(1000), 표시 정보 처리 회로(1002), 구동 회로(1004), 표시 패널(1006), 클록 발생 회로(1008) 및 전원 회로(1010)를 구비하여 구성되어 있다.

상술한 실시 형태에서의 표시 패널(200)은, 본 실시형태에서의 표시 패널(1006) 및 구동 회로(1004)에 상당한다. 따라서, 표시 패널(1006)을 구성하는 TFT 어레이 기판 위에, 구동 회로(1004)를 탑재해도 되고, 더욱이 표시정보 처리회로(1002) 등을 탑재해도 된다. 혹은, 표시 패널(1006)을 탑재하는 TFT 어레이기판에 대해 구동회로(1004)를 외부 부착하여 구성해도 된다.

표시 정보 출력원(1000)은, ROM(Read Only Memory), RAM(Random Access Memory), 광디스크 장치 등의 메모리, 텔레비전 신호를 동조하여 출력하는 동조회로 등을 포함하여, 클록 발생 회로(1008)로부터의 클록신호에 근거하여, 소정 포맷의 화상 신호 등의 표시정보를 표시정보 처리회로(1002)에 출력한다. 표시정보 처리회로(1002)는, 증폭·극성 반전회로, 상 전개회로, 로테이션 회로, 감마 보정회로, 클랩 회로 등 주지의 각종 처리회로를 포함하여 구성되어 있고, 클록신호에 근거하여 입력된 표시정보로부터 디지털신호를 순차 생성하여, 클록 신호(CLK)와 동시에 구동회로(1004)에 출력한다. 구동회로(1004)는, 표시 패널(200)을 구동한다. 전원 회로(1010)는, 상술한 각 회로에 소정 전원을 공급한다.

다음에, 도 12 내지 도 13에, 이와 같이 구성된 전자기기의 구체예를 각각 도시한다.

도 12에서, 전자기기의 다른 예인 멀티미디어 대응의 랩톱형 퍼스널 컴퓨터(PC)(1200)는, 상술한 표시 패널(200)이 틱커버 케이스(1206) 내에 구비되어 있고, 더욱이 CPU, 메모리, 모뎀 등을 수용함과 동시에 키보드(1202)가 조합된 본체(1204)를 구비하고 있다.

또한, 도 13에 도시된 바와 같이, 구동 회로(1004)나 표시 정보 처리 회로(1002)를 탑재하지 않은 표시 패널(1304)의 경우에는, 구동 회로(1004)나 표시정보 처리 회로(1002)를 포함하는 IC(1324)가 폴리이미드 테이프(1322) 상에 설치된 TCP(Tape Carrier Package)(1320)에, TFT 어레이기판(1) 주변부에 설치된 이방성 도전 필름을 거쳐서 물리적 또한 전기적으로 접속하여, 표시 패널로서, 생산, 판매, 사용 등도 가능하다.

이상 설명한 바와 같이, 본 실시 형태에 의하면, 표시 패널의 전면에 걸쳐 밝기의 불균일성이 적고 또한 비교적 저전압으로 구동하는 것도 가능한 각종 전자기기를 실현할 수 있다.

본 발명의 트랜지스터 회로에 의하면, 보상용 트랜지스터의 임계치 전압 분만큼 입력 신호의 전압에 대해 게이트 전압을 강압 혹은 승압할 수 있기 때문에, 낮은 입력 신호의 전압에 의해 구동용 트랜지스터에서의 컨덕턴스제어를 행할 수 있다. 더욱이, 보상용 트랜지스터와 구동용 트랜지스터와의 임계치 특성이나 전압전류 특성을 근접시킴으로써, 구동 전류에 대한 입력 신호의 임계치 전압을 영에 근접시키는 것도 가능해진다. 또한, 복수의 임계치 특성이 상이한 구동용 트랜지스터를 사용해 상기 트랜지스터 회로를 복수 작성한 경우에, 복수의 임계치 전압이 다른 복수의 구동용 트랜지스터, 즉 설계 기준치로부터 크게 격차진 임계치 전압을 각각 가진 복수의 구동용 트랜지스터를 사용했다고 해도, 복수의 트랜지스터 회로에서의 임계치 전압의 격차가 거의 또는 전혀 없는 복수의 트랜지스터 회로를 얻는 것도 가능해진다.

본 발명의 표시 패널에 의하면, 밝기 불균일성이 저감된 화상 표시를 저전압의 입력 신호를 사용하여 실현할 수 있다.

산업상 이용 가능성

본 발명의 트랜지스터 회로를 사용하여 밝기 불균일성이 저감된 화상표시가 이루어지는 표시 패널이 얻어진다. 이러한 표시 패널은, 고품위의 화상표시가 요구되는 랩톱형 퍼스널 컴퓨터(PC), 텔레비전, 뷰 파인더형 또는 모니터 직시형의 비디오 테이프 레코더, 카 네비게이션 장치, 전자수첩, 전자계산기, 워드프로세서, 엔지니어링·워크 스테이션(EWS), 휴대전화, 텔레비전 전화, POS단말, 페이지, 터치 패널을 구비한 장치 등의 전자기기에 알맞게 이용가능하다.

(57) 청구의 범위

청구항 1.

복수의 주사선과,

복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터를 포함하며,

상기 복수의 데이터선 중 대응하는 데이터선을 거쳐서 상기 제 1 게이트에 상기 입력 신호가 공급되는 때에 상기 구동용 트랜지스터의 임계치의 격차를 보상하는 것을 특징으로 하는 어레이 기판.

청구항 2.

복수의 주사선과,

상기 복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터를 포함하며,

제 2 게이트, 제 2 소스 및 제 2 드레인을 가지며, 상기 제 2 게이트가 상기 제 2 소스와 상기 제 2 드레인 중 한쪽 및 상기 제 1 게이트에 접속되어 있는 보상용 트랜지스터를 구비한 것을 특징으로 하는 어레이 기판.

청구항 3.

복수의 주사선과,

상기 복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와,

제 2 게이트, 제 2 소스 및 제 2 드레인을 가지며, 상기 제 2 게이트가 상기 제 1 소스에 접속되어 있는 보상용 트랜지스터를 구비한 것을 특징으로 하는 어레이 기판.

청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 구동용 트랜지스터 및 상기 보상용 트랜지스터는 함께 N 채널형인 것을 특징으로 하는 어레이 기판.

청구항 5.

제 2 항 또는 제 3 항에 있어서,

상기 구동용 트랜지스터 및 상기 보상용 트랜지스터는 함께 P 채널형인 것을 특징으로 하는 어레이 기판.

청구항 6.

제 2 항 또는 제 3 항에 있어서,

상기 구동용 트랜지스터의 임계치와 상기 보상용 트랜지스터의 임계치는 일치하는 것을 특징으로 하는 어레이 기판.

청구항 7.

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터를 포함하며,

상기 제 1 게이트에 상기 입력 신호가 공급될 때에 상기 구동용 트랜지스터의 임계치의 격차를 보상하는 것을 특징으로 하는 트랜지스터 회로.

청구항 8.

제 7 항에 있어서,

상기 입력 신호가 공급되기 전에 상기 제 1 게이트는 소정의 전압으로 리셋되는 것을 특징으로 하는 트랜지스터 회로.

청구항 9.

복수의 주사선과,

복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 상기 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와,

상기 제 1 소스와 상기 제 1 드레인 중 어느 하나와 접속된 발광 소자를 포함하며,

상기 복수의 트랜지스터 회로의 각각은, 상기 복수의 데이터선 중 대응하는 데이터선을 거쳐서 상기 제 1 게이트에 상기 입력 신호가 공급되는 때에 상기 구동용 트랜지스터의 임계치의 격차를 보상하는 것을 특징으로 하는 표시 패널.

청구항 10.

복수의 주사선과,

복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와,

상기 제 1 소스와 상기 제 1 드레인 중 어느 하나와 접속된 발광 소자를 포함하며,

상기 복수의 트랜지스터 회로의 각각은, 상기 복수의 데이터선 중 대응하는 데이터선을 거쳐서 상기 제 1 게이트에 상기 입력 신호가 공급되는 때에 상기 구동용 트랜지스터의 임계치의 격차를 보상하는 것을 특징으로 하는 표시 패널.

청구항 11.

복수의 주사선과,

상기 복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스 및 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와,

상기 제 1 소스와 상기 제 1 드레인 중 어느 하나와 접속된 발광 소자와,

제 2 게이트, 제 2 소스 및 제 2 드레인을 가지며, 상기 제 2 게이트가 상기 제 2 소스와 상기 제 2 드레인 중 한쪽 및 상기 제 1 게이트에 접속되어 있는 보상용 트랜지스터를 구비한 것을 특징으로 하는 표시 패널.

청구항 12.

복수의 주사선과,

상기 복수의 데이터선과,

상기 복수의 주사선과 상기 복수의 데이터선과의 교차부에 대응하여 설치된 복수의 트랜지스터 회로를 포함하고,

상기 복수의 트랜지스터 회로의 각각은,

제 1 게이트, 제 1 소스 및 제 1 드레인을 가지며, 상기 제 1 게이트에 공급되는 입력 신호에 따라 상기 제 1 소스와 제 1 드레인 간의 컨덕턴스가 제어되는 구동용 트랜지스터와,

상기 제 1 소스와 상기 제 1 드레인 중 어느 하나와 접속된 발광 소자와,

제 2 게이트, 제 2 소스 및 제 2 드레인을 가지며, 상기 제 2 게이트가 상기 제 1 소스에 접속되어 있는 보상용 트랜지스터를 구비한 것을 특징으로 하는 표시 패널.

청구항 13.

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 입력 신호가 공급되기 전에 상기 제 1 게이트는 소정의 전압으로 리셋되는 것을 특징으로 하는 표시 패널.

청구항 14.

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

또한, 상기 입력 신호가 공급되기 전에 상기 제 1 게이트에 리셋 신호를 공급하는 리셋 수단을 구비하는 것을 특징으로 하는 표시 패널.

청구항 15.

제 14 항에 있어서,

상기 리셋 수단은, 상기 복수의 트랜지스터 회로의 각각에 설치된 제 3 게이트, 제 3 소스 및 제 3 드레인을 가진 리셋 용 트랜지스터이고,

상기 제 3 소스 및 제 3 드레인 중 한 쪽이 상기 제 1 게이트에 접속되어 있으며,

상기 제 3 게이트에 리셋 타이밍 신호가 상기 입력 신호의 공급 전에 공급되는 때에, 상기 제 3 소스 및 제 3 드레인을 거쳐 상기 리셋 신호가 상기 제 1 게이트에 공급되는 것을 특징으로 하는 표시 패널.

청구항 16.

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 복수의 트랜지스터 회로의 각각은 제 4 게이트, 제 4 소스 및 제 4 드레인을 가진 스위칭 트랜지스터를 더 포함하고,

상기 제 4 게이트에 상기 복수의 주사선 중 대응하는 주사선이 접속되어 있는 것을 특징으로 하는 표시 패널.

청구항 17.

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 복수의 트랜지스터 회로의 각각은 상기 제 1 게이트에 접속된 보존 용량을 더 구비하는 것을 특징으로 하는 표시 패널.

청구항 18.

제 9 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 복수의 트랜지스터 회로에 포함된 트랜지스터는 전부 박막 트랜지스터인 것을 특징으로 하는 표시 패널.

청구항 19.

제 9 항 내지 제 12 항 중 어느 한 항에 기재된 표시 패널을 구비한 것을 특징으로 하는 전자 기기.

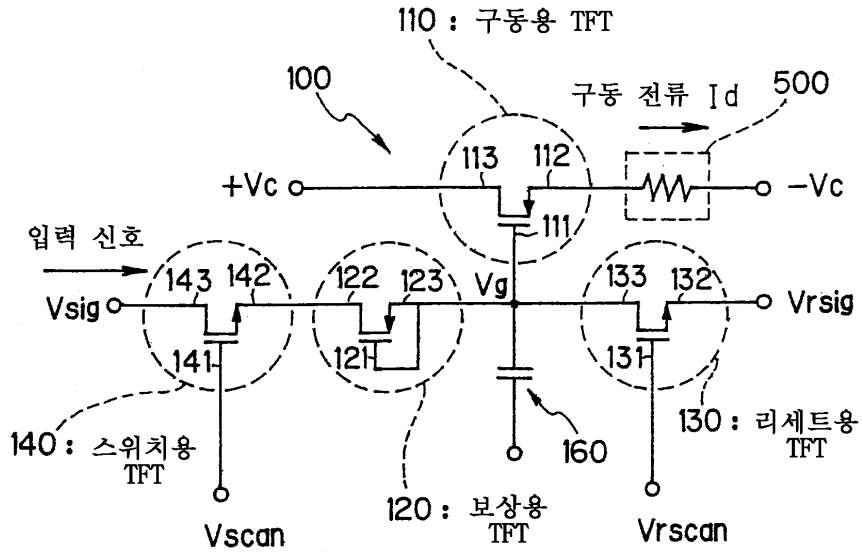
청구항 20.

제 1 항 내지 제 3 항 중 어느 한 항에 기재된 어레이 기판과,

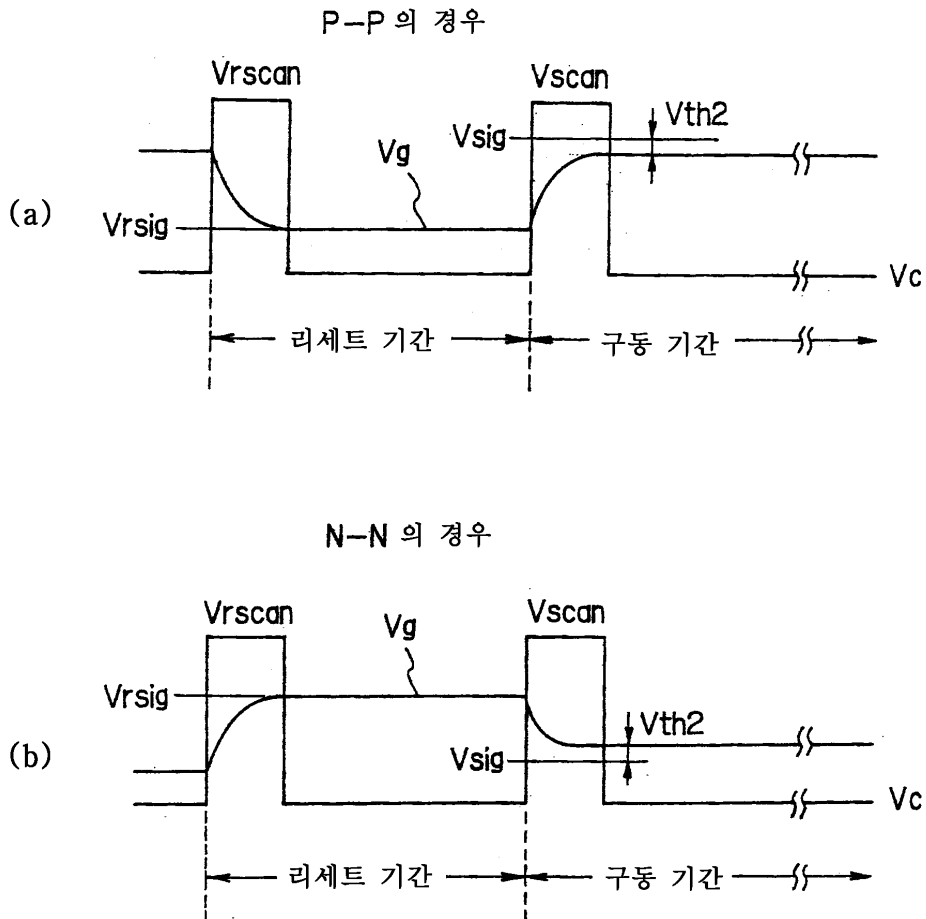
상기 제 1 소스와 상기 제 1 드레인 중 어느 하나와 접속된 전류 구동형 소자를 포함하는, 전자 기기.

도면

도면1

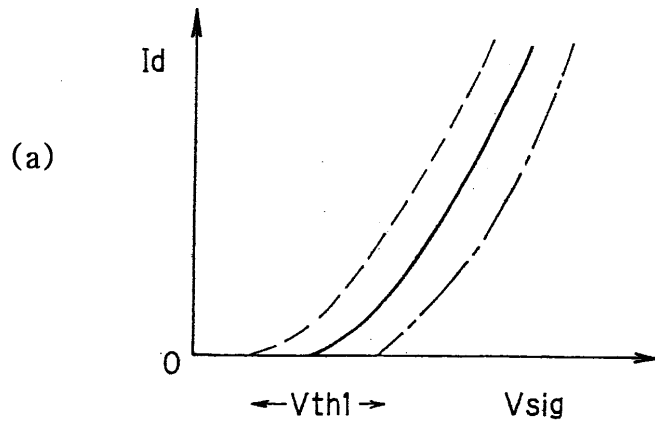


도면2

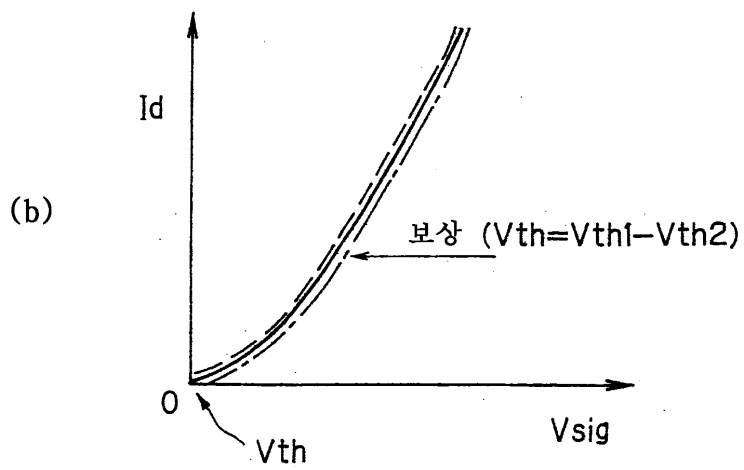


도면3

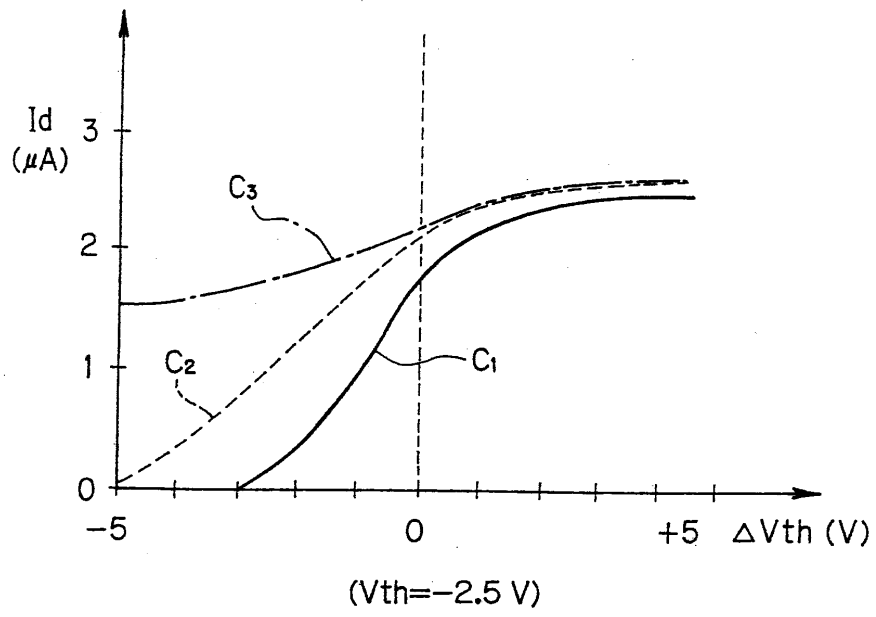
구동용 TFT만의 경우 (비교예)



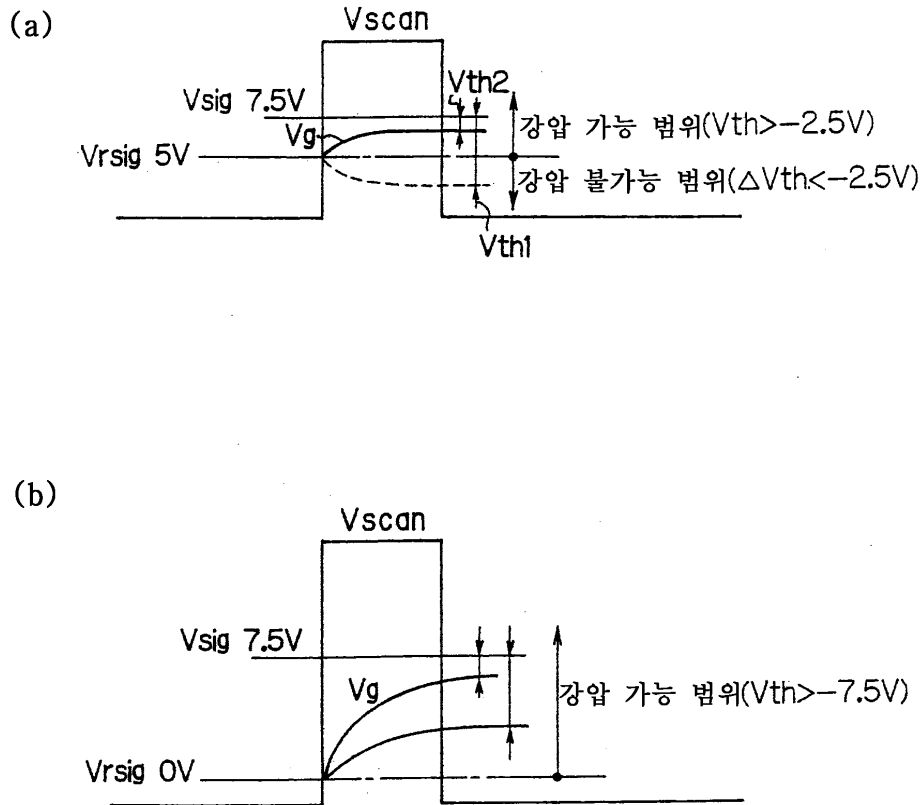
구동용 TFT + 보상용 TFT의 경우 (본 실시형태)



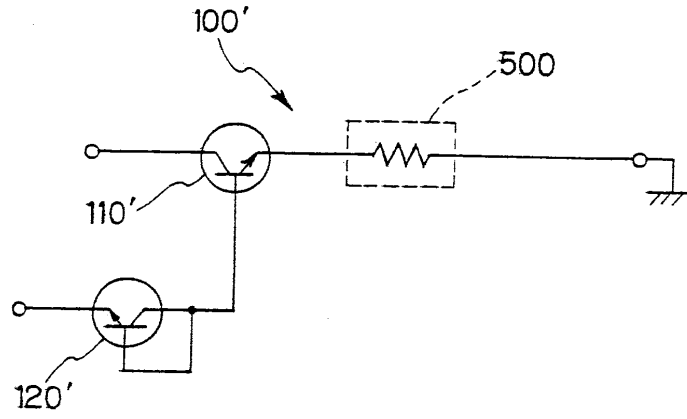
도면4



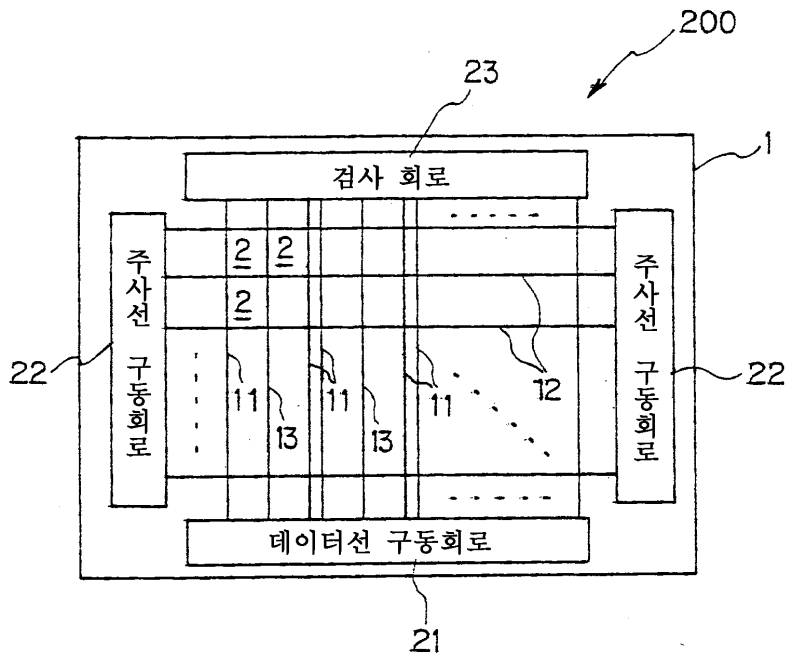
도면5



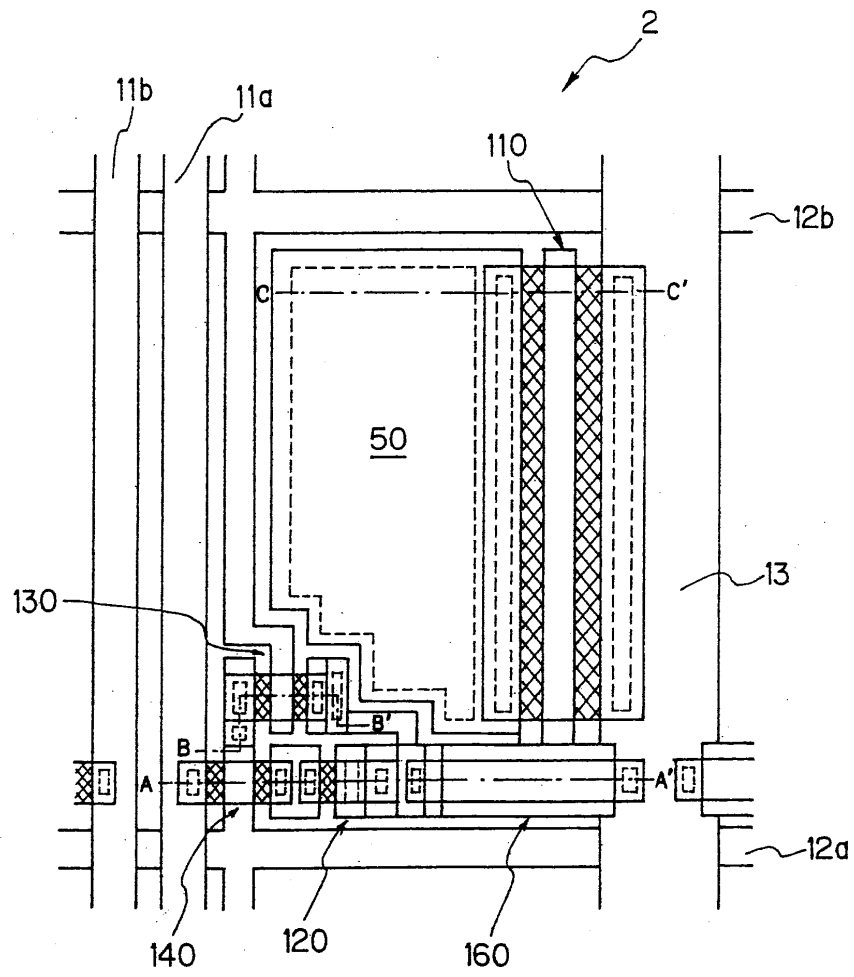
도면6



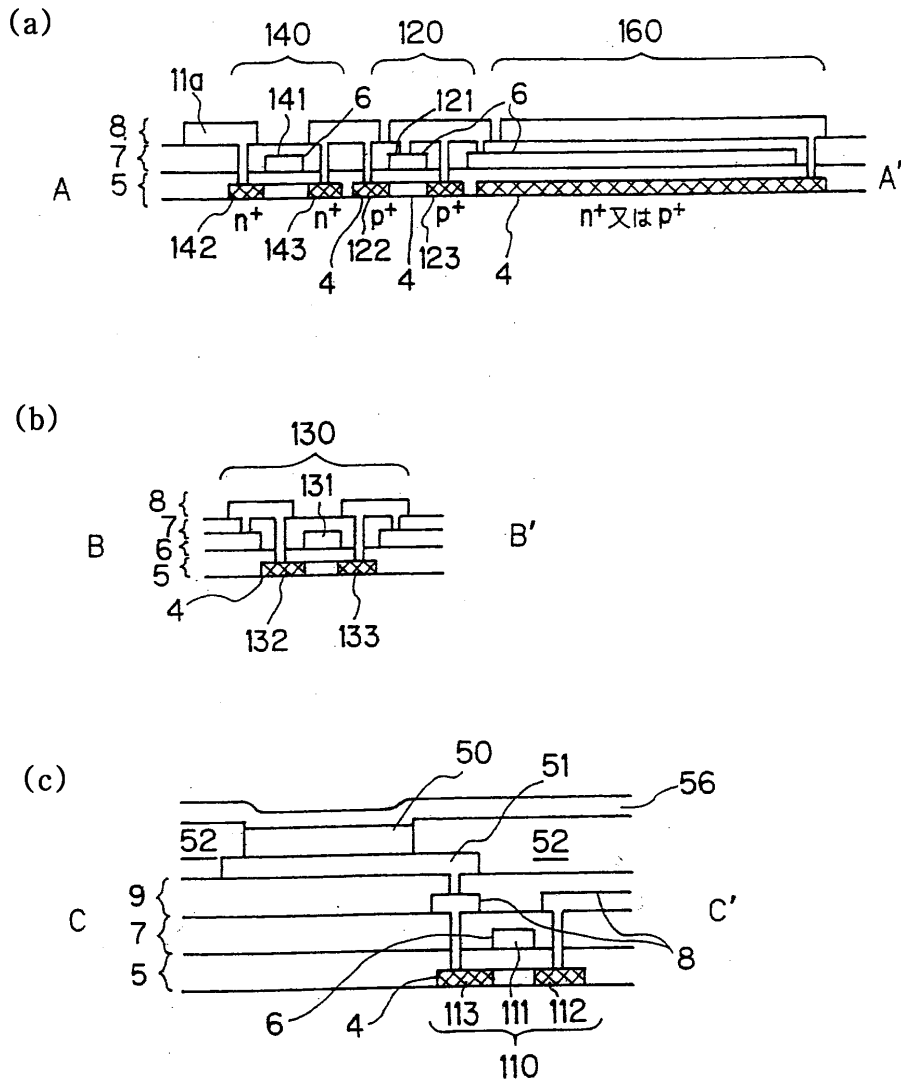
도면7



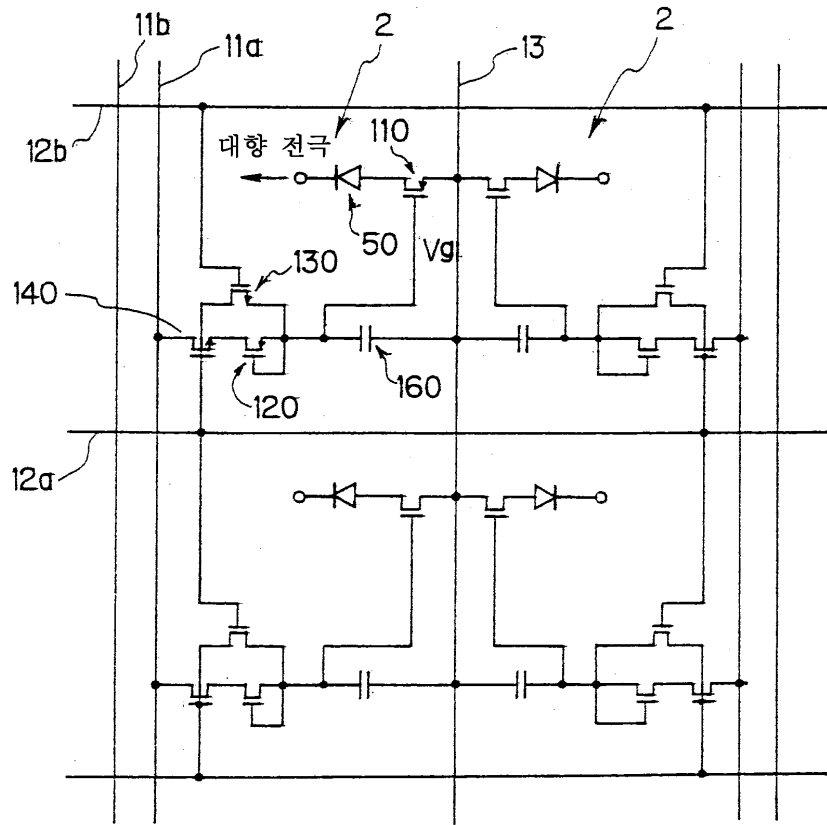
도면8



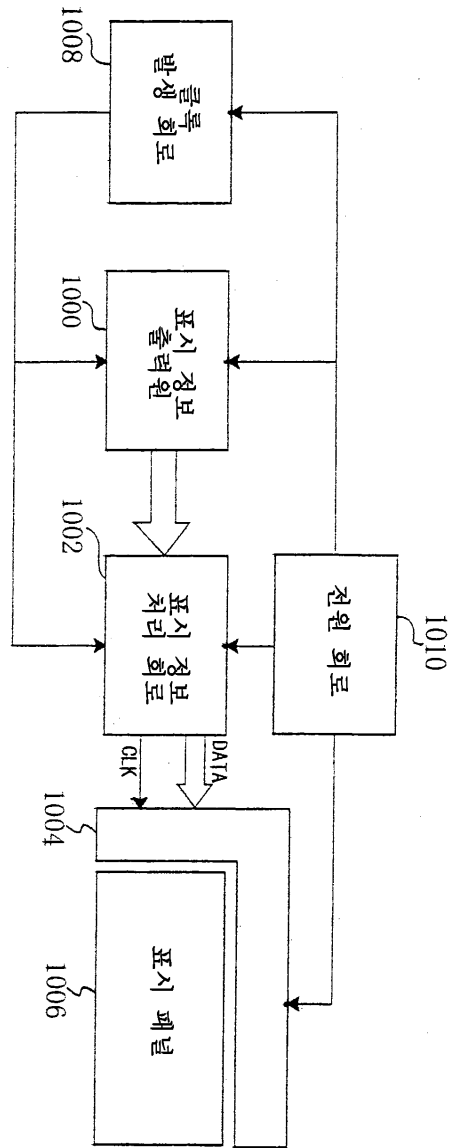
도면9



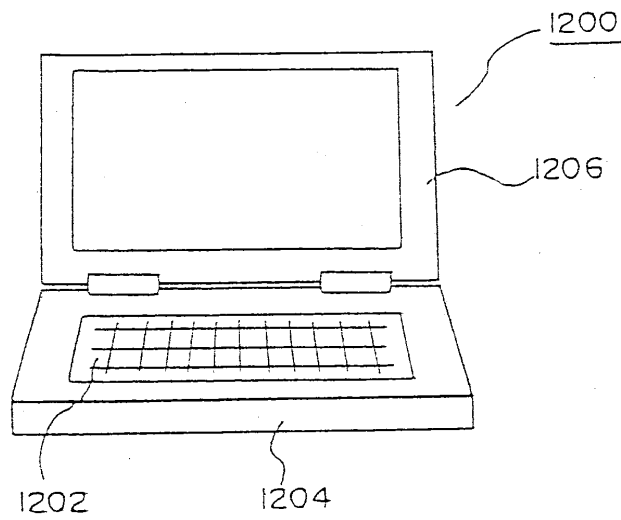
도면10



도면11



도면12



도면13

