

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4485665号  
(P4485665)

(45) 発行日 平成22年6月23日(2010.6.23)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl.		F I			
H03K 17/04	(2006.01)	H03K 17/04		E	
H03K 17/687	(2006.01)	H03K 17/687		H	
H03F 3/45	(2006.01)	H03F 3/45			

請求項の数 9 (全 19 頁)

(21) 出願番号	特願2000-230995 (P2000-230995)	(73) 特許権者	308014341
(22) 出願日	平成12年7月31日(2000.7.31)		富士通マイクロエレクトロニクス株式会社
(65) 公開番号	特開2002-43912 (P2002-43912A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成14年2月8日(2002.2.8)		23
審査請求日	平成19年6月8日(2007.6.8)	(74) 代理人	100068755
			弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	鈴木 久雄
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 電流出力回路、オペアンプ回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電流をドレインに受ける第1のトランジスタと、  
前記第1のトランジスタのゲート - ソース間に接続された第1の抵抗素子と、  
前記第1のトランジスタのドレインにゲートが接続され、前記第1のトランジスタのゲートにソースが接続された第2のトランジスタと、  
前記第1の抵抗素子の抵抗値と相関のある抵抗値を有する第2の抵抗素子と、  
前記第2の抵抗素子がゲート - ソース間に接続され、前記第1のトランジスタと相関のある素子サイズを有し、前記第2のトランジスタのドレイン電流に基づく第2の電流をゲートに受け、ドレインから前記第1の電流と相関のある第3の電流を出力する第3のトランジスタと、  
を備えたことを特徴とする電流出力回路。

【請求項2】

前記第1のトランジスタのゲート電圧と前記第3のトランジスタのゲート電圧を等しくするように前記第1及び第2の抵抗素子の抵抗値と前記第2の電流を設定し、  
前記第1及び第3のトランジスタの素子サイズ比を設定することで、前記第1及び第3の電流の電流値の比を設定したことを特徴とする請求項1記載の電流出力回路。

【請求項3】

前記第1の抵抗素子の抵抗値と前記第2の抵抗素子の抵抗値とが等しいことを特徴とする請求項1又は2に記載の電流出力回路。

## 【請求項 4】

第 1 の電流をドレインに受ける第 1 のトランジスタと、  
 前記第 1 のトランジスタのゲート - ソース間に接続された第 1 の抵抗素子と、  
 前記第 1 のトランジスタのドレインにゲートが接続され、前記第 1 のトランジスタのゲートにソースが接続された第 2 のトランジスタと、  
 ゲートにそれぞれ第 1 及び第 2 の入力信号が印加される一対のトランジスタからなる差動対と、前記一対のトランジスタのドレインにそれぞれ接続された第 2 及び第 3 の抵抗素子とを備え、前記差動対に前記第 2 のトランジスタのドレイン電流に基づく第 2 の電流がバイアス電流として供給される差動入力回路と、  
 前記第 2 の抵抗素子がゲート - ソース間に接続され、ドレインから前記第 1 の電流と関連のある第 3 の電流を出力する第 3 のトランジスタと、  
 前記第 3 の抵抗素子がゲート - ソース間に接続され、ドレインから前記第 1 の電流と関連のある第 5 の電流を流す第 1 の出力トランジスタと、  
 前記第 3 のトランジスタのドレインにゲートが接続され、ゲート - ソース間に第 4 の抵抗素子が接続され、該第 4 の抵抗素子と前記第 3 の電流に基づくゲート電圧に応じた第 6 の電流を流す第 2 の出力トランジスタと、  
 を備えたことを特徴とするオペアンプ回路。

10

## 【請求項 5】

前記第 1 のトランジスタのゲート電圧と前記第 3 のトランジスタ及び第 1 の出力トランジスタのゲート電圧を等しくするように前記第 1 ~ 第 3 の抵抗素子の抵抗値と前記第 2 の電流の値を設定したことを特徴とする請求項 4 記載のオペアンプ回路。

20

## 【請求項 6】

第 4 のトランジスタと、そのトランジスタのゲート - ソース間に接続された第 5 の抵抗素子とを有し、該第 5 の抵抗素子に流れる第 7 の電流と前記第 4 のトランジスタのドレイン電流とを一致させるように制御した定電流源回路を備え、  
 前記第 1 の電流を前記第 4 のトランジスタのドレイン電流と等しくし、  
 前記第 7 の電流の電流値との比が、前記第 5 及び第 4 の抵抗素子の抵抗比の逆数比となる第 3 の電流を前記第 4 の抵抗素子に流し、該第 4 の抵抗素子の抵抗値と前記第 3 の電流の電流値により前記第 2 の出力トランジスタのゲート電圧を設定したことを特徴とする請求項 4 又は 5 記載のオペアンプ回路。

30

## 【請求項 7】

前記第 2 の出力トランジスタを前記第 4 のトランジスタの素子サイズに比例した素子サイズとし、前記第 6 の電流を、前記第 7 の電流との比が前記第 4 のトランジスタと前記第 2 の出力トランジスタの素子サイズ比となるように設定したことを特徴とする請求項 6 記載のオペアンプ回路。

## 【請求項 8】

前記第 4 の抵抗素子は、前記第 1 の抵抗素子の抵抗値と等しい抵抗値を有する複数本の抵抗を並列に接続した抵抗値を有することを特徴とする請求項 4 ~ 7 のうちの何れか一項記載のオペアンプ回路。

## 【請求項 9】

請求項 1 ~ 3 のうちの何れか一項記載の電流出力回路と、請求項 4 ~ 8 のうちの何れか一項記載のオペアンプ回路と、のうちの少なくとも一つの回路を備えた半導体装置。

40

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は電流出力回路、オペアンプ回路及び半導体装置に関するものである。

## 【0002】

半導体集積回路装置において、カレントミラー回路等のように電流を伝達・出力する回路は、オペアンプ回路やアナログスイッチ回路等のアナログ基本回路の基幹をなす部分である。半導体集積回路装置の動作速度の高速化にともない、これらのアナログ基本回路の動

50

作速度向上が望まれている。

【0003】

【従来の技術】

図4は、従来の電流出力回路10の回路図である。

この電流出力回路10は、カレントミラー回路11、電流源12を備える。カレントミラー回路11は、PチャンネルMOSトランジスタQ11、Q12から構成される。トランジスタQ11、Q12のソースは高電位電源VDに接続され、トランジスタQ11のドレインは両トランジスタQ11、Q12のゲートに接続される。

【0004】

トランジスタQ11のドレインは電流源12に接続され、トランジスタQ12のドレインは出力端子に接続される。従って、トランジスタQ11、Q12のドレイン電圧を等しくするように出力端子に電圧を印加することで、トランジスタQ12は、トランジスタQ11のドレイン電流、即ち電流源12の電流I11と等しい電流I12を流す。このように、電流出力回路10は、入力側の電流I11と等しい電流I12を出力側へ伝達する。

10

【0005】

このように構成された電流出力回路10のように、電流を伝達する回路構成は、他のアナログ回路に用いられる。尚、アナログ回路の構成により、PMOSトランジスタとNMOSトランジスタとを相互に置き換えた構成の回路が用いられる。

【0006】

図5は、従来のアナログスイッチ回路20の回路図である。

このアナログスイッチ回路20は、電流源21、カレントミラー回路22、差動対23、カレントミラー回路24を備える。

20

【0007】

電流源21は、電流I21をカレントミラー回路22に供給する。カレントミラー回路22は、NチャンネルMOSトランジスタQ21、Q22から構成され、トランジスタQ21のドレインが電流源21に接続される。両トランジスタQ21、Q22のソースは低電位電源VSに接続され、トランジスタQ21のドレインは両トランジスタQ21、Q22のゲートに接続される。出力側のトランジスタQ22は入力側のトランジスタQ21の2倍の素子サイズを有し、そのドレインは差動対23に接続される。従って、トランジスタQ22は、トランジスタQ21のドレイン電流、即ち電流源21の電流I21の2倍のバイアス電流I22を差動対23に供給する。

30

【0008】

差動対23はNMOSトランジスタQ23、Q24から構成され、両トランジスタQ23、Q24のソースの接続ノードがトランジスタQ22のドレインに接続される。トランジスタQ23、Q24のドレインはカレントミラー回路24のPMOSトランジスタQ25、Q26のドレインに接続される。両トランジスタQ25、Q26のソースは高電位電源VDに接続され、トランジスタQ25のドレインは両トランジスタQ25、Q26のゲートに接続される。トランジスタQ23のゲートは入力端子Tiに接続され、入力信号VINを受ける。トランジスタQ24のゲートは出力端子ToとトランジスタQ24のドレインに接続され、出力端子Toから出力信号VOUTを出力する。

40

【0009】

この様に構成されたアナログスイッチ回路20は、入力端子Tiから出力端子Toに対し、電流成分を伝達せずに、電圧成分のみを伝達する。即ち、差動対23のトランジスタQ31、Q32のソースは互いに接続されており、トランジスタQ31、Q32のドレイン電流I23、I24が同一となった時、ソース・ゲート間電圧Vgsも同一となる。従って、カレントミラー回路24のトランジスタQ25、Q26が同一電流を伝達した時、入力信号VINと等しい電圧の出力信号VOUTを出力する。

【0010】

図6は、従来のオペアンプ回路30の回路図である。尚、説明の便宜上、図5と同様の構成については同一の符号を付して説明する。

50

このオペアンプ回路 30 は、電流源 21、カレントミラー回路 22、差動入力回路 31、出力段回路 32 を備える。差動入力回路 31 は差動対 23 とカレントミラー回路 24 から構成される。差動対 23 を構成するトランジスタ Q23, Q24 のゲートはそれぞれ第 1 及び第 2 入力端子 T1, T2 に接続され、それぞれ第 1 及び第 2 入力信号 IM, IP を受ける。両トランジスタ Q23, Q24 のドレイン (トランジスタ Q25, Q26 のドレイン) は出力段回路 32 に接続される。

【0011】

出力段回路 32 は、PMOS トランジスタ Q31, Q32 とカレントミラー回路 33 を備え、カレントミラー回路 33 は NMOS トランジスタ Q33, Q34 から構成される。

【0012】

トランジスタ Q31 はトランジスタ Q25 と等しい素子サイズを有し、ソースが高電位電源 VD に接続され、ドレインがトランジスタ Q33 に接続され、ゲートがトランジスタ Q25 のドレインに接続される。トランジスタ Q32 は最終出力段上段のトランジスタであり、トランジスタ Q26 の 10 倍の素子サイズを有する。トランジスタ Q32 は、ソースが高電位電源 VD に接続され、ドレインが出力端子 To に接続され、ゲートがトランジスタ Q26 のドレインに接続される。

【0013】

トランジスタ Q33 はカレントミラー回路 22 のトランジスタ Q21 と等しい素子サイズを有し、ソースが低電位電源 VS に接続され、ドレインがトランジスタ Q31 とトランジスタ Q33, Q34 のゲートに接続される。トランジスタ Q34 は最終出力段下段のトランジスタであり、トランジスタ Q33 の 10 倍の素子サイズを有する。トランジスタ Q34 は、ソースが低電位電源 VS に接続され、ドレインが出力端子 To に接続され、出力端子 To から出力信号 OUT が出力される。

【0014】

この様に構成されたオペアンプ回路 30 は、出力信号 OUT を第 1 入力信号 IM として入力する、即ち第 1 端子 T1 と出力端子 To を接続したボルテージフォロア接続において、トランジスタ Q31 と出力トランジスタ Q32 とが、1対10 なドレイン電流を出力する時、第 2 入力信号 IP と第 1 入力信号 IM が等しくなる。従って、トランジスタ Q31 のゲート電圧と出力トランジスタ Q32 のゲート電圧とが同一な電圧、即ち、トランジスタ Q25 とトランジスタ Q26 によるカレントミラー回路 24 が同一な電流を伝達する時、第 2 入力信号 IP と第 1 入力信号 IM を等しくする。

【0015】

【発明が解決しようとする課題】

ところで、MOS 型トランジスタは、その構造上、各端子に対する容量成分を持ち、各ノード電圧はその容量に充放電することによりなる。このため、図 4 の電流出力回路 10 においては、入力側のトランジスタ Q11 の容量成分に対し、高電位電源 VD 及び電流源 12 による充放電が行われ、出力側のトランジスタ Q12 のゲート電圧を決定する。

【0016】

この充放電は、容量、抵抗と電流による時定数で決定され、カレントミラー回路 11 を構成するトランジスタ Q11, Q12 の素子サイズが大きいほど、伝達する電流が小さいほどにより長い時間を要する。

【0017】

図 5 のアナログスイッチ回路 20 において、その回路動作速度は、トランジスタ Q23, Q24 による差動対 23 と、トランジスタ Q25, Q26 によるカレントミラー回路 24 の動作速度により決定する。

【0018】

同様に、図 6 のオペアンプ回路 30 において、その回路動作速度は、トランジスタ Q23, Q24 による差動対 23 と、トランジスタ Q25, Q26 によるカレントミラー回路 24 と、トランジスタ Q31, Q32 と、トランジスタ Q33, Q35 によるカレントミラー回路 33 によって決定する。

10

20

30

40

50

## 【 0 0 1 9 】

以上のように、図 4 ~ 図 6 に示されるように、カレントミラー回路を搭載する回路においては、そのカレントミラー回路の動作速度が回路全体の動作時間に制約を及ぼしている。これは、回路全体の動作速度の向上を妨げる要因となっている。

## 【 0 0 2 0 】

本発明は上記問題点を解決するためになされたものであって、その目的は動作速度の速い電流出力回路、オペアンプ回路を提供することにある。

## 【 0 0 2 1 】

## 【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明によれば、第 2 の抵抗素子による電流 / 電圧変換により第 3 のトランジスタのゲート電圧を第 2 の電流に基づいて設定しているため、第 1 の電流に対する第 3 の電流の伝達時間が短縮され、電流出力回路が高速に動作する。

10

## 【 0 0 2 2 】

請求項 2 に記載の発明のように、第 1 のトランジスタのゲート電圧と第 3 のトランジスタのゲート電圧を等しくするように第 1 及び第 2 の抵抗素子の抵抗値と第 2 の電流を設定し、第 1 及び第 3 のトランジスタの素子サイズ比を設定することで、第 1 及び第 3 の電流の電流値の比を設定した。

## 【 0 0 2 3 】

請求項 3 に記載の発明のように、第 1 の抵抗素子の抵抗値と第 2 の抵抗素子の抵抗値とが等しい。

20

## 【 0 0 2 5 】

請求項 4 に記載の発明によれば、第 3 のトランジスタと第 1 の出力トランジスタのゲート電圧を、差動入力回路の第 2 及び第 3 の抵抗素子による電流 / 電圧変換により設定するため、第 1 及び第 2 入力信号の変化に対して第 3 のトランジスタ（第 2 の出力トランジスタ）と第 1 の出力トランジスタに流れる電流への伝達時間が短縮され、オペアンプ回路が高速に動作する。

## 【 0 0 2 6 】

請求項 5 に記載の発明のように、第 1 のトランジスタのゲート電圧と第 3 のトランジスタ及び第 1 の出力トランジスタのゲート電圧を等しくするように第 1 ~ 第 3 の抵抗素子の抵抗値と第 2 の電流の値を設定した。

30

## 【 0 0 2 7 】

請求項 6 に記載の発明のように、第 4 のトランジスタと、そのトランジスタのゲート - ソース間に接続された第 5 の抵抗素子とを有し、該第 5 の抵抗素子に流れる第 7 の電流と第 4 のトランジスタのドレイン電流とを一致させるように制御した定電流源回路を備え、第 1 の電流を第 4 のトランジスタのドレイン電流と等しくし、第 7 の電流の電流値との比が、第 5 及び第 4 の抵抗素子の抵抗比の逆数比となる第 3 の電流を第 4 の抵抗素子に流し、該第 4 の抵抗素子の抵抗値と第 3 の電流の電流値により第 2 の出力トランジスタのゲート電圧を設定した。このように、トランジスタ及び抵抗素子のサイズ比により第 2 の出力トランジスタのアイドル電流を設定する。

40

## 【 0 0 2 8 】

請求項 7 に記載の発明のように、第 2 の出力トランジスタを第 4 のトランジスタの素子サイズに比例した素子サイズとし、第 6 の電流を、第 7 の電流との比が第 4 のトランジスタと第 2 の出力トランジスタの素子サイズ比となるように設定した。

請求項 8 に記載の発明のように、第 4 の抵抗素子は、第 1 の抵抗素子の抵抗値と等しい抵抗値を有する複数本の抵抗を並列に接続した抵抗値を有する。

## 【 0 0 2 9 】

## 【発明の実施の形態】

## (第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 に従って説明する。

50

## 【 0 0 3 0 】

図 1 は、電流出力回路 4 0 の回路図である。

電流出力回路 4 0 は、電流変換回路 4 1、定電流源 4 2、カレントミラー回路 4 3、出力段回路 4 4 を備える。

## 【 0 0 3 1 】

電流変換回路 4 1 は、PチャネルMOSトランジスタQ 4 1、Q 4 2、第1抵抗素子R 1 1 から構成される。第1トランジスタQ 4 1 は、ソースが高電位電源V Dに接続され、ゲートが第1抵抗素子R 1 1 を介して高電位電源V Dに接続され、ドレインが定電流源 4 2 に接続される。第2トランジスタQ 4 2 は、ソースが第1トランジスタQ 4 1 のゲートに接続され、ゲートが第1トランジスタQ 4 1 のドレインに接続され、ドレインがカレントミラー回路 4 3 に接続される。

10

## 【 0 0 3 2 】

カレントミラー回路 4 3 はNチャネルMOSトランジスタQ 4 3、Q 4 4 から構成され、入力側のトランジスタQ 4 3 のドレインが前記トランジスタQ 4 2 のドレインに接続される。両トランジスタQ 4 3、Q 4 4 はソースが低電位電源V Sに接続され、トランジスタQ 4 3 のドレインは両トランジスタQ 4 3、Q 4 4 のゲートに接続され、トランジスタQ 4 4 のドレインは出力段回路 4 4 に接続される。

## 【 0 0 3 3 】

出力側のトランジスタQ 4 4 は、入力側のトランジスタQ 4 3 と同一の素子サイズを有し、トランジスタQ 4 3 のドレイン電流、即ち前記トランジスタQ 4 2 のドレイン電流と等しいドレイン電流を流す。

20

## 【 0 0 3 4 】

出力段回路 4 4 は、第2抵抗素子R 1 2、PMOSトランジスタQ 4 5 から構成され、前記トランジスタQ 4 4 のドレインは第2抵抗素子R 1 2 を介して高電位電源V Dに接続される。トランジスタQ 4 5 はソースが高電位電源V Dに接続され、ゲートが第2抵抗素子R 1 2 を介して高電位電源V Dに接続され、ドレインが出力端子T oに接続される。

## 【 0 0 3 5 】

トランジスタQ 4 5 は前記トランジスタQ 4 1 と相関のある素子サイズ（本実施形態では同一の素子サイズ）を有し、第2抵抗素子R 1 2 は、第1抵抗素子R 1 1 の抵抗値と相関のある抵抗値（本実施形態では同一抵抗値）を持つ。

30

## 【 0 0 3 6 】

次に、上記のように構成された電流出力回路 4 0 の作用を説明する。

トランジスタQ 4 1、Q 4 2 及び第1抵抗素子R 1 1 は定電流源 4 2 の電流I 4 1 を受け、トランジスタQ 4 2 から電流I 4 2 を出力させる。

## 【 0 0 3 7 】

トランジスタQ 4 2 は、トランジスタQ 4 1 に電流I 4 1 となるドレイン電流を第1抵抗素子R 1 1 に流すことでトランジスタQ 4 1 のゲート電圧を制御する。即ち、この時の電流I 4 2 は、第1抵抗素子R 1 1 により、トランジスタQ 4 1 に定電流I 4 1 と等しいドレイン電流を流すようにそのトランジスタQ 4 1 のゲート・ソース間電圧を生じさせる電流値である。

40

## 【 0 0 3 8 】

電流I 4 2 は、トランジスタQ 4 3、Q 4 4 で構成されるカレントミラー回路 4 3 により電流I 4 3 として第2抵抗素子R 1 2 に伝えられる。両トランジスタQ 4 3、Q 4 4 の素子サイズが同一であることから、トランジスタQ 4 4 は、トランジスタQ 4 3 のドレイン電流I 4 2 と等しいドレイン電流I 4 3（ $I 4 2 = I 4 3$ ）を流す。

## 【 0 0 3 9 】

そして、第1抵抗素子R 1 1 と第2抵抗素子R 1 2 とは同一抵抗値であるため、第1抵抗素子R 1 1 と電流I 4 2 によるトランジスタQ 4 1 のゲート電圧V a と、第2抵抗素子R 1 2 と電流I 4 3 によるトランジスタQ 4 5 のゲート電圧V b は同一電圧値となる。

## 【 0 0 4 0 】

50

トランジスタQ45は、トランジスタQ41と同一素子サイズであり、そのソースはともに高電位電源VDに接続され、ゲート電圧Vb、Vaは同一電圧値(Va = Vb)である。これにより、出力段のトランジスタQ45は、トランジスタQ41のドレイン電流I41と等しいドレイン電流I44(I44 = I41)を流す。

【0041】

次に、定電流源42の電流I41を変更した場合、その変更された電流I41によりトランジスタQ41のゲート電圧Vaが決定され、そのゲート電圧Vaと等しいゲート電圧Vbが第1及び第2抵抗素子R11、R12に流れる電流I42、I43の電流値に関わらず設定される。更に、トランジスタQ45のゲート電圧Vbは、第2抵抗素子R12による電流/電圧変換により設定される。

10

【0042】

従って、本実施形態では、トランジスタQ41のドレイン電流I41によってトランジスタQ41及びQ45のゲート電圧Va、Vbが直ちに決定され、それによりトランジスタQ45は電流I41と相関のあるドレイン電流I44を流し、応答時間が従来に比べて短くなる。

【0043】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 電流出力回路40では、第2抵抗素子R12による電流/電圧変換により出力側であるトランジスタQ45のゲート電圧Vbを設定している。これに対し、従来の電流出力回路10(図4参照)では、入力側であるトランジスタQ11の容量成分に対して充放電を行うことで、出力側であるトランジスタQ12のゲート電圧を設定していた。従って、本発明回路では、従来回路でのトランジスタQ11の容量成分充放電時間分、電流伝達の時間を短縮することが可能である。

20

【0044】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図2に従って説明する。

尚、説明の便宜上、図1と同様の構成については同一の符号を付してその説明を一部省略する。

【0045】

図2は、アナログスイッチ回路50の回路図である。

30

このアナログスイッチ回路50は、電流変換回路41、定電流源42、カレントミラー回路51、差動回路52を備える。

【0046】

電流変換回路41は、PチャネルMOSトランジスタQ41、Q42、第1抵抗素子R11から構成される。トランジスタQ41はドレインに定電流源42の電流I41を受け、トランジスタQ42のドレインがカレントミラー回路51に接続される。

【0047】

カレントミラー回路51はNチャネルMOSトランジスタQ51、Q52から構成され、入力側のトランジスタQ51のドレインが前記トランジスタQ42のドレインに接続される。両トランジスタQ51、Q52はソースが低電位電源VSに接続され、トランジスタQ51のドレインは両トランジスタQ51、Q52のゲートに接続され、トランジスタQ52のドレインは差動回路52に接続される。

40

【0048】

出力側のトランジスタQ52は、入力側のトランジスタQ51の2倍の素子サイズを有し、トランジスタQ51のドレイン電流、即ち前記トランジスタQ42のドレイン電流の2倍のドレイン電流をバイアス電流として差動回路52に供給する。

【0049】

差動回路52は、一对のNチャネルMOSトランジスタQ53、Q54からなる差動対53を含み、両トランジスタQ53、Q54のソースが前記トランジスタQ52のドレインに接続される。トランジスタQ53はゲートが入力端子Tiに接続され、入力信号VIN

50

を受け、ドレインが第2抵抗素子R12を介して高電位電源VDに接続される。トランジスタQ54はゲートが出力端子Toに接続され、ドレインが出力端子ToとPチャネルMOSトランジスタQ55のドレインに接続される。トランジスタQ55は、ゲートが第2抵抗素子R12を介して高電位電源VDに接続され、ソースが高電位電源VDに接続される。

【0050】

次に、上記のように構成されたアナログスイッチ回路50の作用を説明する。

トランジスタQ41, Q42, 抵抗素子R11は、外部電流I41を受け、電流I42をトランジスタQ51に出力する。トランジスタQ51, Q52は2倍のカレントミラー回路51を構成しており、トランジスタQ52はトランジスタQ42のドレイン電流の2倍のドレイン電流(=I42×2)を出力する。

10

【0051】

そして、外部電流I41をトランジスタQ42のドレイン電流I42と同一電流値(I42=I41)に設定した場合、トランジスタQ52のドレイン電流I51は、トランジスタQ41のドレイン電流I41の2倍(I51=I41×2)となる。

【0052】

・入力信号VINと出力信号VOUTの電位が等しい(VIN=VOUT)時。  
トランジスタQ53, Q54の差動対53は、トランジスタQ52のドレイン電流を入力側のトランジスタQ53と出力側のトランジスタQ54へそれぞれ均一に分配し、両トランジスタQ53, Q54に流れる電流I52, I53は同一値(I52=I53)となる。

20

【0053】

トランジスタQ41のゲート電圧VaとトランジスタQ55のゲート電圧Vbとが等しくなる(Va=Vb)ことから、トランジスタQ55のドレイン電流I53はトランジスタQ41のドレイン電流I41、更にはトランジスタQ42のドレイン電流I42と等しく(I53=I41=I42)なる。これにより、トランジスタQ53, Q54による差動対53は、ドレイン側流入電流とソース側流出電流が一致し、出力信号VOUTの電位を入力信号VINのそれと一致(VIN=VOUT)させ、その安定した状態を保持する。

【0054】

・入力信号VINの電位が出力信号VOUTよりも低い(VIN<VOUT)時(過渡的な電圧条件)。

30

トランジスタQ53, Q54の差動対53は入力信号VINを受け、入力側のトランジスタQ53の電流I52を出力側の電流I53より少なくする(I52<I53)。

【0055】

これにより、トランジスタQ55のゲート電圧VbがトランジスタQ41のゲート電圧Vaより高くなる(Va<Vb)ことから、トランジスタQ55のドレイン電流I53はトランジスタQ41のドレイン電流I41よりも少なく(I53<I41)なる。これにより、トランジスタQ53, Q54による差動対53は入力信号VIN及び出力信号VOUTによる分配電流をトランジスタQ54から引き込むことができず、トランジスタQ54のゲート・ソース間電圧は小さくなり、出力信号VOUTの電位が低下する。

40

【0056】

・入力信号VINの電位が出力信号VOUTよりも高い(VIN>VOUT)時(過渡的な電圧条件)。

トランジスタQ53, Q54の差動対53は、入力側のトランジスタQ53の電流I52を多くする(I52>I53)。

【0057】

これにより、トランジスタQ55のゲート電圧VbがトランジスタQ41のゲート電圧Vaより低くなる(Va>Vb)ことから、トランジスタQ55のドレイン電流I53はトランジスタQ41のドレイン電流I41よりも多く(I53>I41)なる。これにより、トランジスタQ53, Q54による差動対53は入力信号VIN及び出力信号VOUT

50

による分配電流をトランジスタQ53から引き込むことができなくなり、トランジスタQ53のゲート・ソース間電圧は小さくなり、出力信号VOUTの電位が上昇する。

【0058】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 第2抵抗素子R12による電流/電圧変換により入力側の電流I52にตอบสนองしてトランジスタQ55のゲート電圧Vbを設定し、出力側の電流I53を変化させるようにした。その結果、入力側の電流I52を出力側の電流I53へ伝達するのに要する時間が、図5のカレントミラー回路24に比べて短く、アナログスイッチ回路50を高速に動作させることができる。

【0059】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図3に従って説明する。

尚、説明の便宜上、図1, 2と同様の構成については同一の符号を付してその説明を一部省略する。

【0060】

図3は、プッシュプル型のオペアンプ回路60の回路図である。

このオペアンプ回路60は、定電流源回路61、電流変換回路41、カレントミラー回路43、差動入力回路62、出力段回路63を備える。

【0061】

定電流源回路61は、カレントミラー回路64、NチャンネルMOSトランジスタQ61, Q62、抵抗素子R21から構成される。

カレントミラー回路64はPチャンネルMOSトランジスタQ63, Q64から構成され、両トランジスタQ63, Q64のソースは高電位電源VDに接続され、トランジスタQ63のドレインはトランジスタQ63, Q64のゲートに接続される。トランジスタQ63, Q64のドレインはそれぞれトランジスタQ61, Q62のドレインに接続される。

【0062】

トランジスタQ61はゲートがトランジスタQ62のドレインに接続され、ソースが抵抗素子R21を介して低電位電源VSに接続される。トランジスタQ61と抵抗素子R21の間のノードN11はトランジスタQ62のゲートに接続され、トランジスタQ62のソースは低電位電源VSに接続される。

【0063】

トランジスタQ65は、ソースが低電位電源VSに接続され、ゲートがトランジスタQ62のゲートに接続され、ドレインが電流変換回路41に接続される。トランジスタQ65はトランジスタQ62と同一の素子サイズを有し、トランジスタQ62のドレイン電流I62(=I61)と等しいドレイン電流I63を電流変換回路41に供給する。

【0064】

トランジスタQ61は第1抵抗素子R21へ電流を供給することにより、トランジスタQ62のゲート電圧を設定する。トランジスタQ62はそのドレイン電流I62によりドレイン電圧を決定し、トランジスタQ61のゲート電圧を設定する。カレントミラー回路64はトランジスタQ61のドレイン電流I61を受け、トランジスタQ62へのドレイン電流を制御する。

【0065】

そして、電流I61の電流値は、抵抗素子R21によって、トランジスタQ62にドレイン電流I62を流すようにそのトランジスタQ62のゲート・ソース間電圧差を生じさせる。これらにより、トランジスタQ61はトランジスタQ62のドレイン電流I62がトランジスタQ61のドレイン電流I61と同一電流になるよう、トランジスタQ62のゲート電圧を制御している。

【0066】

この時のトランジスタQ61のドレイン電流I61とトランジスタQ62のゲート電圧Vcは、トランジスタQ62の素子サイズと抵抗素子R21の抵抗値によって決定され、そ

10

20

30

40

50

の値は固有である。

【0067】

電流変換回路41はPチャンネルMOSトランジスタQ41, Q42及び第2抵抗素子R11を備え、トランジスタQ41のドレインが前記トランジスタQ65のドレインに接続されてそのドレイン電流I63を受け、トランジスタQ42のドレイン電流I64を流す。

【0068】

この時のドレイン電流I64は、第2抵抗素子R11によって、トランジスタQ41に電流I63と等しいドレイン電流を流すようにそのトランジスタQ41のゲート・ソース間電圧差を生じさせる。

【0069】

カレントミラー回路43は、一对のNチャンネルMOSトランジスタQ43, Q44から構成され、入力側のトランジスタQ43のドレインが前記トランジスタQ42のドレインに接続される。トランジスタQ43, Q44はソースが低電位電源VSに接続され、トランジスタQ43のドレインはトランジスタQ43, Q44のゲートに接続される。

【0070】

トランジスタQ44はトランジスタQ43と等しい素子サイズを有し、トランジスタQ44はトランジスタQ43のドレイン電流I63と等しい電流をバイアス電流として差動入力回路62に供給する。

【0071】

差動入力回路62は、差動対65を構成する一对のNチャンネルMOSトランジスタQ66, Q67、第3及び第4抵抗素子R22, R23から構成され、両トランジスタQ66, Q67のソースの接続点が前記トランジスタQ44のドレインに接続される。

【0072】

トランジスタQ66, Q67のドレインはそれぞれ第3及び第4抵抗素子R22, R23を介して高電位電源VDに接続される。トランジスタQ66のゲートは第1入力端子T1に接続され、そのゲートに第1入力信号IMを受ける。トランジスタQ67のゲートは第2入力端子T2に接続され、そのゲートに第2入力信号IPを受ける。

【0073】

第3及び第4抵抗素子R22, R23は第2抵抗素子R11の抵抗値と同一の抵抗値を有する複数(本実施形態では2本)の抵抗素子R22a, R22b, R23a, R23bを直列接続して構成される。従って、第3及び第4抵抗素子R22, R23は、第2抵抗素子R11と相関のある抵抗値(2倍の抵抗値)を有する。

【0074】

一对のトランジスタQ66, Q67は同一の素子サイズを有する。従って、差動入力回路62は、トランジスタQ44から供給されるバイアス電流I65に基づいて動作し、第1及び第2入力信号IM, IPの電位差に応じて流すドレイン電流I66, I67により、トランジスタQ66と第3抵抗素子R22の間のノードN12の電位と、トランジスタQ67と第4抵抗素子R23の間のノードN13の電位とを、相補的に変更する。また、第1及び第2入力信号IM, IPの電位が等しいとき、それぞれのトランジスタQ66, Q67は等しいドレイン電流I66, I67を流す。

【0075】

差動入力回路62のノードN12, N13は、出力段回路63に接続される。

出力段回路63は、PMOSトランジスタQ68, Q69、NMOSトランジスタQ70、第5抵抗素子R24から構成され、トランジスタQ68, Q69のゲートが各ノードN12, N13にそれぞれ接続される。

【0076】

トランジスタQ68はソースが高電位電源VDに接続され、ドレインが第5抵抗素子R24に接続される。トランジスタQ68はトランジスタQ41の素子サイズのn倍(nは整数であり、本実施形態ではn=2)の素子サイズを有し、そのゲート電圧Vb1に応じたドレイン電流I68を流す。

10

20

30

40

50

## 【 0 0 7 7 】

トランジスタQ 6 9は最終出力段の上段トランジスタであり、ソースが高電位電源V Dに接続され、ドレインが出力端子T oに接続される。トランジスタQ 6 9はトランジスタQ 4 1の10倍の素子サイズを有する。トランジスタQ 6 9は、そのゲート電圧V b 2に応じたドレイン電流I 6 9を出力端子T oに供給する。

## 【 0 0 7 8 】

第5抵抗素子R 2 4は、第1抵抗素子R 2 1の抵抗値と同じ抵抗値を有するn本（本実施形態では2本）の抵抗を並列に接続した抵抗値を有する。即ち、第5抵抗素子R 2 4は、並列接続された抵抗素子R 2 4 a , R 2 4 bから構成され、それら抵抗素子R 2 4 a , R 2 4 bは第1抵抗素子R 2 1と同一の抵抗値を有する。従って、第5抵抗素子R 2 4は、第1抵抗素子R 2 1と関連のある抵抗値（第1抵抗素子R 2 1の抵抗値の1 / 2）を有する。

10

## 【 0 0 7 9 】

第5抵抗素子R 2 4とトランジスタQ 6 8の間のノードN 1 4は、トランジスタQ 7 0のゲートに接続される。トランジスタQ 7 0は最終出力段の下段トランジスタであり、ソースが低電位電源V Sに接続され、ドレインが出力端子T oに接続される。

## 【 0 0 8 0 】

トランジスタQ 7 0はトランジスタQ 6 2の10倍の素子サイズを有し、トランジスタQ 6 8のドレイン電流I 6 8と抵抗素子R 2 4の抵抗値により決まるノードN 1 4と等しいの電位を持つゲート電圧V dに応じたドレイン電流I 7 0を出力端子T oから引き込む。

20

## 【 0 0 8 1 】

このように構成されたオペアンプ回路3 0は、入力信号I P , I Mの電位に応じて、最終出力段のトランジスタQ 6 9のドレイン電流I 6 9を出力端子T oから吐出させ、又はトランジスタQ 7 0のドレイン電流I 7 0を出力端子T oから吸引する、所謂プッシュプル動作する。

## 【 0 0 8 2 】

次に、上記のように構成されたオペアンプ回路6 0の作用を説明する。

定電流源回路6 1は、トランジスタQ 6 1 ~ Q 6 4及び第1抵抗素子R 2 1により、トランジスタQ 6 1のドレイン電流I 6 1と等しいトランジスタQ 6 2のドレイン電流I 6 2を発生する。

30

## 【 0 0 8 3 】

トランジスタQ 6 5は、トランジスタQ 6 2と同一ゲート、ソース電圧であり、トランジスタQ 6 2のドレイン電流I 6 2と等しいドレイン電流I 6 3（ $I 6 3 = I 6 2$ ）を出力する。

## 【 0 0 8 4 】

電流変換回路4 1は、トランジスタQ 4 1 , Q 4 2 , 抵抗素子R 1 1によって、電流I 6 3を受け、トランジスタQ 4 2から電流I 6 4を出力させる。この時の電流I 6 4は、抵抗素子R 1 1によって、トランジスタQ 4 1にドレイン電流I 6 3を流すためのゲート・ソース間電圧差を生じさせる電流値である。

## 【 0 0 8 5 】

トランジスタQ 4 3 , Q 4 4によるカレントミラー回路4 3により、電流I 6 4は同一な電流値のバイアス電流I 6 5としてトランジスタQ 6 6 , Q 6 7による差動対6 5へ伝えられる。

40

## 【 0 0 8 6 】

そして、出力信号O U Tを第1入力信号I Mとして入力する、即ち第1端子T 1と出力端子T oを接続したボルテージフォロア接続において、第1及び第2入力信号I M , I Pの電位に対する動作を説明する。

## 【 0 0 8 7 】

・第1及び第2入力信号I M , I Pの電位が等しい（ $I M = I P$ ）時。

トランジスタQ 6 6 , Q 6 7により、バイアス電流I 6 5はトランジスタQ 6 6 , Q 6 7

50

へ均一に分配され、それらのドレイン電流  $I_{67}$  ,  $I_{68}$  は等しく ( $I_{66} = I_{67}$ ) なり、その電流値は電流  $I_{64}$  の  $1/2$  ( $I_{66} = I_{67} = I_{64} \times 0.5$ ) となる。

【0088】

第3抵抗素子  $R_{22}$  の抵抗値は、第2抵抗素子  $R_{11}$  と等しい抵抗値を持つ抵抗素子  $R_{22a}$  と  $R_{22b}$  を直列接続した合成抵抗値であり、第2抵抗素子  $R_{11}$  の2倍の抵抗値となる。従って、トランジスタ  $Q_{68}$  のゲート電圧  $V_{b1}$  は、第3抵抗素子  $R_{22}$  の抵抗値と電流  $I_{66}$  から、

$$V_{b1} = I_{66} \times R_{22} = I_{64} \times 0.5 \times R_{11} \times 2 = V_a$$

となる。即ち、トランジスタ  $Q_{68}$  のゲート電圧  $V_{b1}$  は、トランジスタ  $Q_{41}$  のゲート電圧  $V_a$  と等しくなる。

10

【0089】

同様にして、トランジスタ  $Q_{69}$  のゲート電圧  $V_{b2}$  は、

$$V_{b2} = I_{67} \times R_{23} = I_{64} \times 0.5 \times R_{11} \times 2 = V_a$$

となり、トランジスタ  $Q_{41}$  のゲート電圧  $V_a$  と等しくなる。

【0090】

トランジスタ  $Q_{69}$  はトランジスタ  $Q_{41}$  のゲート電圧  $V_a$  と等しいゲート電圧  $V_{b2}$  ( $V_{b2} = V_a$ ) を受け、その素子サイズがトランジスタ  $Q_{41}$  の10倍であることから、トランジスタ  $Q_{41}$  の10倍の電流  $I_{69}$  ( $I_{69} = I_{63} \times 10$ ) を出力する。

【0091】

トランジスタ  $Q_{68}$  はトランジスタ  $Q_{41}$  のゲート電圧  $V_a$  と等しいゲート電圧  $V_{b1}$  ( $V_{b1} = V_a$ ) を受け、その素子サイズがトランジスタ  $Q_{41}$  の2倍であることから、トランジスタ  $Q_{41}$  の2倍の電流  $I_{68}$  ( $I_{68} = I_{63} \times 2 = I_{62} \times 2$ ) を第5抵抗素子  $R_{24}$  へ出力する。

20

【0092】

第5抵抗素子  $R_{24}$  の抵抗値は、第1抵抗素子  $R_{21}$  と等しい抵抗値を持つ抵抗素子  $R_{24a}$  ,  $R_{24b}$  を並列接続した合成抵抗値であり、第1抵抗素子  $R_{21}$  の0.5倍である。従って、トランジスタ  $Q_{70}$  のゲート電圧  $V_d$  は、第5抵抗素子  $R_{24}$  の抵抗値と電流  $I_{68}$  から、

$$V_d = I_{68} \times R_{24} = I_{62} \times 2 \times R_{21} \div 2 = V_c$$

となり、トランジスタ  $Q_{62}$  のゲート電圧  $V_c$  と等しくなる。

30

【0093】

トランジスタ  $Q_{70}$  は、その素子サイズがトランジスタ  $Q_{62}$  の10倍であることから、トランジスタ  $Q_{62}$  の10倍の電流  $I_{70}$  ( $I_{70} = I_{62} \times 10$ ) となる。

【0094】

トランジスタ  $Q_{69}$  のドレイン電流  $I_{69}$  と、トランジスタ  $Q_{70}$  のドレイン電流  $I_{70}$  が等しい ( $I_{69} = I_{70} = I_{63} \times 10$ ) ため、第1入力信号  $I_M$  と第2入力信号  $I_P$  の電位を等しく ( $I_M = I_P$ ) し、この安定状態が保持される。

【0095】

・第2入力信号  $I_P$  の電位が第1入力信号  $I_M$  の電位 (出力信号  $OUT$  の電位) より低い ( $I_P < I_M$ ) 時 (過渡的な電圧条件)

40

トランジスタ  $Q_{66}$  ,  $Q_{67}$  よりなる差動対  $65$  は、第1及び第2入力信号  $I_M$  ,  $I_P$  によりバイアス電流  $I_{65}$  をトランジスタ  $Q_{66}$  側へ多く分配 ( $I_{66} > I_{67}$ ) する。従って、トランジスタ  $Q_{66}$  のドレイン電流  $I_{66}$  は、トランジスタ  $Q_{42}$  のドレイン電流  $I_{64}$  の  $1/2$  より多く ( $I_{66} > I_{64} \times 0.5$ ) なる。

【0096】

第3抵抗素子  $R_{22}$  の抵抗値は、第2抵抗素子  $R_{11}$  の2倍 ( $R_{22} = R_{11} \times 2$ ) であるため、トランジスタ  $Q_{68}$  のゲート電圧  $V_{b1}$  は、

$$V_{b1} = I_{66} \times R_{22} < V_a$$

となり、トランジスタ  $Q_{41}$  のゲート電圧  $V_a$  より低くなる。

【0097】

50

同様にして、トランジスタQ 6 9のゲート電圧V b 2は、  
 $V b 2 = I 6 7 \times R 2 3 > V a$   
 となり、トランジスタQ 4 1のゲート電圧V aより高くなる。

【0098】

トランジスタQ 6 9はゲート電圧V b 2 ( $V b 2 > V a$ )を受け、その素子サイズがトランジスタQ 4 1の10倍であるが、ドレイン電流I 6 9は10倍以下 ( $I 6 9 < I 6 3 \times 10$ )となる。

【0099】

トランジスタQ 6 8はゲート電圧V b 1 ( $V b 1 < V a$ )を受け、その素子サイズがトランジスタQ 4 1の2倍であるが、トランジスタQ 4 1の2倍以上の電流I 6 8 ( $I 6 8 = > I 6 3 \times 2$ )を第5抵抗素子R 2 4へ出力する。

10

【0100】

第5抵抗素子R 2 4の抵抗値は、第1抵抗素子R 2 1の抵抗値の1/2であるため、トランジスタQ 7 0のゲート電圧V dは、  
 $V d > V c$

となり、トランジスタQ 6 2のゲート電圧V cより高くなる。

【0101】

トランジスタQ 7 0は、その素子サイズはトランジスタQ 6 2の10倍であるが、ゲート電圧V d ( $V d > V c$ )を受け、トランジスタQ 6 2の10倍以上の電流I 7 0 ( $I 7 0 > I 6 2 \times 10$ )を出力する。

20

【0102】

トランジスタQ 6 9のドレイン電流I 6 9が、トランジスタQ 7 0のドレイン電流I 7 0より少なく ( $I 6 9 < I 7 0$ )なり、出力信号O U Tの電位は低電位電源V Sに近くなり、第1入力信号I Mの端子電圧を低下させる。

【0103】

・第2入力信号I Pの電位が第1入力信号I M (出力信号O U Tの電位)より高い ( $I P > I M$ )時 (過渡的な電圧条件)。

トランジスタQ 6 6, Q 6 7よりなる差動対6 5は、第1及び第2入力信号I M, I Pによりバイアス電流I 6 5をトランジスタQ 6 7側へ多く分配 ( $I 6 6 < I 6 7$ )する。従って、トランジスタQ 6 6のドレイン電流I 6 6は、トランジスタQ 4 2のドレイン電流I 6 4の1/2より少なく ( $I 6 6 < I 6 4 \times 0.5$ )なる。

30

【0104】

第3抵抗素子R 2 2の抵抗値は、第2抵抗素子R 1 1の2倍 ( $R 2 2 = R 1 1 \times 2$ )であるため、トランジスタQ 6 8のゲート電圧V b 1は、

$V b 1 = I 6 6 \times R 2 2 > V a$

となり、トランジスタQ 4 1のゲート電圧V aより高くなる。

【0105】

同様にして、トランジスタQ 6 9のゲート電圧V b 2は、

$V b 2 = I 6 7 \times R 2 3 < V a$

となり、トランジスタQ 4 1のゲート電圧V aより低くなる。

40

【0106】

トランジスタQ 6 9はゲート電圧V b 2 ( $V b 2 < V a$ )を受け、その素子サイズがトランジスタQ 4 1の10倍であるが、ドレイン電流I 6 9は10倍以上 ( $I 6 9 > I 6 3 \times 10$ )となる。

【0107】

トランジスタQ 6 8はゲート電圧V b 1 ( $V b 1 > V a$ )を受け、その素子サイズがトランジスタQ 4 1の2倍であるが、トランジスタQ 4 1の2倍以下の電流I 6 8 ( $I 6 8 = < I 6 3 \times 2$ )を第5抵抗素子R 2 4へ出力する。

【0108】

第5抵抗素子R 2 4の抵抗値は、第1抵抗素子R 2 1の抵抗値の1/2であるため、トラ

50

ンジスタQ70のゲート電圧 $V_d$ は、

$$V_d < V_c$$

となり、トランジスタQ62のゲート電圧 $V_c$ より低くなる。

【0109】

トランジスタQ70は、その素子サイズはトランジスタQ62の10倍であるが、ゲート電圧 $V_d$  ( $V_d < V_c$ )を受け、トランジスタQ62の10倍以下の電流 $I_{70}$  ( $I_{70} < I_{62} \times 10$ )を出力する。

【0110】

トランジスタQ69のドレイン電流 $I_{69}$ が、トランジスタQ70のドレイン電流 $I_{70}$ より多く ( $I_{69} > I_{70}$ ) なり、出力信号OUTの電位は高電位電源VDに近くなり、第1入力信号IMの端子電圧を上昇させる。

10

【0111】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) トランジスタQ41のドレイン電流 $I_{63}$ と関連のある電流 $I_{68}$ ,  $I_{69}$ を流すように第3及び第4抵抗素子 $R_{22}$ ,  $R_{23}$ によってトランジスタQ68と出力トランジスタQ69のゲート電圧 $V_{b1}$ ,  $V_{b2}$ を設定し、第3及び第4抵抗素子 $R_{22}$ ,  $R_{23}$ による電流/電圧変換により第1及び第2入力信号IM, IPによってゲート電圧 $V_{b1}$ ,  $V_{b2}$ を変化させて第1出力トランジスタQ69のドレイン電流 $I_{69}$ と、トランジスタQ68のドレイン電流 $I_{68}$ により第2出力トランジスタQ70のドレイン電流 $I_{70}$ とを変化させるようにした。その結果、第1及び第2入力信号IM, IPの変化に基づく電流 $I_{69}$ ,  $I_{70}$ の変化、即ち伝達時間が従来回路に比べて短くなり、オペアンプ回路60を高速に動作させることができる。

20

【0112】

(2) 定電流源回路61は、ゲート-ソース間に抵抗素子 $R_{21}$ が接続されたトランジスタQ62を備え、トランジスタQ61, Q63, Q64により、抵抗素子 $R_{21}$ に流れる電流 $I_{61}$ とトランジスタQ62のドレイン電流 $I_{62}$ を一致させる。出力トランジスタQ70はトランジスタQ62の10倍の素子サイズを有し、ソース-ゲート間に抵抗素子 $R_{21}$ と同じ抵抗値を有する抵抗素子 $R_{24a}$ ,  $R_{24b}$ を並列接続した抵抗素子 $R_{24}$ が接続され、その抵抗素子 $R_{24}$ にドレイン電流 $I_{62}$ の2倍の電流 $I_{68}$ が供給され、それにより出力トランジスタQ70のゲート電圧 $V_d$ が設定される。これにより、トランジスタQ70のドレイン電流 $I_{70}$ は、ゲート電圧 $V_c$ に対して2次特性で反応するため、出力駆動能力の低下を抑えることができる。

30

【0113】

(3) 出力段回路63は、抵抗素子 $R_{24}$ にドレイン電流 $I_{68}$ を流すトランジスタQ68を備え、そのトランジスタQ68のゲートは差動入力回路62の差動対65を構成するトランジスタQ66のドレインに接続される。従って、差動対65から見てトランジスタQ68と出力トランジスタQ70の2段にて電圧電流変換を行っているため、高速に動作することができる。

【0114】

尚、前記実施形態は、以下の態様に変更してもよい。

40

・上記各実施形態において、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを適宜入れ替えて実施してもよい。その際、高電位電源VDと低電位電源VSとを入れ替えて供給することはいうまでもない。

【0115】

・上記各実施形態において、各抵抗素子の抵抗値、各トランジスタの素子サイズを適宜変更して実施してもよい。例えば、図3のオペアンプ回路60において、出力トランジスタQ70のゲート電圧 $V_d$ をトランジスタQ62のゲート電圧 $V_c$ と等しく設定できれば、第1及び第5抵抗素子 $R_{21}$ ,  $R_{24}$ の抵抗値の比を適宜変更して実施してもよい。もちろん、それに対応してトランジスタQ68の素子サイズを変更してドレイン電流 $I_{68}$ を変更することはいうまでもない。

50

## 【 0 1 1 6 】

以上の様々な実施の形態をまとめると、以下ようになる。

(付記1) 第1の電流をドレインに受ける第1のトランジスタと、  
前記第1のトランジスタのゲート - ソース間に接続された第1の抵抗素子と、前記第1のトランジスタのドレインにゲートが接続され、前記第1のトランジスタのゲートにソースが接続された第2のトランジスタと、

前記第1の抵抗素子の抵抗値と相関のある抵抗値を有する第2の抵抗素子と、  
前記第2の抵抗素子がゲート - ソース間に接続され、前記第1のトランジスタと相関のある素子サイズを有し、前記第2のトランジスタのドレイン電流に基づく第2の電流をゲートに受け、ドレインから前記第1の電流と相関のある第3の電流を出力する第3のトランジスタと、

10

を備えたことを特徴とする電流出力回路。

(付記2) 前記第1のトランジスタのゲート電圧と前記第3のトランジスタのゲート電圧を等しくするように前記第1及び第2の抵抗素子の抵抗値と前記第2の電流を設定し、前記第1及び第3のトランジスタの素子サイズ比を設定することで、前記第1及び第3の電流の電流値の比を設定したことを特徴とする付記1記載の電流出力回路。

(付記3) 前記第2及び第3のトランジスタのドレインにカレントミラー回路を接続し、該カレントミラー回路により前記第2のトランジスタのドレイン電流に基づく前記第2の電流を前記第3のトランジスタのドレインに受けるようにしたことを特徴とする付記1又は2記載の電流出力回路。

20

(付記4) 前記カレントミラー回路の入力側トランジスタと出力側トランジスタの素子サイズ比を、前記第1の抵抗素子と前記第2の抵抗素子の抵抗比の逆数比としたことを特徴とする付記3記載の電流出力回路。

(付記5) 入力信号の電圧成分を出力信号へ伝達するアナログスイッチ回路であって、第1の電流をドレインに受ける第1のトランジスタと、

前記第1のトランジスタのゲート - ソース間に接続された第1の抵抗素子と、  
前記第1のトランジスタのドレインにゲートが接続され、前記第1のトランジスタのゲートにソースが接続された第2のトランジスタと、

ゲートに前記入力信号が印加された入力トランジスタと、ゲートとドレインが接続され該ゲート電圧を持つ前記出力信号を出力する出力トランジスタからなり、前記第2のトランジスタのドレイン電流に基づく第2の電流がバイアス電流として供給される差動対と、  
前記入力トランジスタのドレインに接続され、前記第1の抵抗素子の抵抗値と相関のある抵抗値を有する第2の抵抗素子と、

30

前記第2の抵抗素子がゲート - ソース間に接続され、前記第1のトランジスタと相関のある素子サイズを有し、ドレインが前記出力トランジスタのドレインに接続され、ドレインから前記第1の電流と相関のある第3の電流を出力する第3のトランジスタと、  
を備えたことを特徴とするアナログスイッチ回路。

(付記6) 前記第1のトランジスタのゲート電圧と前記第3のトランジスタのゲート電圧を等しくするように前記第1及び第2の抵抗素子の抵抗値と前記第2の電流を設定したことを特徴とする付記5記載のアナログスイッチ回路。

40

(付記7) 前記第2のトランジスタのドレイン電流をミラーして前記バイアス電流を前記差動対に供給するカレントミラー回路を備えたことを特徴とする付記5又は6記載のアナログスイッチ回路。

(付記8) 前記カレントミラー回路の入力側トランジスタと出力側トランジスタの素子サイズ比を、前記第2のトランジスタのドレイン電流と前記差動対に流れる電流の合計値の比としたことを特徴とする付記7記載のアナログスイッチ回路。

(付記9) 第1の電流をドレインに受ける第1のトランジスタと、  
前記第1のトランジスタのゲート - ソース間に接続された第1の抵抗素子と、  
前記第1のトランジスタのドレインにゲートが接続され、前記第1のトランジスタのゲートにソースが接続された第2のトランジスタと、

50

ゲートにそれぞれ第 1 及び第 2 の入力信号が印加される一対のトランジスタからなる差動対と、前記一対のトランジスタのドレインにそれぞれ接続された第 2 及び第 3 の抵抗素子とを備え、前記差動対に前記第 2 のトランジスタのドレイン電流に基づく第 2 の電流がバイアス電流として供給される差動入力回路と、

前記第 2 の抵抗素子がゲート - ソース間に接続され、ドレインから前記第 1 の電流と関連のある第 3 の電流を出力する第 3 のトランジスタと、

前記第 3 の抵抗素子がゲート - ソース間に接続され、ドレインから前記第 1 の電流と関連のある第 5 の電流を流す第 1 の出力トランジスタと、

前記第 3 のトランジスタのドレインにゲートが接続され、ゲート - ソース間に第 4 の抵抗素子が接続され、該第 4 の抵抗素子と前記第 3 の電流に基づくゲート電圧に応じた第 6 の電流を流す第 2 の出力トランジスタと、

を備えたことを特徴とするオペアンプ回路。

(付記 10) 前記第 1 のトランジスタのゲート電圧と前記第 3 のトランジスタ及び第 1 の出力トランジスタのゲート電圧を等しくするように前記第 1 ~ 第 3 の抵抗素子の抵抗値と前記第 2 の電流の値を設定したことを特徴とする付記 9 記載のオペアンプ回路。

(付記 11) 前記第 2 のトランジスタのドレイン電流をミラーして前記バイアス電流を前記差動対に供給する第 1 のカレントミラー回路を備えたことを特徴とする付記 9 又は 10 記載のオペアンプ回路。

(付記 12) 前記第 1 のカレントミラー回路の入力側トランジスタと出力側トランジスタの素子サイズ比を、前記第 2 のトランジスタのドレイン電流と前記差動対に流れる電流の合計値の比としたことを特徴とする付記 11 記載のオペアンプ回路。

(付記 13) 第 4 のトランジスタと、そのトランジスタのゲート - ソース間に接続された第 5 の抵抗素子とを有し、該第 5 の抵抗素子に流れる第 7 の電流と前記第 4 のトランジスタのドレイン電流とを一致させるように制御した定電流源回路を備え、

前記第 1 の電流を前記第 4 のトランジスタのドレイン電流と等しくし、

前記第 7 の電流の電流値との比が、前記第 5 及び第 4 の抵抗素子の抵抗比の逆数比となる第 3 の電流を前記第 4 の抵抗素子に流し、該第 4 の抵抗素子の抵抗値と前記第 3 の電流の電流値により前記第 2 の出力トランジスタのゲート電圧を設定したことを特徴とする付記 9 ~ 12 のうちの何れか一項記載のオペアンプ回路。

(付記 14) 前記第 2 の出力トランジスタを前記第 4 のトランジスタの素子サイズに比例した素子サイズとし、前記第 6 の電流を、前記第 7 の電流との比が前記第 4 のトランジスタと前記第 2 の出力トランジスタの素子サイズ比となるように設定したことを特徴とする付記 13 記載のオペアンプ回路。

(付記 15) 前記定電流源回路は、

前記第 5 の抵抗素子にソースが接続され、前記第 4 のトランジスタのドレインにゲートが接続された第 5 のトランジスタと、

前記第 5 及び第 4 のトランジスタのドレインにそれぞれドレインが接続された第 6 及び第 7 トランジスタからなる第 2 のカレントミラー回路と

を備えたことを特徴とする付記 13 又は 14 記載のオペアンプ回路。

(付記 16) 付記 1 ~ 4 のうちの何れか一項記載の電流出力回路と、付記 5 ~ 8 のうちの何れか一項記載のアナログスイッチ回路と、付記 9 ~ 15 のうちの何れか一項記載のオペアンプ回路と、のうちの少なくとも一つの回路を備えた半導体装置。

【0117】

【発明の効果】

以上詳述したように、本発明によれば、動作速度の速い電流出力回路、オペアンプ回路を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態の電流出力回路の回路図である。

【図 2】 第二実施形態のアナログスイッチの回路図である。

【図 3】 第三実施形態のオペアンプ回路の回路図である。

10

20

30

40

50

【図4】 従来の電流出力回路の回路図である。

【図5】 従来のアナログスイッチの回路図である。

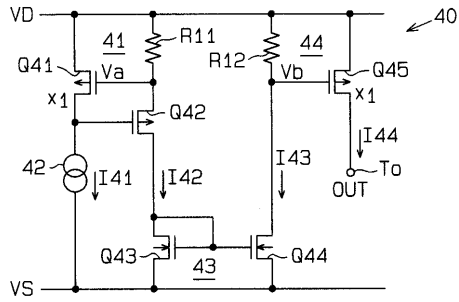
【図6】 従来のオペアンプ回路の回路図である。

【符号の説明】

I 4 1	第 1 の電流	
I 4 3	第 2 の電流	
I 4 4	第 3 の電流	
Q 4 1	第 1 のトランジスタ	
Q 4 2	第 2 のトランジスタ	
Q 4 5	第 3 のトランジスタ	10
R 1 1	第 1 の抵抗素子	
R 1 2	第 2 の抵抗素子	
5 3	差動対	
I 5 1	第 2 の電流	
I 5 3	第 3 の電流	
Q 5 3	入力トランジスタ	
Q 5 4	出力トランジスタ	
Q 5 5	第 3 のトランジスタ	
6 2	差動入力回路	
6 5	差動対	20
I 6 3	第 1 の電流	
I 6 5	第 2 の電流	
I M , I P	第 1 及び第 2 の入力信号	
Q 6 8	第 3 のトランジスタ	
Q 6 9	第 1 の出力トランジスタ	
Q 7 0	第 2 の出力トランジスタ	
R 2 2	第 2 の抵抗素子	
R 2 3	第 3 の抵抗素子	

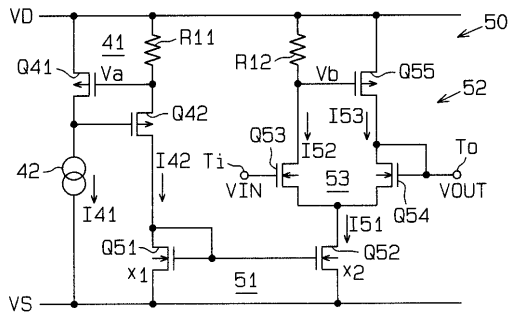
【 図 1 】

第一実施形態の電流出力回路の回路図



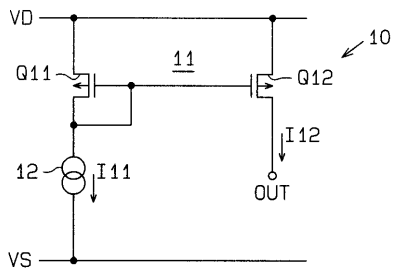
【 図 2 】

第二実施形態のアナログスイッチの回路図



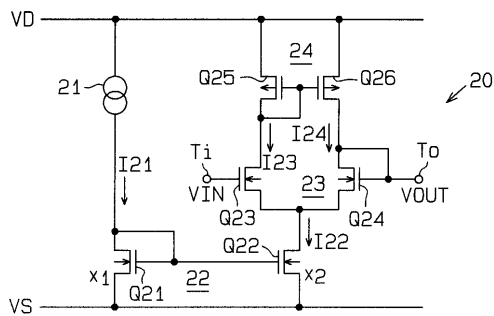
【 図 4 】

従来の電流出力回路の回路図



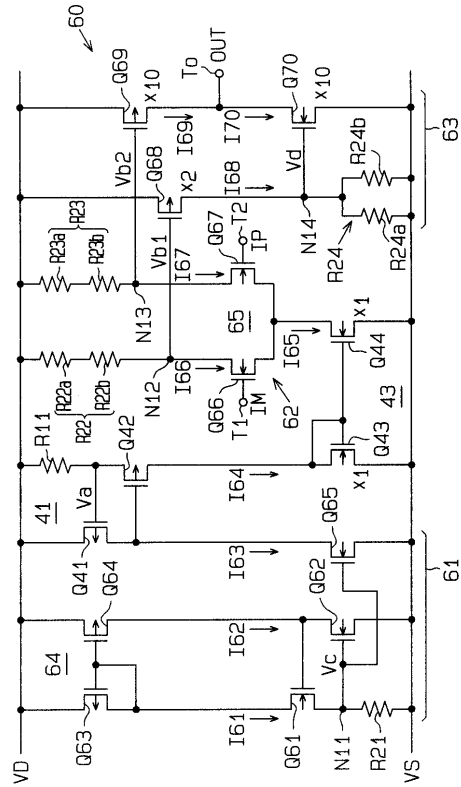
【 図 5 】

従来のアナログスイッチの回路図



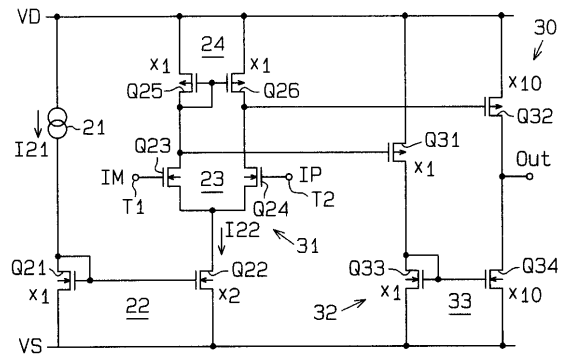
【 図 3 】

第三実施形態のオペアンプ回路の回路図



【 図 6 】

従来のオペアンプ回路の回路図



---

フロントページの続き

- (56)参考文献 特開平04 - 103206 (JP, A)  
特開平07 - 183737 (JP, A)  
特開昭63 - 095708 (JP, A)  
特開平04 - 332208 (JP, A)  
特開平10 - 049245 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00-17/70  
H03F 1/00- 3/45  
H03F 3/50- 3/52  
H03F 3/62- 3/64  
H03F 3/68- 3/72