

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6453476号
(P6453476)

(45) 発行日 平成31年1月16日(2019.1.16)

(24) 登録日 平成30年12月21日(2018.12.21)

(51) Int.Cl.

F I

H O 2 M 3/155 (2006.01)
G O 5 F 1/56 (2006.01)H O 2 M 3/155 W
G O 5 F 1/56 3 1 O V

請求項の数 30 (全 22 頁)

(21) 出願番号	特願2017-539292 (P2017-539292)	(73) 特許権者	595020643
(86) (22) 出願日	平成27年12月30日(2015.12.30)		クォアルコム・インコーポレイテッド
(65) 公表番号	特表2018-503349 (P2018-503349A)		QUALCOMM INCORPORATED
(43) 公表日	平成30年2月1日(2018.2.1)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2015/068027		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02016/122819		ハウス・ドライブ 5775
(87) 国際公開日	平成28年8月4日(2016.8.4)	(74) 代理人	100108855
審査請求日	平成30年3月1日(2018.3.1)		弁理士 蔵田 昌俊
(31) 優先権主張番号	14/606,753	(74) 代理人	100109830
(32) 優先日	平成27年1月27日(2015.1.27)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805
早期審査対象出願			弁理士 井関 守三
		(74) 代理人	100112807
			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 容量的に結合されたハイブリッド並列電源

(57) 【特許請求の範囲】

【請求項 1】

電力レールに接続され、前記電力レールを介して、負荷デバイスに電流を供給するように構成された第1の電源と、前記第1の電源は、前記電力レールを第1のターゲット電圧レベルに調整するようにさらに構成され、前記電力レールの第1のターゲット電圧レベルへの調整は、前記電力レールを前記第1のターゲット電圧レベルと比較することを含み、前記電力レールに結合された第1の端子を有する結合キャパシタと、

前記第1の電源に並列で接続され、前記結合キャパシタの第2の端子に結合された線形電圧レギュレータと、前記線形電圧レギュレータは、前記電力レールを第2のターゲット電圧レベルに調整するように構成され、前記電力レールの前記第2のターゲット電圧レベルへの調整は、前記電力レールを前記第2のターゲット電圧レベルと比較することを含み、

前記線形電圧レギュレータに電力を供給する電力供給線に接続され、高周波数応答特性を有するバイパスキャパシタとを具備し、

前記第1の電源は、効率的な数の前記線形電圧レギュレータよりも、より高い効率的な数で電流を供給するように動作可能であり、前記線形電圧レギュレータは、前記第1の電源よりも、より広い帯域幅で、前記電力レールを調整するように動作可能であるハイブリッド並列電源。

【請求項 2】

前記第1の電源は、スイッチングモード電源である請求項1記載のハイブリッド並列電

10

20

源。

【請求項 3】

前記第 1 のターゲット電圧レベルは、前記第 2 のターゲット電圧レベルと等しい請求項 1 記載のハイブリッド並列電源。

【請求項 4】

第 3 のターゲット電圧レベルで、前記線形電圧レギュレータの入力に電力を供給するように構成された第 2 の電源をさらに具備し、

前記第 3 のターゲット電圧レベルは、前記線形電圧レギュレータが前記電力レールを前記第 2 のターゲット電圧レベルに調整できるように選択され、

前記第 1 および第 2 の電源は、外部電源から電力を受け取るように構成されている請求項 1 記載のハイブリッド並列電源。

10

【請求項 5】

前記線形電圧レギュレータと前記バイパスキャパシタは同一ダイ上に配置される請求項 1 記載のハイブリッド並列電源。

【請求項 6】

電力レールに接続され、前記電力レールを介して、負荷デバイスに電流を供給するように構成された第 1 の電源と、前記第 1 の電源は、前記電力レールを第 1 のターゲット電圧レベルに調整するようにさらに構成され、前記第 1 のターゲット電圧レベルの調整は、前記電力レールを前記第 1 のターゲット電圧レベルと比較することを含み、

前記電力レールに結合された第 1 の端子を有する結合キャパシタと、

20

前記結合キャパシタの第 2 の端子に結合された線形電圧レギュレータと、前記線形電圧レギュレータは、前記電力レールを第 2 のターゲット電圧レベルに調整するように構成され、前記第 2 のターゲット電圧レベルの調整は、前記電力レールを前記第 2 のターゲット電圧レベルと比較することを含み、

前記線形電圧レギュレータに電力を供給する電力供給線に接続され、高周波数応答特性を有するバイパスキャパシタとを具備し、

前記線形電圧レギュレータは、前記電力レールに結合された第 1 の入力と、前記第 2 のターゲット電圧レベルで、基準電圧を受け取るように構成された第 2 の入力と、前記線形電圧レギュレータの出力に接続された出力とを有する演算増幅器を備え、

前記第 1 の電源は、効率的な数の前記線形電圧レギュレータよりも、より高い効率的な数で電流を供給するように動作可能であり、前記線形電圧レギュレータは、前記第 1 の電源よりも、より広い帯域幅で、前記電力レールを調整するように動作可能であるハイブリッド並列電源。

30

【請求項 7】

前記演算増幅器の前記第 1 の入力は、ハイパスフィルタによって前記電力レールに結合される請求項 6 記載のハイブリッド並列電源。

【請求項 8】

前記演算増幅器は、演算相互コンダクタンス増幅器である請求項 6 記載のハイブリッド並列電源。

【請求項 9】

前記演算増幅器は、クラス A B 演算増幅器である請求項 6 記載のハイブリッド並列電源。

40

【請求項 10】

前記線形電圧レギュレータは、

基準出力電圧を生成するように構成されたバンドギャップ源と、

第 1 のデジタル入力と前記バンドギャップ源からの前記基準出力電圧とに基づいて、前記演算増幅器に前記基準電圧を供給するように構成された第 1 の基準コンバータとをさらに備える請求項 6 記載のハイブリッド並列電源。

【請求項 11】

前記線形電圧レギュレータと前記バイパスキャパシタは同一ダイ上に配置される請求項

50

6 記載のハイブリッド並列電源。【請求項 1 2】

電力レールに接続され、前記電力レールを介して、負荷デバイスに電流を供給するように構成された第 1 の電源と、前記第 1 の電源は、前記電力レールを第 1 のターゲット電圧レベルに調整するようにさらに構成され、前記電力レールの第 1 のターゲット電圧レベルへの調整は、前記電力レールを前記第 1 のターゲット電圧レベルと比較することを含み、

前記電力レールに結合された第 1 の端子を有する結合キャパシタと、

前記結合キャパシタの第 2 の端子に結合された電圧レギュレータと、前記電圧レギュレータは、前記電力レールを第 2 のターゲット電圧レベルに調整するように構成され、前記電力レールの前記第 2 のターゲット電圧レベルへの調整は、前記電力レールを前記第 2 のターゲット電圧レベルと比較することを含み、

前記電圧レギュレータに電力を供給する電力供給線に接続され、高周波数応答特性を有するバイパスキャパシタとを具備し、

前記電圧レギュレータと前記バイパスキャパシタは、前記負荷デバイスと共に第 1 のダイ上に配置され、前記第 1 の電源は、第 2 のダイ上に配置されるハイブリッド並列電源。

【請求項 1 3】

前記結合キャパシタは、前記第 1 のダイ上に配置されたキャパシタを含む請求項 1 2 記載のハイブリッド並列電源。

【請求項 1 4】

負荷デバイスに電力を供給する方法であって、

前記方法は、

前記負荷デバイスに接続されている電力レールを第 1 のターゲット電圧レベルと比較することと、

前記電力レールと第 1 のターゲット電圧レベルとの比較に基づいて、前記電力レールを介して、第 1 の電源から前記負荷デバイスに電流を供給することと、

前記電力レールを第 2 のターゲット電圧レベルと比較することと、

前記電力レールと前記第 2 のターゲット電圧レベルとの比較に基づいて、

結合キャパシタを介して、電圧レギュレータから前記負荷デバイスに電流を供給することと、

前記電力レールの電圧をハイパスフィルタリングすることと、

前記電力レールの前記ハイパスフィルタリングされた電圧に基づいて、前記電圧レギュレータから前記電流を供給することと、

高周波数応答特性を有するバイパスキャパシタが接続されている電力供給線を介して、前記電圧レギュレータに電力を供給することとを含み、

前記第 1 の電源は、効率的な数の前記電圧レギュレータよりも、より高い効率的な数で電流を供給するように動作可能であり、前記電圧レギュレータは、前記第 1 の電源よりも、より広い帯域幅で、前記電力レールを調整するように動作可能である方法。

【請求項 1 5】

前記第 1 の電源は、スイッチングモード電源である請求項 1 4 記載の方法。

【請求項 1 6】

前記電圧レギュレータは、クラス A B 演算増幅器を含む請求項 1 4 記載の方法。

【請求項 1 7】

前記第 1 のターゲット電圧レベルは、前記第 2 のターゲット電圧レベルと等しい請求項 1 4 記載の方法。

【請求項 1 8】

前記電圧レギュレータから電流を供給することは、

前記電力レールの電圧と前記第 2 のターゲット電圧レベルとの間の差を増幅することと、

、

前記増幅された差に基づいて、前記電圧レギュレータから前記電流を供給することを含む請求項 1 4 記載の方法。

10

20

30

40

50

【請求項 19】

外部電源から前記第 1 の電源および第 2 の電源に電力供給することと、

前記電圧レギュレータが前記電力レールを前記第 2 のターゲット電圧レベルに調整できるように選択されている第 3 のターゲット電圧レベルで、前記第 2 の電源から前記電圧レギュレータに電流を供給することとをさらに含む請求項 14 記載の方法。

【請求項 20】

前記電圧レギュレータと前記バイパスキャパシタを同一ダイ上に配置させることをさらに含む請求項 14 記載の方法。

【請求項 21】

電力レールに接続され、前記電力レールを介して、第 1 のターゲット電圧レベルで、負荷デバイスに電流を供給するように構成された、電力を供給するための第 1 の手段と、前記電力を供給するための第 1 の手段は、電力供給手段から電力を受け取り、

前記電力レールに結合された第 1 の端子を有する結合キャパシタと、

前記結合キャパシタの第 2 の端子に結合され、前記電力レールを第 2 のターゲット電圧レベルに調整するように構成された、電圧を調整するための手段と、

前記電圧を調整するための手段に電力を供給する電力供給線に接続され、高周波数応答特性を有するバイパスキャパシタとを具備し、

前記電圧を調整するための手段と前記バイパスキャパシタは、前記負荷デバイスと共に第 1 のダイ上に配置され、前記電力を供給するための第 1 の手段は、第 2 のダイ上に配置されるハイブリッド並列電源。

【請求項 22】

前記電力を供給するための第 1 の手段は、スイッチングモード電源である請求項 21 記載のハイブリッド並列電源。

【請求項 23】

前記電圧を調整するための手段は、クラス A B 演算増幅器を含む請求項 21 記載のハイブリッド並列電源。

【請求項 24】

前記第 1 のターゲット電圧レベルは、前記第 2 のターゲット電圧レベルと等しい請求項 21 記載のハイブリッド並列電源。

【請求項 25】

前記電圧を調整するための手段は、前記電力レールに結合された第 1 の入力と、前記第 2 のターゲット電圧レベルで、基準電圧を受け取るように構成された第 2 の入力と、前記結合キャパシタの前記第 2 の端子に接続された出力とを有する演算増幅器を備える請求項 21 記載のハイブリッド並列電源。

【請求項 26】

第 3 のターゲット電圧レベルで、前記電圧を調整するための手段の入力に電力を供給するように構成された、電力を供給するための第 2 の手段をさらに具備し、

前記電力を供給するための第 1 の手段および前記電力を供給するための第 2 の手段は、外部電源から電力を受け取るように構成されている請求項 21 記載のハイブリッド並列電源。

【請求項 27】

前記結合キャパシタは、前記第 1 のダイ上に配置されたキャパシタを含む請求項 21 記載のハイブリッド並列電源。

【請求項 28】

前記演算増幅器の前記第 1 の入力、ハイパスフィルタによって前記電力レールに結合される請求項 25 記載のハイブリッド並列電源。

【請求項 29】

前記演算増幅器は、演算相互コンダクタンス増幅器である請求項 25 記載のハイブリッド並列電源。

【請求項 30】

前記電圧を調整するための手段は、

基準出力電圧を生成するように構成されたバンドギャップ源と、

第1のデジタル入力と前記バンドギャップ源からの前記基準出力電圧とに基づいて、前記演算増幅器に前記基準電圧を供給するように構成された、第1の基準コンバータとをさらに備える請求項25記載のハイブリッド並列電源。

【発明の詳細な説明】

【分野】

【0001】

[0001] 本発明の態様は、一般的に、電圧調整に関係し、より具体的には、電圧を調整するための、低ドロップアウト電圧レギュレータとスイッチングモード電源との、容量的に結合された並列組み合わせに関係する。

10

【背景】

【0002】

[0002] 移動電話のような進歩した電子デバイスの多数の機能が、システムオンチップ(SoC)集積回路においてインプリメントされる。SoCは、SoCが実行する動作の数および種類により変化する電流を消費する。電流または電力の観点では、素子の説明は、それぞれの電圧によってスケールした後、交換可能である。実行される動作は、急速に、例えば、数ナノ秒で変化し得る。電流消費の変化は、大きく、例えば、数アンペアであり得る。この結果、SoCの動作と干渉し得る大きな電流時間微分(dI/dt)となり得る。

20

【0003】

[0003] 電力分配ネットワークは、例えば、電源として、SoCに電力を供給する。SoCは、例えば、電源およびバッテリーを含む、他のコンポーネントと接続するための、プリント回路基板のような、相互間接続基板上にマウントされ得る集積回路パッケージにパッケージングされ得る。電力分配ネットワークは、プリント回路基板および集積回路パッケージを通じた接続を含む。電力分配ネットワークの接続は、実質的な寄生インダクタンスを有し得る。大きな電流時間微分と組み合わせされた、このインダクタンスは、SoCに供給される電圧において、ドループ(droop)とも呼ばれる、大きなスパイク状のディップ(dip)を、供給電圧にもたらし得る。ドループは、デバイスの適切な動作に干渉する程の大きさであり得る。

30

【0004】

[0004] SoCに供給される電圧レベルは、一般的に、「ドループされた」電圧が、SoCの適切な動作に十分な電圧であるように、電圧ドループの量だけ増加される(ガードバンディング(guardbanding)と呼ばれ得る)。電圧レベルをガードバンディングすることは、電力消費を増加させ、例えば、増加された温度および減少されたバッテリー持続時間のために望ましくない。いくつかの従来システムは、例えば、電力分配ネットワークにおけるインダクタンスを低下させること、またはSoC上に、または近傍に減結合キャパシタを加えることによって、電圧ドループを減らすことを試みてきた。例えば、PDNのルーティングの間中、外部ランド側(landside)キャパシタ(LSC)および埋め込まれた受動基板(EPS)キャパシタが、加えられ得る。加えられた減結合キャパシタは、ほんの少しばかり電圧ドループを減らし得る。追加的に、減結合キャパシタは、大きさおよび費用が法外であり得る。

40

【概要】

【0005】

[0005] 1つの態様において、電力レール(power rail)に接続され、電力レールを介して、負荷デバイスに電流を供給するように構成された第1の電源と、第1の電源は、さらに電力レールを第1のターゲット電圧レベルに調整するように構成され、電力レールに結合された第1の端子を有する結合キャパシタと、結合キャパシタの第2の端子に結合された電圧レギュレータと、電圧レギュレータは、電力レールを第2のターゲット電圧レベルに調整するように構成され、を含む、ハイブリッド並列電源が提供される。

50

【 0 0 0 6 】

[0006] 1つの態様において、負荷デバイスに電力を供給するために、方法が提供される。方法は、電力レールを介して、第1のターゲット電圧レベルで、電源から負荷デバイスに電流を供給することと、結合キャパシタを介して、第2のターゲット電圧レベルで、電圧レギュレータから負荷デバイスに電流を供給することを含む。

【 0 0 0 7 】

[0007] 1つの態様において、電力レールに接続され、電力レールを介して、第1のターゲット電圧レベルで、負荷デバイスに電流を供給するように構成された、電力を供給するための第1の手段と、電力レールに結合された第1の端子を有する結合キャパシタと、結合キャパシタの第2の端子に結合され、電力レールを第2のターゲット電圧レベルに調整するように構成された、電圧を調整するための手段と、を含む、ハイブリッド並列電源が提供される。

10

【 0 0 0 8 】

[0008] 本発明の他の特徴および利点は、例として本発明の態様を例証している以下の説明から明らかであるはずである。

【図面の簡単な説明】

【 0 0 0 9 】

[0009] 本発明の詳細は、その構造と動作の両方に関して、添付の図面の検討によって部分的に収集され得、ここにおいて同様の参照番号は同様の部分を指す。

【図1】[0010] 図1は、電力分配ネットワークのモデルの図式的図である。

20

【図2】[0011] 図2は、時間領域における電力分配ネットワークのドループ特性のグラフである。

【図3】[0012] 図3は、周波数領域における電力分配ネットワークのインピーダンスのグラフである。

【図4】[0013] 図4は、スイッチングモード電源および低ドロップアウト電圧レギュレータの周波数応答のグラフである。

【図5】[0014] 図5は、目下開示された実施形態にしたがった、容量的に結合されたハイブリッド並列電源を持った電子システムの機能的ブロック図である。

【図6】[0015] 図6は、目下開示された実施形態にしたがった、容量的に結合されたハイブリッド並列電源を持った電子システムの機能的ブロック図である。

30

【図7】[0016] 図7は、目下開示された実施形態にしたがった、容量的に結合されたハイブリッド並列電源を持った電子システムの機能的ブロック図である。

【図8】[0017] 図8は、目下開示された実施形態にしたがった、ハイブリッド並列電源のドループ特性の時間領域グラフである。

【図9】[0018] 図9は、目下開示されている実施形態にしたがった、電力を電子デバイスに供給するためのプロセスのフローチャートである。

【発明の詳細な説明】

【 0 0 1 0 】

[0019] 添付の図面に関連して以下で述べられる詳細な説明は、様々な構成の説明として意図されるものであり、本明細書で説明されている概念が実施され得る、唯一の構成を表すように意図されるものではない。詳細な説明は、様々な概念の完全な理解を提供する目的のために具体的な詳細を含む。しかしながら、これらの概念がこれらの特定の詳細無しに実施され得ることは当業者にとって明らかであろう。いくつかの事例では、周知の構造およびコンポーネントが、そのような概念を曖昧にすることを避けるために簡略化された形式で差し示される。

40

【 0 0 1 1 】

[0020] 図1は、電力分配ネットワーク(PDN)のモデルの図式的図である。PDNは、ダイ領域105、パッケージ領域110、電源領域112、および回路基板領域115に対応する相互接続領域に分離され得る。PDN相互接続領域の各々は、その領域に対する特性インピーダンスを形成する抵抗、キャパシタンス、およびインダクタンスのそれ

50

ぞれの組み合わせを含む。抵抗、キャパシタンス、およびインダクタンスは、寄生素子と呼ばれ得る。これらの寄生素子は、P D N相互接続領域内にマウントされたコンポーネント間に存在する抵抗、キャパシタンス、およびインダクタンスの等価コンポーネント値に集約され得る。例えば、回路基板領域 1 1 5 は、電源領域 1 1 2 においてバッテリー 1 6 5 から電源 1 7 0 に電流を導電するトレース (trace) に起因する直列インダクタンスに寄与し得る。P D N相互接続領域内のコンポーネントは、P D N相互接続領域の寄生素子と電氣的に相互作用する抵抗、キャパシタンス、およびインダクタンスの等価値を有し得る。

【 0 0 1 2 】

[0021] 図 1 の P D Nモデルにおいて、回路基板領域 1 1 5 は、相互接続基板を横切る、相互接続トレースの単位長あたりに集約し得る、回路基板平面間キャパシタンス (circuit-board-inter-planar capacitance) 1 2 5 を含む。相互接続トレースはまた、トレースの単位長あたりに集約する、回路基板等価直列抵抗 1 2 0 および回路基板等価直列インダクタンス (L - p c b) 1 3 0 に寄与する。

10

【 0 0 1 3 】

[0022] バッテリー等価インピーダンスは、バッテリー 1 6 5 と回路基板領域 1 1 5 の寄生素子との間の、直列での等価バッテリー出力抵抗 1 7 5 を含む。電源領域 1 1 2 における電源 1 7 0 は、等価バッテリー出力抵抗 1 7 5、回路基板等価直列抵抗 1 2 0、および回路基板等価直列インダクタンス 1 3 0 を通して、バッテリー 1 6 5 から電力を受け取る。電源 1 7 0 は、等価電源出力抵抗 1 8 0 を含む。電源の他のインピーダンスは、直列インダクタンス、抵抗、およびキャパシタンスを含んでいる等価電源出力インピーダンス 1 8 5 に、ひとまとめされ得る。電源領域インダクタンス 1 9 0 は、電源 1 7 0 およびパッケージ領域 1 1 0 間のトレースのルーティングにおいて生じるインダクタンスをモデリングする。

20

【 0 0 1 4 】

[0023] 回路基板領域 1 1 5 と同様なやり方で、パッケージ領域 1 1 0 は、パッケージ平面間キャパシタンス 1 3 5、パッケージ等価直列インダクタンス 1 4 0、およびパッケージ等価直列抵抗 1 4 5 を含む。これらの寄生素子の各々は、パッケージ領域 1 1 0 を通して P D Nが通るユニット長あたりに集約する。ダイ領域 1 0 5 は、等価負荷インピーダンス 1 5 0 およびスイッチされた等価負荷インピーダンス 1 5 5 でモデリングされる。等価負荷インピーダンス 1 5 0 は、スイッチングしない (電力分配ネットワークの視点から、負荷と呼ばれ得る) S o Cの一部、および / または、連続的またはスタンバイ動作における S o C回路の一部を表す。スイッチされる等価負荷インピーダンス 1 5 5 は、S o Cの特定の動作にしたがって、活性化された、または非活性化された S o C回路の一部を表す。スイッチ 1 6 0 は、スイッチされた等価負荷インピーダンス 1 5 5 のスイッチされる活動を象徴的に表す。

30

【 0 0 1 5 】

[0024] 図 2 は、時間領域における電力分配ネットワークのドループ特性のグラフである。ドループ特性は、図 1 の P D Nを参照して説明されるであろうが、同様の効果が他のシステムにおいて生じる。グラフは、ダイ領域 1 0 5 中の S o Cにおける供給電圧 2 1 5 を指し示す。グラフの y 軸は電圧であり、グラフの x 軸は時間である。最初のうち、S o Cは、電源 1 7 0 を介して、バッテリー 1 6 5 から低レベルの電流を引き出す。時間 2 5 0 において、S o Cは、高レベルの電流を引き出すようにスイッチする。低レベルの電流は、負荷モデルにおいて、スイッチ 1 6 0 開でモデリングされ、高レベルの電流は、スイッチ 1 6 0 閉でモデリングされる。最初のうち、(負荷における) 供給電圧 2 1 5 は、公称電圧レベルである。時間 2 5 0 において、負荷によって引き出された電流は、急速に増加する。電流のこの増加は、回路基板領域 1 1 5、パッケージ領域 1 1 0、電源領域 1 1 2、およびダイ領域 1 0 5 を通してバッテリー 1 6 5 から流れる、追加の電流によって満たされる。この経路におけるインダクタンスは、結果として、供給電圧 2 1 5 におけるスパイク状ディップ 2 0 5 となる。スパイク状ディップ 2 0 5 は、供給電圧 2 1 5 が、S o

40

50

Cの適切な動作に対する最小レベルより低く低下する結果となり得る。例えば、いくつかのシステムにおいて、ドループ特性210は、4 ns時間フレームにおいて生じている2.3アンペア負荷電流遷移に対する、供給電圧215の18 - 30%低下と同じ程度であり得る。

【0016】

[0025] 図3は、周波数領域における、電力分配ネットワークのインピーダンスのグラフである。グラフは、図1の電力分配ネットワークを参照して説明されるであろうが、他のネットワークが、同様のインピーダンスの結果となる。グラフは、それぞれのPDN相互接続領域中の寄生素子から形成されたそれぞれのインピーダンスに対応する、いくつかのインピーダンスピークを指し示す。第1のインピーダンスピーク305は、ダイ領域105における電流制限インピーダンスに対応する。第1のインピーダンスピーク305は、主に、ダイ上のPDN経路の部分によって見られる、周波数依存インピーダンスに関連し得る。第1のインピーダンスピーク305は、約100 MHzの中心周波数を有し得、最大のインピーダンスピークであり得る。第2のインピーダンスピーク310は、PDNが、パッケージ領域110を通してルーティングされるときに形成される寄生素子によって創生された電流制限インピーダンスに対応する。第2のインピーダンスピーク310は、約2 MHzの中心周波数を有し得る。第3のインピーダンスピーク315は、回路基板領域115における寄生素子によってもたらされた電流制限インピーダンスに対応する。第3のインピーダンスピーク315は、約100 - 200 KHzの中心周波数を有し得る。インピーダンスピークまたはその近傍の周波数において、SoC電流の変動が生じるとき、電圧ドループの影響が増加する。

【0017】

[0026] 図1のシステムは、電圧調整およびドループ特性を避けるために、バッテリー165と負荷デバイスとの間の電源170を含む。電源170は、スイッチングモード電源(SMP S)であり得、SMP Sの調整能力にしたがって利用可能である、供給電圧調整の程度で、負荷デバイスへの電力を提供し得る。SMP Sは、負荷デバイスから分離されたダイ上で、回路基板領域115内にインプリメントされ得、回路基板相互接続層を通して、SoCダイ(ダイ領域105における負荷デバイス)に電力を提供し得る。SMP Sは、バッテリー165から電力を受け取る。バッテリー165は、回路基板を通してSMP Sに接続する。SMP Sは、回路基板領域115およびパッケージ領域110を通る相互接続経路によって導入された寄生素子を通して、ダイに結合される。これらの相互接続経路寄生素子は、上記で説明された、パッケージ平面間キャパシタンス135、パッケージ等価直列インダクタンス140、パッケージ等価直列抵抗145、および電源領域インダクタンス190に対応する。

【0018】

[0027] 図4は、スイッチングモード電源(SMP S)および低ドロップアウト電圧レギュレータ(LDO)の周波数応答のグラフである。グラフは、SMP S周波数応答405および周波数についてプロットされたLDO周波数応答425を含む。SMP S周波数応答405およびLDO周波数応答425は、図4において、出力電力の観点でプロットされる。他の測度、例えば、電流もまた使用され得る。周波数応答は、一般的に、低周波数において平坦であり、高い周波数において下落する。SMP S周波数応答405は、電力が3 dB(または2分の1)だけ減衰されるSMP Sコーナー周波数410を有し、対応するSMP S帯域幅415を有しているものとして説明され得る。同様に、LDO周波数応答425は、LDOコーナー周波数430を有し、対応するLDO帯域幅435を有しているものとして説明され得る。

【0019】

[0028] 例示的なSMP Sは、約2 MHzの帯域幅を有し得る。一般的に、SMP S帯域幅415は、SMP Sクロック周波数の約5分の1で生じ得る。この帯域幅は、SMP Sが、SoCにおいて生じ得る、急速に変化する電力要求を供給するのには十分ではない。SMP Sは、しかしながら、高効率で、比較的大きな量の電流を供給するのには向いて

いる。例えば、S M P S は、約 8 5 % の効率で、3 . 0 アンペアを供給し得る。

【 0 0 2 0 】

[0029] 例示的な L D O は、約 6 0 0 M H z の帯域幅を有し得る。この帯域幅は、S o C において生じ得る、急速に変化する電力要求を供給するには、S M P S 帯域幅よりも、かなり向いている。L D O は、しかしながら、S M P S よりも効率的ではない。例えば、1 . 2 V 入力供給電圧を受け取り、0 . 9 V 出力を生成する L D O は、7 5 % よりも低い効率を有するであろう。

【 0 0 2 1 】

[0030] 図 5 は、目下開示されている実施形態にしたがった、容量的に結合されたハイブリッド並列電源を含む電子システムの機能的ブロック図である。システムは、電力を負荷デバイス 5 6 0 に提供するために、ハイブリッド並列電源を使用する。ハイブリッド並列電源は、電源（例えば、スイッチングモード電源）を、電圧レギュレータ（例えば、低ドロップアウト電圧レギュレータ）と容量的に結合する。ハイブリッド並列電源は、スイッチングモード電源および低ドロップアウト電圧レギュレータの両方の有利な特徴を組み合わせる。ハイブリッド並列電源は、電力効率的（power efficient）であり、電流需要が急速に変化するスマートフォン S o C のような負荷デバイスに、安定した電圧を供給できる。

10

【 0 0 2 2 】

[0031] ハイブリッド並列電源は、電圧レギュレータ（「L D O」）5 1 0 と並列で接続された、第 1 の電源（「S M P S 1」）5 0 5 を含む。第 1 の電源 5 0 5 は、電力レール 5 2 0 に電力を供給する。第 1 の電源 5 0 5 は、電力レール 5 2 0 を、第 1 のターゲット電圧レベル、例えば、0 . 9 V に調整するように働く。第 1 のターゲット電圧レベルは、例えば、制御レジスタを使用して構成され得る。第 1 の電源 5 0 5 は、（例えば、回路基板 5 1 5 上での接続を介して、図 1 のシステムにおけるバッテリー 1 6 5 に接続された）第 1 の供給端子 5 4 5 から、電力を受け取る。第 1 の電源 5 0 5 は、高効率で、電力レール 5 2 0 に電力を供給できる。第 1 の電源 5 0 5 は、スイッチングモード電源（S M P S）であり得る。

20

【 0 0 2 3 】

[0032] 電圧レギュレータ 5 1 0 はまた、結合キャパシタ 5 7 5 を介して、電力レール 5 2 0 に電力を供給する。電圧レギュレータ 5 1 0 は、電力レール 5 2 0 を、第 2 のターゲット電圧レベルに調整するように働く。第 2 のターゲット電圧レベルは、例えば、制御レジスタを使用して構成され得る。電圧レギュレータ 5 1 0 は、電圧レギュレータ 5 1 0 が電力を受け取る、第 2 の供給端子 5 4 0 に接続された入力を有する。電圧レギュレータ 5 1 0 は、結合キャパシタ 5 7 5 の第 1 の端子に接続された出力を有する。結合キャパシタ 5 7 5 第 2 の端子は、電力レール 5 2 0 に接続する。電圧レギュレータ 5 1 0 は、電力レール 5 2 0 に、高周波数応答特性で、電流を供給できる。電圧レギュレータ 5 1 0 は、低ドロップアウト電圧レギュレータ（L D O）であり得る。L D O は、低ヘッドルーム（headroom）（入力電圧および出力電圧の差）で動作でき、例えば、0 . 9 V 出力を生成するように、1 . 2 V 入力を調整する。

30

【 0 0 2 4 】

[0033] 1 つの実施形態において、電圧レギュレータ 5 1 0 は、クラス A B 電流モード出力で動作する。そのような回路は、例えば、6 0 0 M H z の広い帯域幅を有し得る。電圧レギュレータ 5 1 0 のクラス A B 電流モード出力は、電力レール 5 2 0 上での電圧が第 2 のターゲット電圧レベルより低いとき、結合キャパシタ 5 7 5 を介して、電力レール 5 2 0（例えば、負荷デバイス 5 6 0）に電流を供給（source）し、電力レール 5 2 0 上での電圧が第 2 のターゲット電圧レベルより高いとき、結合キャパシタ 5 7 5 を介して、電力レール 5 2 0 から電流を減らす（sink）。電圧レギュレータ 5 1 0 は、結合キャパシタ 5 7 5 によって、第 1 の電源 5 0 5 から容量的に隔離される。結合キャパシタ 5 7 5 によって提供される容量的隔離は、電圧レギュレータ 5 1 0 および第 1 の電源 5 0 5 の異なる出力レベル間での競合を防止することにより、ハイブリッド並列電源の安定性を維持し得る

40

50

。ある例示的な実施形態にしたがって、結合キャパシタ 575 は、約 100 nF であり得る。さらに、システムは、大きな（例えば、500 pF）直列インダクタンスを有する結合キャパシタにより、信頼性を持って動作し得る。

【0025】

[0034] 第1の電源 505 および電圧レギュレータ 510 は、電力レール 520 の電圧レベルを調整するように動作する。この電圧調整は、電力レール 520 の電圧レベルを監視すること、電圧レベルがそれぞれのターゲット電圧レベルと異なるとき、電圧レベルがターゲット電圧レベルに向かうように、電力レール 520 を駆動する回路の動作を変化させることと理解され得る。電力レール 520 の電圧レベルは、負荷デバイス 560 の電流需要の変化に、および、例えば、第1の電源 505 および電圧レギュレータ 510 の出力インピーダンスと第1の電源 505 および電圧レギュレータ 510 の応答時間とに起因するハイブリッド並列電源の応答における制限、に起因して変動し得る。

10

【0026】

[0035] 電圧レギュレータ 510 が、電力レール 520 を、そのレベルに調整する第2のターゲット電圧レベルと、第1の電源 505 が、電力レール 520 を、そのレベルに調整する第1のターゲット電圧レベルとは、異なり得る。第2のターゲット電圧レベルは、例えば、第1のターゲット電圧レベルより小さいオフセット電圧であり得る。例えば、第1のターゲット電圧レベルが 0.9 V であるハイブリッド並列電源において、第2のターゲット電圧レベルは、0.88 V であり得る。この構成（arrangement）において、第1の電源 505 は、負荷デバイス 560 によって消費される電流の大半を供給し得、電圧レギュレータ 510 は、電力レール 520 上での電圧の変化にตอบสนองして、急速に、電流を供給しまたは電流を減らす（sinking）。

20

【0027】

[0036] 図5のハイブリッド並列電源は、第2の供給端子 540 を介して、電圧レギュレータ 510 に電力を供給するための第2の電源（「SMP S2」）530 を含む。第2の電源 530 は、第1の供給端子 545 を第3のターゲット電圧レベルに駆動するように働く。第3のターゲット電圧レベルは、例えば、電圧レギュレータ 510 の効率的な動作を許容するように選択され得る。第3のターゲット電圧レベルはまた、システムにおいて他のコンポーネントによって使用されるレベルであり得る。電力レール 520 上の公称レベルが 0.9 V であるとき、第3のターゲット電圧レベルは、例えば、1.2 V であり得る。第2の電源 530 は、高効率で、電圧レギュレータ 510 に電力を供給することができる。第2の電源 530 は、第1の供給端子 545 から電力を受け取る。第2の電源 530 は、スイッチングモード電源であり得る。

30

【0028】

[0037] 電圧レギュレータ 510 および負荷デバイス 560 は、第1のダイ（「ダイ1」）525 上に組み立てられ得る。電圧レギュレータ 510 および負荷デバイス 560 は、一緒に設置されるので、電圧レギュレータ 510 および負荷デバイス 560 間の寄生インピーダンスは小さい。電力レール 520 の一部はまた、第1のダイ 525 上に組み立てられ得る。結合キャパシタ 575 は、第1のダイ 525 上、または第1のダイ 525 の外部（例えば、回路基板 515 上、または第1のダイ 525 を収容する集積回路パッケージ上）、またはダイ上および外部キャパシタの組み合わせで組み立てられ得る。基板およびパッケージ寄生インピーダンスは、電圧レギュレータ 510、結合キャパシタ 575、および負荷デバイス 560 間の接続を、実質的に害さない。

40

【0029】

[0038] 図5の実施形態において、第1のダイ 525 は、第2の供給端子 540 に接続されるダイ上キャパシタ 550 を含み、第2の供給端子 540 は、電圧レギュレータ 510 に電力を供給する。ダイ上キャパシタ 550 は、バイパスキャパシタと呼ばれ得る。ダイ上キャパシタ 550 は、高周波数応答特性を持って、電圧レギュレータ 510 に電流を供給できる。ダイ上キャパシタ 550 は、高周波数応答特性を持って、負荷デバイス 560 に電流を供給する電圧レギュレータ 510 をサポートし、負荷デバイス 560 の電流需

50

要が急速に変化するとき、さもなくば電力レール 520 上で生じるであろうドループ特性を減らすのを助ける。ダイ上キャパシタ 550 は、電力レール 520 と比べて、第 2 の供給端子 540 のより高い電圧に起因して、電力レール 520 上のキャパシタよりも多くの電荷を蓄積する。その結果、電圧レギュレータ 510 および第 1 の電源 505 の並列組み合わせは、バルクキャパシタ、外部キャパシタ、ランド側キャパシタ、または埋め込まれた受動基板 (EPS) キャパシタのような、さらなるキャパシタンス無し (または、小さなキャパシタンス) で動作し得る。ある例示的な実施形態にしたがえば、ダイ上キャパシタ 550 は、約 220 nF であり得る。

【0030】

[0039] ダイ上キャパシタ 550 は、代替的に、第 1 のダイ 525 の外部、例えば、回路基板上、または集積回路パッケージ上、またはダイ上および外部キャパシタの組み合わせで組み立てられ得る。ダイ上キャパシタ 550 および結合キャパシタ 575 を、ダイ上、パッケージ上、または回路基板上にもたらしことは、それぞれのインプリメンテーションの相対的成本および性能にしたがって決定され得る。これらのコストは、キャパシタ、相互接続、およびパッケージピンのコストを含み得る。電力分配ネットワークの性能は、一般的に、負荷デバイスにより近いキャパシタンスで改善される。

【0031】

[0040] 第 1 の電源 505 および第 2 の電源 530 は、第 2 の (「ダイ 2」) 535 上に組み立てられ得る。電圧レギュレータ 510 および負荷デバイス 560 を第 1 のダイ 525 上で組み合わせること、および、第 1 の電源 505 および第 2 の電源 530 を第 2 のダイ上で組み合わせることは、種々のコンポーネントが、コンポーネントの特定の要求のために選択された、組み立てプロセスを使用して製造されることを許容し得る。例えば、電圧レギュレータ 510 および負荷デバイス 560 は、負荷デバイス 560 によって多数の機能もたらされることを許容する、高密度相補型金属酸化物半導体 (CMOS) プロセスを使用して製造され得、第 1 の電源 505 および第 2 の電源 530 は、高効率電力供給を許容する、高電力プロセスを使用して製造され得る。第 1 のダイ 525 および第 2 のダイ 535 は、回路基板 515 のような、相互接続基板上に、(直接的に、または集積回路パッケージを使用して) マウントされ得る。実施形態において、第 2 のダイ 535 は、電力管理集積回路 (PMIC) であり得る。

【0032】

[0041] ハイブリッド並列電源を使用するシステムは、SMP S、LDO、または直列 SMP S - LDO 組み合わせを使用するシステムよりも、より電力効率的であり得る。例となるインプリメンテーションのためのハイブリッド並列電源の効率は、約 76% である。ハイブリッド並列電源はまた、より小さい電圧ガードバンドを許容することによって、システム電力を低下できる。これは、特に、電力が電圧の 2 乗に比例する (CMOS SOC のような) システムにおいて、価値がある。電圧レギュレータ 510 および負荷デバイス 560 を持った SOC はまた、例えば、電力レール 520 上での減結合キャパシタの減じた使用に起因して、減じた数のピンを有し得る。

【0033】

[0042] LDO および SMP S の並列組み合わせは、急速な負荷電流の変化によってもたらされる電圧ドループを低減しつつ、効率的に電力を供給するために、個々の回路の特徴を組み合わせる。SMP S は、一般的に、負荷デバイスの定常状態電流ニーズを供給する際に関係するように見られ得る。このようにして、負荷デバイスの比較的大きな電流需要は、SMP S の高効率によって提供される。LDO は、さもなくば大きな電圧ドループをもたらす負荷電流の変化にตอบสนองして、負荷デバイスに電流を供給する際に関係するように見られ得る。即ち、LDO は供給電圧の低下に急速に反応し、SMP S が反応できるまで、負荷デバイスに電流を供給する。LDO の広帯域は、ドループ特性が大きく減らされるようなタイムリーなやり方で、ハイブリッド並列電源が十分な電流を提供することを可能にする。追加的に、LDO および SMP S の並列組み合わせは、単純化された SMP S、例えば、より少ないフェーズを持った SMP S の使用を許容し得る。

【 0 0 3 4 】

[0043] 図 6 は、目下開示された実施形態にしたがって、容量的に結合されたハイブリッド並列電源を持った電子システムの機能的ブロック図である。図 6 のハイブリッド並列電源は、一般的に図 5 のシステム中のハイブリッド並列電源に対応する。従って、図 6 のシステムの説明は、図 5 のシステムと共通な詳細は省略し得る。図 6 のシステムは、負荷デバイス 5 6 0 に電力を供給する第 1 の電源 5 0 5、および（第 2 の電源 5 3 0 から電力を受け取り、）結合キャパシタ 5 7 5 を介して、負荷デバイス 5 6 0 に電力を供給する電圧レギュレータ 5 1 0 を含む。（プロセッサおよび他の回路を含む SOC であり得る）負荷デバイス 5 6 0 は、等価負荷インピーダンス 6 7 5 a およびスイッチされる等価負荷インピーダンス 6 7 5 b でモデル化される。

10

【 0 0 3 5 】

[0044] 電圧レギュレータ 5 1 0 は、演算増幅器 6 1 0、結合キャパシタ 5 7 5、基準コンバータ（「DAC」）6 2 0、およびバンドギャップ源 6 2 5 を含む。第 2 のターゲット電圧レベルを設定する基準電圧を生成するために、基準コンバータ 6 2 0 およびバンドギャップ源 6 2 5 は、組み合わせられ、そのレベルで電圧レギュレータ 5 1 0 が電力レール 5 2 0 に電力を供給する。バンドギャップ源 6 2 5 は、ほぼ一定（プロセス、供給電圧、および温度の例えば、1 % 未満の変動）の基準出力信号を生成する。ある実施形態において、バンドギャップ源 6 2 5 は、サブバンドギャップレベル（例えば、0 . 6 4 V）の基準出力信号を生成する。基準コンバータ 6 2 0 は、基準電圧を生成するために、バンドギャップ源 6 2 5 からの基準出力電圧をスケールリングする。例えば、基準コンバータ 6 2 0 は、0 . 8 8 V 基準電圧を生成するために、バンドギャップ源 6 2 5 からの 0 . 6 4 V 基準出力電圧を、1 1 / 8 分だけスケールリングする。基準コンバータ 6 2 0 は、デジタル - アナログコンバータ（DAC）であり得る。基準コンバータ 6 2 0 は、基準電圧を構成するために、デジタル入力を受け取り得る。デジタル入力は、第 2 のターゲット電圧レベルを調整するために使用され得る。

20

【 0 0 3 6 】

[0045] 代替的实施形態において、電圧レギュレータ 5 1 0 によって使用される第 2 のターゲット電圧レベルは、基準レベルモジュールにより生成される基準レベルによって設定される。基準レベルモジュールは、電力レール 5 2 0 をスケールリングおよびローパスフィルタリングすることによって、基準電圧を供給し得る。電力レール 5 2 0 上の平均レベルに関してスケールリングされたレベルに第 2 のターゲット電圧レベルを設定することは、第 1 および第 2 のターゲット電圧レベル間のミスマッチの懸念を回避し得る。次に、電力レール 5 2 0 が基準電圧よりも下に低下したとき、電圧レギュレータ 5 1 0 は、結合キャパシタ 5 7 5 を介して、負荷デバイス 5 6 0 に電流を供給する。基準レベルモジュールは、例えば、（電力レール 5 2 0 のレベルに関しての第 2 のターゲット電圧レベルの）スケールリングファクタ 1 5 / 1 6 を使用する。フィルタリングの量は、例えば、第 1 の電源 5 0 5 の帯域幅に基づいて選択され得る。基準レベルモジュールは、フィルタリングを提供するキャパシタと結合されたスケールリングを提供する抵抗ディバイダを含み得る。抵抗ディバイダは、スケールリングの量が調整できるように可変であり得る。フィルタリングもまた、調整可能である。

30

40

【 0 0 3 7 】

[0046] 演算増幅器 6 1 0 は、結合キャパシタ 5 7 5 の第 1 の端子に結合された出力を有する。結合キャパシタ 5 7 5 の第 2 の端子は、電力レール 5 2 0 に結合されている。結合キャパシタ 5 7 5 は、例えば、トランジスタゲートキャパシタンスを使用して組み立てられ得る。他のキャパシタ構造は、追加的にまたは代替的に使用され得る。追加的に、ダイ上、パッケージ上、および回路基板上のキャパシタの組み合わせは、それぞれのインブリメンテーションの相対的コストおよび性能にしたがって選択され得る。これらのコストは、キャパシタ、相互接続、およびパッケージピンのコストを含み得る。電力分配ネットワークの性能は、一般的に、負荷デバイス 5 6 0 および演算増幅器 6 1 0 に近いキャパシタンスによって改善される。

50

【 0 0 3 8 】

[0047] 演算増幅器 6 1 0 は、基準コンバータ 6 2 0 からの基準電圧に接続された非反転入力（「+」）を有し、電力レール 5 2 0 に結合された反転入力（「-」）を有する。演算増幅器 6 1 0 の反転入力、電力レール 5 2 0 に直接的に結合され得、またはフィードバックデバイス 6 5 5 を介して電力レール 5 2 0 に結合され得る。図 6 に例証されたある実施形態において、ローパスフィルタは、電力レール 5 2 0 から演算増幅器 6 1 0 へのフィードバックを提供する。ローパスフィルタは、電力レール 5 2 0 の電圧のローパスフィルタリングされたバージョンを、演算増幅器 6 1 0 に提供する。ローパスフィルタは、図 6 において例証されるように、抵抗器キャパシタネットワークでインプリメントされ得る。

10

【 0 0 3 9 】

[0048] 代替的に、フィードバックデバイス 6 5 5 は、ハイパスフィルタを利用し得る。そのようなインプリメンテーションにおいて、電圧レギュレータ 5 1 0 は、負荷デバイス 5 6 0 の電流需要の急速な変化によるドループのような、電力レール 5 2 0 上の電圧高周波数の変化にตอบสนองして、負荷デバイス 5 6 0 に電流を供給し得る。例となる実施形態において、ハイパスフィルタは、電力レール 5 2 0 および演算増幅器 6 1 0 の反転入力間に結合されたキャパシタと、演算増幅器 6 1 0 の入力間に結合された抵抗器とを含む。第 2 のターゲット電圧レベルは、例えば、演算増幅器 6 1 0 の出力範囲の中間点に設定され得る。ハイパスフィルタの周波数応答は、例えば第 1 の電源 5 0 5 の応答特性に基づいて、選択され得る。

20

【 0 0 4 0 】

[0049] フィードバックデバイス 6 5 5 の特性は、電圧レギュレータ 5 1 0 の電力調整応答を調節し、ドループ事象（droop event）への特定の応答を提供するように構成され得る。電力レール 5 2 0 上での電圧は、第 1 のターゲット電圧レベルの上に乗る信号として概念化され得る、時間変動する電圧成分を有し得る。フィードバックデバイス 6 5 5 は、例えば、高周波数成分または電力レール 5 2 0 上に現れる低周波数成分をフィルタアウトし、演算増幅器 6 1 0 の反転入力に残りの成分を通過させ得る。フィードバックデバイス 6 5 5 は、電圧レギュレータ 5 1 0 の帯域幅を効率的に変化できる。

【 0 0 4 1 】

[0050] 演算増幅器 6 1 0 は、クラス A B 演算増幅器、例えば、クラス A B 演算相互コンダクタンス増幅器（O T A）であり得る。他のタイプの演算増幅器、例えば電圧モード出力を持った増幅器もまた使用され得る。演算相互コンダクタンス増幅器は、電圧レギュレータ 5 1 0 が電力レール 5 2 0 に高周波数応答特性で電流を提供できるように、広帯域幅を有し得る。追加的に、クラス A B O T A は、標準ロジックトランジスタを用いて、特別なデバイスまたはデバイス組み立て技法無しで、組み立てられ得る。電圧レギュレータ 5 1 0 はまた、低静止電流を有し、よって、システムに対する全体の電力低減に寄与し得る。L D O はまた、小さいダイエリア内にインプリメントされ得る。

30

【 0 0 4 2 】

[0051] 演算増幅器 6 1 0 の出力は、反転入力および非反転入力間の電圧差に基づいて、電流を出したりまたは減らしたりする。演算増幅器 6 1 0 の出力から結合キャパシタ 5 7 5 を通して電力レール 5 2 0 に、そしてフィードバックデバイス 6 5 5 を介して演算増幅器 6 1 0 の反転入力に戻るフィードバックループは、電圧レギュレータ 5 1 0 が、電力レール 5 2 0 のレベルを調整することを許容する。

40

【 0 0 4 3 】

[0052] 図 6 のシステムは、ダイ上キャパシタ 5 5 0 と、S o C を収容するパッケージ 6 0 5 中に位置し、電圧レギュレータ 5 1 0 の入力に接続される第 2 のキャパシタ 6 5 0 とを含む。第 2 のキャパシタ 6 5 0 およびダイ上キャパシタ 5 5 0 の値は、例えば、コスト、性能、およびサイズに基づいて選択され得る。例となる実施形態において、第 2 のキャパシタ 6 5 0 のキャパシタンスは、ダイ上キャパシタ 5 5 0 のキャパシタンスよりも約 2 0 0 倍大きいものであり得る。例えば、第 2 のキャパシタ 6 5 0 のキャパシタンスは、

50

200 nFであり得、ダイ上キャパシタ550のキャパシタンスは1 nFであり得る。いくつかの実施形態において、さらなるキャパシタが、回路基板515上に位置し、電圧レギュレータ510の入力に接続され得る。

【0044】

[0053] いくつかの実施形態において、第1のダイ525中に位置するレールキャパシタ680は、電力レール520に接続される。レールキャパシタ680は、ドループ事象の間、負荷デバイス560に電流を提供するために、ダイ上キャパシタ550と協同して働き得る。回路基板515上、パッケージ605上、第1のダイ525上、または他の位置上他のキャパシタの他の組み合わせはまた、使用でき得る。

【0045】

10

[0054] 図6はまた、第1の電源505および電力レール520および第2の電源530および電圧レギュレータ510間の様々な電氣的接続を行う際において生じるリアクティブ素子を表す、相互接続寄生素子665a、bを指し示す。相互接続寄生素子665a、bは、第1のダイ525および第2のダイ535間の回路基板515の領域中に指し示される。相互接続寄生素子665a、bは、第1のダイ525および第2のダイ535間に広がる電氣的接続によって生じる等価インピーダンスを表す、抵抗器、キャパシタ、インダクタの組み合わせであり得る。

【0046】

[0055] 図7は、目下開示されている実施形態にしたがって、容量的に結合されたハイブリッド並列電源を持った電子システムの機能的ブロック図である。図7のハイブリッド並列電源は、図6のシステムにおけるハイブリッド並列電源と同様である。従って、図7のシステムの説明は、図6のシステムと共通な詳細は省略する。

20

【0047】

[0056] 図7の容量的に結合されたハイブリッド並列電源は、第1の電源505に制御信号を供給するためのPMIC制御モジュール705を含む。PMIC制御モジュール705はまた、第2の電源530に制御信号を供給し得る。PMIC制御モジュール705は、様々な方法でインプリメントされ得る。第1の電源505がデジタル制御信号を受け取るように構成されているとき、PMIC制御モジュール705は、デジタル形式で制御信号を供給する。例えば、PMIC制御モジュール705は、例えば、シリアルプロトコルを使用して、第1の電源505に第1のターゲット電圧レベルをシグナリングし得る。PMIC制御モジュール705は、オープンループで第1のターゲット電圧レベルをシグナリングし得る。代替的に、PMIC制御モジュール705は、例えば、電力レール520とバンドギャップ源625からの基準出力電圧との相対的レベルを比較することによって、クローズドループで第1のターゲット電圧レベルをシグナリングし得る。

30

【0048】

[0057] 代替的に、第1の電源505がアナログ制御信号を受け取るように構成されているとき、PMIC制御モジュール705は、アナログ形式で制御信号を供給する。PMIC制御モジュール705は、第1のターゲット電圧レベルで、または第1のターゲット電圧レベルのスケーリングされたバージョンで制御信号を供給することによって、オープンループで、第1の電源505に第1のターゲット電圧レベルをシグナリングし得る。代替的に、PMIC制御モジュール705は、例えば、電力レール520とバンドギャップ源625からの基準出力電圧との相対的レベルを比較することによって、クローズドループで、第1のターゲット電圧レベルをシグナリングし得る。第1の電源505は、電力レール520上に、第1の電源505によって発生された電圧の対応する変化を生成するために、クローズドループ制御信号を利用できる。

40

【0049】

[0058] 例となるクローズドループアナログ実施形態において、PMIC制御モジュール705は、第1の電源505に制御信号を提供する出力を有する第2の演算増幅器を含む。第2の演算増幅器の非反転入力は、供給基準電圧に接続する。第2の演算増幅器の反転入力は、電力レール520に接続する。供給基準電圧は第1のターゲット電圧レベルを

50

設定し、そのレベルで第 1 の電源 5 0 5 が電力レール 5 2 0 に電力を供給する。供給基準電圧は、供給基準電圧を生成するために、バンドギャップ源 6 2 5 からの基準出力電圧をスケールリングする第 2 の基準コンバータによって生成される。例えば、第 2 の基準コンバータは、0 . 9 V 供給基準電圧を生成するために、バンドギャップ源 6 2 5 からの 0 . 6 4 V 基準出力電圧を、4 5 / 3 2 分だけスケールリングし得る。第 2 の基準コンバータは、DC - DC コンバータとしても知られる直流電流 (DC) コンバータであり得る。第 2 の基準コンバータは、供給基準電圧のレベルを調整するためにデジタル入力を受け取り得る。

【 0 0 5 0 】

[0059] 図 8 は、目下開示された実施形態にしたがって、ハイブリッド並列電源を使用するシステム中のドループ特性の時間領域グラフである。グラフは、図 5 - 7 のハイブリッド並列電源の動作を例証する。図 2 のグラフと同様に、図 8 のグラフは、時間 8 5 0 における電流の急速な変化の例を例証する。図 8 のグラフは、負荷デバイス 5 6 0 に対する負荷電流 8 0 5 および電力レール 5 2 0 に対する供給電圧 8 1 0 をプロットする。時間 8 5 0 の前で、負荷電流 8 0 5 は、1 . 2 5 A である。時間 8 5 0 において、負荷電流 8 0 5 は、3 . 5 5 A に急速に増加する。

10

【 0 0 5 1 】

[0060] 時間 8 5 0 における負荷デバイスの電流需要における段階に加えて、例えば、負荷デバイス 5 6 0 中のプロセッサにおいて、異なる計算が実行されるので、負荷電流 8 0 5 の小さい変動が生じる。これらの負荷電流 8 0 5 の小さい変動は、供給電圧 8 1 0 中にリップル (小さい変動、例えば、4 m V) をもたらす。供給電圧中のリップルは、第 1 の電源 5 0 5 の帯域幅より高い周波数であり得る。次に、第 1 の電源 5 0 5 は、供給電圧のローパスフィルタされた平均に基づいて、電力レール 5 2 0 に電流を供給する。しかしながら、供給電圧中のリップルは、電圧レギュレータ 5 1 0 の帯域幅内にある周波数であり得る。次に、電圧レギュレータ 5 1 0 は、電力レール 5 2 0 にリップルの大きさを減らす電流を供給する。

20

【 0 0 5 2 】

[0061] 時間 8 5 0 の前で、供給電圧 8 1 0 は、公称電圧レベル、例えば、0 . 9 V である。時間 8 5 0 において、負荷電流の急速な増加は、供給電圧 8 1 0 においてドループ特性 8 2 5 をもたらす。電圧レギュレータ 5 1 0 の高周波数応答は、ドループ特性 8 2 5 の大きさを減らすために、電圧レギュレータ 5 1 0 が負荷デバイス 5 6 0 に供給される電流を急速に増加することを許容する。結合キャパシタ 5 7 5 を通して、電圧レギュレータ 5 1 0 によって、負荷に提供される電流は、電圧 - 電流関係：

30

【 0 0 5 3 】

【 数 1 】

$$i = C \frac{dv}{dt}$$

【 0 0 5 4 】

と合致する。(電圧レギュレータ 5 1 0 の出力の変化に起因する) 結合キャパシタを横切る電圧変化は、電圧ドループの大きさよりもかなり大きくあり得るので、結合キャパシタ 5 7 5 は、(例えば、電力レール 5 2 0 および接地基準間に結合された) 同様な大きさに作られたバイパスキャパシタよりもかなり大きい電流を負荷に供給できる。

40

【 0 0 5 5 】

[0062] 例となるシステムは、負荷電流の 2 . 3 A / 5 n s 階段変化に対して 7 % 未満の結果として生じたドループ特性を有する。上記に説明された装置およびシステムは、ダイ上の負荷デバイスにおける供給電圧のスパイク状の低下の観点から定義されたドループ特性に関する。同様の効果であるが、正進行 (positive-going) スパイク効果を伴うものが、負荷デバイスの電流需要が急速に減少する何らかの回路状況において実現され得る。本明細書で開示された容量的に結合されたハイブリッド並列電源は、電圧レギュレータ 5 1 0 が、結合キャパシタ 5 7 5 を介して、電力レール 5 2 0 から電流を減らすことによ

50

て、電源レベルにおける正進行スパイクを減らし得る。

【 0 0 5 6 】

[0063] 図 9 は、目下開示されている実施形態にしたがって、電子デバイスに電力を供給するためのプロセスのフローチャートである。プロセスは、図 5 のシステムに関連して説明されるであろうが、プロセスの様々な実施形態が任意の適当な装置に適用され得る。

【 0 0 5 7 】

[0064] ブロック 9 0 5 において、プロセスは、電力レールを介して、第 1 のターゲット電圧レベルで、電源から負荷デバイスに電流を供給する。ブロック 9 0 5 において、スイッチングモード電源のような効率的電源が使用される。例えば、第 1 の電源 5 0 5 は、負荷デバイス 5 6 0 に電流を供給するために、電力レール 5 2 0 を第 1 のターゲット電圧レベルに調整できる。

10

【 0 0 5 8 】

[0065] ブロック 9 1 5 において、プロセスは、結合キャパシタを介して、第 2 のターゲット電圧レベルで、電圧レギュレータから負荷デバイスに電流を供給する。例えば、電力レール 5 2 0 のレベルが所望の調整レベルよりも高いとき、供給される電流は負であり得る。ブロック 9 1 5 において、高周波数応答特性を持った低ドロップアウト電圧レギュレータのような電圧レギュレータが使用される。例えば、負荷デバイス 5 6 0 に電流を供給するために、電圧レギュレータ 5 1 0 は、電力レール 5 2 0 を第 2 の供給電圧レベルに調整できる。第 1 のターゲット電圧レベルおよび第 2 のターゲット電圧レベルは、同一または異なるかであり得、また構成可能であり得る。プロセスは、バンドギャップ源に基づいて、基準出力電圧を発生し、ついで、第 1 のデジタル入力および基準出力電圧に基づいて、第 2 のターゲット電圧レベルを発生し、第 2 のデジタル入力および基準出力電圧に基づいて、第 1 のターゲット電圧レベルを発生することによって、第 1 のターゲット電圧レベルおよび第 2 のターゲット電圧レベルを発生し得る。

20

【 0 0 5 9 】

[0066] 図 9 のプロセスは、例えば、ブロックを追加または変更することによって修正され得る。追加的に、ブロックは同時に実行され得る。

【 0 0 6 0 】

[0067] 本発明の特徴が特定の実施形態について上記で説明されたが、多数の変形が可能である。例えば、容量的に結合されたハイブリッド並列電源は、異なるタイプのトランジスタを含む他の組み立てプロセスを使用して形成され得る。追加的に、ハイブリッド並列電源は、異なるタイプの電圧レギュレータおよび異なるタイプの電源を使用し得る。さらに、ハイブリッド並列電源は、異なる数の電源および電圧レギュレータを有し得る。別の変形において、電圧レギュレータ 5 1 0 をシャットオフして、電圧調整を提供することから除去され得る。さらに別の変形において、スタンバイモードの間使用するために、低電力維持電圧レギュレータが、SoC 上に含まれる。追加的に、様々な実施形態の特徴が、上で説明されたものとは異なる組み合わせで組み合わせられ得る。

30

【 0 0 6 1 】

[0068] 当業者は、本明細書に開示された実施形態に関連して説明された様々な例証的なブロックおよびモジュールは、様々な形態でインプリメントされ得ることを認識するであろう。いくつかのブロックおよびモジュールは、一般的にそれらの機能性の観点から上述された。そのような機能性がどのようにインプリメントされるかは、システム全体に課せられる設計制約に依存する。当業者は、説明された機能性を、各特定のアプリケーションに関して様々な方法でインプリメントすることができるが、そのようなインプリメンテーションの決定は本発明の範囲から逸脱を生じさせるものと解釈されるべきでない。加えて、モジュール、ブロック、またはステップ内の機能のグループ分けは、説明を容易にするためのものである。特定の機能またはステップは、本発明から逸脱することなく 1 つのモジュールまたはブロックから動かされ (moved from) 得る。

40

【 0 0 6 2 】

[0069] 開示された実施形態の上記説明は、いかなる当業者もが、本発明の製造または

50

使用できるように提供されている。これらの実施形態に対する様々な修正は、当業者に容易に明らかになり、本明細書で説明されている包括的な本質は本開示の範囲もしくは趣旨から逸脱することなく他の実施形態に適用され得る。よって、本明細書で表されている説明および図面は、本願発明の目下好まれている実施形態を表しており、それゆえ、本願発明によって広く考慮される主題の代表的なものであることが理解されるものとする。さらに、本願発明の範囲は、当業者に明らかになり得る他の実施形態を十分に包含すること、従って、本願発明の範囲が添付の特許請求の範囲以外の何によっても限定されないことがさらに理解される。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 電力レールに接続され、前記電力レールを介して、負荷デバイスに電流を供給するように構成された第 1 の電源と、前記第 1 の電源は、前記電力レールを第 1 のターゲット電圧レベルに調整するようにさらに構成され、

前記電力レールに結合された第 1 の端子を有する結合キャパシタと、

前記結合キャパシタの第 2 の端子に結合された電圧レギュレータと、前記電圧レギュレータは、前記電力レールを第 2 のターゲット電圧レベルに調整するように構成され、を備える、ハイブリッド並列電源。

[2] 前記第 1 の電源は、スイッチングモード電源である、[1] に記載のハイブリッド並列電源。

[3] 前記第 1 のターゲット電圧レベルは、前記第 2 のターゲット電圧レベルと等しい、[1] に記載のハイブリッド並列電源。

[4] 前記電圧レギュレータは、前記電力レールに結合された第 1 の入力と、前記第 2 のターゲット電圧レベルで、基準電圧を受け取るように構成された第 2 の入力と、前記電圧レギュレータの前記出力に接続された出力とを有する演算増幅器を備える、[1] に記載のハイブリッド並列電源。

[5] 前記演算増幅器の前記第 1 の入力は、ハイパスフィルタによって前記電力レールに結合される、[4] に記載のハイブリッド並列電源。

[6] 前記演算増幅器は、演算相互コンダクタンス増幅器である、[4] に記載のハイブリッド並列電源。

[7] 前記演算増幅器は、クラス A B 演算増幅器である、[4] に記載のハイブリッド並列電源。

[8] 前記電圧レギュレータは、基準出力電圧を生成するように構成されたバンドギャップ源と、第 1 のデジタル入力と前記バンドギャップ源からの前記基準出力電圧とに基づいて、前記演算増幅器に前記基準電圧を供給するように構成された第 1 の基準コンバータとをさらに備える、[4] に記載のハイブリッド並列電源。

[9] 第 3 のターゲット電圧レベルで、前記電圧レギュレータの入力に電力を供給するように構成された第 2 の電源をさらに備える、[1] に記載のハイブリッド並列電源。

[10] 前記電圧レギュレータは、前記負荷デバイスと共に第 1 のダイ上に配置され、前記第 1 の電源は、第 2 のダイ上に配置される、[1] に記載のハイブリッド並列電源。

[11] 前記結合キャパシタは、前記第 1 のダイ上に配置されたキャパシタを含む、[10] に記載のハイブリッド並列電源。

[12] 前記第 1 の電源は、前記電圧レギュレータよりも、より大きな効率で電流を供給するように動作可能であり、ここにおいて、前記電圧レギュレータは、前記第 1 の電源よりも、より広い帯域幅で、前記電力レールを調整するように動作可能である、[1] に記載のハイブリッド並列電源。

[13] 負荷デバイスに電力を供給する方法であって、前記方法は、電力レールを介して、第 1 のターゲット電圧レベルで、電源から前記負荷デバイスに電流を供給することと、

10

20

30

40

50

結合キャパシタを介して、第2のターゲット電圧レベルで、電圧レギュレータから前記負荷デバイスに電流を供給することとを備える、方法。

[14] 前記電源は、スイッチングモード電源である、[13]に記載の方法。

[15] 前記電圧レギュレータは、クラスAB演算増幅器を含む、[13]に記載の方法。

[16] 前記第1のターゲット電圧レベルは、前記第2のターゲット電圧レベルと等しい、[13]に記載の方法。

[17] 前記電圧レギュレータから電流を供給することは、
前記電力レールの電圧および前記第2のターゲット電圧レベル間の差を増幅することと、

前記増幅された差に基づいて、前記電圧レギュレータから前記電流を供給することとを備える、[13]に記載の方法。

[18] 前記電力レールの前記電圧をハイパスフィルタリングすることと、
前記電力レールの前記ハイパスフィルタリングされた電圧に基づいて、前記電圧レギュレータから前記電流を供給することとをさらに備える、[13]に記載の方法。

[19] 電力レールに接続され、前記電力レールを介して、第1のターゲット電圧レベルで、負荷デバイスに電流を供給するように構成された、電力を供給するための第1の手段と、

前記電力レールに結合された第1の端子を有する結合キャパシタと、
前記結合キャパシタの第2の端子に結合され、前記電力レールを第2のターゲット電圧レベルに調整するように構成された、電圧を調整するための手段と、を備える、ハイブリッド並列電源。

[20] 前記電力を供給するための第1の手段は、スイッチングモード電源である、
[19]に記載のハイブリッド並列電源。

[21] 前記電圧を調整するための手段は、クラスAB演算増幅器を含む、[19]に記載のハイブリッド並列電源。

[22] 前記第1のターゲット電圧レベルは、前記第2のターゲット電圧レベルと等しい、[19]に記載のハイブリッド並列電源。

[23] 前記電圧を調整するための手段は、前記電力レールに結合された第1の入力と、前記第2のターゲット電圧レベルで、基準電圧を受け取るように構成された第2の入力と、前記結合キャパシタの前記第2の端子に接続された出力とを有する、演算増幅器を備える、[19]に記載のハイブリッド並列電源。

[24] 前記演算増幅器の前記第1の入力は、ハイパスフィルタによって前記電力レールに結合される、[23]に記載のハイブリッド並列電源。

[25] 前記演算増幅器は、演算相互コンダクタンス増幅器である、[23]に記載のハイブリッド並列電源。

[26] 前記電圧を調整するための手段は、
基準出力電圧を生成するように構成されたバンドギャップ源と、
第1のデジタル入力と前記バンドギャップ源からの前記基準出力電圧とに基づいて、前記演算増幅器に前記基準電圧を供給するように構成された、第1の基準コンバータとをさらに備える、[23]に記載のハイブリッド並列電源。

[27] 第3のターゲット電圧レベルで、前記電圧を調整するための手段の入力に電力を供給するように構成された、電力を供給するための第2の手段をさらに備える、[19]に記載のハイブリッド並列電源。

[28] 前記電圧を調整するための手段は、前記負荷デバイスと共に第1のダイ上に配置され、前記電力を供給するための第1の手段は、第2のダイ上に配置される、[19]に記載のハイブリッド並列電源。

[29] 前記結合キャパシタは、前記第1のダイ上に配置されたキャパシタを含む、
[28]に記載のハイブリッド並列電源。

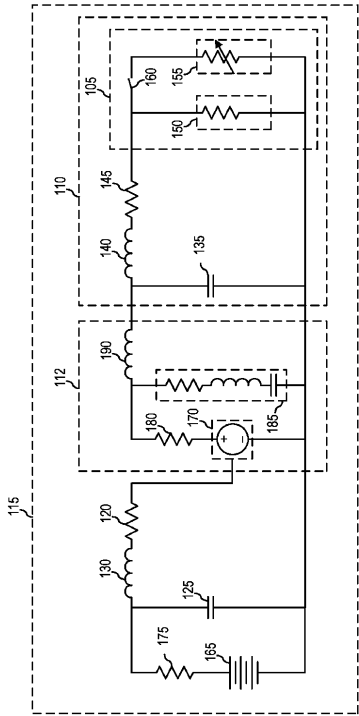
10

20

30

40

【図 1】



【図 2】

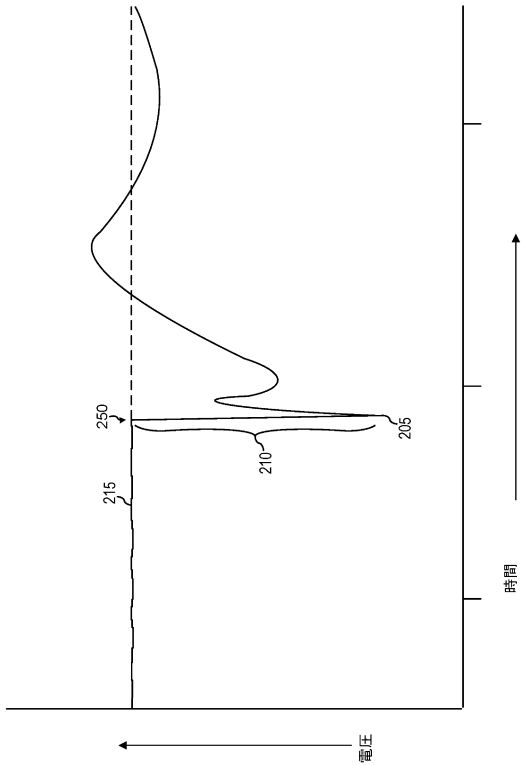


FIG. 2

【図 3】

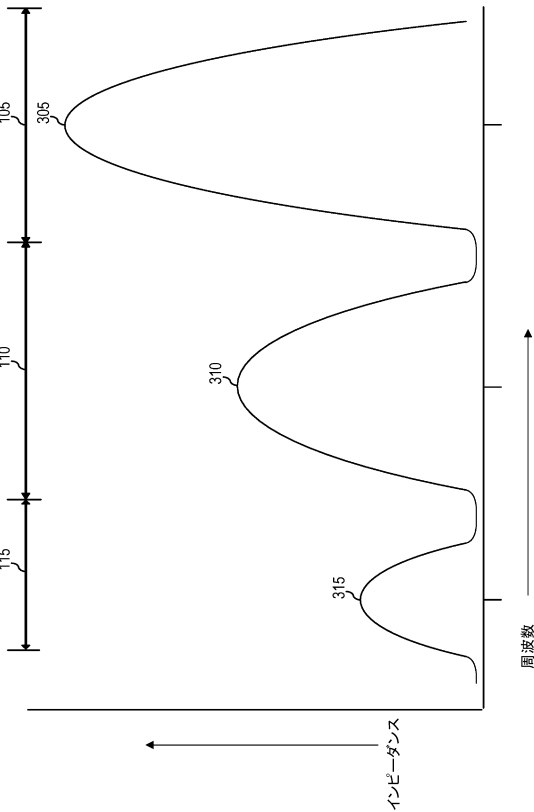


FIG. 3

【図 4】

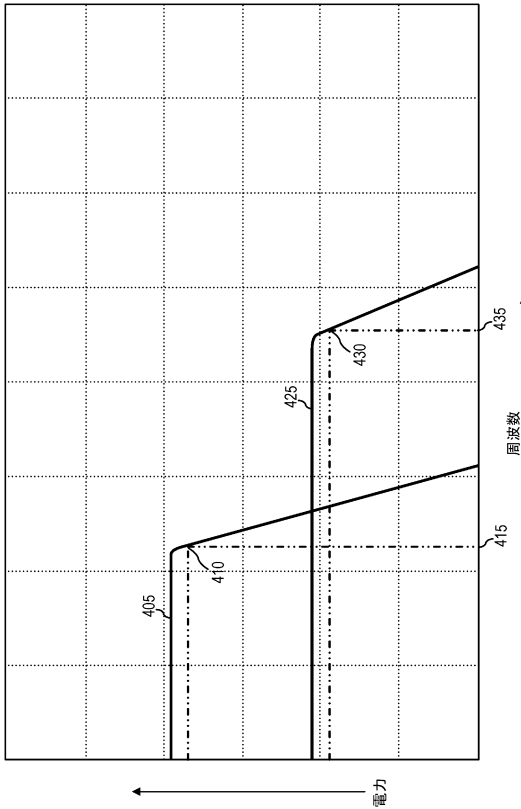
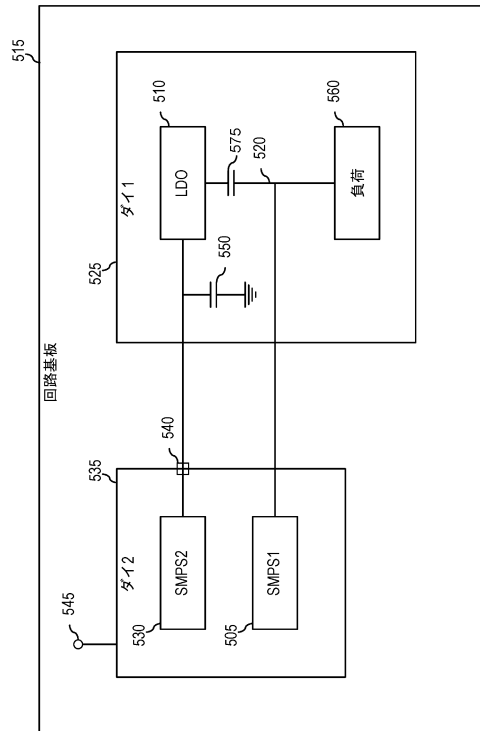
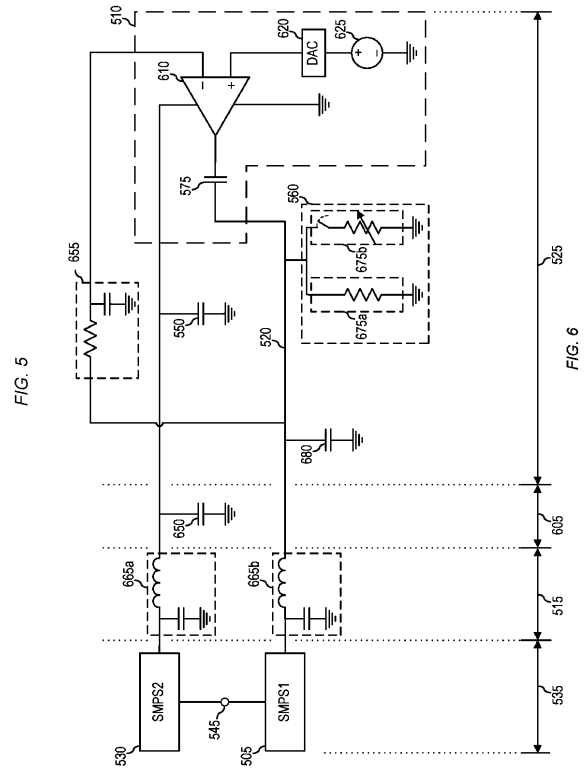


FIG. 4

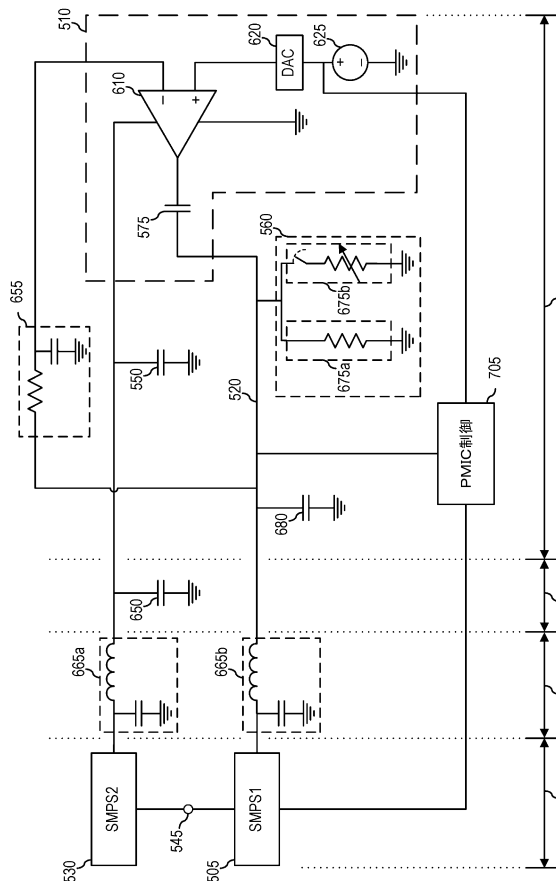
【図 5】



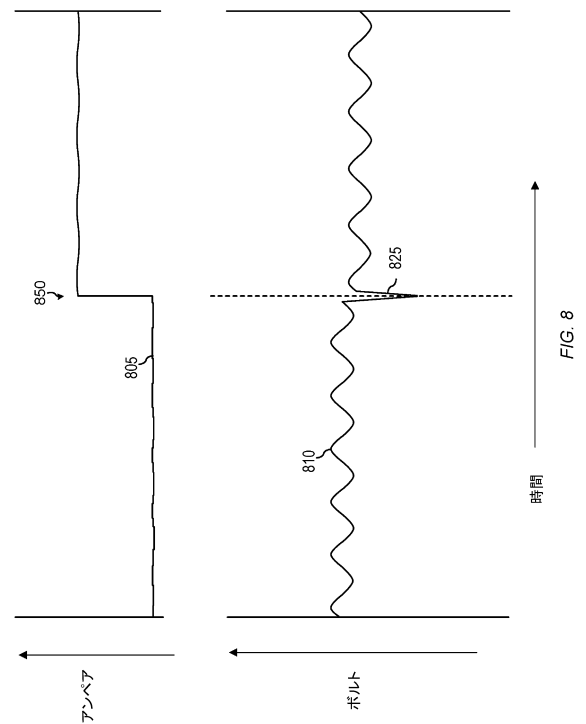
【図 6】



【図 7】



【図 8】



【図 9】

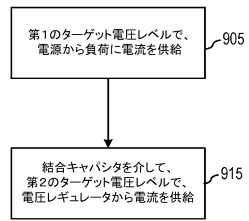


FIG. 9

フロントページの続き

- (72)発明者 フ、ジェンミン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ドイル、ジェームズ・トーマス
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ダルバニアン、ナザニン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 パンディー、シュリー・クリシュナ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ツァオ、イ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 北嶋 賢二

- (56)参考文献 特表2013-511242(JP,A)
特表2009-525695(JP,A)
特表2010-508577(JP,A)
特開平08-106333(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155
G05F 1/56