



- (21)申請案號：107102522 (22)申請日：中華民國 107 (2018) 年 01 月 24 日
- (51)Int. Cl. : *H03M13/27 (2006.01)* *H03M13/47 (2006.01)*
- (30)優先權：2017/01/24 美國 62/449,677  
 2017/06/20 美國 62/522,149  
 2017/08/11 美國 62/544,115
- (71)申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)  
 新竹市新竹科學工業園區篤行一路 1 號
- (72)發明人：陳儒雅 CHEN, JU YA (TW)；徐誠羿 HSU, CHENG YI (TW)；張晏碩 CHANG, YEN SHUO (TW)；陳威任 CHEN, WEI JEN (TW)；邱茂清 CHIU, MAOCHING (TW)；費雪 傑費斯 提摩西 培林 FISHER-JEFFES, TIMOTHY PERRIN (GB)；李重佑 LEE, CHONG YOU (TW)
- (74)代理人：洪澄文；顏錦順
- 申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 27 頁

## (54)名稱

資料編碼方法及其設備

METHOD OF ENCODING DATA AND AN APPARATUS THEREOF

## (57)摘要

本發明描述了與具有低密度奇偶檢查(LDPC)碼之交錯器之結構有關之概念和方案。設備之處理器編碼資料，以提供編碼資料。設備之收發器向無線網路之至少一個網路節點發送編碼資料。在對資料編碼以提供編碼資料時，處理器編碼資料，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

Concepts and schemes pertaining to structure of interleaver with low-density parity-check (LDPC) code are described. A processor of an apparatus encodes data to provide encoded data. A transceiver of the apparatus transmits the encoded data to at least one network node of a wireless network. In encoding the data to provide the encoded data, the processor encodes the data to result in each code block in the encoded data comprising a respective bit-level interleaver.

指定代表圖：

符號簡單說明：

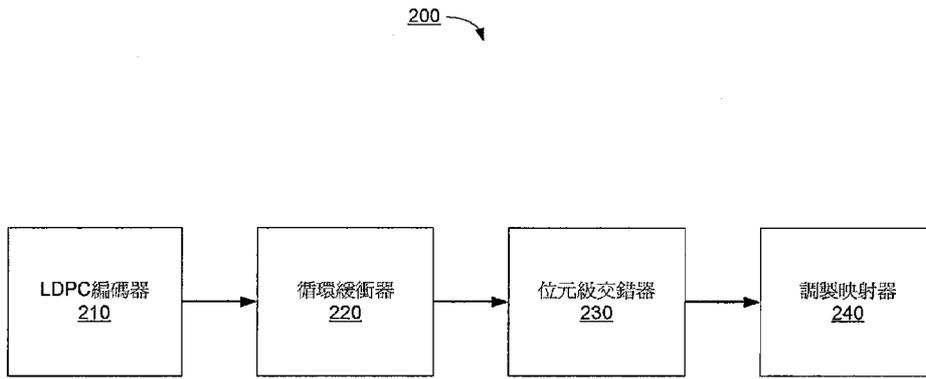
200 . . . 架構

210 . . . LDPC 編碼器

220 . . . 循環緩衝器

230 . . . 位元級交錯器

240 . . . 調製映射器



第 2 圖

# 發明專利說明書

**【發明名稱】** 具有低密度奇偶檢查碼之交錯器結構

STRUCTURE OF INTERLEAVER WITH LDPC CODE

**【交叉引用】**

**【0001】** 本發明要求如下優先權：2017年1月24日、2017年6月20日以及2017年8月11日分別提交之美國第62/449677號、第62/522149號以及第62/544115號臨時專利申請。上述美國臨時專利申請在此一併作為參考。

**【技術領域】**

**【0002】** 本發明係有關於一種資訊編碼技術。更具體地，本發明涉及一種具有低密度奇偶檢查（Low-Density Parity-Check, LDPC）碼之交錯器（interleaver）之結構。

**【先前技術】**

**【0003】** 除非本文另有說明，否則在本部分中描述之方法不作為針對下面列出之申請專利範圍之現有技術，不因包括在該部分中而被承認是現有技術。

**【0004】** 在第5代（5G）新無線電（New Radio, NR）行動通信中，LDPC用於NR資料通道中。通常，LDPC由基礎矩陣（base matrix）和變位係數表（shift-coefficient table）組成。在基礎矩陣中，矩陣之行之權重可以彼此不同，並且行之行權重通常為基礎矩陣之該行中之總數“1”。通常行權重越大，加密之強度越強。換句話說，行權重越小，存在之對雜訊（例如，突發干擾）之敏感性（或易感性）越大。

**【0005】** 由產生行權重 1 之對角擴展構造大多數奇偶可變節點塊。比如，各擴展之奇偶塊具有可變度一。對角擴展之奇偶塊和區塊可以具有對突發干擾之不同敏感性。此外，高階調製中之不同位元具有不同之可靠性。

#### **【發明內容】**

**【0006】** 以下發明內容僅僅是例示性的，並不意在以任何方式進行限制。即，提供如下發明內容來引入本文所述之新穎且非顯而易見之技術之概念、要點、益處以及優點。在下面之詳細描述中進一步描述選擇實現方式。因此，如下發明內容不是旨在標識所要求保護之主題之基本特徵，也不旨在用於確定所要求保護之主題之範圍。

**【0007】** 本發明之目的是提出與具有 LDPC 碼之交錯器之結構有關之各種新型概念和方案，這些概念和方案可以在包括 5G NR 無線通訊之下一代通信（不管是有線的還是無線的）中實施。更具體地，在所提出之本發明之方案下，各碼塊之各發送可以包括位元級交錯器。

**【0008】** 在一個方面中，一種方法可以涉及設備之處理器編碼資料，以提供編碼資料。該方法還可以涉及處理器向無線網路之網路節點發送編碼資料。在編碼資料以提供編碼資料時，處理器可以對資料進行編碼，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

**【0009】** 在一個方面中，一種設備可以包括收發器和耦接到收發器之處理器。收發器可以能夠與無線網路之至少一個網

路節點無線通訊。處理器可以能夠對資料編碼，以提供編碼資料。收發器可以能夠向無線網路之至少一個網路節點發送編碼資料。在對資料進行編碼以提供編碼資料時，處理器可以對資料進行編碼，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

**【0010】** 值得注意的是，儘管下面在 5G NR 無線通訊之背景下提供了對所提出方案和各種示例之描述，但所提出之概念、方案及其任何變型例/衍生例可以在根據實現方式適合之其它協定、標準以及規範之通信中實現。因此，所提議方案之範圍不限於本文所提供之描述。

#### **【圖式簡單說明】**

##### **【0011】**

附圖被包括進來以提供對本發明之進一步理解，並且被併入且構成本發明之一部分。附圖例示了本發明之實現方式，並與本詳細描述一起用於說明本發明之原理。可以理解的是，為了清楚地例示本發明之構思，一些元件可能被顯示為與實際實現方式中之尺寸不成比例，因此附圖不必按比例進行繪製。

第 1 圖係依據本發明實施方式之用於 LDPC 碼之示例基礎矩陣之示意圖。

第 2 圖係依據本發明實施方式之具有交錯器之 LDPC 碼之示例架構之示意圖。

第 3 圖係依據本發明實施方式之各種示例交錯器之示意圖。

第 4 圖係依據本發明實施方式之示例設備之框圖。

第 5 圖係依據本發明實施方式之示例進程之流程圖。

### 【實施方式】

【0012】本文公開了要求保護之主題之詳細實施方式和實現方式。然而，應當明白，所公開之實施方式和實現方式僅僅是對可以以各種形式具體實施之所要求保護之主題之例示。然而，本發明可以按許多不同形式具體實施，而不應解釋為對本文所闡述之示例性實施方式和實現方式進行限制。相反，提供這些示例性實施方式和實現方式，以使本發明之描述透徹和完整，並且向本領域技術人員充分表達本發明之範圍。在下面之描述中，可以省略已知特徵和/或技術之細節以避免不必要地使所呈現之實施方式和實現方式模糊不清。

### 綜述

【0013】在依據本發明所提出概念和方案下，可以將具有更高可靠性之調製位元映射到具有更高行權重之 LDPC 位元位置，以提供更多保護。因為 LDPC 中之系統位元和/或資訊位元往往與更高行權重相關，所以例如可以將具有更高可靠性之調製位元映射到系統位元。由此，可以通過首先將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置且然後映射到奇偶位元之位置來形成交錯器。

【0014】第 1 圖例示了依據本發明之實施方式之用於 LDPC 碼之示例性基礎矩陣 100。如以上所提及的，在所提出之依據本發明之概念和方案下，具有更高可靠性之調製位元可以首先映射到位於在基礎矩陣 100 左側之若干行中之系統位元之位置，然後映射到位於在基礎矩陣 100 右側之大多數行中之奇偶

位元之位置。

【0015】第 2 圖例示了依據本發明之實施方式之具有交錯器之 LDPC 碼之示例架構 200。參照第 2 圖，架構 200 可以包括 LDPC 編碼器 210、循環緩衝器 220、位元級交錯器 230 以及調製映射器 240。LDPC 編碼器 210 可以被配置、設計或以其他方式適於對輸入資料執行 LDPC 編碼，以提供編碼資料流程。循環緩衝器 220 可以被配置、設計或以其他方式適於從 LDPC 編碼器 210 接收編碼資料流程，並且緩衝編碼資料流程。位元級交錯器 230 可以被配置、設計或以其他方式適於從循環緩衝器 220 接收編碼資料流程，並且對編碼資料執行位元級交錯，以提供已交錯資料流程（例如，包括系統位元、資訊位元以及奇偶位元）。因此，資料可以被速率匹配，然後可以穿過位元級交錯器 230。因為資料可以與合適之碼率（例如，相對較高碼率）速率匹配，所以接收器處之解碼器可以使用對應之碼率來解碼所接收之資料。有利地，具有編碼器架構 200 之解碼器之複雜度可以低於具有編碼器架構 100 之解碼器之複雜度。調製映射器 240 可以被配置、設計或以其他方式適於從位元級交錯器 230 接收已交錯資料流程，並且將已交錯資料流程中之調製位元映射到如上所述之基礎矩陣 100。即，調製映射器 240 可以被配置、設計或以其他方式適於首先將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置，然後映射到基礎矩陣 100 中之奇偶位元之位置。

【0016】在所提出之依據本發明之概念和方案下，交錯器可以為塊交錯器（block interleaver）。具體地，交錯器之列數

可以與調製階數 ( modulation order ) 相同。而且，交錯器之行數可以與進一法取整相同，該進一法取整是比將碼字長度除以調製階數之結果大之最小整數。在碼字長度是調製階數之整數倍之情況下，交錯器之行數可以等於碼字長度除以調製階數 ( 例如，行數 = 碼字長度 / 調製階數 )。依據本發明之交錯器可以逐列地寫入 ( 例如，列式寫入 ) 資料，並且可以逐行地讀取 ( 例如，行式讀取 ) 資料。因此，這可以實現用於冗餘版本 0 ( RV0 ) 之系統位元優先排序。此外，各行之位元可以構成相應之調製符號。換言之，位元  $a_1$  至  $a_J$  ( 其中， $J$  表示調製階數 ) 可以形成調製符號。此外，碼塊中之已編碼位元之數量可以是調製階數之整數倍。

**【0017】** 第 3 圖例示了依據本發明之實施方式之示例交錯器 310、320、330 以及 340。參照第 3 圖，交錯器 310、320、330 以及 340 中之每一個可以為塊交錯器。交錯器 310 可以是用於 256 正交調幅 ( QAM ) 之交錯器。對於 256-QAM，因為  $256=2^8$ ，所以調製階數為 8，由此，交錯器 310 中之列數可以為八。交錯器 320 可以為用於 64-QAM 之交錯器。對於 64-QAM，因為  $64=2^6$ ，所以調製階數為 6，由此，交錯器 320 中之列數可以為六。交錯器 330 可以為用於 16-QAM 之交錯器。對於 16-QAM，因為  $16=2^4$ ，所以調製階數為 4，由此，交錯器 330 中之列數可以為四。交錯器 340 可以為用於 4-QAM 之交錯器。對於 4-QAM，因為  $4=2^2$ ，所以調製階數為 2，由此，交錯器 340 中之列數可以為二。

**【0018】** 在交錯器 310 中，因為存在八列，所以各調製符

號包括八個位元（例如，第一調製符號包含位元  $a_1 \sim a_8$ ，第二調製符號包含位元  $b_1 \sim b_8$ ，第三調製符號包含位元  $c_1 \sim c_8$ ，以此類推）。在交錯器 320 中，因為存在六列，所以各調製符號包括六個位元（例如，第一調製符號包含位元  $a_1 \sim a_6$ ，第二調製符號包含位元  $b_1 \sim b_6$ ，第三調製符號包含位元  $c_1 \sim c_6$ ，以此類推）。在交錯器 330 中，因為存在四列，所以各調製符號包括四個位元（例如，第一調製符號包含位元  $a_1 \sim a_4$ ，第二調製符號包含位元  $b_1 \sim b_4$ ，第三調製符號包含位元  $c_1 \sim c_4$ ，以此類推）。在交錯器 340 中，因為存在兩列，所以各調製符號包括兩個位元（例如，第一調製符號包含位元  $a_1$  和  $a_2$ ，第二調製符號包含位元  $b_1$  和  $b_2$ ，第三調製符號包含位元  $c_1$  和  $c_2$ ，以此類推）。

**【0019】** 關於 QAM 星座，前兩位元具有更高之對數似然比（Log Likelihood Ratio, LLR）或可靠性，並且最後兩位元具有更低之 LLR 或可靠性。因此，4-QAM 或正交相移鍵控(QPSK) 具有一個可靠性等級，16-QAM 具有兩個可靠性等級，64-QAM 具有三個可靠性等級，並且 256-QAM 具有四個可靠性等級。

**【0020】** 在所提出之依據本發明之概念和方案下，前兩位元是具有格雷編碼之給定調製符號中之最可靠位元。LDPC 之系統位元可以首先填充在第一列中，然後填充在第二列中。也就是說，調製符號中具有更高可靠性之位元可以分配或以其他方式映射到 LDPC 系統位元之位置。

#### 例示性實施方式

**【0021】** 第 4 圖例示了依據本發明之實施方式之示例設備

400。設備 400 可以作為通信裝置執行各種功能，以實施這裡關於具有 LDPC 碼之交錯器之結構描述之概念、方案、技術、進程以及方法，包括以上關於第 1 圖~第 3 圖描述之內容以及以下所描述之進程 500。

**【0022】** 設備 400 可以為電子設備之一部分，該電子設備可以為通信裝置、計算設備、可攜式或行動設備、或可穿戴設備。比如，設備 400 可以被實施在使用者設備、基站、智慧型電話、智慧手錶、智慧手環、智慧項鍊、個人數位助理或計算裝置（諸如平板電腦、膝上型電腦、筆記本電腦、臺式電腦或伺服器）中。另選地，設備 400 可以被實施為一個或更多個積體電路（IC）晶片（諸如例如且不限於：一個或更多個單核處理器、一個或更多個多核處理器、或一個或更多個複雜指令集計算（CISC）處理器）之形式。

**【0023】** 設備 400 可以包括第 4 圖所示之那些部件中之至少一些部件。比如，設備 400 可以包括至少一個處理器 410。另外，設備 400 可以包括收發器 440，該收發器被配置為通過與無線網路之至少一個網路節點無線地發送和接收資料來從事無線通訊（例如，按照一個或更多個 4GPP 和 5G NR 標準、協定、規範和/或任意適用無線協定和標準）。設備 400 還可以包括其他部件（例如，記憶體、電源系統、顯示裝置以及使用者介面裝置），這些部件與所提出之本發明之方案不相關，由此為了簡單和簡潔起見，這些部件既不在第 4 圖中示出，也不在這裡描述。

**【0024】** 在一個方面中，處理器 410 可以被實施為一個或

多個單核處理器、一個或多個多核處理器或一個或多個 CISC 處理器之形式。即，雖然單數術語“處理器”在這裡用於提及處理器 410，但依據本發明，處理器 410 在一些實施方式中可以包括多個處理器，並且在其他實施方式中可以包括單個處理器。在另一個方面中，處理器 410 可以被實施為具有電子部件之硬體（可選地，韌體）之形式，這些電子部件例如且沒有限制地包括被配置並設置為實現依據本發明之具體目的之一個或多個電晶體、一個或多個二極體、一個或多個電容器、一個或多個電阻器、一個或多個電感器、一個或多個電阻器和/或一個或多個變抗器。換言之，在至少一些實施方式中，處理器 410 是被專門設計、設置並配置為執行包括依據本發明之各種實施方式之具有 LDPC 碼之交錯器之結構之具體任務之專用機器。

【0025】處理器 410 作為專用機器可以包括被設計、設置並配置為執行與依據本發明之各種實施方式之具有 LDPC 碼之交錯器之結構之有關之具體任務之非通用和專門設計之硬體電路。在一個方面中，處理器 410 可以執行一組或多組代碼、程式和/或指令（例如，存儲在可由處理器 410 訪問之記憶體中），以執行渲染依據本發明之各種實施方式之具有 LDPC 碼之交錯器之結構之各種操作。在另一個方面中，處理器 410 可以包括編碼器 420 和解碼器 430，該編碼器和解碼器一起執行渲染依據本發明之各種實施方式之具有 LDPC 碼之交錯器之結構之具體任務和功能。在一些實施方式中，包括以上關於第 1 圖~第 3 圖描述之概念、方案、技術、進程以及方法之關於具有 LDPC 碼之交錯器之結構之概念、方案、技術、進程以及方

法可以被實施在編碼器 420 以及解碼器 430 中或由它們來實施。編碼器 420 和解碼器 430 中之每一個可以被實施為具有電子電路之硬體之形式。另選地，編碼器 420 和解碼器 430 中之每一個可以被實施為軟體之形式。仍然另選地，編碼器 420 和解碼器 430 中之每一個可以被實施為硬體和軟體之組合之形式。

**【0026】** 在一些實施方式中，編碼器 420 可以包括 LDPC 編碼器 422、循環緩衝器 424、位元級交錯器 426 以及調製映射器 428。編碼器 420 可以能夠編碼資料，以提供編碼資料，作為第一資料。即，編碼器 420 可以為架構 200 之示例實施方式，並且 LDPC 編碼器 422、循環緩衝器 424、位元級交錯器 426 以及調製映射器 428 可以分別為 LDPC 編碼器 210、循環緩衝器 220、位元級交錯器 230 以及調製映射器 240 之示例實施方式。由此，LDPC 編碼器 422 可以被配置、設計或以其他方式適於對輸入資料執行 LDPC 編碼，以提供編碼資料流程。循環緩衝器 424 可以被配置、設計或以其他方式適於從 LDPC 編碼器 422 接收編碼資料流程，並且緩衝編碼資料流程。位元級交錯器 426 可以被配置、設計或以其他方式適於從循環緩衝器 424 接收編碼資料流程，並且對編碼資料執行位元級交錯，以提供已交錯資料流程（例如，包括系統位元、資訊位元以及奇偶位元）。調製映射器 428 可以被配置、設計或以其他方式適於從位元級交錯器 426 接收已交錯資料流程，並且將已交錯資料流程中之調製位元映射到如上所述之基礎矩陣（例如，基礎矩陣 100）。即，調製映射器 428 可以被配置、設計或以其他方式

方式適於首先將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置，然後映射到基礎矩陣中之奇偶位元之位置。

【0027】 在一些實施方式中，解碼器 430 可以包括 LDPC 解碼器 432、解速率匹配器 434、位元級解交錯器 436 以及調製解映射器 438。解碼器 430 可以能夠解碼作為從收發器 440 接收之編碼資料之第二資料，以提供已解碼資料。調製解映射器 438 可以對第二資料執行調製解映射，以向位元級解交錯器 436 提供已解映射資料。位元級解交錯器 436 可以解交錯已解映射資料，以向解速率匹配器 434 提供已解交錯資料。解速率匹配器 434 可以對已解交錯資料執行解速率匹配，以向 LDPC 解碼器 432 提供已解速率匹配資料。LDPC 解碼器 432 可以對已解速率匹配資料執行 LDPC 解碼，以提供已解碼資料。

### 例示性進程

【0028】 第 5 圖例示了依據本發明之實施方式之示例進程 500。進程 500 可以表示實施諸如關於第 1 圖~第 3 圖描述之概念和方案之所提出概念和方案之一個方面。更具體地，進程 500 可以表示與具有 LDPC 碼之交錯器之結構有關之所提出概念和方案之一個方面。進程 500 可以包括如由塊 510 和 520 以及子塊 512 和 514 中之一個或多個例示之一個或多個操作、動作或功能。雖然被例示為離散塊，但進程 500 之各種塊可以取決於期望之實施方式而被分成另外之塊，組合成更少之塊或消除。而且，進程 500 之塊/子塊可以按第 5 圖所示之順序或另選地按不同順序來執行。進程 500 可以由設備 400 及其任意變體來實施。比如，進程 500 可以被實施在設備 400 中或由設備 400

來實施。僅為了例示性目的且在不限範圍之情況下，以下在設備 400 之背景下描述進程 500。進程 500 可以在塊 510 處開始。

**【0029】** 在 510 處，進程 500 可以涉及設備 400 之處理器 410 編碼資料，以提供編碼資料。在編碼資料以提供編碼資料時，進程 500 可以涉及處理器 410 編碼資料，以使得編碼資料中之各碼塊包括相應之位元級交錯器。進程 500 可以從 510 進行到 520。

**【0030】** 在 520 處，進程 500 可以涉及設備 400 之處理器 410 經由收發器 440 向無線網路之網路節點發送編碼資料。

**【0031】** 關於編碼資料以提供編碼資料，進程 500 可以涉及處理器 410 執行如由子塊 512 和 514 表示之若干操作。

**【0032】** 在 512 處，進程 500 可以涉及處理器 410 將具有更高可靠性之調製位元映射到具有更高行權重之 LDPC 位元之位置。進程 500 可以從 512 進行到 514。

**【0033】** 在 514 處，進程 500 可以涉及處理器 410 將具有更低可靠性之調製位元映射到具有更低行權重之 LDPC 位元之位置。

**【0034】** 在一些實施方式中，具有更高行權重之 LDPC 位元可以包括系統位元、資訊位元或其組合。

**【0035】** 在一些實施方式中，在編碼資料時，進程 500 可以涉及處理器 410 首先在到奇偶位元之位置之映射之前將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置。

**【0036】** 在一些實施方式中，各碼塊中之相應位元級交錯

器可以包括塊交錯器。在一些實施方式中，塊交錯器可以包括 256-QAM 交錯器、64-QAM 交錯器、16-QAM 交錯器或 4-QAM 交錯器。

【0037】 在一些實施方式中，塊交錯器中之列之數量可以等於塊交錯器之調製階數。

【0038】 在一些實施方式中，在碼字長度是調製階數之整數倍之情況下，塊交錯器中之行之數量可以等於將碼字長度除以調製階數之結果，或者在碼字長度不是調製階數之整數倍之情況下，可以等於比將碼字長度除以調製階數之結果大之最小整數。

【0039】 在一些實施方式中，塊交錯器可以逐列寫入資料，並且可以逐行讀取資料。

【0040】 在一些實施方式中，塊交錯器之各行中之位元可以形成相應之調製符號。

【0041】 在一些實施方式中，各調製符號中之前兩位元可以比具有格雷編碼之相應調製符號中之其他位元更可靠。

【0042】 在一些實施方式中，在編碼資料時，進程 500 可以涉及處理器 410 首先將 LDPC 編碼之系統位元填充在塊交錯器之第一列中，然後將這些系統位元填充在塊交錯器之第二列中。

### 其它注意事項

【0043】 本文所述主題有時例示了包含在不同之其它元件內或與不同之其它元件相連接之不同元件。要理解的是，這樣描繪之架構僅僅是示例，而實際上，可以實現獲得相同功能之

許多其它架構。在概念上，用於獲得相同功能之元件之任何佈置都有效地“關聯”，從而獲得希望之功能。因而，在此為獲得特定功能而組合之任意兩個元件都可以被看作彼此“相關聯”，從而獲得希望之功能，而與架構或中間組件無關。同樣地，這樣關聯之任意兩個元件還可以被視為彼此“可操作地連接”，或“可操作地耦接”，以獲得希望之功能，並且能夠這樣關聯之任意兩個元件也可以被視為彼此“可操作地耦接”，以獲得希望之功能。可操作地耦接之具體示例包括但不限於，物理上可配對和/或物理上交互之元件和/或可無線地交互和/或無線地交互之元件和/或邏輯上交互和/或邏輯上可交互之元件。

**【0044】** 而且，針對在此實質上使用之任何複數和/或單數術語，本領域技術人員可以針對上下文和/或應用在適當時候從複數轉變成單數和/或從單數轉變成複數。為清楚起見，各種單數/複數置換在此可以確切地闡述。

**【0045】** 此外，本領域技術人員應當明白，一般來說，在此使用的，而且尤其是在所附申請專利範圍（例如，所附申請專利範圍之主體）中使用之術語通常旨在作為“開放式”術語，例如，術語“包括”應當解釋為“包括但不限於”，術語“具有”應當解釋為“至少具有”，術語“包含”應當解釋為“包含但不限於”等。本領域技術人員還應當明白，如果想要特定數量之介紹申請專利範圍列舉，則這種意圖將在該申請專利範圍中明確地陳述，並且在沒有這些陳述之情況下，不存在這種意圖。例如，為幫助理解，下面所附申請專利範圍可以包

含使用介紹性短語“至少一個”和“一個或複數個”來介紹申請專利範圍列舉。然而，使用這種短語不應被理解為，暗示由不定冠詞“一 (a)”或“一個 (an)”介紹之申請專利範圍列舉將包含這種介紹申請專利範圍列舉之任何特定申請專利範圍限制為只包含一個這種列舉之實現方式，即使在相同之申請專利範圍包括介紹性短語“一個或複數個”或“至少一個”以及諸如“一”或“一個”之不定冠詞（例如，“一”或“一個”）應被解釋為表示“至少一個”或“一個或複數個”；其對於介紹申請專利範圍列舉之定冠詞之使用同樣適用。另外，即使明確地陳述特定數量之介紹申請專利範圍列舉，本領域技術人員也將認識到，這種列舉應當被解釋成，表示至少所陳述之數量，例如，“兩個列舉”之裸列舉在沒有其它修飾語之情況下意指至少兩個列舉，或者兩個或複數個列舉。而且，在使用類似於“A、B 以及 C 等中之至少一個”之慣例之那些例子中，一般來說，這種句法結構希望本領域技術人員應當理解這種慣例，例如，“具有 A、B 以及 C 中之至少一個之系統”應當包括但不限於具有單獨 A、單獨 B、單獨 C、A 和 B 一起、A 和 C 一起、B 和 C 一起，和/或 A、B 以及 C 一起等之系統。在使用類似於“A、B 或 C 等中之至少一個”之慣例之那些例子中，一般來說，這種句法結構希望本領域技術人員應當理解這種慣例，例如，“具有 A、B 或 C 中之至少一個之系統”應當包括但不限於具有單獨 A、單獨 B、單獨 C、A 和 B 一起、A 和 C 一起、B 和 C 一起、和/或 A、B 以及 C 一起等之系統。本領域技術人員還將理解，實際上，呈現兩個或複數個另選術語之任何轉折

詞和/短語（無論在說明書、申請專利範圍、還是附圖中）應當被理解成設想包括這些術語中之一個、這些術語中之任一個或者兩個術語之可能性。例如，短語“A或B”應當被理解成，包括“A”或“B”或“A和B”之可能性。

【0046】根據前述內容，將理解，本發明之各個實現方式出於例示之目的而進行了描述，並且在不脫離本發明之範圍和精神之情況下，可以進行各種修改。因此，本文所述各個實現方式並非旨在進行限制，且真實範圍和精神通過下列申請專利範圍指示。

#### 【符號說明】

#### 【0047】

100~基礎矩陣；200~架構；210、440~LDPC編碼器；220、422~循環緩衝器；230、424~位元級交錯器；240、428~調製映射器；310、320、330、340~交錯器；400~設備；410~處理器；420~編碼器；430~解碼器；440~收發器；432~LDPC解碼器；434~解速率匹配器；436~位元級解交錯器；438~調製解映射器；500~進程；510、520~塊；512、514~子塊。

# 發明摘要

**【發明名稱】** 具有低密度奇偶檢查碼之交錯器結構

STRUCTURE OF INTERLEAVER WITH LDPC CODE

**【中文】**

本發明描述了與具有低密度奇偶檢查（LDPC）碼之交錯器之結構有關之概念和方案。設備之處理器編碼資料，以提供編碼資料。設備之收發器向無線網路之至少一個網路節點發送編碼資料。在對資料編碼以提供編碼資料時，處理器編碼資料，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

**【英文】**

Concepts and schemes pertaining to structure of interleaver with low-density parity-check (LDPC) code are described. A processor of an apparatus encodes data to provide encoded data. A transceiver of the apparatus transmits the encoded data to at least one network node of a wireless network. In encoding the data to provide the encoded data, the processor encodes the data to result in each code block in the encoded data comprising a respective bit-level interleaver.

**【代表圖】**

**【本案指定代表圖】：**第（2）圖。

**【本代表圖之符號簡單說明】：**

200~架構；210~LDPC 編碼器；220~循環緩衝器；230~位

元級交錯器；240~調製映射器。

**【本案若有化學式時，請揭示最能顯示發明特徵之化學式】：**

無

## 申請專利範圍

1. 一種方法，該方法包括以下步驟：  
由設備之處理器對資料進行編碼以提供編碼資料；以及  
由所述處理器向無線網路之網路節點發送所述編碼資料，  
其中，所述對所述資料進行編碼以提供所述編碼資料之步驟包括：對所述資料進行編碼以使得所述編碼資料中之各碼塊包括相應位元級交錯器。
2. 如申請專利範圍第 1 項所述之方法，其中，所述對所述資料進行編碼之步驟包括：  
將具有高可靠性之調製位元映射到具有高行權重之低密度奇偶檢查（LDPC）位元之位置；以及  
將具有低可靠性之調製位元映射到具有低行權重之低密度奇偶檢查位元之位置。
3. 如申請專利範圍第 2 項所述之方法，其中，具有高行權重之所述低密度奇偶檢查位元包括系統位元、資訊位元或二者之組合。
4. 如申請專利範圍第 1 項所述之方法，其中，所述對所述資料進行編碼之步驟包括：在到奇偶位元之位置之映射之前首先將具有高可靠性之調製位元映射到低密度奇偶檢查（LDPC）系統位元之位置。
5. 如申請專利範圍第 1 項所述之方法，其中，各碼塊中之所述相應位元級交錯器包括塊交錯器，並且其中，所述塊交錯器包括 256 正交調幅（QAM）交錯器、64 正交調幅交錯器、16 正交調幅交錯器或 4 正交調幅交錯器。

6. 如申請專利範圍第 5 項所述之方法，其中，所述塊交錯器中之列之數量等於所述塊交錯器之調製階數。
7. 如申請專利範圍第 6 項所述之方法，其中，所述塊交錯器中之行之數量在碼字長度是所述調製階數之整數倍之情況下等於將所述碼字長度除以所述調製階數之結果，或者在所述碼字長度不是所述調製階數之整數倍之情況下等於比將所述碼字長度除以所述調製階數之所述結果大之最小整數。
8. 如申請專利範圍第 5 項所述之方法，其中，所述塊交錯器逐列寫入資料，並且逐行讀取資料。
9. 如申請專利範圍第 5 項所述之方法，其中，所述塊交錯器之各行中之位元形成相應調製符號。
10. 如申請專利範圍第 9 項所述之方法，其中，各調製符號之前兩位元比具有格雷編碼之所述相應調製符號中之其他位元更可靠。
11. 如申請專利範圍第 5 項所述之方法，其中，所述對所述資料進行編碼之步驟包含：首先將低密度奇偶檢查（LDPC）編碼之系統位元填充在所述塊交錯器之第一列中，然後將所述低密度奇偶檢查編碼之所述系統位元填充在所述塊交錯器之第二列中。
12. 一種設備，該設備包括：  
收發器，該收發器能夠與無線網路之至少一個網路節點進行無線通訊；以及  
處理器，該處理器耦接到所述收發器，

其中，所述處理器能夠對資料進行編碼以提供編碼資料，其中，所述收發器能夠向所述無線網路之所述至少一個網路節點發送所述編碼資料，並且

其中，在對所述資料進行編碼以提供所述編碼資料時，所述處理器對所述資料進行編碼以使得所述編碼資料中之各碼塊包括相應位元級交錯器。

13.如申請專利範圍第 12 項所述之設備，其中，在對所述資料進行編碼時，所述處理器執行包括以下各項之操作：

將具有高可靠性之調製位元映射到具有高行權重之低密度奇偶檢查（LDPC）位元之位置；以及

將具有低可靠性之調製位元映射到具有低行權重之低密度奇偶檢查位元之位置。

14.如申請專利範圍第 13 項所述之設備，其中，具有高行權重之所述低密度奇偶檢查位元包括系統位元、資訊位元或二者之組合。

15.如申請專利範圍第 12 項所述之設備，其中，在對所述資料進行編碼時，所述處理器在到奇偶位元之位置之映射之前首先將具有高可靠性之調製位元映射到低密度奇偶檢查（LDPC）系統位元之位置。

16.如申請專利範圍第 12 項所述之設備，其中，各碼塊中之所述相應位元級交錯器包括塊交錯器，並且其中，所述塊交錯器包括 256 正交調幅（QAM）交錯器、64 正交調幅交錯器、16 正交調幅交錯器或 4 正交調幅交錯器。

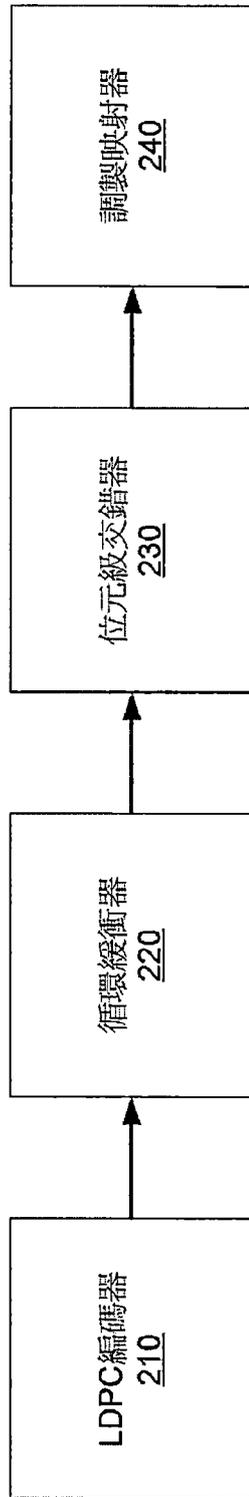
17.如申請專利範圍第 16 項所述之設備，其中，所述塊交錯器

中之列之數量等於所述塊交錯器之調製階數，其中，所述塊交錯器中之行之數量在碼字長度是所述調製階數之整數倍之情況下等於將所述碼字長度除以所述調製階數之結果，或者在所述碼字長度不是所述調製階數之整數倍之情況下等於比將所述碼字長度除以所述調製階數之所述結果大之最小整數。

- 18.如申請專利範圍第 16 項所述之設備，其中，所述塊交錯器逐列寫入資料，並且逐行讀取資料。
- 19.如申請專利範圍第 16 項所述之設備，其中，所述塊交錯器之各行中之位元形成相應調製符號，並且其中，各調製符號中之前兩位元比具有格雷編碼之所述相應調製符號中之其他位元更可靠。
- 20.如申請專利範圍第 16 項所述之設備，其中，在對所述資料進行編碼時，所述處理器首先將低密度奇偶檢查（LDPC）編碼之系統位元填充在所述塊交錯器之第一列中，然後將所述低密度奇偶檢查編碼之所述系統位元填充在所述塊交錯器之第二列中。

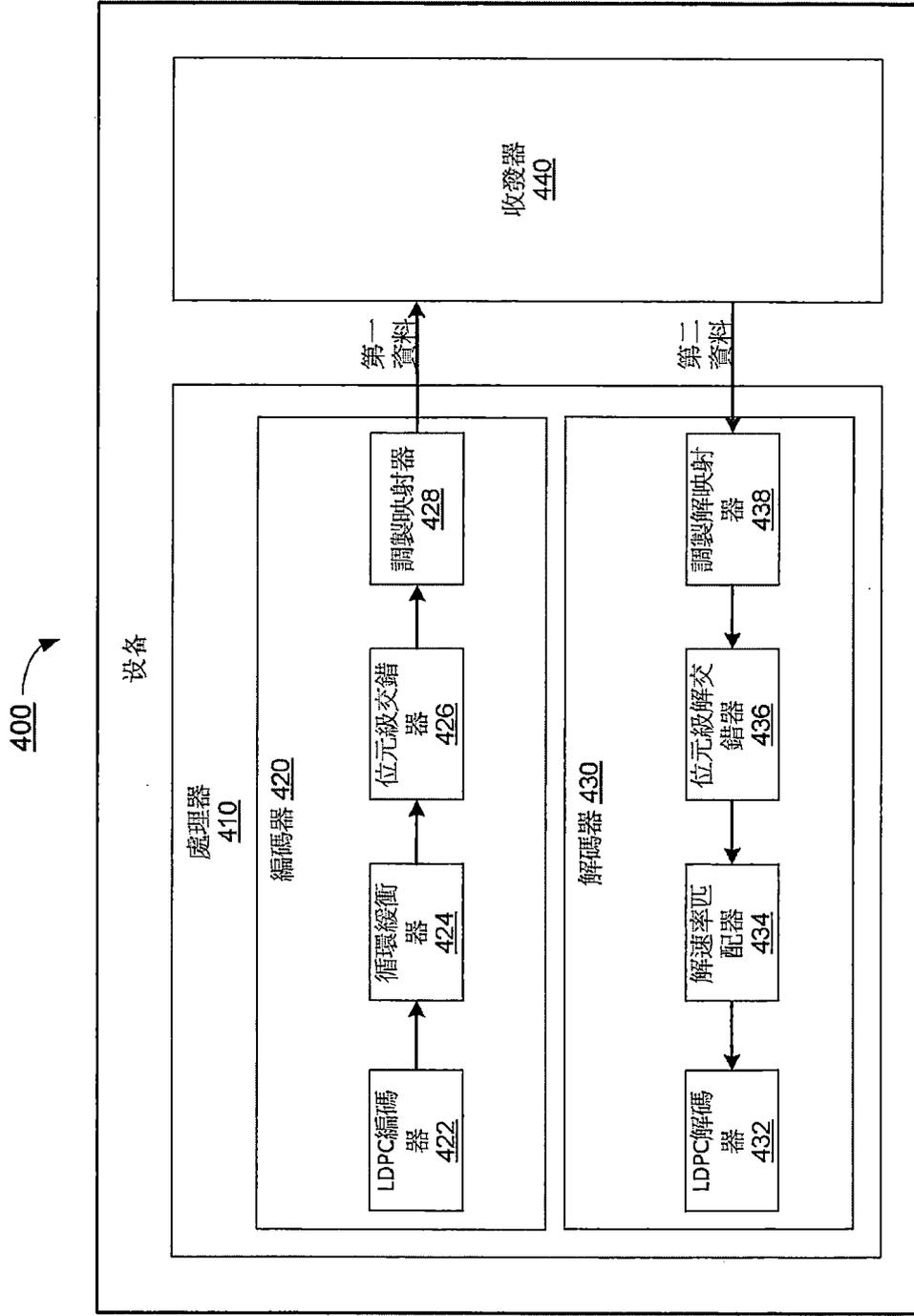


200



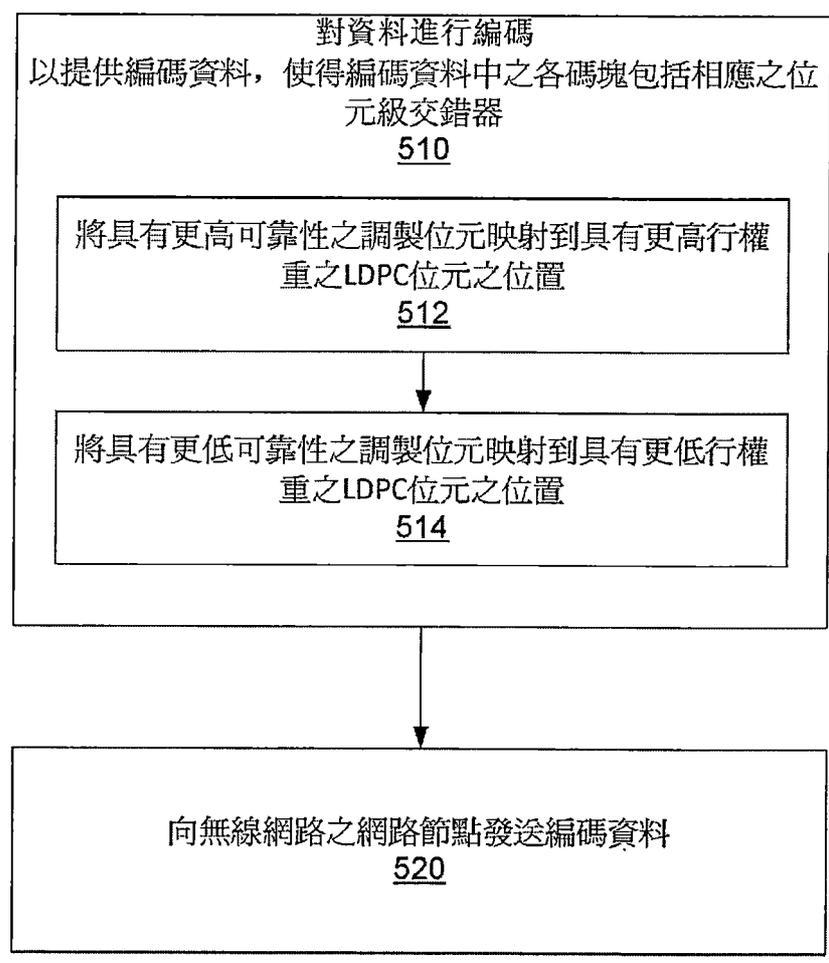
第 2 圖





第 4 圖

500



第 5 圖

# 發明專利說明書

**【發明名稱】** 資料編碼方法及其設備

METHODS OF ENCODING DATA AND AN  
APPARATUS THEREOF

**【交叉引用】**

**【0001】** 本發明要求如下優先權：2017 年 1 月 24 日、2017 年 6 月 20 日以及 2017 年 8 月 11 日分別提交之美國第 62/449677 號、第 62/522149 號以及第 62/544115 號臨時專利申請。上述美國臨時專利申請在此一併作為參考。

**【技術領域】**

**【0002】** 本發明係有關於一種資訊編碼技術。更具體地，本發明涉及一種具有低密度奇偶檢查（Low-Density Parity-Check, LDPC）碼之交錯器（interleaver）之結構。

**【先前技術】**

**【0003】** 除非本文另有說明，否則在本部分中描述之方法不作為針對下面列出之申請專利範圍之現有技術，不因包括在該部分中而被承認是現有技術。

**【0004】** 在第 5 代（5G）新無線電（New Radio, NR）行動通信中，LDPC 用於 NR 資料通道中。通常，LDPC 由基礎矩陣（base matrix）和變位係數表（shift-coefficient table）組成。在基礎矩陣中，矩陣之行之權重可以彼此不同，並且行之行權重通常為基礎矩陣之該行之總數“1”。通常行權重越大，加密之強度越強。換句話說，行權重越小，存在之對雜訊

（例如，突發干擾）之敏感性（或易感性）越大。

**【0005】** 由產生行權重 1 之對角擴展構造大多數奇偶可變節點塊。比如，各擴展之奇偶塊具有可變度一。對角擴展之奇偶塊和區塊可以具有對突發干擾之不同敏感性。此外，高階調製中之不同位元具有不同之可靠性。

### **【發明內容】**

**【0006】** 以下發明內容僅僅是例示性的，並不意在以任何方式進行限制。即，提供如下發明內容來引入本文所述之新穎且非顯而易見之技術之概念、要點、益處以及優點。在下面之詳細描述中進一步描述選擇實現方式。因此，如下發明內容不是旨在標識所要求保護之主題之基本特徵，也不旨在用於確定所要求保護之主題之範圍。

**【0007】** 本發明之目的是提出與具有 LDPC 碼之交錯器之結構有關之各種新型概念和方案，這些概念和方案可以在包括 5G NR 無線通訊之下一代通信（不管是有線的還是無線的）中實施。更具體地，在所提出之本發明之方案下，各碼塊之各發送可以包括位元級交錯器。

**【0008】** 在一個方面中，一種方法可以涉及設備之處理器編碼資料，以提供編碼資料。該方法還可以涉及處理器向無線網路之網路節點發送編碼資料。在編碼資料以提供編碼資料時，處理器可以對資料進行編碼，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

**【0009】** 在一個方面中，一種設備可以包括收發器和耦接到收發器之處理器。收發器可以能夠與無線網路之至少一個網

號包括八個位元（例如，第一調製符號包含位元  $a_1 \sim a_8$ ，第二調製符號包含位元  $b_1 \sim b_8$ ，第三調製符號包含位元  $c_1 \sim c_8$ ，以此類推）。在交錯器 320 中，因為存在六列，所以各調製符號包括六個位元（例如，第一調製符號包含位元  $a_1 \sim a_6$ ，第二調製符號包含位元  $b_1 \sim b_6$ ，第三調製符號包含位元  $c_1 \sim c_6$ ，以此類推）。在交錯器 330 中，因為存在四列，所以各調製符號包括四個位元（例如，第一調製符號包含位元  $a_1 \sim a_4$ ，第二調製符號包含位元  $b_1 \sim b_4$ ，第三調製符號包含位元  $c_1 \sim c_4$ ，以此類推）。在交錯器 340 中，因為存在兩列，所以各調製符號包括兩個位元（例如，第一調製符號包含位元  $a_1$  和  $a_2$ ，第二調製符號包含位元  $b_1$  和  $b_2$ ，第三調製符號包含位元  $c_1$  和  $c_2$ ，以此類推）。

**【0019】** 關於 QAM 星座，前兩位元具有更高之對數似然比（Log Likelihood Ratio, LLR）或可靠性，並且最後兩位元具有更低之 LLR 或可靠性。因此，4-QAM 或正交相移鍵控(QPSK) 具有一個可靠性等級，16-QAM 具有兩個可靠性等級，64-QAM 具有三個可靠性等級，並且 256-QAM 具有四個可靠性等級。

**【0020】** 在所提出之依據本發明之概念和方案下，前兩位元是具有格雷編碼之給定調製符號中之最可靠位元。LDPC 之系統位元可以首先填充在第一列中，然後填充在第二列中。也就是說，調製符號中具有更高可靠性之位元可以分配或以其他方式映射到 LDPC 系統位元之位置。

#### 例示性實施方式

**【0021】** 第 4 圖例示了依據本發明之實施方式之示例設備

400。設備 400 可以作為通信裝置執行各種功能，以實施這裡關於具有 LDPC 碼之交錯器之結構描述之概念、方案、技術、進程以及方法，包括以上關於第 1 圖~第 3 圖描述之內容以及以下所描述之進程 500。

**【0022】** 設備 400 可以為電子設備之一部分，該電子設備可以為通信裝置、計算設備、可攜式或行動設備、或可穿戴設備。比如，設備 400 可以被實施在使用者設備、基站、智慧型電話、智慧手錶、智慧手環、智慧項鍊、個人數位助理或計算裝置（諸如平板電腦、膝上型電腦、筆記本電腦、臺式電腦或伺服器）中。另選地，設備 400 可以被實施為一個或更多個積體電路（IC）晶片（諸如例如且不限於：一個或更多個單核處理器、一個或更多個多核處理器、或一個或更多個複雜指令集計算（CISC）處理器）之形式。

**【0023】** 設備 400 可以包括第 4 圖所示之那些部件中之至少一些部件。比如，設備 400 可以包括至少一個處理器 410。另外，設備 400 可以包括收發器 440，該收發器被配置為通過與無線網路之至少一個網路節點無線地發送和接收資料來從事無線通訊（例如，按照一個或更多個 4G 和 5G NR 標準、協定、規範和/或任意適用無線協定和標準）。設備 400 還可以包括其他部件（例如，記憶體、電源系統、顯示裝置以及使用者介面裝置），這些部件與所提出之本發明之方案不相關，由此為了簡單和簡潔起見，這些部件既不在第 4 圖中示出，也不在這裡描述。

**【0024】** 在一個方面中，處理器 410 可以被實施為一個或

方式適於首先將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置，然後映射到基礎矩陣中之奇偶位元之位置。

【0027】 在一些實施方式中，解碼器 430 可以包括 LDPC 解碼器 432、解速率匹配器 434、位元級解交錯器 436 以及調製解映射器 438。解碼器 430 可以能夠解碼作為從收發器 440 接收之編碼資料之第二資料，以提供已解碼資料。調製解映射器 438 可以對第二資料執行調製解映射，以向位元級解交錯器 436 提供已解映射資料。位元級解交錯器 436 可以解交錯已解映射資料，以向解速率匹配器 434 提供已解交錯資料。解速率匹配器 434 可以對已解交錯資料執行解速率匹配，以向 LDPC 解碼器 432 提供已解速率匹配資料。LDPC 解碼器 432 可以對已解速率匹配資料執行 LDPC 解碼，以提供已解碼資料。

### 例示性進程

【0028】 第 5 圖例示了依據本發明之實施方式之示例進程 500。進程 500 可以表示實施諸如關於第 1 圖~第 3 圖描述之概念和方案之所提出概念和方案之一個方面。更具體地，進程 500 可以表示與具有 LDPC 碼之交錯器之結構有關之所提出概念和方案之一個方面。進程 500 可以包括如由塊 510 和 520 以及子塊 512 和 514 中之一個或多個例示之一個或多個操作、動作或功能。雖然被例示為離散塊，但進程 500 之各種塊可以取決於期望之實施方式而被分成另外之塊，組合成更少之塊或消除。而且，進程 500 之塊/子塊可以按第 5 圖所示之順序或另選地按不同順序來執行。進程 500 可以由設備 400 及其任意變體來實施。比如，進程 500 可以被實施在設備 400 中或由設備 400

來實施。僅為了例示性目的且在不限制範圍之情況下，以下在設備 400 之背景下描述進程 500。進程 500 可以在塊 510 處開始。

**【0029】** 在塊 510 處，進程 500 可以涉及設備 400 之處理器 410 編碼資料，以提供編碼資料。在編碼資料以提供編碼資料時，進程 500 可以涉及處理器 410 編碼資料，以使得編碼資料中之各碼塊包括相應之位元級交錯器。進程 500 可以從塊 510 進行到塊 520。

**【0030】** 在塊 520 處，進程 500 可以涉及設備 400 之處理器 410 經由收發器 440 向無線網路之網路節點發送編碼資料。

**【0031】** 關於編碼資料以提供編碼資料，進程 500 可以涉及處理器 410 執行如由子塊 512 和 514 表示之若干操作。

**【0032】** 在子塊 512 處，進程 500 可以涉及處理器 410 將具有更高可靠性之調製位元映射到具有更高行權重之 LDPC 位元之位置。進程 500 可以從子塊 512 進行到子塊 514。

**【0033】** 在子塊 514 處，進程 500 可以涉及處理器 410 將具有更低可靠性之調製位元映射到具有更低行權重之 LDPC 位元之位置。

**【0034】** 在一些實施方式中，具有更高行權重之 LDPC 位元可以包括系統位元、資訊位元或其組合。

**【0035】** 在一些實施方式中，在編碼資料時，進程 500 可以涉及處理器 410 首先在到奇偶位元之位置之映射之前將具有更高可靠性之調製位元映射到 LDPC 系統位元之位置。

**【0036】** 在一些實施方式中，各碼塊中之相應位元級交錯

# 發明摘要

**【發明名稱】** 資料編碼方法及其設備

METHODS OF ENCODING DATA AND AN  
APPARATUS THEREOF

**【中文】**

本發明描述了與具有低密度奇偶檢查 (LDPC) 碼之交錯器之結構有關之概念和方案。設備之處理器編碼資料，以提供編碼資料。設備之收發器向無線網路之至少一個網路節點發送編碼資料。在對資料編碼以提供編碼資料時，處理器編碼資料，以使得編碼資料中之各碼塊包括相應之位元級交錯器。

**【英文】**

Concepts and schemes pertaining to structure of interleaver with low-density parity-check (LDPC) code are described. A processor of an apparatus encodes data to provide encoded data. A transceiver of the apparatus transmits the encoded data to at least one network node of a wireless network. In encoding the data to provide the encoded data, the processor encodes the data to result in each code block in the encoded data comprising a respective bit-level interleaver.

**【代表圖】**

**【本案指定代表圖】**：第 (2) 圖。

**【本代表圖之符號簡單說明】**：

200~架構；210~LDPC 編碼器；220~循環緩衝器；230~位元級交錯器；240~調製映射器。

**【本案若有化學式時，請揭示最能顯示發明特徵之化學式】：**

無

## 申請專利範圍

1. 一種資料編碼方法，該方法包括以下步驟：  
由設備之處理器對資料進行編碼以提供編碼資料；以及  
由所述處理器向無線網路之網路節點發送所述編碼資料，  
其中，所述對所述資料進行編碼以提供所述編碼資料之步驟包括：對所述資料進行編碼以使得所述編碼資料中之各碼塊包括相應位元級交錯器。
2. 如申請專利範圍第 1 項所述之資料編碼方法，其中，所述對所述資料進行編碼之步驟包括：  
將具有高可靠性之調製位元映射到具有高行權重之低密度奇偶檢查（LDPC）位元之位置；以及  
將具有低可靠性之調製位元映射到具有低行權重之低密度奇偶檢查位元之位置。
3. 如申請專利範圍第 2 項所述之資料編碼方法，其中，具有高行權重之所述低密度奇偶檢查位元包括系統位元、資訊位元或二者之組合。
4. 如申請專利範圍第 1 項所述之資料編碼方法，其中，所述對所述資料進行編碼之步驟包括：在到奇偶位元之位置之映射之前首先將具有高可靠性之調製位元映射到低密度奇偶檢查（LDPC）系統位元之位置。
5. 如申請專利範圍第 1 項所述之資料編碼方法，其中，各碼塊中之所述相應位元級交錯器包括塊交錯器，並且其中，所述塊交錯器包括 256 正交調幅（QAM）交錯器、64 正交調幅交錯器、16 正交調幅交錯器或 4 正交調幅交錯器。

6. 如申請專利範圍第 5 項所述之資料編碼方法，其中，所述塊交錯器中之列之數量等於所述塊交錯器之調製階數。
7. 如申請專利範圍第 6 項所述之資料編碼方法，其中，所述塊交錯器中之行之數量在碼字長度是所述調製階數之整數倍之情況下等於將所述碼字長度除以所述調製階數之結果，或者在所述碼字長度不是所述調製階數之整數倍之情況下等於比將所述碼字長度除以所述調製階數之所述結果大之最小整數。
8. 如申請專利範圍第 5 項所述之資料編碼方法，其中，所述塊交錯器逐列寫入資料，並且逐行讀取資料。
9. 如申請專利範圍第 5 項所述之資料編碼方法，其中，所述塊交錯器之各行中之位元形成相應調製符號。
10. 如申請專利範圍第 9 項所述之資料編碼方法，其中，各調製符號中之前兩位元比具有格雷編碼之所述相應調製符號中之其他位元更可靠。
11. 如申請專利範圍第 5 項所述之資料編碼方法，其中，所述對所述資料進行編碼之步驟包含：首先將低密度奇偶檢查（LDPC）編碼之系統位元填充在所述塊交錯器之第一列中，然後將所述低密度奇偶檢查編碼之所述系統位元填充在所述塊交錯器之第二列中。
12. 一種設備，該設備包括：  
收發器，該收發器能夠與無線網路之至少一個網路節點進行無線通訊；以及  
處理器，該處理器耦接到所述收發器，

其中，所述處理器能夠對資料進行編碼以提供編碼資料，  
其中，所述收發器能夠向所述無線網路之所述至少一個網路節點發送所述編碼資料，並且  
其中，在對所述資料進行編碼以提供所述編碼資料時，所述處理器對所述資料進行編碼以使得所述編碼資料中之各碼塊包括相應位元級交錯器。