



(12)发明专利

(10)授权公告号 CN 105845103 B

(45)授权公告日 2020.07.07

(21)申请号 201510538360.1

(22)申请日 2015.08.28

(65)同一申请的已公布的文献号
申请公布号 CN 105845103 A

(43)申请公布日 2016.08.10

(30)优先权数据
2015-020654 2015.02.04 JP

(73)专利权人 辛纳普蒂克斯日本合同会社
地址 日本东京都

(72)发明人 织尾正雄 降旗弘史 能势崇

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 王岳 刘春元

(51)Int.Cl.

G09G 5/26(2006.01)

G06T 3/40(2006.01)

(56)对比文件

CN 101677348 A, 2010.03.24, 说明书第5页最后1段-第22页最后1段, 图1-14B.

CN 101763626 A, 2010.06.30, 全文.

CN 101783900 A, 2010.07.21, 说明书第15-51段, 图1-6.

CN 102831576 A, 2012.12.19, 全文.

CN 101976558 A, 2011.02.16, 全文.

US 2005099407 A1, 2005.05.12, 全文.

审查员 彭镇

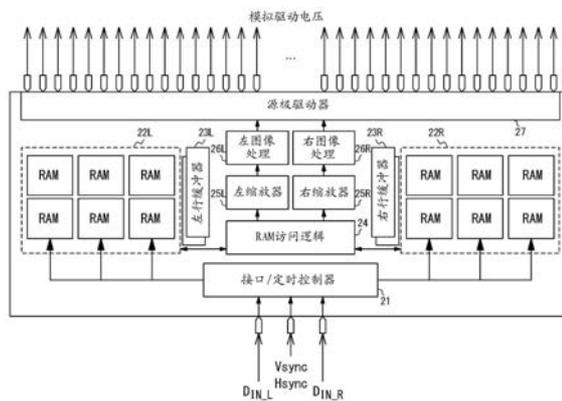
权利要求书4页 说明书24页 附图38页

(54)发明名称

用于分区图像缩放的设备和方法

(57)摘要

本发明涉及用于分区图像缩放的设备和方法。显示面板驱动器包括第一和第二缩放器电路、以及向第一缩放器电路馈送对应于第一分区图像的第一分区图像像素数据并且向第二缩放器电路馈送对应于第二分区图像的第二分区图像像素数据的像素数据馈送部。像素数据馈送部还向第一缩放器电路馈送与邻近第一分区图像的第二分区图像的部分中的像素对应的第一边界像素数据, 并且向第二缩放器电路馈送与邻近第二分区图像的第一分区图像的部分中的像素对应的第二边界像素数据。第一缩放器电路基于第一分区图像像素数据和第一边界像素数据来执行图像缩放, 并且第二缩放器电路基于第二分区图像像素数据和第二边界像素数据来执行图像缩放。



1. 一种显示设备,包括:

显示面板,其包括第一显示区域和第二显示区域;

第一缩放器电路;

第二缩放器电路;

像素数据馈送部,其被配置成向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据,并且向第二缩放器电路馈送作为原始图像的第二分区图像的像素数据的第一分区图像像素数据;以及

驱动器部,

其中,像素数据馈送部将邻近第一分区图像的第二分区图像的部分中的像素的第一边界像素数据馈送到第一缩放器电路,

其中,像素数据馈送部将邻近第二分区图像的第一分区图像的部分中的像素的第二边界像素数据馈送到第二缩放器电路,

其中第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据,

其中第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放来生成第二放大图像像素数据,并且

其中驱动器部响应于第一放大图像像素数据来驱动第一显示区域中的像素,并且响应于第二放大图像像素数据来驱动第二显示区域中的像素,

其中第一放大图像像素数据不用于驱动第二显示区域中的像素,并且

其中第二放大图像像素数据不用于驱动第一显示区域中的像素。

2. 根据权利要求1所述的显示设备,其中像素数据馈送部包括:

第一存储器部,其存储第一分区图像像素数据;

第二存储器部,其存储第二分区图像像素数据;以及

存储器访问部,其被配置成从第一存储器部接收第一分区图像像素数据,从存储在第二存储器部中的第二分区图像像素数据提取第一边界像素数据,并且将从第一存储器部所接收的第一分区图像像素数据和从第二分区图像像素数据所提取的第一边界像素数据馈送到第一缩放器电路。

3. 根据权利要求2所述的显示设备,

其中存储器访问部还被配置成从第二存储器部接收第二分区图像像素数据,从存储在第一存储器部中的第一分区图像像素数据提取第二边界像素数据,并且将从第二存储器部所接收的第二分区图像像素数据和从第一分区图像像素数据所提取的第二边界像素数据馈送到第二缩放器电路。

4. 根据权利要求3所述的显示设备,其中存储器访问部包括:

第一锁存器部;

第一选择器,其从第一存储器部接收第一分区图像像素数据,并且将从第一分区图像像素数据所提取的第二边界像素数据输出到第一锁存器部;

第二锁存器部;以及

第二选择器,其从第二存储器部接收第二分区图像像素数据,并且将从第二分区图像像素数据所提取的第一边界像素数据输出到第二锁存器部;

其中第一选择器从第二锁存器部接收第一边界像素数据,并且将第一分区图像像素数据和从第二锁存器部所接收的第一边界像素数据馈送到第一缩放器电路,并且

其中第二选择器从第一锁存器部接收第二边界像素数据,并且将第二分区图像像素数据和从第一锁存器部所接收的第二边界像素数据馈送到第二缩放器电路。

5. 根据权利要求1所述的显示设备,其中像素数据馈送部包括:

第一存储器;

第二存储器;

接口部,其被配置成外部接收第一分区图像像素数据和第二分区图像像素数据,将第一分区图像像素数据和从第二分区图像像素数据所提取的第一边界像素数据存储到第一存储器中,并且将第二分区图像像素数据和从第一分区图像像素数据所提取的第二边界像素数据存储到第二存储器中,

其中将存储在第一存储器中的第一分区图像像素数据和第一边界像素数据从第一存储器馈送到第一缩放器电路,并且

其中将存储在第二存储器中的第二分区图像像素数据和第二边界像素数据从第二存储器馈送到第二缩放器电路。

6. 一种显示面板驱动器,包括:

第一缩放器电路;

第二缩放器电路;

像素数据馈送部,其被配置成向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据,并且向第二缩放器电路馈送作为原始图像的第二分区图像的像素数据的第二分区图像像素数据;以及

驱动器部,其被配置成驱动包括第一显示区域和第二显示区域的显示面板,

其中,像素数据馈送部将邻近第一分区图像的第二分区图像的部分中的像素的第一边界像素数据馈送到第一缩放器电路,

其中,像素数据馈送部将邻近第二分区图像的第一分区图像的部分中的像素的第二边界像素数据馈送到第二缩放器电路,

其中第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据,

其中第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放来生成第二放大图像像素数据,并且

其中驱动器部响应于第一放大图像像素数据来驱动第一显示区域中的像素,并且响应于第二放大图像像素数据来驱动第二显示区域中的像素,

其中第一放大图像像素数据不用于驱动第二显示区域中的像素,并且

其中第二放大图像像素数据不用于驱动第一显示区域中的像素。

7. 根据权利要求6所述的显示面板驱动器,其中像素数据馈送部包括:

第一存储器部,其存储第一分区图像像素数据;

第二存储器部,其存储第二分区图像像素数据;以及

存储器访问部,其被配置成从第一存储器部接收第一分区图像像素数据,从存储在第二存储器部中的第二分区图像像素数据提取第一边界像素数据,并且将从第一存储器部所

接收的第一分区图像像素数据和从第二分区图像像素数据所提取的第一边界像素数据馈送到第一缩放器电路。

8. 根据权利要求7所述的显示面板驱动器，

其中存储器访问部还被配置成从第二存储器部接收第二分区图像像素数据，从存储在第一存储器部中的第一分区图像像素数据提取第二边界像素数据，并且将从第二存储器部所接收的第二分区图像像素数据和从第一分区图像像素数据所提取的第二边界像素数据馈送到第二缩放器电路。

9. 根据权利要求8所述的显示面板驱动器，其中存储器访问部包括：

第一锁存器部；

第一选择器，其从第一存储器部接收第一分区图像像素数据，并且将从第一分区图像像素数据所提取的第二边界像素数据输出到第一锁存器部；

第二锁存器部；以及

第二选择器，其从第二存储器部接收第二分区图像像素数据，并且将从第二分区图像像素数据所提取的第一边界像素数据输出到第二锁存器部；

其中第一选择器从第二锁存器部接收第一边界像素数据，并且将第一分区图像像素数据和从第二锁存器部所接收的第一边界像素数据馈送到第一缩放器电路，并且

其中第二选择器从第一锁存器部接收第二边界像素数据，并且将第二分区图像像素数据和从第一锁存器部所接收的第二边界像素数据馈送到第二缩放器电路。

10. 根据权利要求6所述的显示面板驱动器，其中像素数据馈送部包括：

第一存储器；

第二存储器；

接口部，其被配置成外部接收第一分区图像像素数据和第二分区图像像素数据，将第一分区图像像素数据和从第二分区图像像素数据所提取的第一边界像素数据存储到第一存储器中，并且将第二分区图像像素数据和从第一分区图像像素数据所提取的第二边界像素数据存储到第二存储器中，

其中将存储在第一存储器中的第一分区图像像素数据和第一边界像素数据从第一存储器馈送到第一缩放器电路，并且

其中将存储在第二存储器中的第二分区图像像素数据和第二边界像素数据从第二存储器馈送到第二缩放器电路。

11. 一种显示面板驱动方法，包括：

向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据以及原始图像的第二分区图像的第一部分中的像素的第一边界像素数据，所述第一部分邻近所述第一分区图像；

向第二缩放器电路馈送作为第二分区图像的像素数据的第二分区图像像素数据以及第一分区图像的第二部分中的像素的第二边界像素数据，所述第二部分邻近所述第二分区图像；

由第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据；

由第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放

来生成第二放大图像像素数据；

响应于第一放大图像像素数据来驱动显示面板的第一显示区域中的像素；以及
响应于第二放大图像像素数据来驱动显示面板的第二显示区域中的像素，
其中第一放大图像像素数据不用于驱动第二显示区域中的像素，并且
其中第二放大图像像素数据不用于驱动第一显示区域中的像素。

用于分区图像缩放的设备和方法

技术领域

[0001] 本发明涉及显示设备、显示面板驱动器和显示面板驱动方法,更具体地涉及适于图像缩放的显示设备、显示面板驱动器和显示面板驱动方法。

背景技术

[0002] 驱动显示面板(例如液晶显示面板)的显示面板驱动器通常具有执行图像缩放以放大或缩小图像的功能。这样的功能可以用于在输入图像数据与显示面板分辨率不匹配时从外部馈送到显示面板驱动器的输入图像数据生成与显示面板分辨率匹配的像素数据。

[0003] 由于最近的显示面板包括不断增加数目的像素,所以要在图像缩放中处理的像素数据量增加。同时,必要的是在有限的时间段内对相继馈送到显示面板驱动器的像素数据执行图像缩放。因此,执行图像缩放处理的图像处理单元(典型地是,缩放器电路)的处理负载密集地增加。

[0004] 解决该问题的一种方法是利用多个图像处理单元并行地执行图像缩放处理。例如,如果利用第一图像处理单元对与要显示在显示面板的第一区域中的显示图像的分区图像对应的像素数据执行图像缩放处理并且利用第二图像缩放单元对与要显示在显示面板的第二区域中的分区图像对应的像素数据执行图像缩放处理,则这有效地减少要在第一和第二图像处理单元的每一个中处理的像素数据量。

[0005] 利用多个图像处理单元执行图像缩放中的一个问题在于,在对应于由不同图像处理单元生成的像素数据的相邻分区图像之间的边界处在显示图像中可能观察到图像不连续性。不恰当的图像处理可能不合期望地导致显示面板上的相邻分区图像之间的视觉上可感知的边界,并且这在图像质量改善方面是不合期望的。

[0006] 已经提出各种方法来解决由使用多个图像处理单元并行地进行图像缩放所引起的显示图像中的不连续性。日本专利申请公开号2009-294273 A公开了一种技术,其涉及将图像划分成多个区域,检测跨接相邻两个区域的图像元素的运动矢量,以及使用所检测的运动矢量来执行超分辨率处理。

[0007] 日本专利申请公开号2009-296410 A公开了一种用于通过使用多个超分辨率处理器并行地执行超分辨率处理的技术。该专利申请公布公开了在图像被划分的边界处设置黑色区域。

[0008] 日本专利申请公开号2005-164347 A公开了一种用于执行超分辨率处理的技术,其中将输入图像划分成多个处理区域。在该技术中,当所划分的图像被合成时,在合成位置附近设置重叠区域,并且依赖于重叠区域中的分散点之间的相关性来合成图像。

[0009] 日本专利申请公开号2009-93442 A公开了一种基于输入图像的特征和视觉性质来选择执行超分辨率处理的位置的技术。

[0010] 日本专利申请公开号2007-193508 A公开了一种技术,其涉及将通过像素数据的插值而获得的插值图像划分成多个块,并且通过计算每一个块的频率分量来优化用于每一个块的超分辨率处理的参数。

[0011] 国际公开号W0 2014/077024 A1公开了一种技术,其用于从低分辨率多视角图像生成高分辨率图像使得高分辨率图像具有比每一个低分辨率多视角图像更多的频率信息,并且输出高分辨率图像作为输出图像。在该技术中,通过划分输入图像而获得的部分区域被分析以计算部分区域之间的可能性,并且基于所计算的可能性来确定超分辨率处理的必要性。对针对其超分辨率处理被确定为必要的部分区域执行超分辨率处理,并且对针对其超分辨率处理未被确定为必要的部分区域执行合成处理。

[0012] 然而,根据发明人们的研究,上述技术不合期望地遭受增加的处理量的问题,这是因为执行高级图像处理,诸如图像分析和噪声移除。在显示面板驱动器中实现伴随增加的处理量的图像处理不合期望地增加电路尺寸。

发明内容

[0013] 因此,本发明的目的是关于被配置成利用多个图像处理单元执行图像缩放的显示驱动器或显示设备在减小的电路尺寸的情况下抑制显示图像的不连续性。本领域技术人员将根据以下公开理解本发明的其他目的和新的特征。

[0014] 在本发明的一方面中提供的是一种显示设备,其被配置成接收对应于原始图像的像素数据并且显示通过放大原始图像所获得的放大图像。显示设备包括:显示面板,包括第一显示区域和第二显示区域;第一缩放器电路;第二缩放器电路;像素数据馈送部,其被配置成向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据,并且向第二缩放器电路馈送作为原始图像的第二分区图像的像素数据的第二分区图像像素数据;以及驱动器部。除第一分区图像像素数据之外,像素数据馈送部还将邻近第一分区图像的第二分区图像的部分中的像素的第一边界像素数据馈送到第一缩放器电路。同样地,除第二分区图像像素数据之外,像素数据馈送部还将邻近第二分区图像的第一分区图像的部分中的像素的第二边界像素数据馈送到第二缩放器电路。第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据。第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放来生成第二放大图像像素数据。驱动器部响应于第一放大图像像素数据来驱动第一显示区域中的像素,并且响应于第二放大图像像素数据来驱动第二显示区域中的像素。

[0015] 在本发明的另一方面中提供的是一种显示面板驱动器,其被配置成接收对应于原始图像的像素数据,并且将通过放大原始图像所获得的放大图像显示在包括第一显示区域和第二显示区域的显示面板上。显示面板驱动器包括:第一缩放器电路;第二缩放器电路;像素数据馈送部,其被配置成向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据,并且向第二缩放器电路馈送作为原始图像的第二分区图像的像素数据的第二分区图像像素数据;以及驱动器部。除第一分区图像像素数据之外,像素数据馈送部还将邻近第一分区图像的第二分区图像的部分中的像素的第一边界像素数据馈送到第一缩放器电路。除第二分区图像像素数据之外,像素数据馈送部还将邻近第二分区图像的第一分区图像的部分中的像素的第二边界像素数据馈送到第二缩放器电路。第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据。第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放来生成第二放大图像像素数据。驱动器部响应于第一放大图像像素数据来驱动

第一显示区域中的像素,并且响应于第二放大图像像素数据来驱动第二显示区域中的像素。

[0016] 在本发明的又另一方面中提供的是一种显示面板驱动方法,其用于响应于与原始图像对应的像素数据而将通过放大原始图像所获得的放大图像显示在包括第一显示区域和第二显示区域的显示面板上。

[0017] 该显示面板驱动方法包括:

[0018] 向第一缩放器电路馈送作为原始图像的第一分区图像的像素数据的第一分区图像像素数据以及原始图像的第二分区图像的第一部分中的像素的第一边界像素数据,所述第一部分邻近所述第一分区图像;

[0019] 向第二缩放器电路馈送作为第二分区图像的像素数据的第二分区图像像素数据以及第一分区图像的第二部分中的像素的第二边界像素数据,所述第二部分邻近所述第二分区图像;

[0020] 由第一缩放器电路通过对第一分区图像像素数据和第一边界像素数据执行图像缩放来生成第一放大图像像素数据;

[0021] 由第二缩放器电路通过对第二分区图像像素数据和第二边界像素数据执行图像缩放来生成第二放大图像像素数据;

[0022] 响应于第一放大图像像素数据来驱动第一显示区域中的像素;以及

[0023] 响应于第二放大图像像素数据来驱动第二显示区域中的像素。

[0024] 本发明关于被配置成利用多个图像处理单元执行图像缩放的显示驱动器或显示设备在减小的电路尺寸的情况下有效地抑制了显示图像的不连续性。

附图说明

[0025] 本发明的上述和其他优点和特征将根据结合附图进行的以下描述更加明显,在附图中:

[0026] 图1图示了双线性图像缩放的示例;

[0027] 图2是图1的左上方部分的放大视图;

[0028] 图3是图示了通过双线性图像缩放计算放大图像的目标像素Q的像素数据的图;

[0029] 图4图示了其中由第一和第二缩放器电路分别对通过划分原始图像而获得的第一和第二分区图像的像素数据单独地执行图像缩放的以放大因子为2的图像缩放的示例;

[0030] 图5是可能在执行图4中所图示的图像缩放处理时的情况下发生的显示图像的不连续性的示例;

[0031] 图6A是图示了本实施例的图像缩放处理的概念图;

[0032] 图6B图示了在本实施例的图像缩放处理中计算放大图像的第一和第二放大分区图像之间的边界处的部分中的像素的细节;

[0033] 图7是图示了本发明的一个实施例中的显示设备的示例性配置的框图;

[0034] 图8图示了本实施例中的液晶显示面板的显示区域的示例性配置;

[0035] 图9是图示了本实施例中的驱动器IC的配置的一个示例的框图;

[0036] 图10是图示了行缓冲器部和RAM访问逻辑电路的配置的一个示例的框图;

- [0037] 图11A是图示了X计数器的操作的一个示例的真值表；
- [0038] 图11B是图示了Y计数器的操作的一个示例的真值表；
- [0039] 图12是图示了X计数器和Y计数器的操作的一个示例的时间图；
- [0040] 图13A是图示了左地址生成器电路的操作的一个示例的真值表；
- [0041] 图13B是图示了右地址生成器电路的操作的一个示例的真值表；
- [0042] 图14A是图示了由左和右地址生成器电路所生成的访问请求的内容的一个示例的真值表；
- [0043] 图14B是图示了由左和右地址生成器电路所生成的访问请求的内容的另一示例的真值表；
- [0044] 图15是图示了左复用器电路和右复用器电路的配置的一个示例的框图；
- [0045] 图16A是图示了计数值Y为零的情况下左选择器的示例性操作的真值表；
- [0046] 图16B是图示了计数值Y为零的情况下右选择器的示例性操作的真值表；
- [0047] 图17A是图示了对于计数值Y而言 $((Y+1)/2)\%2=1$ 的情况下左选择器的示例性操作的真值表；
- [0048] 图17B是图示了对于计数值Y而言 $((Y+1)/2)\%2=1$ 的情况下右选择器的示例性操作的真值表；
- [0049] 图18A是图示了对于计数值Y而言 $((Y+1)/2)\%2=0$ 的情况下左选择器的示例性操作的真值表；
- [0050] 图18B是图示了对于计数值Y而言 $((Y+1)/2)\%2=0$ 的情况下右选择器的示例性操作的真值表；
- [0051] 图19A至19D是图示了计数值Y为“0”时的RAM访问逻辑电路的示例性操作的时间图；
- [0052] 图20A至20D是图示了对于计数值Y而言 $((Y+1)/2)\%2=1$ 时的RAM访问逻辑电路的示例性操作的时间图；
- [0053] 图21A至21D是图示了对于计数值Y而言 $((Y+1)/2)\%2=0$ 时的RAM访问逻辑电路的示例性操作的时间图；
- [0054] 图22是图示了左分区图像的最右侧像素的像素值和右分区图像的最左侧像素的像素值存储在LRAM和RRAM二者中时的左复用器电路和右复用器电路的示例性操作的框图；
- [0055] 图23是图示了本发明的另一实施例中的驱动器IC的配置的框图；
- [0056] 图24A至24C是图示了到被配置成在一个端口上接收原始图像的像素数据的驱动器IC中的LRAM和RRAM中的像素数据的示例性写入操作的时间图；以及
- [0057] 图25A至25D是图示了本发明的另一实施例中的RAM访问逻辑电路的操作的时间图。

具体实施方式

[0058] 现在将在本文中参照说明性实施例描述本发明。本领域技术人员将认识到，可以使用本发明的教导来实现许多可替换的实施例，并且本发明不限于出于解释性目的而说明的实施例。将领会到，出于说明的简单性和清楚性，图中的元素未必按照比例绘制。例如，一些元素的尺度相对于其他元素夸大。

[0059] 为了更好地理解本发明,首先给出图像缩放(图像放大/缩小)的概要的描述,并且然后给出可能在通过使用多个图像处理单元来实现图像缩放时发生的问题的描述。

[0060] 图1是图示了作为典型图像缩放技术之一的双线性图像缩放的概念图,并且图2是图1的左上方部分的放大视图。图1和2图示了以放大因子为2来放大图像的图像缩放(也就是,在竖直和水平方向二者上使像素数目加倍)。在图1中,像素P是原始图像的像素,并且像素Q是放大图像(通过图像缩放而获得的图像)的像素。在图2中,符号“P(i, j)”表示定位在第i行和第j列中的原始图像的像素P,并且符号“Q(i, j)”表示定位在第i行和第j列中的放大图像的像素Q,其中i和j为整数。

[0061] 在双线性图像缩放中,依照放大因子来确定放大图像的每一个像素Q的位置,并且通过最接近于每一个像素Q的原始图像的四个像素的像素数据的线性插值来计算放大图像的每一个像素Q的像素数据(最典型地是,指示红色(R)、绿色(G)和蓝色(B)的灰度级的数据)。依照放大图像(或缩小图像)的每一个像素Q的位置来确定赋予原始图像的四个像素的权重(插值系数)。

[0062] 图3是图示了通过双线性方法计算放大图像的目标像素Q的像素数据的细节的图。从最接近于目标像素Q的原始图像的四个像素P(i, j)、P(i, j+1)、P(i+1, j)和P(i+1, j+1)的像素数据来计算目标像素Q的像素数据。更具体地,通过在水平方向上执行像素P(i, j)和P(i, j+1)的像素数据的线性插值来计算像素R1的像素数据,并且通过在水平方向上执行像素P(i+1, j)和P(i+1, j+1)的像素数据的线性插值来计算像素R2的像素数据,其中像素R1是定位在与目标像素Q相同的水平位置(x轴方向上的位置)处并且在与像素P(i, j)和P(i, j+1)相同的竖直位置(y轴方向上的位置)处的虚拟像素,并且像素R2是定位在与目标像素Q相同的水平位置(x轴方向上的位置)处并且在与像素P(i+1, j)和P(i+1, j+1)相同的竖直位置(y轴方向上的位置)处的虚拟像素。通过在竖直方向上执行像素R1和R2的像素数据的线性插值来计算目标像素Q的像素数据。应当指出的是,尽管图3图示了其中竖直方向上的线性插值跟在水平方向上的线性插值之后的计算过程,但是顺序可以颠倒。在实际实现中,可以执行其中水平和竖直方向上的线性插值同时执行的计算。

[0063] 返回参照图1和2,当图像被放大时,放大图像的一些像素可能从原始图像的最外侧像素向外定位。在图2的示例中,放大图像的最外侧像素Q(图2中的像素Q(0, 0)、Q(0, 1)、Q(0, 2)...以及Q(1, 0)、Q(2, 0)...从原始图像的最外侧像素P向外定位。在该情况下,通过虚拟地生成作为输入图像的最外侧像素P的副本并且具有相同像素数据的副本像素并且对最外侧像素P和副本像素的像素数据执行线性插值来确定从原始图像的最外侧像素P向外定位的放大图像的像素Q的像素数据。

[0064] 在图2中,例如,通过从原始图像的最左侧像素P(0, 0)、P(1, 0)、P(2, 0)...及其副本像素P(0, -1)、P(1, -1)、P(2, -1)...中选择的四个最接近像素的线性插值来计算放大图像的最左侧像素Q(1, 0)、Q(2, 0)...的像素数据。要指出的是,副本像素P(0, -1)、P(1, -1)、P(2, -1)的像素数据分别与原始图像的最左侧像素P(0, 0)、P(1, 0)、P(2, 0)的像素数据相同。通过原始图像的角落处的像素的像素数据及其副本像素的像素数据的插值来计算在水平和竖直方向二者上从原始图像的角落处的像素向外定位的放大图像的像素的像素数据;要指出的是,结果是,放大图像的角落处的像素的像素数据与原始图像的角落处的像素的像素数据相同。如图2中所图示的,例如,通过原始图像的左上角处的像素P(0,

0)的像素数据和像素P(0, 0)的副本像素P(-1, -1)、P(-1, 0)和P(0, -1)的像素数据的线性插值来计算定位在放大图像的左上角处的像素Q(0, 0)的像素数据。

[0065] 如上文所描述的,由于要处理的像素数据量近年来增加,所以可以使用其中利用多个图像处理单元来分区地实现图像缩放的配置。在该情况下,用于实现图像缩放的最简单方案是将原始图像划分成多个分区图像,并且将相应分区图像的像素数据馈送到多个图像处理单元,以由此在相应图像处理单元中执行图像缩放。然而,该方法可能引起显示图像中的不自然的不连续性。在下文中,作为一个示例,给出可能在将原始图像划分成两个分区图像并且由第一和第二缩放器电路分别对两个分区图像的像素数据单独执行图像缩放时的情况下发生的问题的讨论。

[0066] 图4图示了一个示例,其中由第一和第二缩放器电路分别对通过划分原始图像而获得的第一和第二分区图像的像素数据单独执行放大因子为2的图像缩放。第一缩放器电路对第一分区图像的像素数据执行图像缩放处理,并且第二缩放器电路对第二分区图像的像素数据执行图像缩放处理。在下文中,通过由第一缩放器电路的图像缩放处理从第一分区图像所获得的放大图像可以被称为第一放大分区图像,并且通过由第二缩放器电路的图像缩放处理从第二分区图像所获得的放大图像可以被称为第二放大分区图像。第一和第二放大分区图像在显示面板上彼此邻近地显示。

[0067] 当在第一和第二缩放器电路中单独地执行用于图像放大的图像缩放时,第一和第二放大分区图像的某些像素的位置在第一和第二缩放器电路中分别被确定成使得第一和第二放大分区图像的某些像素从第一和第二分区图像的最外侧像素向外定位。因此,由第一缩放器电路从第一分区图像的最外侧像素及其副本像素的像素数据来计算从第一分区图像的最外侧像素向外定位的第一放大分区图像的像素的像素数据,并且由第二缩放器电路从第二分区图像的最外侧像素及其副本像素的像素数据来计算从第二分区图像的最外侧像素向外定位的第二放大分区图像的像素的像素数据。

[0068] 根据本发明人们的研究,这样的图像缩放可能引起第一和第二放大分区图像之间的边界处的不自然的不连续性。问题在于,从不同的像素数据计算邻近第一和第二放大分区图像之间的边界的像素的像素数据。参照图4,从邻近与第二分区图像的边界的第一分区图像的像素的像素数据及其副本像素的像素数据来计算邻近与第二放大分区图像的边界的第一放大分区图像的像素(图4中的虚线区域A中的像素)的像素数据。同时,从邻近与第一分区图像的边界的第二分区图像的像素的像素数据及其副本像素的像素数据来计算邻近与第一放大分区图像的边界的第二放大分区图像的像素(图4中的虚线区域B中的像素)的像素数据。像素数据中的这样的差异可能引起显示图像的不自然的不连续性。

[0069] 图5是可能在如图4中所图示的那样由第一和第二缩放器电路对通过划分原始图像而获得的第一和第二分区图像单独地执行图像缩放处理器时的情况下发生的显示图像的不连续性的示例。图5的左部图示了原始图像,并且中央部图示了通过在不划分原始图像的情况下的图像缩放所获得的放大图像以及通过在将原始图像划分成两个分区图像的情况下的图像缩放所获得的放大图像。图5的右部图示了两个放大图像的放大视图。尤其从放大视图将理解到,当对通过划分原始图像而获得的分区图像执行图像缩放时,在显示图像中发生不自然的不连续性。

[0070] 如下文详细讨论的,在根据本发明的实施例的图像缩放中,使用特殊方法来解决

显示图像的不连续性的问题。

[0071] 图6A和6B是图示了本实施例的图像缩放处理的概念图。参照图6A,在本实施例的图像缩放中,从邻近与第二分区图像的边界的第二分区图像的像素的副本像素的像素数据来计算邻近与第二放大分区图像的边界的第二放大分区图像的像素(图6A中的虚线区域A中的像素)的像素数据。类似地,从邻近与第一分区图像的边界的第二分区图像的像素的副本像素的像素数据来计算邻近与第一放大分区图像的边界的第二放大分区图像的像素(图6A中的虚线区域B中的像素)的像素数据。为了执行这样的处理,第一缩放器电路被馈送以第一分区图像的像素数据并且还被馈送以邻近与第一分区图像的边界的第二分区图像的像素的像素数据。类似地,第二缩放器电路被馈送以第二分区图像的像素数据并且还被馈送以邻近与第二分区图像的边界的第二分区图像的像素的像素数据。

[0072] 图6B图示了在本实施例的图像缩放中计算邻近第一和第二放大分区图像之间的边界的放大图像的像素的像素数据的细节。如上文所描述的,在图像放大中,每一个放大分区图像的一些像素被确定为从每一个分区图像的最外侧像素向外定位。在图6B中所图示的示例中,第一放大分区图像的最外侧像素 $Q_1(0, 2m-2)$ 至 $Q_1(0, 2m+1)$ 和 $Q_1(0, 2m+1)$ 至 $Q_1(4, 2m+1)$ 从原始图像的第一分区图像的最外侧像素 P_1 向外定位,其中 $m=(M/2)-1$,其中 M 为在水平方向(x方向)上排列的原始图像的像素的数目。类似地,第二放大分区图像的最外侧像素 $Q_2(0, 0)$ 至 $Q_2(0, 3)$ 和 $Q_2(0, 0)$ 至 $Q_2(4, 0)$ 从原始图像的第二分区图像的最外侧像素 P_2 向外定位。

[0073] 通过邻近与第二分区图像的边界的第二分区图像的像素 $P_1(0, m)$ 至 $P_1(2, m)$ 的像素数据以及邻近与第一分区图像的边界的第二分区图像的像素 P_2 的副本像素 $P_1(0, m+1)$ 至 $P_1(2, m+1)$ 的像素数据的线性插值来计算邻近与第二放大分区图像的边界的第二放大分区图像的最外侧像素 $Q_1(0, 2m+1)$ 至 $Q_1(4, 2m+1)$ 的像素数据。应当指出的是,副本像素 $P_1(0, m+1)$ 至 $P_1(2, m+1)$ 的像素数据分别与第二分区图像的像素 $P_2(0, 0)$ 至 $P_2(2, 0)$ 的像素数据相同。例如,通过第一分区图像的像素 $P_1(0, m)$ 和 $P_1(1, m)$ 的像素数据以及副本像素 $P_1(0, m+1)$ 至 $P_1(1, m+1)$ 的像素数据(也就是,第二分区图像的最外侧像素 $P_2(0, 0)$ 和 $P_2(1, 0)$ 的像素数据)的线性插值来计算第一放大分区图像的最外侧像素 $Q_1(1, 2m+1)$ 的像素数据。

[0074] 应当指出的是,由于定位在第一放大分区图像的右上角处的像素 $Q_1(0, 2m+1)$ 在竖直和水平方向二者上从第一分区图像的最外侧像素 P_1 向外定位,所以通过第一分区图像的像素 $P_1(0, m)$ 的像素数据、像素 $P_1(0, m)$ 的副本像素 $P_1(-1, m)$ 的像素数据、以及第二分区图像的最外侧像素 $P_2(0, 0)$ 的副本像素 $P_1(-1, m+1)$ 和 $P_1(0, m+1)$ 的像素数据的线性插值来计算像素 $Q_1(0, 2m+1)$ 的像素数据。

[0075] 类似地,通过邻近第一分区图像的第二分区图像的像素 $P_2(0, 0)$ 至 $P_2(2, 0)$ 的像素数据以及邻近与第二分区图像的边界的第二分区图像的像素 P_1 的副本像素 $P_2(0, -1)$ 至 $P_2(2, -1)$ 的像素数据的线性插值来计算邻近与第一放大分区图像的边界的第二放大分区图像的最外侧像素 $Q_2(0, 0)$ 至 $Q_2(4, 0)$ 的像素数据。应当指出的是,副本像素 $P_2(0, -1)$ 至 $P_2(2, -1)$ 的像素数据分别与第一分区图像的像素 $P_1(0, m)$ 至 $P_1(2, m)$ 的像素数据相同。例

如,通过第二分区图像的像素 $P_2(0, 0)$ 和 $P_2(1, 0)$ 的像素数据以及副本像素 $P_2(0, -1)$ 和 $P_2(1, -1)$ 的像素数据(也就是,第一分区图像的最外侧像素 $P_1(0, m)$ 和 $P_1(1, m)$ 的像素数据)的线性插值来计算第二放大分区图像的最外侧像素 $Q_2(1, 0)$ 的像素数据。

[0076] 应当指出的是,由于定位在第二放大分区图像的左上角处的像素 $Q_2(0, 0)$ 在竖直和水平方向二者上从第二分区图像的最外侧像素 P_2 向外定位,所以通过第二分区图像的像素 $P_2(0, 0)$ 的像素数据、像素 $P_2(0, 0)$ 的副本像素 $P_2(-1, 0)$ 的像素数据、以及第一分区图像的最外侧像素 $P_1(0, m)$ 的副本像素 $P_2(-1, -1)$ 和 $P_2(0, -1)$ 的像素数据的线性插值来计算像素 $Q_2(0, 0)$ 的像素数据。

[0077] 这样的图像缩放有效地抑制了显示图像中的不自然的不连续性的出现,从而获得与原始图像未被划分时的情况下相同的放大图像。尽管上述实施例阐述了其中由两个缩放器电路来处理通过划分原始图像所获得的两个分区图像的图像处理,但是上述实施例中所公开的技术适用于原始图像被划分为三个或更多的分区图像时的情况。在该情况下,将上述实施例中所公开的技术应用于相邻分区图像之间的每一个边界。

[0078] 在下文中,给出用于实现图6A和6B中所图示的图像缩放的示例性硬件配置的实施例的描述。

[0079] 图7是图示了本发明的一个实施例中的显示设备的示例性配置的框图。被配置为液晶显示设备1的本发明的显示设备包括液晶显示面板2和驱动器IC(集成电路)3。

[0080] 液晶显示面板2包括显示区域4和栅极线驱动器电路5(也被称为GIP(面板中栅极(gate-in-panel))电路)。如图8中所图示的,布置在显示区域4中的是多个栅极线11(也被称为扫描线或地址线)、多个源极线12(也被称为信号线或数据线)、以及像素13。在本实施例中,每一个像素13包括显示红色(R)的R子像素14R、显示绿色(G)的G子像素14G以及显示蓝色(B)的B子像素14B。每一个像素13的R、G和B子像素14R、14G和14B连接到相同的栅极线11并且还连接到不同的源极线12。对于本领域技术人员将明显的是,每一个像素13的配置(诸如R、G和B子像素14R、14G和14B的布置)可以进行各种修改。在下文中,显示区域4的水平方向也就是栅极线11延伸的方向可以被称为x轴方向,并且显示区域4的竖直方向也就是源极线12延伸的方向可以被称为y轴方向。栅极线驱动器电路5相继地驱动栅极线11。在驱动液晶显示面板2的像素13时,相继地选择栅极线11,并且通过源极线12将期望的模拟驱动电压写入到连接于所选择的栅极线11的子像素(R、G和B子像素14R、14G和14B)中。这允许将相应子像素设定为期望的灰度级,并且由此在液晶显示面板2的显示区域4中显示期望的图像。

[0081] 返回参照图7,驱动器IC 3响应于外部馈送到驱动器IC 3(典型地,从处理单元)的像素数据来驱动显示区域4的源极线12。在本实施例中,驱动器IC 3采用两端口配置;与显示在显示区域4的左区域(第一区域)4L中的图像对应的像素数据和与显示在显示区域4的右区域(第二区域)4R中的图像对应的像素数据在不同端口上被馈送到驱动器IC 3。在下文中,在馈送到驱动器IC 3的原始图像的像素数据之中,与要显示在左区域4L中的图像对应的像素数据可以被称为“左图像像素数据 D_{IN_L} ”,并且与要显示在右区域4R中的图像对应的像素数据可以被称为“右图像像素数据 D_{IN_R} ”。换言之,左图像像素数据 D_{IN_L} 是通过划分原始图像所获得的两个分区图像的左分区图像的像素数据,并且右图像像素数据 D_{IN_R} 是右分区图像的像素数据。如上文所描述的其中驱动器IC在多个端口上外部接收像素数据的配置通

常用于驱动具有增加数目的像素的液晶显示面板的驱动器IC。驱动器IC 3与外部馈送到驱动器IC 3的定时控制信号(更具体地,竖直同步信号Vsync和水平同步信号Hsync)同步地驱动源极线12。驱动器IC 3利用诸如COG(玻璃上芯片)技术之类的表面安装技术而安装在液晶显示面板2上。

[0082] 图9图示了本实施例中的驱动器IC 3的配置的一个示例。在本实施例中,驱动器IC 3包括:接口/定时控制器21、LRAM(左RAM) 22L、RRAM(右RAM) 22R、左行缓冲器部23L、右行缓冲器部23R、RAM访问逻辑电路24、左缩放器电路25L、右缩放器电路25R、左图像处理电路26L、右图像处理电路26R以及源极驱动器电路27。

[0083] 接口/定时控制器21、LRAM 22L、RRAM 22R、左行缓冲器部23L、右行缓冲器部23R和RAM访问逻辑电路24形成将像素数据馈送到左缩放器电路25L和右缩放器电路25R的像素数据馈送部。

[0084] 详细地,接口/定时控制器21将左图像像素数据 D_{IN_L} 转发给LRAM 22L,并且将右图像像素数据 D_{IN_R} 转发给RRAM 22R。接口/定时控制器21还与竖直同步信号Vsync和水平同步信号Hsync同步地控制驱动器IC 3的操作定时。

[0085] LRAM 22L在其中存储左图像像素数据 D_{IN_L} (与显示在左区域4L中的图像对应的像素数据),并且RRAM 22R在其中存储右图像像素数据 D_{IN_R} (与显示在右区域4R中的图像对应的像素数据)。在本实施例中,总体上,LRAM 22L和RRAM 22R具有足以存储对应于一个帧图像(在每一个帧时段(每一个竖直同步时段)中显示在显示区域中的图像)的像素数据的容量。

[0086] 左行缓冲器部23L用于临时存储从LRAM 22L读出的左图像像素数据 D_{IN_L} ,并且右行缓冲器部23R用于临时存储从RRAM 22R读出的右图像像素数据 D_{IN_R} 。在本实施例中,左行缓冲器部23L具有足以存储对应于显示区域4的左区域4L中的两个水平线的像素13(连接到两个栅极线11的像素13)的左图像像素数据 D_{IN_L} 的容量。类似地,右行缓冲器部23R具有足以存储对应于显示区域4的右区域4R中的两个水平线的像素13(连接到两个栅极线11的像素13)的右图像像素数据 D_{IN_R} 的容量。如随后所描述的,左行缓冲器部23L和右行缓冲器部23R用作用于以恰当的顺序将左图像像素数据 D_{IN_L} 和右图像像素数据 D_{IN_R} 从RAM访问逻辑电路24转发给左缩放器电路25L和右缩放器电路25R的工作区域。

[0087] RAM访问逻辑电路24将从LRAM 22L读出的左图像像素数据 D_{IN_L} 转发给左缩放器电路25L,并且还将从RRAM 22R读出的右图像像素数据 D_{IN_R} 转发给右缩放器电路25R。因此,RAM访问逻辑电路24具有将从左图像像素数据 D_{IN_L} 提取的第一边界像素数据(也就是,左分区图像的像素数据)转发给右缩放器电路25R的功能,其中第一边界像素数据是邻近与右分区图像的边界的左分区图像的像素的像素数据。此外,RAM访问逻辑电路24具有将从右图像像素数据 D_{IN_R} 提取的第二边界像素数据(也就是,右分区图像的像素数据)转发给左缩放器电路25L的功能,其中第二边界像素数据是邻近与左分区图像的边界的右分区图像的像素的像素数据。这些功能对于实现图6中所图示的上述图像缩放是重要的。

[0088] 左缩放器电路25L通过对从RAM访问逻辑电路24接收的像素数据执行图像缩放(在该实施例中,图像放大)来生成放大图像像素数据,并且左图像处理电路26L通过对经由左缩放器电路25L中的图像缩放所获得的放大图像像素数据执行预定图像处理来生成输出像素数据。从左图像处理电路26L输出的输出像素数据用于驱动定位在显示区域4的左区域4L

中的像素13。左缩放器电路25L和右缩放器电路25R作为整体形成第一图像处理单元,其从接收自RAM访问逻辑电路24的像素数据生成在显示区域4的左区域4L中所显示的图像的像素数据。在本实施例中,左缩放器电路25L执行上述双线性图像缩放。

[0089] 类似地,右缩放器电路25R通过对从RAM访问逻辑电路24接收的像素数据执行图像缩放来生成放大图像像素数据,并且右图像处理电路26R通过对经由右缩放器电路25R中的图像缩放所获得的放大图像像素数据执行预定图像处理来生成输出像素数据。从右图像处理电路26R输出的输出像素数据用于驱动定位在显示区域4的右区域4R中的像素13。右缩放器电路25R和右图像处理电路26R作为整体形成第二图像处理单元,其从接收自RAM访问逻辑电路24的像素数据生成在显示区域4的右区域4R中所显示的图像的像素数据。在本实施例中,右缩放器电路25R执行上述双线性图像缩放。

[0090] 在左图像处理电路26L和右图像处理电路26R中执行的图像处理的示例包括边缘增强。由于一般通过双线性图像缩放可能获得边缘模糊的图像,所以对于获得清晰图像而言优选的是,通过左图像处理电路26L和右图像处理电路26R执行边缘增强。

[0091] 应当指出的是,通过对原始图像(对应于左图像像素数据 D_{IN_L} 和右图像像素数据 D_{IN_R} 的图像)执行图像放大所获得的显示区域4中所显示的图像可以被称为“放大图像”。同样地,左区域4L中所显示的图像可以被称为左放大分区图像,并且右区域4R中所显示的图像可以被称为右放大分区图像。

[0092] 在本实施例中,左缩放器电路25L执行图6A和6B中所图示的第一缩放器电路的图像缩放处理,并且右缩放器电路25R执行图6A和6B中所图示的第二缩放器电路的图像缩放处理。换言之,左缩放器电路25L通过邻近与右分区图像的边界的原始图像的左分区图像的像素的像素数据(也就是,第一边界像素数据)和邻近与左分区图像的边界的右分区图像的像素的像素数据(也就是,第二边界像素数据)的线性插值来生成用于驱动定位在邻近与右区域4R的边界的左区域4L的部分中的像素13的像素数据。类似地,右缩放器电路25R通过邻近与左分区图像的边界的原始图像的右分区图像的像素的像素数据(也就是,第二边界像素数据)和邻近与右分区图像的边界的左分区图像的像素的像素数据(也就是,第一边界像素数据)的线性插值来生成用于驱动定位在邻近与左区域4L的边界的右区域4R的部分中的像素13的像素数据。

[0093] 源极驱动器电路27作为驱动器部进行操作,其响应于从左图像处理电路26L和右图像处理电路26R接收的输出像素数据来驱动显示区域4的像素13。详细地,源极驱动器电路27响应于从左图像处理电路26L接收的输出像素数据来驱动显示区域4的左区域4L中的像素13,并且响应于从右图像处理电路26R接收的输出像素数据来驱动显示区域4的右区域4R中的像素13。

[0094] 图10是图示了左行缓冲器部23L、右行缓冲器部23R和RAM访问逻辑电路24的配置的一个示例的框图。

[0095] 在本实施例中,左行缓冲器部23L包括两个行缓冲器LLB0和LLB1。

[0096] 类似地,右行缓冲器部23R包括两个行缓冲器RLB0和RLB1。

[0097] RAM访问逻辑电路24包括X计数器31、Y计数器32、左地址生成器电路33L、右地址生成器电路33R、左复用器电路34L和右复用器电路34R。

[0098] X计数器31对时钟信号Clock的时钟脉冲进行计数以输出计数值X。Y计数器32对水

平同步信号Hsync的脉冲进行计数以输出计数值Y。计数值X和Y用于指定在左缩放器电路25L和右缩放器电路25R中执行的图像缩放的目标像素,该目标像素分别从显示区域4的左和右区域4L和4R中的像素13之中选择。

[0099] 根据水平同步信号Hsync和像素数据有效信号PixelValid来控制由X计数器31生成计数值X。要指出的是,在其中要生成显示区域4中的像素13的像素数据的时段期间,像素数据有效信号PixelValid被断言(assert)(在本实施例中,设定为“0”)。应当指出的是,在其期间生成显示区域4的像素13的像素数据的时段之前和之后,将在其期间像素数据有效信号PixelValid被断言的时段扩展时钟信号Clock的一个时钟周期。

[0100] 图11A是图示了X计数器31的操作的一个示例的真值表。当水平同步信号Hsync被断言(在该实施例中,设定为“0”)时,重置X计数器31。在图11A中所图示的操作中,当重置X计数器31时,X计数器31被设定为“-1”。当水平同步信号Hsync被无效(negate)并且像素数据有效信号PixelValid被断言时,X计数器31对时钟信号Clock的时钟脉冲进行计数以使计数值X逐一递增。当水平同步信号Hsync和像素数据有效信号PixelValid二者被无效时,X计数器31保持计数值X不变。

[0101] 根据竖直同步信号Vsync和水平同步信号Hsync来控制由Y计数器32生成计数值Y。图11B是图示了Y计数器32的操作的示例的真值表。当竖直同步信号Vsync被断言(在该实施例中,被设定为“0”)时,重置Y计数器32。当竖直同步信号Vsync被无效并且水平同步信号Hsync被断言时,Y计数器32使计数值Y递增一。当竖直同步信号Vsync和水平同步信号Hsync二者被无效时,Y计数器32保持计数值Y不变。

[0102] 图12是图示了X计数器31和Y计数器32的操作的一个示例的时间图。在每一个竖直同步时段(每一个帧时段)开始时竖直同步信号Vsync被断言,并且由此Y计数器32的计数值Y被重置为“-1”。当水平同步信号Hsync然后被断言以发起第一水平同步时段时,Y计数器32的计数值Y计数达到“0”,并且X计数器31的计数值X被重置为“-1”。随后,当像素数据有效信号PixelValid然后被断言时,X计数器31对时钟信号Clock的时钟脉冲进行计数以使计数值X逐一递增。当像素数据有效信号PixelValid被断言时,X计数器31对时钟信号Clock的时钟脉冲进行计数。X计数器31的计数值X计数达到Xsize+1,其中Xsize是在水平方向(x轴方向)上排列在显示区域4的左和右区域4L和4R中的每一个中的像素13的数目。

[0103] 当水平同步信号Hsync然后再次被断言以发起下一水平同步时段时,X计数器31的计数值X被重置为“-1”。类似于第一水平同步时段,X计数器31然后对时钟信号Clock的时钟脉冲进行计数直到计数值X计数达到Xsize+1。相同情况继续直到发起下一竖直同步时段。

[0104] 返回参照图10,左地址生成器电路33L生成针对LRAM 22L、左行缓冲器LLB0和LLB1的访问请求以及指定访问目的地的地址L0adr、L1adr和L2adr。地址L0adr指定LRAM 22L的访问地址,并且地址L1adr和L2adr分别指定左行缓冲器LLB0和LLB1的访问地址。

[0105] 类似地,右地址生成器电路33R生成针对RRAM 22R、右行缓冲器RLB0和RLB1的访问请求以及指定访问目的地的地址R0adr、R1adr和R2adr。地址R0adr指定RRAM 22R的访问地址,并且地址R1adr和R2adr分别指定右行缓冲器RLB0和RLB1的访问地址。

[0106] 图13A是图示了左地址生成器电路33L的操作的示例的真值表。基于X计数器31的计数值X来计算指定左行缓冲器LLB0和LLB1的访问目的地的地址L1adr和L2adr。基于X计数器31的计数值X和Y计数器32的计数值Y来计算指定LRAM 22L的访问目的地的地址L0adr。

[0107] 图13B是图示了右地址生成器电路33R的操作的示例的真值表。基于X计数器31的计数值X来计算指定右行缓冲器RLB0和RLB1的访问目的地的地址R1adr和R2adr。基于X计数器31的计数值X和Y计数器32的计数值Y来计算指定RRAM 22R的访问目的地的地址R0adr。

[0108] 图14A是图示了由左地址生成器电路33L和右地址生成器电路33R所生成的访问请求的内容的一个示例的真值表。针对左行缓冲器LLB0和LLB1可以发生写入和读取访问二者。针对左行缓冲器LLB0和LLB1发生写入和读取访问中的哪一个依赖于Y计数器32的计数值Y。相同情况适用于右行缓冲器RLB0和RLB1。针对右行缓冲器RLB0和RLB1发生写入和读取访问中的哪一个依赖于Y计数器32的计数值Y。应当指出的是,在图14A中,“Y%4”指示计数值Y除以4中的余数。也就是说,在图14A中所图示的操作中,响应于计数值Y除以4中的余数来确定针对左行缓冲器LLB0和LLB1以及右行缓冲器RLB0和RLB1的访问请求的内容。应当指出的是,尽管RAM访问逻辑电路24从LRAM 22L和RRAM 22R读出像素数据,但是RAM访问逻辑电路24不将像素数据写入到LRAM 22L和RRAM 22R中。

[0109] 图14B是图示了由左地址生成器电路33L和右地址生成器电路33R所生成的访问请求的内容的另一示例的真值表。应当指出的是,在图14B中,“Y%2”指示计数值Y除以2中的余数。换言之,在图14B中所图示的操作中,响应于计数值Y除以2中的余数而确定针对左行缓冲器LLB0和LLB1以及右行缓冲器RLB0和RLB1的访问请求的内容。尽管发生改写相同像素数据的不必要写入访问,但是图14B中所图示的操作有效地简化了访问请求的生成逻辑。

[0110] 返回参照图10,左复用器电路34L从LRAM 22L和左行缓冲器LLB0和LLB1收集要馈送到左缩放器电路25L的像素数据,并且将所收集的像素数据转发给左缩放器电路25L。在图10中,分别通过符号“L0”、“L1”和“L2”表示从LRAM 22L、左行缓冲器LLB0和LLB1读出的像素数据。如从图3所理解到的,在双线性图像缩放中从原始图像的四个像素的像素数据计算放大图像的每一个像素的像素数据,并且因此左复用器电路34L以四个像素的像素数据为单位将从LRAM 22L、左行缓冲器LLB0和LLB1读出的像素数据转发给左缩放器电路25L。在本实施例中,左复用器电路34L被配置成将四个像素的像素数据LP00、LP01、LP10和LP11转发给左缩放器电路25L。

[0111] 类似地,右复用器电路34R从RRAM 22R和右行缓冲器RLB0和RLB1收集要转发给右缩放器电路25R的像素数据,并且将所收集的像素数据转发给右缩放器电路25R。在图10中,分别通过符号“R0”、“R1”和“R2”来表示从RRAM 22R、右行缓冲器RLB0和RLB1读出的像素数据。在本实施例中,右复用器电路34R被配置成将四个像素的像素数据RP00、RP01、RP10和RP11转发给右缩放器电路25R。

[0112] 图15是图示了左复用器电路34L和右复用器电路34R的配置的一个示例的框图。左复用器电路34L包括X地址触发器41L、左选择器42L和像素数据触发器43L至47L。类似地,右复用器电路34R包括X地址触发器41R、右选择器42R和像素数据触发器43R至47R。

[0113] X地址触发器41L和41R锁存来自X计数器31的计数值X,并且以一个时钟周期的延迟输出锁存的计数值X。在图15中,从X地址触发器41L和41R输出的计数值通过符号“Xbuf”来表示。

[0114] 左选择器42L具有从馈送到左选择器42L的各种像素数据选择要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11的功能。此外,左选择器42L具有从馈送到左选择器42L的各种像素数据选择要转发给右缩放器电路25R的像素数据的功能。

[0115] 类似地,右选择器42R具有从馈送到右选择器42R的各种像素数据选择要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11的功能。此外,右选择器42R具有从馈送到左选择器42L的各种像素数据选择要转发给左缩放器电路25L的像素数据的功能。随后将描述由左和右选择器42L和42R选择像素数据的细节。

[0116] 像素数据触发器43L具有连接到左选择器42L的输入和连接到右选择器42R的输出。像素数据触发器43L作为锁存器部进行操作,其临时存储要从左选择器42L传递给右选择器42R的像素数据并且将所存储的像素数据输出到右选择器42R。像素数据触发器43L用作路由,通过所述路由邻近右分区图像的原始图像的左分区图像的部分中的像素的像素数据(也就是,边界像素数据)通过右选择器42R从左选择器42L转发给右缩放器电路25R。在本实施例中,从像素数据触发器43L输出两个像素的像素数据;在图15中通过符号“LBuf0”和“LBuf1”来表示这两个像素的像素数据。

[0117] 另一方面,像素数据触发器43R具有连接到右选择器42R的输入和连接到左选择器42L的输出。像素数据触发器43R作为锁存器部进行操作,其临时存储要从右选择器42R传递给左选择器42L的像素数据并且将所存储的像素数据输出到左选择器42L。像素数据触发器43R用作路由,通过所述路由邻近左分区图像的原始图像的右分区图像的部分中的像素的像素数据(也就是,边界像素数据)通过左选择器42L从右选择器42R转发给左缩放器电路25L。在本实施例中,从像素数据触发器43R输出两个像素的像素数据;在图15中通过符号“RBuf0”和“RBuf1”来表示这两个像素的像素数据。

[0118] 像素数据触发器44L至47L分别从左选择器42L接收要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11,并且将所存储的像素数据输出到左选择器42L,并且将像素数据LP00、LP01、LP10和LP11输出到左缩放器电路25L。类似地,像素数据触发器44R至47R从右选择器42R接收要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11,并且将像素数据RP00、RP01、RP10和RP11输出到右缩放器电路25R。

[0119] 接下来,给出左选择器42L和右选择器42R的操作细节的描述。左选择器42L被馈送以在以下列出的像素数据,并且从馈送到左选择器42L的如下像素数据之中选择要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11以及要转发给右选择器42R的像素数据LBuf0和LBuf1:

[0120] (1) 从LRAM 22L接收的像素数据L0;

[0121] (2) 从左行缓冲器LLB0和LLB1接收的像素数据L1和L2;

[0122] (3) 从像素数据触发器44L和46L接收的像素数据LP00和LP10;以及

[0123] (4) 从右复用器电路34R的像素数据触发器43R接收的像素数据RBuf0、RBuf1。

[0124] 类似地,右选择器42R被馈送以在以下列出的像素数据,并且从馈送到右选择器42R的如下像素数据之中选择要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11以及要转发给左选择器42L的像素数据RBuf0和RBuf1:

[0125] (1) 从RRAM 22R接收的像素数据R0;

[0126] (2) 从右行缓冲器RLB0和RLB1接收的像素数据R1和R2;

[0127] (3) 从像素数据触发器44R和46R接收的像素数据RP00和RP10;以及

[0128] (4) 从左复用器电路34L的像素数据触发器43L接收的像素数据LBuf0、LBuf1。

[0129] 由左选择器42L响应于从Y计数器32接收到的计数值Y和从X地址触发器41L接收到

的计数值XBuf来选择像素数据LP00、LP01、LP10、LP11、LBuf0和LBuf1。图16A、17A和18A分别是图示了计数值Y为零时的情况、 $((Y+1)/2)\%2=1$ 时的情况、以及 $((Y+1)/2)\%2=0$ 时的情况下的左选择器42L的操作的真值表。

[0130] 应当注意左选择器42L的操作中的两个特征。一个特征在于,当计数值XBuf为“-1”时,左选择器42L将从LRAM 22L接收的像素数据L0以及从左行缓冲器LLB0和LLB1接收的像素数据L1和L2选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。更具体地,当计数值Y为零并且计数值XBuf为“-1”时,从LRAM 22L接收的像素数据L0被选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。当 $((Y+1)/2)\%2=1$ 成立并且计数值XBuf为“-1”时,从左行缓冲器LLB0接收的像素数据L1和从LRAM 22L接收的像素数据L0被选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。此外,当 $((Y+1)/2)\%2=0$ 成立并且计数值XBuf为“-1”时,从左行缓冲器LLB1接收的像素数据L2和从LRAM 22L接收的像素数据L0被选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。这些操作与通过右选择器42R将定位在邻近右分区图像的原始图像的左分区图像的部分中的像素的像素数据(边界像素数据)转发给右缩放器电路25R相关。

[0131] 另一特征在于,当计数值XBuf为Xsize-1时,对于任何计数值Y,左选择器42L将从右复用器电路34R的像素数据触发器43R接收的像素数据RBuf0和RBuf1选择为要转发给左缩放器电路25L的像素数据LP00和LP10。该操作与通过左选择器42L将定位在邻近左分区图像的原始图像的右分区图像的部分中的像素的像素数据(边界像素数据)转发给左缩放器电路25L相关。

[0132] 类似地,由右选择器42R响应于从Y计数器32接收的计数值Y和从X地址触发器41R接收的计数值XBuf来选择像素数据RP00、RP01、RP10、RP11、RBuf0和RBuf1。图16B、17B和18B分别是图示了计数值Y是零时的情况、 $((Y+1)/2)\%2=1$ 时的情况、以及 $((Y+1)/2)\%2=0$ 时的情况下的右选择器42R的操作的真值表。

[0133] 类似于左选择器42L的操作,应当注意右选择器42R的操作中的两个特征。一个特征在于,当计数值XBuf为“0”时,右选择器42R将从RRAM 22R接收的像素数据R0以及从右行缓冲器RLB0和RLB1接收的像素数据R1和R2选择为要转发给左选择器42L的像素数据RBuf0和RBuf1。更具体地,当计数值Y为零并且计数值XBuf为“0”时,从RRAM 22R接收的像素数据R0被选择为要转发给左选择器42L的像素数据RBuf0和RBuf1。当 $((Y+1)/2)\%2=1$ 成立并且计数值XBuf为“0”时,从右行缓冲器RLB0接收的像素数据R1和从RRAM 22R接收的像素数据R0被选择为要转发给左选择器42L的像素数据RBuf0和RBuf1。此外,当 $((Y+1)/2)\%2=0$ 成立并且计数值XBuf为“0”时,从右行缓冲器RLB1接收的像素数据R2和从RRAM 22R接收的像素数据R0被选择为要转发给左选择器42L的像素数据RBuf0和RBuf1。这些操作与通过左选择器42L将定位在邻近左分区图像的原始图像的右分区图像的部分中的像素的像素数据(边界像素数据)转发给左缩放器电路25L相关。

[0134] 另一特征在于,当计数值XBuf为零时,对于任何计数值Y,右选择器42R将从左复用器电路34L的像素数据触发器43L接收的像素数据LBuf0和LBuf1选择为要转发给右缩放器电路25R的像素数据RP01和RP11。该操作与通过右选择器42R将定位在邻近右分区图像的原始图像的左分区图像的部分中的像素的像素数据(边界像素数据)转发给右缩放器电路25R相关。

[0135] 接下来,给出本实施例中的RAM访问逻辑电路24的示例性操作的描述。在本实施例中,除原始图像的左分区图像的相应像素的像素数据之外,RAM访问逻辑电路24将邻近左分区图像的右分区图像的部分中的像素(详细地,右分区图像的最左列中的像素)的像素数据(边界像素数据)馈送到左缩放器电路25L。此外,除原始图像的右分区图像的相应像素的像素数据之外,RAM访问逻辑电路24将邻近右分区图像的左分区图像的部分中的像素(详细地,左分区图像的最右列中的像素)的像素数据(边界像素数据)馈送到右缩放器电路25R。左缩放器电路25L对馈送到其的像素数据执行图像缩放(图像放大)以计算与左区域4L中的像素13相关联的像素数据,并且右缩放器电路25R对馈送到其的像素数据执行图像缩放(图像放大)以计算与右区域4R中的像素13相关联的像素数据。该操作有效地抑制了显示区域4中所显示的显示图像中的左区域4L与右区域4R之间的图像不连续性。

[0136] 图19A至19D、20A至20D和21A至21D是图示了RAM访问逻辑电路24的操作(尤其是左复用器电路34L和右复用器电路34R的操作)的时间图。在图19A至19D、20A至20D和21A至21D中,以说明“L RAM地址”标示的行指示L RAM 22L的访问地址(读取地址),并且以说明“R RAM地址”标示的行指示R RAM 22R的访问地址(读取地址)。以说明“LLB0写入数据”和“LLB1写入数据”标示的行指示写入到左行缓冲器LLB0和LLB1中的像素数据。以说明“RLB0写入数据”和“RLB1写入数据”标示的行指示写入到右行缓冲器RLB0和RLB1中的像素数据。此外,在图19A至19D、20A至20D和21A至21D中,一对数字“y,x”分别指示像素的y和x坐标。

[0137] 图19A至19D图示了Y计数器32的计数值Y为“0”时的情况下的示例性操作。详细地,图19A图示了对于y=0的水平同步时段开始附近的左复用器电路34L的操作,并且图19B图示了对于y=0的水平同步时段开始附近的右复用器电路34R的操作。图19C图示了对于y=0的水平同步时段结束附近的左复用器电路34L的操作,并且图19D图示了对于y=0的水平同步时段开始附近的右复用器电路34R的操作。当计数值Y为“0”时,生成与显示区域4(左区域4L和右区域4R)的最上侧像素13相关联的像素数据。当计数值Y为“0”时,从L RAM 22L和R RAM 22R读出原始图像的最上侧像素的像素数据。

[0138] 在其中X计数器31的计数值X为“-1”的时钟周期中,如图19A和19B中所图示的,L RAM 22L和R RAM 22R的读取地址被设定成分别指定左分区图像和右分区图像的最右侧像素的像素数据的地址。要指出的是,在其中X计数器31的计数值X为“-1”的时钟周期中,L RAM 22L和R RAM 22R的读取地址被设定为“0, (Xsize-1)/2”,其中Xsize是在x轴方向上在显示区域4的左和右区域4L和4R中的每一个中排列的像素13的数目。

[0139] 在其中计数值X为“0”的时钟周期(也就是,其中从X地址触发器41L和41R输出的计数值XBuf为“-1”的时钟周期)中,然后从L RAM 22L读出左分区图像的最右侧像素的像素数据,并且从R RAM 22R读出右分区图像的最右侧像素的像素数据。此外,将从L RAM 22L读出的左分区图像的最右侧像素的像素数据写入到左行缓冲器LLB0中,并且将从R RAM 22R读出的右分区图像的最右侧像素的像素数据写入到右行缓冲器RLB0中。

[0140] 在该时钟周期中,还由左选择器42L将左分区图像的最右侧像素的像素数据选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。该操作允许右选择器42R准备在下一时钟周期中或随后接收左分区图像的最右侧像素的像素数据。

[0141] 在其中计数值X为“1”的时钟周期(也就是,其中计数值XBuf为“0”的时钟周期)中,计算左区域4L和右区域4R的最左侧像素13的像素数据。详细地,从L RAM 22L读出左分区图

像的最左侧像素的像素数据,并且从RRAM 22R读出右分区图像的最左侧像素的像素数据。此外,将从LRAM 22L读出的左分区图像的最左侧像素的像素数据写入到左行缓冲器LLB0中,并且将从RRAM 22R读出的右分区图像的最左侧像素的像素数据写入到右行缓冲器RLB0中。

[0142] 同时,左选择器42L将从LRAM 22L读出的左分区图像的最左侧像素的像素数据选择为要馈送到左缩放器电路25L的像素数据LP00、LP01、LP10和LP11。因而,左缩放器电路25L通过左分区图像的左上角处的像素的像素数据及其副本像素的像素数据的线性插值来计算左区域4L的左上角处的像素13的像素数据。在实际实现中,相关的四个像素的像素数据LP00、LP01、LP10和LP11相同,并且因此左区域4L的左上角处的像素13的像素数据被计算为与左分区图像的左上角处的像素的像素数据相同。

[0143] 另一方面,右选择器42R将从RRAM 22R读出的右分区图像的最左侧像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00和RP10,并且还将从左选择器42L接收的像素数据LBuf0和LBuf1选择为像素数据RP01和RP11。该操作允许经由右选择器42R将左分区图像的最右侧像素的像素数据转发给右缩放器电路25R。右缩放器电路25R通过右分区图像的左上角处的像素的像素数据和左分区图像的右上角处的像素的像素数据的线性插值来计算右区域4R的左上角处的像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L与右区域4R之间的边界处的不自然的不连续性。

[0144] 在此之后,相继地计算左区域4L和右区域4R的最上侧像素13的像素数据,直到其中计数值X变为“Xsize-1”的时钟周期为止。左选择器42L将左分区图像的最上侧像素中的相关两个的像素数据和这两个相关像素的副本像素的像素数据选择为要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11,并且右选择器42R将右分区图像的最上侧像素中的相关两个的像素数据和这两个相关像素的副本像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。左缩放器电路25L通过左分区图像的最上侧像素中的相关两个的像素数据及其副本像素的像素数据的线性插值来计算左区域4L的最上侧像素13的像素数据,并且右缩放器电路25R通过右分区图像的最上侧像素中的相关两个的像素数据及其副本像素的像素数据的线性插值来计算右区域4R的最上侧像素13的像素数据。

[0145] 如图19C和19D中所图示的,在其中计数值XBuf为“Xsize-1”的时钟周期(也就是,其中计数值X为“Xsize-1”的时钟周期的下一时钟周期)中,计算左区域4L和右区域4R的最右侧像素13的像素数据。左选择器42L将从右选择器42R接收的像素数据RBuf0和RBuf1选择为要转发给左缩放器电路25L的像素数据LP00和LP10,并且还将从LRAM 22L读出的左分区图像的最右侧像素的像素数据选择为像素数据LP01和LP11。该操作允许经由左选择器42L将右分区图像的最左侧像素的像素数据转发给左缩放器电路25L。左缩放器电路25L通过左分区图像的右上角处的像素的像素数据和右分区图像的左上角处的像素的像素数据的线性插值来计算左区域4L的右上角处的像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L与右区域4R之间的边界处的不自然的不连续性。

[0146] 同时,右选择器42R将从RRAM 22R读出的右分区图像的最右侧像素的像素数据选

择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。因而，右缩放器电路25R通过右分区图像的右上角处的像素的像素数据及其副本像素的像素数据的线性插值来计算右区域4R的右上角处的像素13的像素数据。在实际实现中，相关的四个像素的像素数据RP00、RP01、RP10和RP11相同，并且因此右区域4R的右上角处的像素13的像素数据被计算为与右分区图像的右上角处的像素的像素数据相同。

[0147] 图20A至20D和图21A至21D图示了用于计算远离显示区域4的上端和下端定位的像素13的像素数据的操作。详细地，图20A至20D图示了对于Y计数器32的计数值Y $((Y+1)/2)\%2=1$ 成立时的情况下的操作，并且图21A至21D图示了 $((Y+1)/2)\%2=0$ 成立时的情况下的操作。这些情况下的总体操作大体类似于Y计数器32的计数值Y为“0”时的情况下的操作(参见图19A至19D)，但是像素数据的访问目的地不同。

[0148] 更具体地， $((Y+1)/2)\%2=1$ 时的情况下的操作如下(参照图20A至20D)：在其中X计数器31的计数值X为“-1”的时钟周期中，如图20A和20B中所图示的，LRAM 22L和RRAM 22R的读取地址被设定成分别指定左分区图像和右分区图像的两个最右侧像素的像素数据的地址。应当指出的是，在其中X计数器31的计数值X为“-1”的时钟周期中，如图20A和20B中所图示的，LRAM 22L和RRAM 22R的读取地址被设定为“1， $(Xsize-1)/2$ ”，并且左行缓冲器LLB0和右行缓冲器RLB0的读取地址被设定为“0， $(Xsize-1)/2$ ”(在实际实现中，不必设定左行缓冲器LLB0和右行缓冲器RLB0的y地址)。

[0149] 在其中计数值X为“0”的时钟周期(也就是，其中从X地址触发器41L和41R输出的计数值XBuf为“-1”的时钟周期)中，然后从LRAM 22L和左行缓冲器LLB0读出左分区图像的两个最右侧像素的像素数据，并且从RRAM 22R和右行缓冲器RLB0读出右分区图像的两个最右侧像素的像素数据。此外，从LRAM 22L读出的左分区图像的最右侧像素的像素数据被写入到左行缓冲器LLB1中，并且从RRAM 22R读出的右分区图像的最右侧像素的像素数据被写入到右行缓冲器RLB1中。

[0150] 在该时钟周期中，还由左选择器42L将左分区图像的两个最右侧像素的像素数据选择为要转发给右选择器42R的像素数据LBuf0和LBuf1。该操作允许右选择器42R准备在下一时钟周期中或者随后接收左分区图像的两个最右侧像素的像素数据。

[0151] 在其中计数值X为“1”的时钟周期(也就是，其中计数值XBuf为“0”的时钟周期)中，计算左区域4L和右区域4R的最左侧像素13的像素数据。详细地，从LRAM 22L和左行缓冲器LLB0读出左分区图像的两个最左侧像素的像素数据，并且从RRAM 22R和右行缓冲器RLB0读出右分区图像的两个最左侧像素的像素数据。此外，将从LRAM 22L读出的左分区图像的最左侧像素的像素数据写入到左行缓冲器LLB1中，并且将从RRAM 22R读出的右分区图像的最左侧像素的像素数据写入到右行缓冲器RLB1中。

[0152] 同时，左选择器42L将从LRAM 22L和左行缓冲器LLB0读出的左分区图像的两个最左侧像素的像素数据选择为要馈送到左缩放器电路25L的像素数据LP00、LP01、LP10和LP11。因而，左缩放器电路25L通过左分区图像的最左侧像素的像素数据及其副本像素的像素数据的线性插值来计算左区域4L的最左侧像素13的像素数据。

[0153] 另一方面，右选择器42R将从RRAM 22R和右行缓冲器RLB0读出的右分区图像的两个最左侧像素的像素数据选择为要转发给右缩放器电路25R的两个像素的像素数据RP00和RP10，并且将从左选择器42L接收的像素数据LBuf0和LBuf1选择为像素数据RP01和RP11。该

操作允许经由右选择器42R将左分区图像的两个最右侧像素的像素数据转发给右缩放器电路25R。右缩放器电路25R通过右分区图像的两个最左侧像素的像素数据和左分区图像的两个最右侧像素的像素数据的线性插值来计算右区域4R的最左侧像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L和右区域4R之间的边界处的不自然的不连续性。

[0154] 在此之后,相继地计算左区域4L和右区域4R的像素13的像素数据,直到其中计数值X变为“Xsize-1”的时钟周期为止。左选择器42L将左分区图像的相关的四个像素的像素数据选择为要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11,并且右选择器42R将右分区图像的相关的四个像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。左缩放器电路25L通过左分区图像的相关的四个像素的像素数据的线性插值来计算左区域4L的像素13的像素数据,并且右缩放器电路25R通过右分区图像的相关的四个像素的像素数据的线性插值来计算右区域4R的像素13的像素数据。

[0155] 如图20C和20D中所图示的,在其中计数值XBuf为“Xsize-1”的时钟周期(也就是,其中计数值X为“Xsize-1”的时钟周期的下一时钟周期)中,计算左区域4L和右区域4R的最右侧像素13的像素数据。左选择器42L将从右选择器42R接收的像素数据RBuf0和RBuf1选择为要转发给左缩放器电路25L的像素数据LP00和LP10,并且还将从LRAM 22L和左行缓冲器LLB0读出的左分区图像的两个最右侧像素的像素数据选择为像素数据LP01和LP11。该操作允许经由左选择器42L将右分区图像的两个最左侧像素的像素数据转发给左缩放器电路25L。左缩放器电路25L通过左分区图像的两个最右侧像素的像素数据和右分区图像的两个最左侧像素的像素数据的线性插值来计算左区域4L的最右侧像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L与右区域4R之间的边界处的不自然的不连续性。

[0156] 同时,右选择器42R将从RRAM 22R和右行缓冲器RLB0读出的右分区图像的两个最右侧像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。因而,右缩放器电路25R通过右分区图像的两个最右侧像素的像素数据及其副本像素的像素数据的线性插值来计算右区域4R的最右侧像素13的像素数据。

[0157] $((Y+1)/2)\%2=0$ 时的情况下的操作(参见图21A至21D)大体类似于 $((Y+1)/2)\%2=1$ 时的情况下的操作(参见图20A至20D),这除了从LRAM 22L和RRAM 22R读出的像素数据分别被写入到左行缓冲器LLB0和右行缓冲器RLB0中并且分别从左行缓冲器LLB1和右行缓冲器RLB1而不是左行缓冲器LLB0和右行缓冲器RLB0读出要转发给左缩放器电路25L和右缩放器电路25R的像素数据之外。

[0158] 应当指出的是,在本实施例的上述图像缩放处理中,依赖于左缩放器电路25L和右缩放器电路25R处理所接收的像素数据的顺序来确定左选择器42L从右选择器42R接收像素数据的定时以及右选择器42R从左选择器42L接收像素数据的定时。在图19A至19D、20A至20D和21A至21D中所图示的操作中,左缩放器电路25L和右缩放器电路25R从左向右分别生成左区域4L和右区域4R的像素13的像素数据。因此,右选择器42R在选择要首先转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11时(也就是,在生成右区域4R的最左侧像素13时)选择从左缩放器电路42L接收的像素数据LBuf0和LBuf1。同样地,左选择器42L在生成要最后转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11时(也就是,在生成左区

域4L的最右侧像素时)选择从右选择器42R接收的像素数据RBuf0和RBuf1。

[0159] 重要的是,左复用器电路34L的像素数据触发器43L保持从LRAM 22L以及左行缓冲器LLB0和LLB1读出并且转发给右缩放器电路25R的像素数据,直到右缩放器电路25R实际要求从LRAM 22L以及左行缓冲器LLB0和LLB1读出的像素数据时为止。类似地,重要的是,右复用器电路34R的像素数据触发器43R保持从RRAM 22R以及右行缓冲器RLB0和RLB1读出并且转发给左缩放器电路25L的像素数据,直到左缩放器电路25L实际要求从RRAM 22R以及右行缓冲器RLB0和RLB1读出的像素数据时为止。

[0160] 例如,左复用器电路34L的像素数据触发器43L保持左分区图像的最右侧两个像素的像素数据,直到右选择器42R选择像素数据LBuf0和LBuf1时为止(也就是,直到生成右区域4R的最左侧像素13的像素数据时为止)。同样地,右复用器电路34R的像素数据触发器43R保持右分区图像的最左侧两个像素的像素数据,直到左选择器42L选择像素数据RBuf0和RBuf1时为止(也就是,直到生成左区域4L的最右侧像素13的像素数据时为止)。

[0161] 要指出的是,左缩放器电路25L和右缩放器电路25R处理像素数据的顺序可以任意修改。在该情况下,依赖于左缩放器电路25L和右缩放器电路25R处理所接收的像素数据的顺序来恰当地修改左选择器42L从右选择器42R接收像素数据的定时以及右选择器42R从左选择器42L接收像素数据的定时。

[0162] 下文讨论的是其中左缩放器电路25L以从左向右的顺序生成左区域4L中的像素13的像素数据并且右缩放器电路25R以从右向左的顺序生成右区域4R中的像素13的像素数据的示例。在该情况下,最后生成邻近左区域4L和右区域4R之间的边界的像素13的像素数据。同样地在该情况下,左和右复用器电路34L和34R的像素数据触发器43L和43R分别保持从LRAM 22L和RRAM 22R读出的像素数据,直到右缩放器电路25R和左缩放器电路25L实际要求从LRAM 22L和RRAM 22R读出的像素数据时为止。像素数据触发器43L保持要从左选择器42L转发给右选择器42R的像素数据LBuf0和LBuf1,直到右选择器42R选择最后转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11时为止(也就是,直到生成右区域4R的最左侧像素13的像素数据时为止)。类似地,像素数据触发器43R保持要从右选择器42R转发给左选择器42L的像素数据RBuf0和RBuf1,直到左选择器42L选择最后转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11时为止(也就是,直到生成左区域4L的最右侧像素13的像素数据时为止)。

[0163] 如由此所描述的,在本实施例中的图像缩放中,除了左分区图像的相应像素的像素数据之外,左缩放器电路25L还被馈送以邻近左分区图像的原始图像的右分区图像的部分中的像素的像素数据(边界像素数据),并且左缩放器电路25L通过对馈送到其的像素数据执行图像缩放(图像放大)来生成左区域4L的像素13的像素数据。此外,除了右分区图像的相应像素的像素数据之外,右缩放器电路25R还被馈送以邻近右分区图像的原始图像的左分区图像的部分中的像素的像素数据(边界像素数据),并且右缩放器电路25R通过对馈送到其的像素数据执行图像缩放(图像放大)来生成右区域4R的像素13的像素数据。该操作有效地抑制了显示在显示区域4中的显示图像中的左区域4L与右区域4R之间的不连续性。

[0164] 应当指出的是,由左缩放器电路25L针对其生成像素数据的像素13和由右缩放器电路25R针对其生成像素数据的像素13彼此不同。计算左区域4L中的像素13的像素数据的左缩放器电路25L不参与计算右区域4R中的像素13的像素数据。类似地,计算右区域4R中的

像素13的像素数据的右缩放器电路25R不参与计算左区域4L中的像素13的像素数据。这对于以简单处理实现图像缩放是有利的。在日本专利申请公开号2005-164347 A中所公开的超分辨率处理中,要求复杂的处理,这是因为在合成放大分区图像时定义了重叠区域。在其中由左缩放器电路25L针对其生成像素数据的像素13和由右缩放器电路25R针对其生成像素数据的像素13彼此不同的本实施例中,可以通过简单处理来实现图像缩放。这有效地减小了左缩放器电路25L和右缩放器电路25R的电路尺寸。

[0165] 尽管上述实施例阐述了左缩放器电路25L和右缩放器电路25R执行双线性图像缩放(图像放大),但是可以通过其他插值方法来实现图像缩放。例如,左缩放器电路25L和右缩放器电路25R可以执行双三次图像缩放。在该情况下,除了左分区图像的像素的像素数据之外,左缩放器电路25L还被馈送以原始图像的右分区图像的像素的最左侧两列的像素数据,并且除了右分区图像的像素的像素数据之外,右缩放器电路25R还被馈送以原始图像的左分区图像的像素的最右侧两列的像素数据。左缩放器电路25L对馈送到其的像素数据执行双三次图像缩放以生成左区域4L的像素13的像素数据,并且右缩放器电路25R对馈送到其的像素数据执行双三次图像缩放以生成右区域4R的像素13的像素数据。

[0166] 尽管上述实施例阐述了,LRAM 22L存储与原始图像的左分区图像对应的左图像像素数据 D_{IN_L} 并且RRAM 22R存储与原始图像的右分区图像对应的右图像像素数据 D_{IN_R} ,但是除了左图像像素数据 D_{IN_L} 之外,LRAM 22L还可以存储右分区图像的最左侧部分中的像素的像素数据(边界像素数据),并且除了右图像像素数据 D_{IN_R} 之外,RRAM 22R还可以存储左分区图像的最右侧部分中的像素的像素数据(边界像素数据)。当左缩放器电路25L和右缩放器电路25R执行双线性图像缩放时,例如,除了左图像像素数据 D_{IN_L} 之外,LRAM 22L还存储右分区图像的像素的最左列的像素数据,并且除了右图像像素数据 D_{IN_R} 之外,RRAM 22R还存储左分区图像的像素的最右列的像素数据。当左缩放器电路25L和右缩放器电路25R执行双三次图像缩放时,除了左图像像素数据 D_{IN_L} 之外,LRAM 22L还存储右分区图像的最左侧两列的像素数据,并且除了右图像像素数据 D_{IN_R} 之外,RRAM 22R还存储左分区图像的像素的最右侧两列的像素数据。在这样的情况下,左分区图像的最右侧部分中的像素的像素数据和右分区图像的最左侧部分中的像素的像素数据被存储在LRAM 22L和RRAM 22R二者中。在此之后,这些像素数据可以被称为复制像素数据。

[0167] 当左分区图像的最右侧部分中的像素的像素数据和右分区图像的最左侧部分中的像素的像素数据被存储在LRAM 22L和RRAM 22R二者中时,不必使RAM访问逻辑电路24的左复用器电路34L和右复用器电路34R具有在其之间交换像素数据的功能。图22是图示了该情况下的左复用器电路34L和右复用器电路34R的示例性配置的框图。在图22中所图示的配置中,与图15中所图示的配置不同,从左复用器电路34L移除像素数据触发器43L,并且从右复用器电路34R移除像素数据触发器43R。当计算左区域4L的最右侧像素13的像素数据时,左复用器电路34L将存储在LRAM 22L中的左分区图像的最右侧像素的像素数据和同样存储在LRAM 22L中的右分区图像的最左侧像素的像素数据转发给左缩放器电路25L。当计算右区域4R的最左侧像素13的像素数据时,右复用器电路34R将存储在RRAM 22R中的右分区图像的最左侧像素的像素数据和同样存储在RRAM 22R中的左分区图像的最右侧像素的像素数据转发给右缩放器电路25R。这有效地实现了与上述实施例中所执行的图像缩放类似的图像缩放。

[0168] 尽管驱动器IC 3被配置成在图9中所图示的配置中的两个端口上接收原始图像的左分区图像的左图像像素数据 D_{IN_L} 和右分区图像的右图像像素数据 D_{IN_R} ,但是驱动器IC 3可以被配置成在单个端口上接收原始图像的像素数据 D_{IN} ,这如图23中所图示的。在该情况下,接口/定时控制器21将原始图像的左分区图像的左图像像素数据 D_{IN_L} 转发给LRAM 22L,并且将右分区图像的右图像像素数据 D_{IN_R} 转发给RRAM 22R。

[0169] 同样地在图23中所图示的配置中,左分区图像的最右侧部分中的像素的像素数据和右分区图像的最左侧部分中的像素的像素数据(边界像素数据)可以被存储在LRAM 22L和RRAM 22R二者中。在该情况下,接口/定时控制器21向LRAM 22L转发原始图像的右分区图像的最左侧部分中的像素的像素数据以及左分区图像的左图像像素数据 D_{IN_L} ,并且向RRAM 22R转发原始图像的左分区图像的最右侧部分中的像素的像素数据以及右分区图像的右图像像素数据 D_{IN_R} 。

[0170] 图24A至24C是图示了到被配置成在单个端口上接收原始图像的像素数据 D_{IN} 的驱动器IC 3中的LRAM 22L和RRAM 22R中的像素数据的示例性写入操作的时间图。出于简单性,图24A至24C图示了原始图像的一个水平线中的像素的像素数据的示例性写入操作。

[0171] 首先,如图24A中所图示的,将左分区图像的像素的像素数据相继地馈送到接口/定时控制器21以作为原始图像的像素数据 D_{IN} 。在图24A中所图示的操作中,以从最左侧像素到最右侧像素的顺序将左分区图像的像素的像素数据相继地馈送到接口/定时控制器21。

[0172] 接口/定时控制器21相继地将左分区图像的像素的像素数据(左图像像素数据 D_{IN_L})存储到LRAM 22L中。当馈送左分区图像的最右侧像素的像素数据时,如图24B中所图示的,接口/定时控制器21将最右侧像素的像素数据不仅存储到LRAM 22L中而且还存储到RRAM 22R中。这导致左分区图像的最右侧像素的像素数据被存储在LRAM 22L和RRAM 22R二者中。

[0173] 随后,将右分区图像的像素的像素数据相继地馈送到接口/定时控制器21以作为原始图像的像素数据 D_{IN} 。如图24B和24C中所图示的,同样以从最左侧像素到最右侧像素的顺序将右分区图像的像素的像素数据相继地馈送到接口/定时控制器21。

[0174] 接口/定时控制器21相继地将右分区图像的像素的像素数据(右图像像素数据 D_{IN_R})存储到RRAM 22R中。当馈送右分区图像的最左侧像素的像素数据时,如图24B中所图示的,接口/定时控制器21将最左侧像素的像素数据不仅存储到RRAM 22R中而且还存储到LRAM 22L中。这导致右分区图像的最左侧像素的像素数据被存储在LRAM 22L和RRAM 22R二者中。

[0175] 图25A至25D是图示了在LRAM 22L除了左图像像素数据 D_{IN_L} 之外还存储右分区图像的最左侧部分中的像素的像素数据并且RRAM 22R除了右图像像素数据 D_{IN_R} 之外还存储左分区图像的最右侧部分中的像素的像素数据时的情况下的、RAM访问逻辑电路24的示例性操作更具体地左复用器电路34L和右复用器电路34R的示例性操作的时间图。详细地,图25A图示了对于 $y=0$ 的水平同步时段开始附近的左复用器电路34L的操作,并且图25B图示了对于 $y=0$ 的水平同步时段开始附近的右复用器电路34R的操作。图25C图示了对于 $y=0$ 的水平同步时段结束附近的左复用器电路34L的操作,并且图25D图示了对于 $y=0$ 的水平同步时段结束附近的右复用器电路34R的操作。尽管图25A至25C图示了对于 $y=0$ 的操作也就是其中生成显示区域4的最上侧像素13的像素数据的操作,但是本领域技术人员将领会到,针对计数

值Y的其他值执行类似操作,这除了以不同方式执行对左行缓冲器LLR0和LLR1的访问以及对右行缓冲器RLR0和RLR1的访问之外。

[0176] 同样在图25A至25D中所图示的操作中, RAM访问逻辑电路24向左缩放器电路25L馈送邻近左分区图像的右分区图像的部分中的像素(详细地,右分区图像的像素的最左列)的像素数据以及左分区图像的相应像素的像素数据。RAM访问逻辑电路24还向右缩放器电路25R馈送邻近右分区图像的左分区图像的部分中的像素(详细地,左分区图像的像素的最右列)的像素数据以及右分区图像的相应像素的像素数据。左缩放器电路25L通过对馈送到其的像素数据执行图像缩放(图像放大)来计算左区域4L中的像素13的像素数据,并且右缩放器电路25R通过对馈送到其的像素数据执行图像缩放(图像放大)来计算右区域4R中的像素13的像素数据。该操作有效地抑制了显示在显示区域4中的显示图像中的左区域4L与右区域4R之间的不连续性。

[0177] 更具体地, RAM访问逻辑电路24如下那样操作:在其中X计数器31的计数值X为“-1”的时钟周期中, LRAM 22L的读取地址被设定为指定左分区图像的最左侧像素的像素数据的地址,并且RRAM 22R的读取地址被设定为指定左分区图像的最右侧像素的像素数据的地址。应当指出的是, LRAM 22L和RRAM 22R的读取地址在其中计数值X为“-1”的时钟周期中被设定为“0,0”。

[0178] 在其中计数值X为“0”的时钟周期(也就是,其中X地址触发器41L和41R的计数值XBuf为“-1”的时钟周期)中,然后从LRAM 22L读出左分区图像的最左侧像素的像素数据,并且从RRAM 22R读出左分区图像的最右侧像素的像素数据。此外,将从LRAM 22L读出的左分区图像的最左侧像素的像素数据写入到左行缓冲器LLB0中,并且将从RRAM 22R读出的左分区图像的最右侧像素的像素数据写入到右行缓冲器RLB0中。

[0179] 此外,在其中计数值X为“0”的时钟周期中计算左区域4L的最左侧像素13的像素数据。左选择器42L将从LRAM 22L读出的左分区图像的最左侧像素的像素数据选择为要馈送到左缩放器电路25L的像素数据LP00、LP01、LP10和LP11。因而,左缩放器电路25L通过左分区图像的左上角处的像素的像素数据及其副本像素的像素数据的线性插值来计算左区域4L的最左侧像素13的像素数据。在该操作中,左分区图像的最左侧像素的像素数据被存储在左复用器电路34L的像素数据触发器44L至47L的每一个中。

[0180] 同时,从RRAM 22R读出的左分区图像的最右侧像素的像素数据被存储在右复用器电路34R的像素数据触发器44R和46R的每一个中。

[0181] 在其中计数值X为“1”的时钟周期(也就是,其中X地址触发器41L和41R的计数值XBuf为“0”的时钟周期)中,计算左区域4L的第二最左侧像素13的像素数据和右区域4R的最左侧像素13的像素数据。详细地,从LRAM 22L读出左分区图像的第二最左侧像素的像素数据,并且从RRAM 22R读出右分区图像的最左侧像素的像素数据。

[0182] 同时,左选择器42L将存储在像素数据触发器44L和46L中的像素数据(像素数据LP00和LP10)选择为要转发给左缩放器电路25L的像素数据LP01和LP11,并且将从LRAM 22L读出的左分区图像的第二最左侧像素的像素数据选择为要转发给左缩放器电路25L的像素数据LP00和LP10。因而,左缩放器电路25L通过左分区图像的左上角处的像素、左分区图像的最上端处的第二最左侧像素以及这些像素的副本像素的像素数据的线性插值来计算左区域4L的最上端处的第二最左侧像素13的像素数据。

[0183] 另一方面,右选择器42R将从RRAM 22R读出的右分区图像的最左侧像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00和RP10,并且将存储在像素数据触发器44R和46R中的像素数据选择为要转发给右缩放器电路25R的像素数据RP01和RP11。右缩放器电路25R通过右分区图像的左上角处的像素和左分区图像的右上角处的像素的像素数据的线性插值来计算右区域4R的左上角处的像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L与右区域4R之间的边界处的不自然的不连续性。

[0184] 在此之后,相继地计算左区域4L和右区域4R的最上侧像素13的像素数据,直到其中计数值X变为“Xsize-1”的时钟周期为止。左选择器42L将左分区图像的相关的两个最上侧像素的像素数据和这两个相关像素的副本像素的像素数据选择为要转发给左缩放器电路25L的像素数据LP00、LP01、LP10和LP11,并且右选择器42R将右分区图像的相关的两个最上侧像素的像素数据和这两个相关像素的副本像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。左缩放器电路25L通过左分区图像的相关的两个最上侧像素的像素数据及其副本像素的像素数据的线性插值来计算左区域4L的最上侧像素13的像素数据,并且右缩放器电路25R通过右分区图像的相关的两个最上侧像素的像素数据及其副本像素的像素数据的线性插值来计算右区域4R的最上侧像素13的像素数据。

[0185] 在其中计数值X为“Xsize-1”的时钟周期中,计算左区域4L的最右侧像素13的像素数据和右区域4R的第二最右侧像素13的像素数据。在该操作中,左选择器42L将从LRAM 22L读出的右分区图像的最左侧像素的像素数据选择为要馈送到左缩放器电路25L的像素数据LP00和LP10,并且还将存储在像素数据触发器44L和46L中的像素数据(也就是,左分区图像的最右侧像素的像素数据)选择为像素数据LP01和LP11。左缩放器电路25L通过左分区图像的右上角处的像素的像素数据和右分区图像的左上角处的像素的像素数据的线性插值来计算左区域4L的右上角处的像素13的像素数据。与不划分原始图像的情况下执行图像缩放时的情况下的操作等价的该操作有效地抑制了左区域4L与右区域4R之间的边界处的不自然的不连续性。

[0186] 应当指出的是,在该时钟周期中,右选择器42R将右分区图像的上端处的第二最右侧像素的像素数据和右分区图像的右上角处的像素的像素数据选择为要馈送到右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。右缩放器电路25R通过右分区图像的上端处的第二最右侧像素的像素数据和右分区图像的右上角处的像素的像素数据的线性插值来计算右区域4R的上端处的第二最右侧像素13的像素数据。

[0187] 在其中计数值XBuf为“Xsize-1”的时钟周期(也就是,其中计数值X为“Xsize-1”的时钟周期的下一时钟周期)中,计算右区域4R的最右侧像素13的像素数据。在该操作中,右选择器42R将右分区图像的右上角处的像素的像素数据及其副本像素的像素数据选择为要转发给右缩放器电路25R的像素数据RP00、RP01、RP10和RP11。右缩放器电路25R通过右分区图像的右上角处的像素的像素数据及其副本像素的像素数据的线性插值来计算右区域4R的右上角处的像素13的像素数据。

[0188] 尽管已经在上文描述了本发明的具体实施例,但是本发明不应该被解释为限于上述实施例;对于本领域技术人员将明显的是,本发明可以利用各种修改来实现。尤其应当指出的是,尽管上述实施例阐述了将本发明应用于在液晶显示设备中驱动液晶显示面板的驱

动器IC,但是本发明还适用于在显示设备中驱动不同的显示面板(诸如OLED(有机发光二极管)显示面板和等离子体显示面板)的显示面板驱动器。

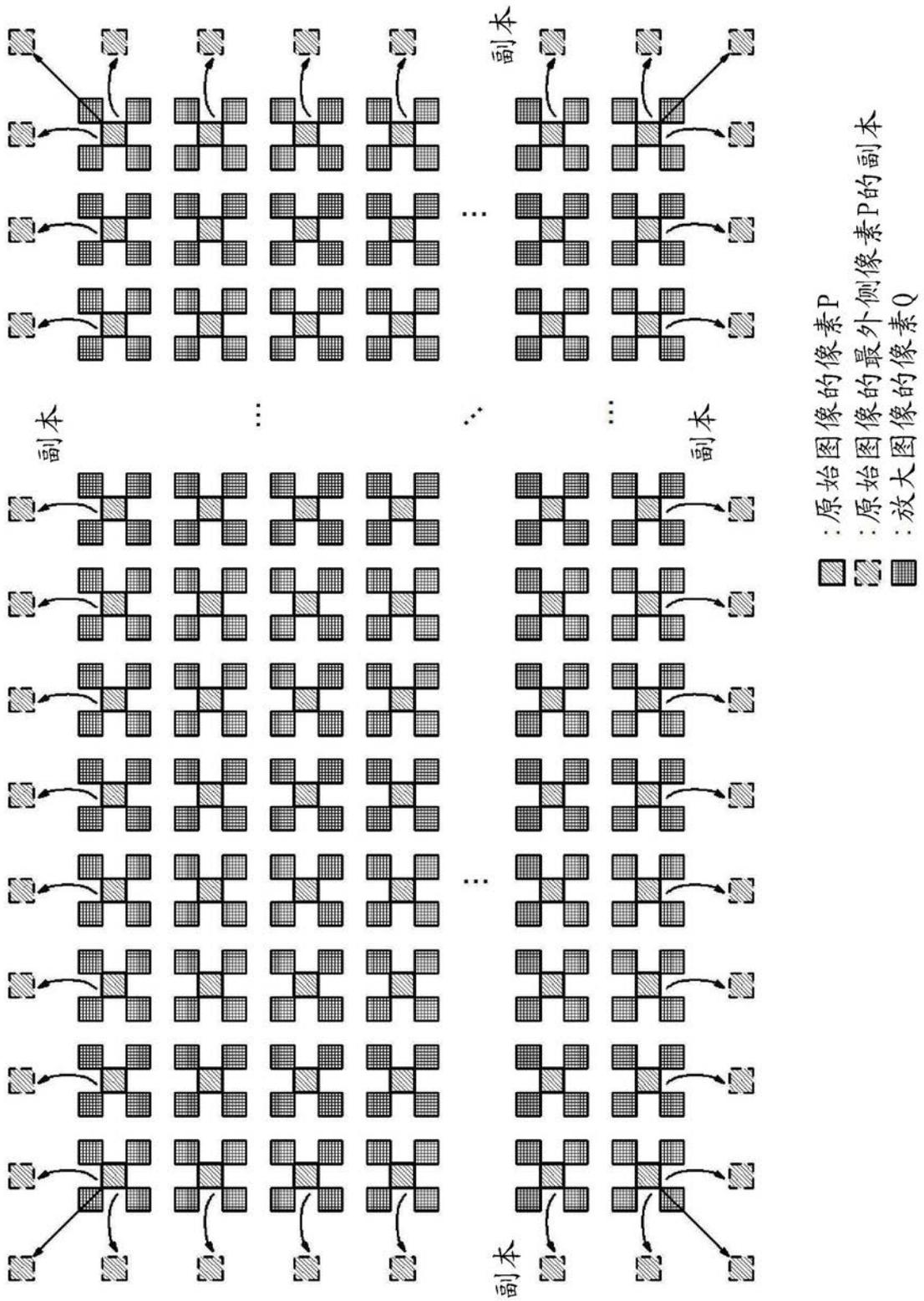


图 1

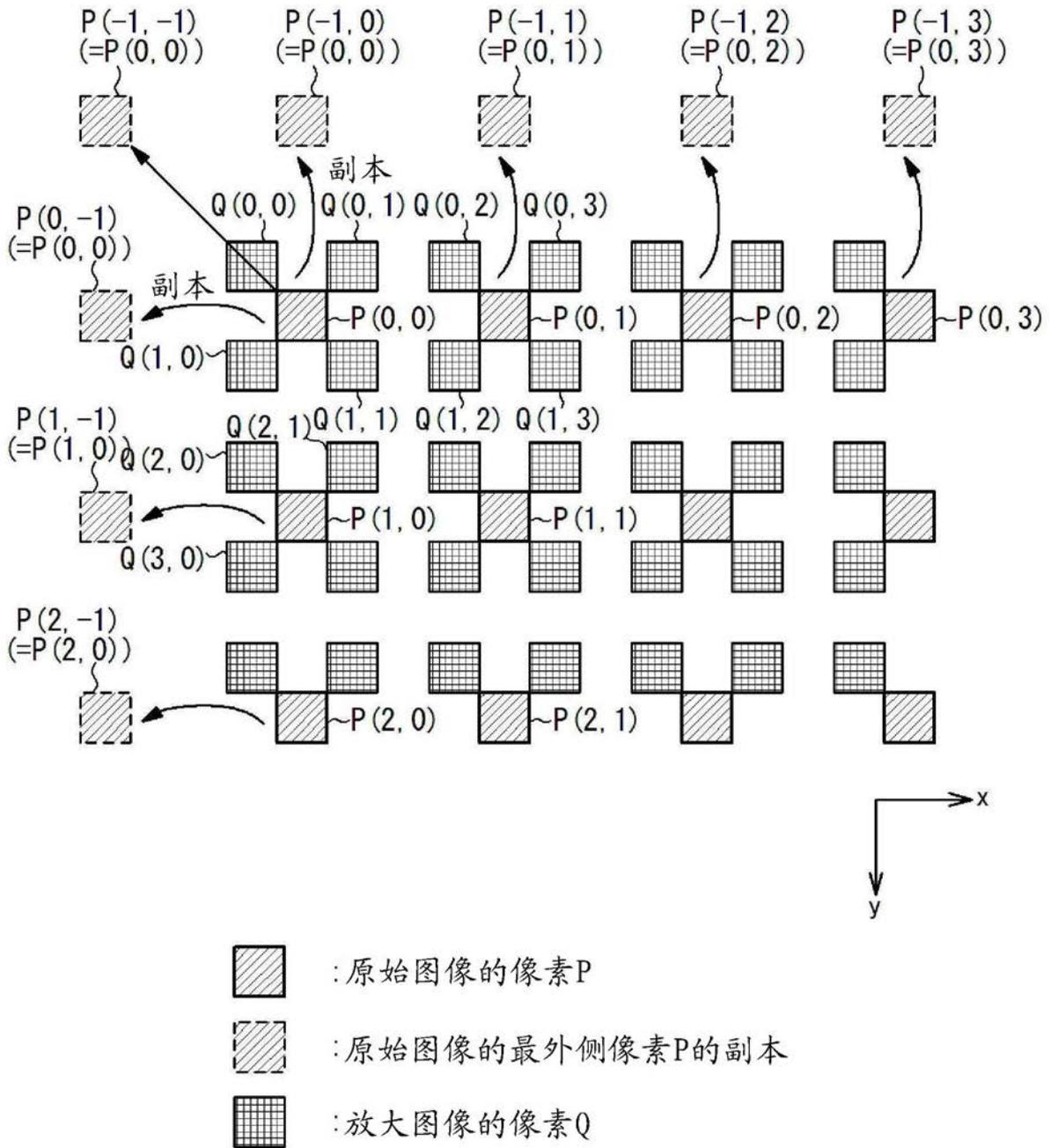


图 2

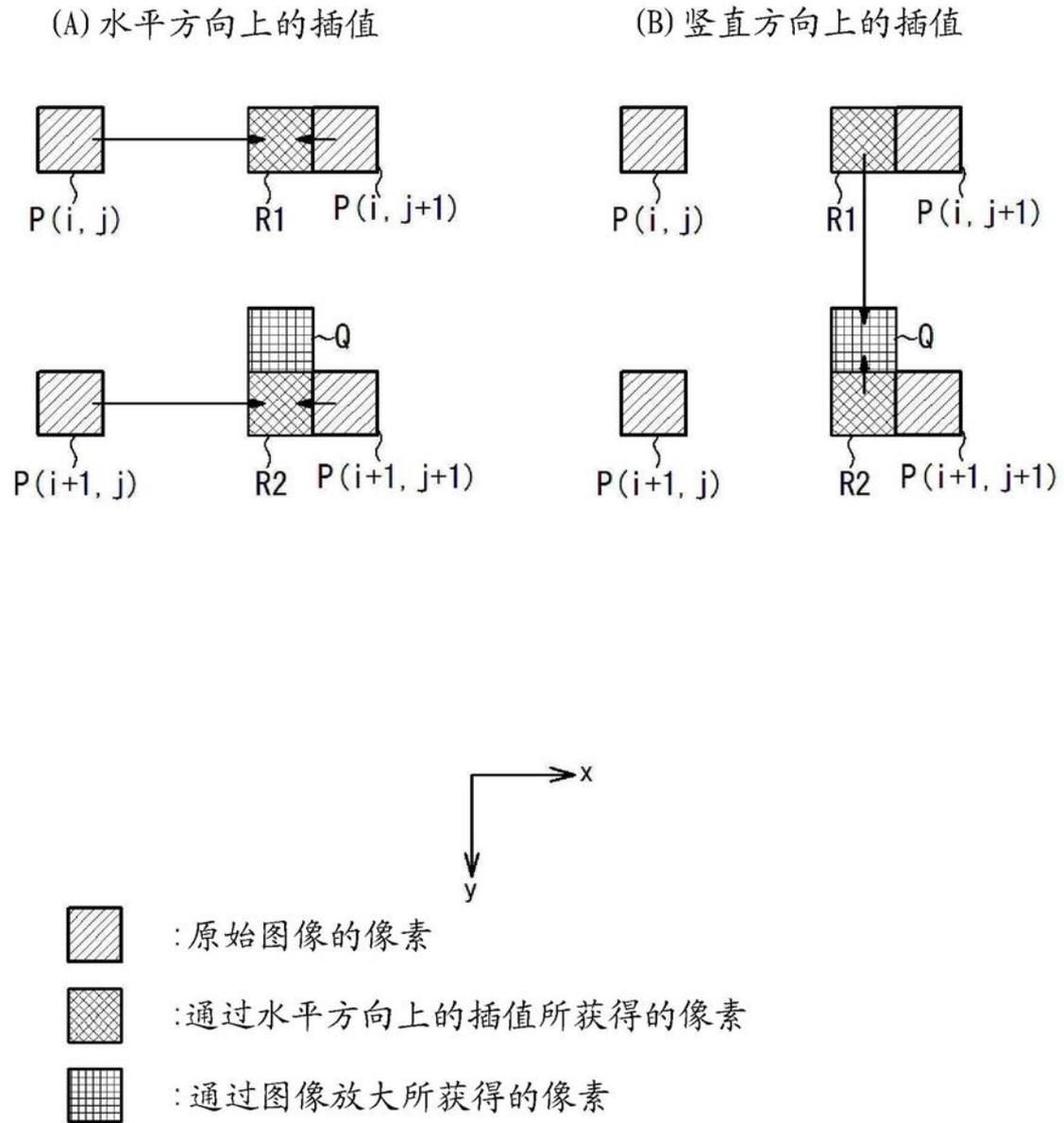


图 3

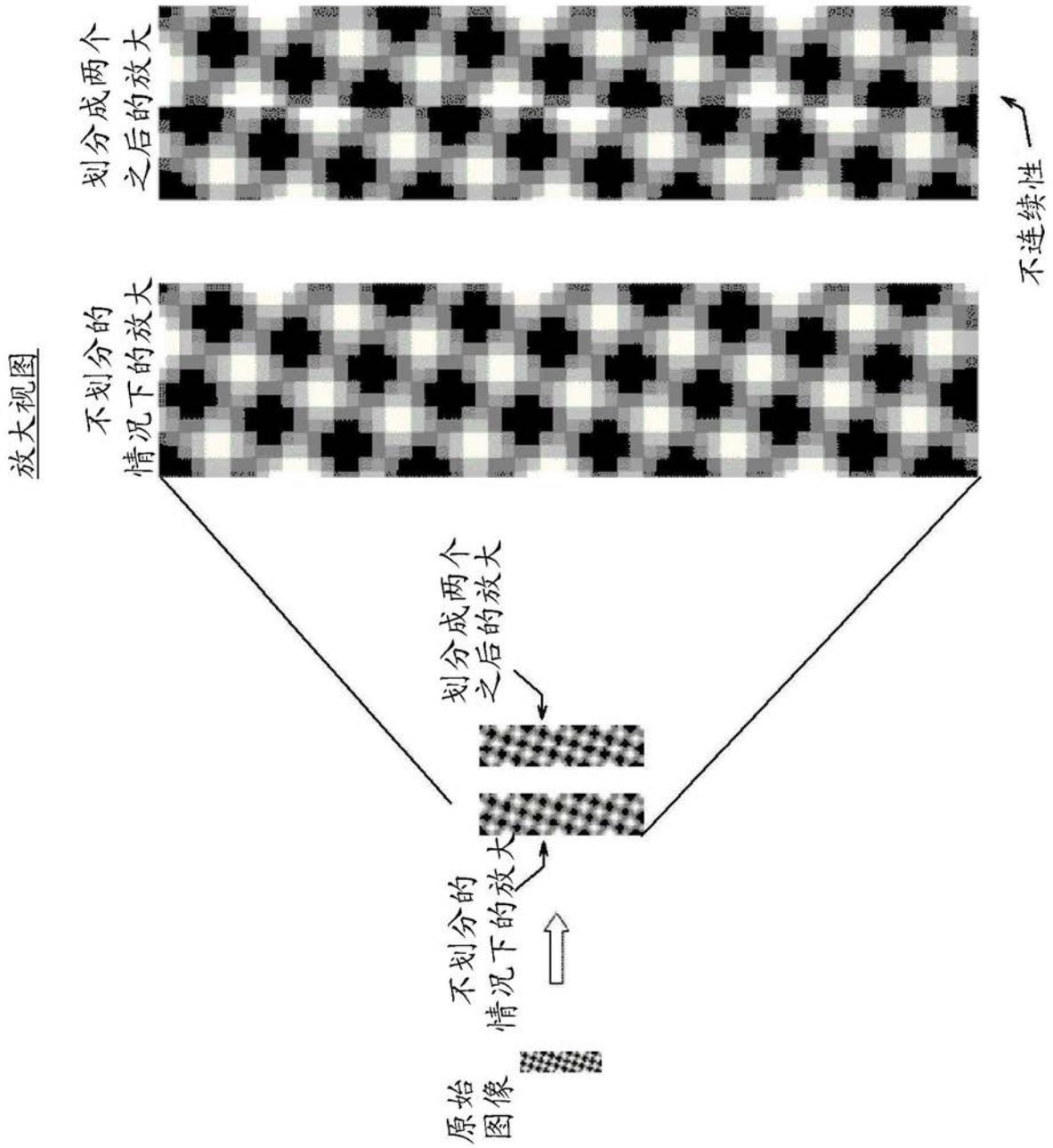


图 5

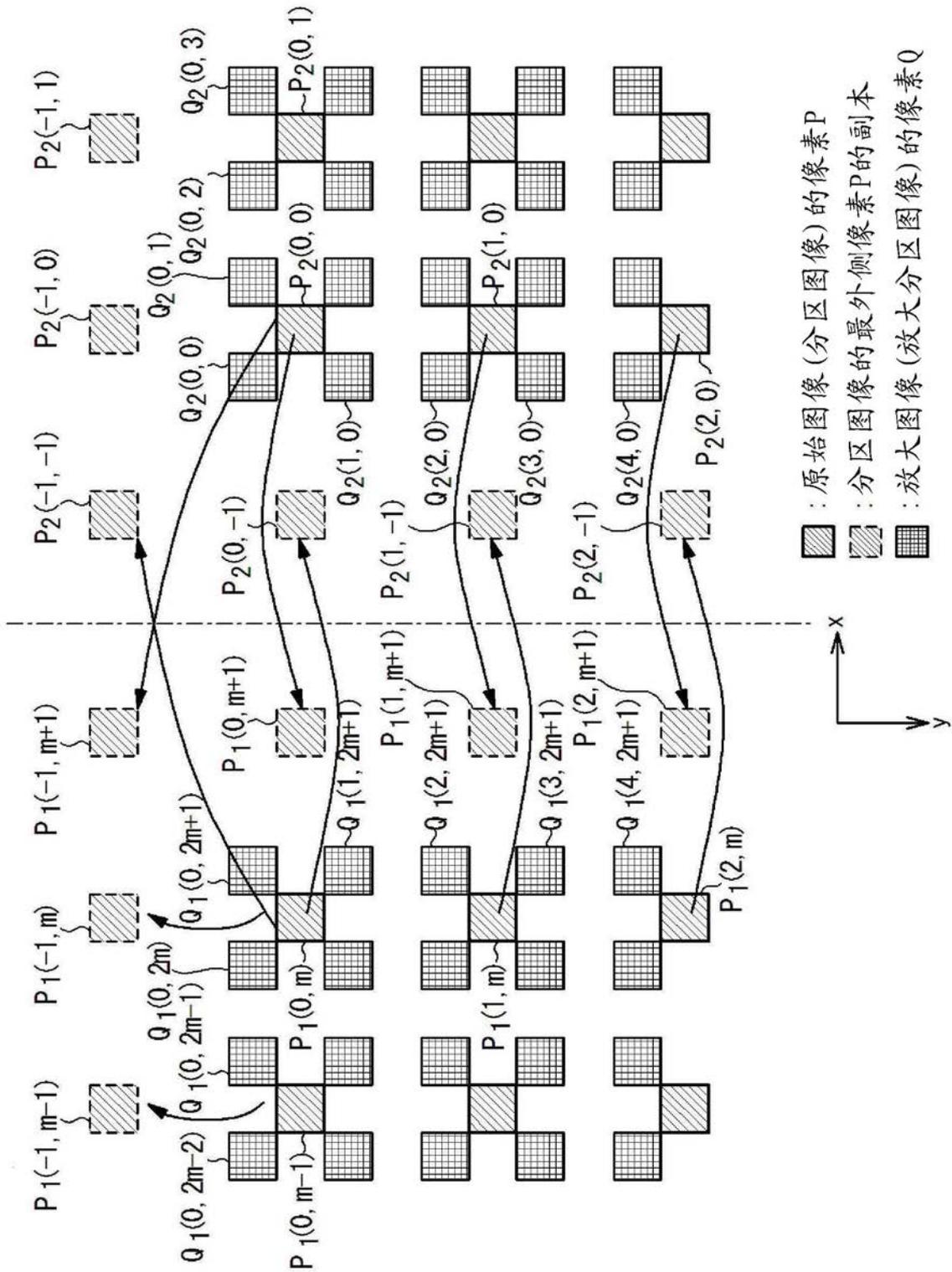


图 6B

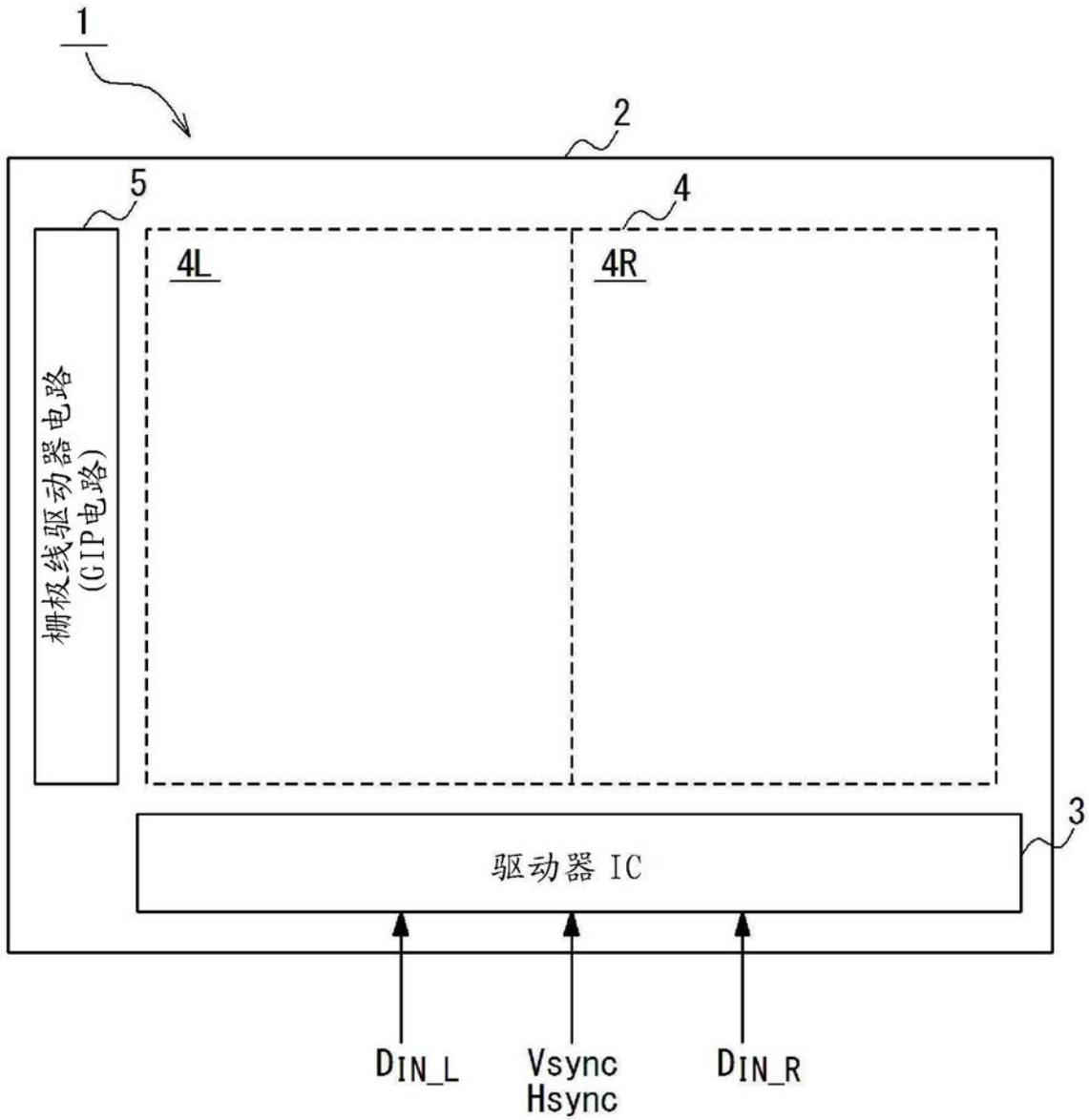


图 7

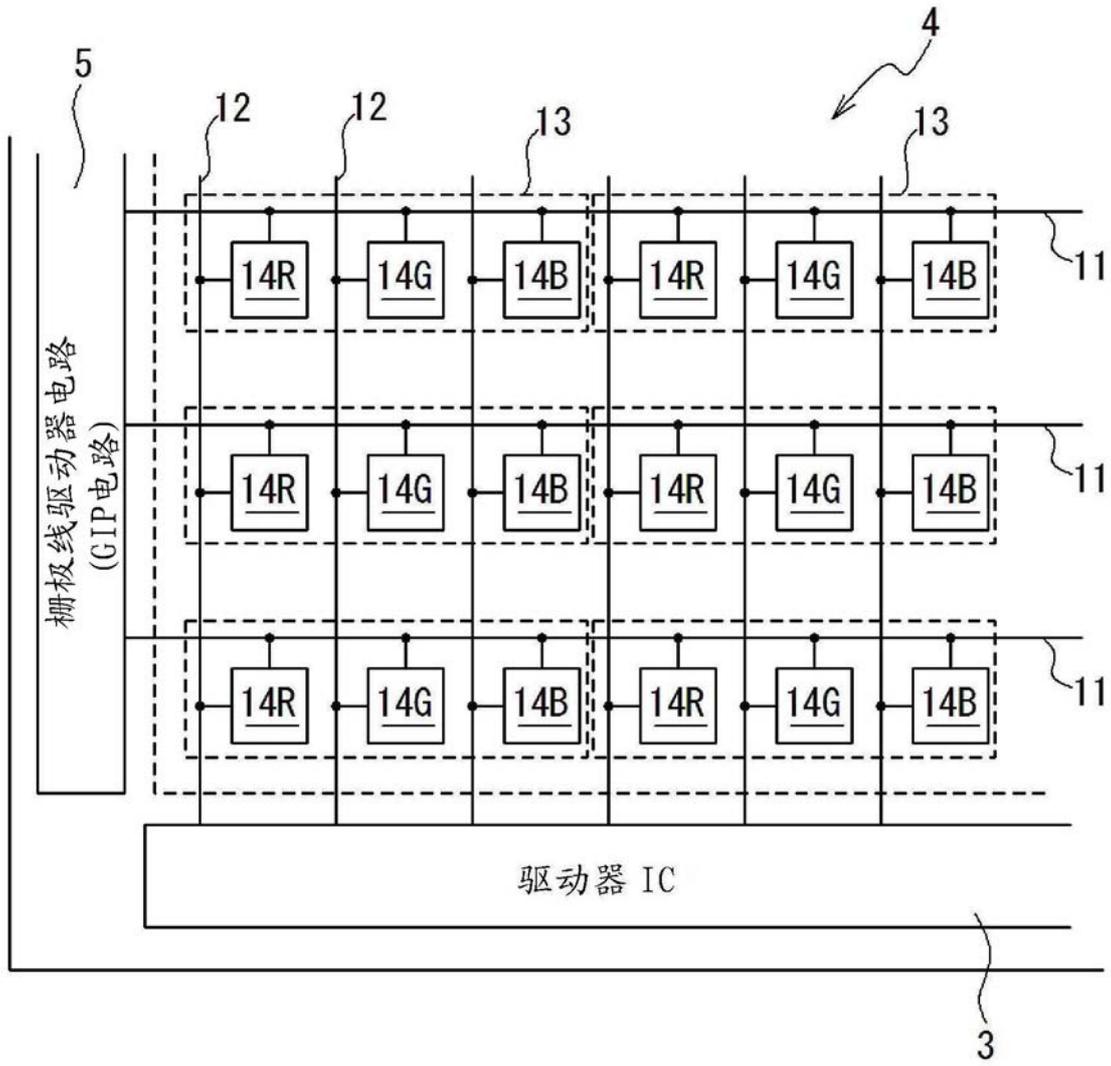


图 8

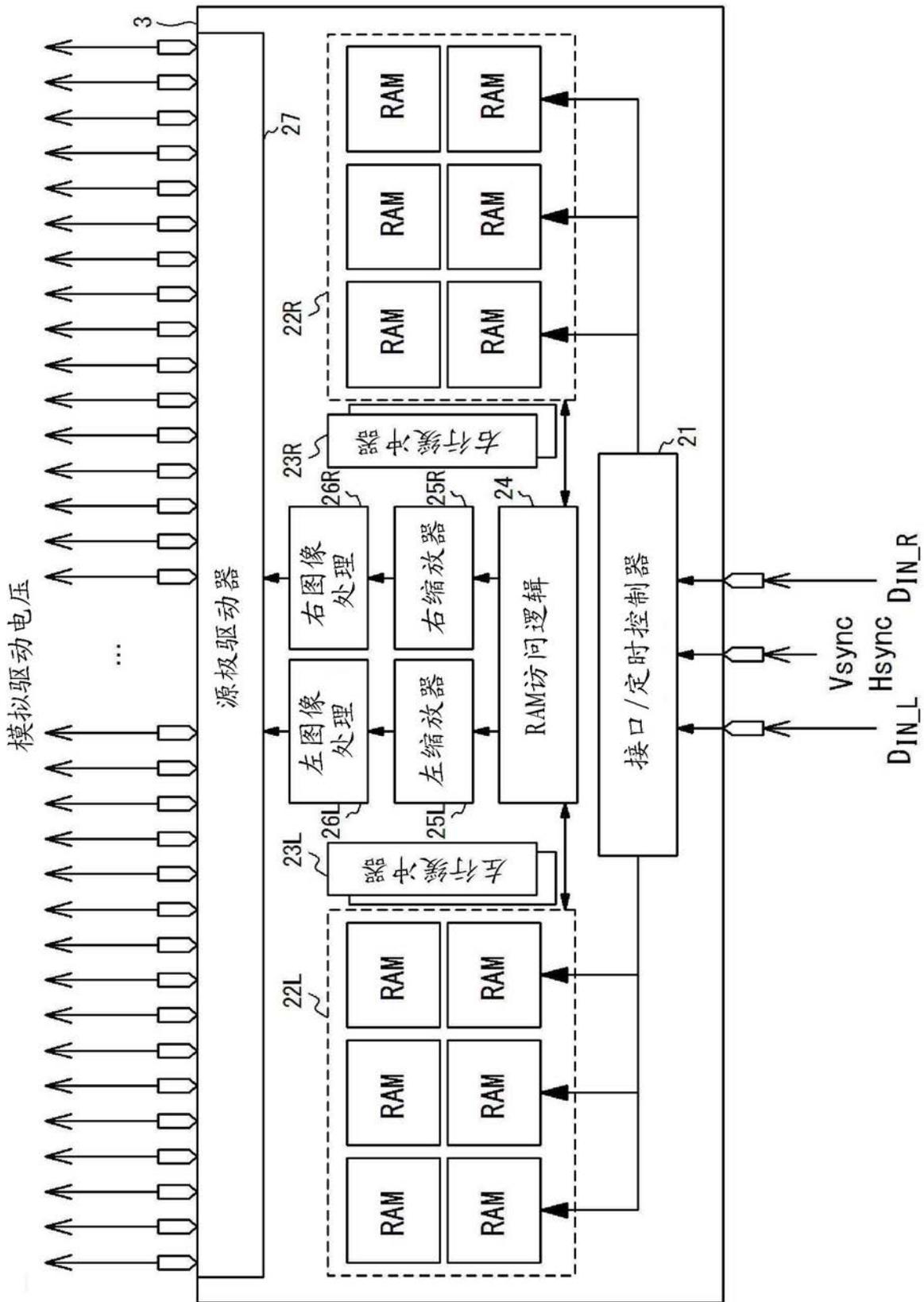


图 9

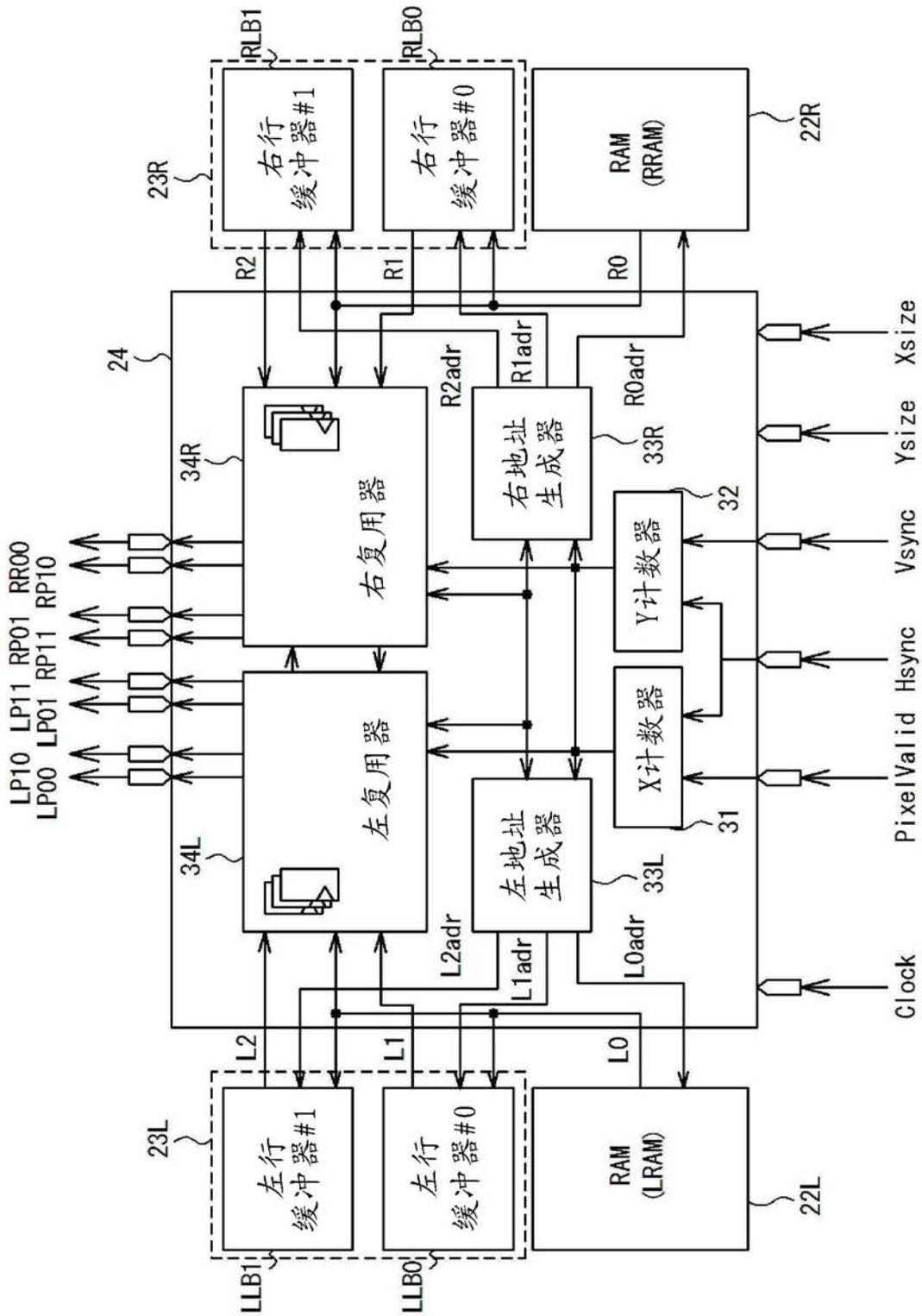


图 10

Hsync	PixelValid	X
0	-	-1
1	0	Out+1
1	1	Out

图 11A

Vsync	Hsync	Y
0	-	-1
1	0	Out+1
1	1	Out

图 11B

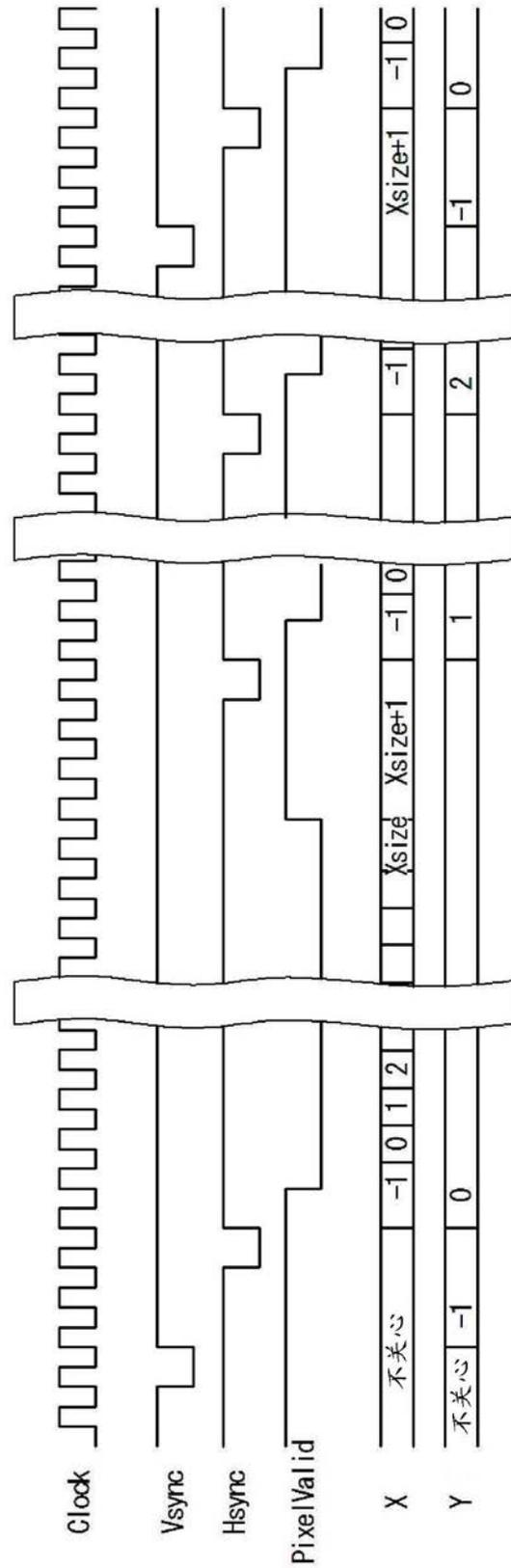


图 12

Y	L0adr	X	L1adr	L2adr
Ysize-1	$L1adr+(Xsize*Y/2)$	Xsize-1	$(X/2)$	$(X/2)$
其他	$L1adr+(Xsize*(Y+1)/2)$	-1	$((Xsize-1)/2)$	$((Xsize-1)/2)$
		其他	$((X+1)/2)$	$((X+1)/2)$

图 13A

Y	R0adr	X	R1adr	R2adr
Ysize-1	$R1adr+(Xsize*Y/2)$	Xsize-1	$(X/2)$	$(X/2)$
其他	$R1adr+(Xsize*(Y+1)/2)$	-1	$((Xsize-1)/2)$	$((Xsize-1)/2)$
		其他	$((X+1)/2)$	$((X+1)/2)$

图 13B

Y	LLB0	LLB1	RLB0	RLB1
0	写入	-	写入	-
$Y\%4=1$	读取	写入	读取	写入
$Y\%4=2$	读取	-	读取	-
$Y\%4=3$	写入	读取	写入	读取
$Y\%4=0$	-	读取	-	读取

图 14A

Y	LLB0	LLB1	RLB0	RLB1
0	写入	-	写入	-
$((Y-1)/2)\%2=0$	读取	写入	读取	写入
$((Y-1)/2)\%2=1$	写入	读取	写入	读取

图 14B

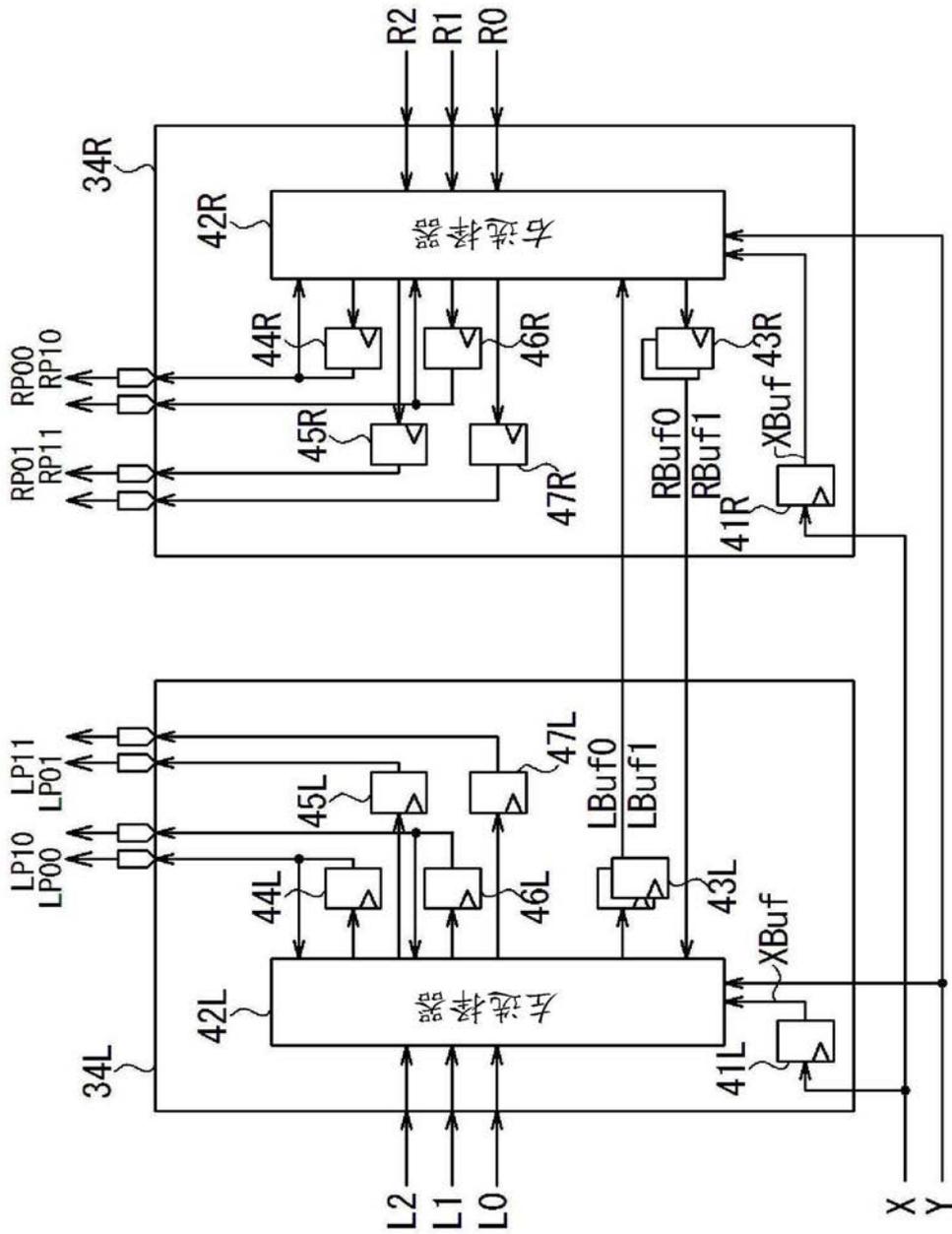


图 15

XBuf	LBuF0	LBuF1	LP00	LP01	LP10	LP11
XBuf=-1	L0	L0	-	-	-	-
XBuf=Xsize-1	-	-	RBuF0	LP00	RBuF1	LP10
XBuf=0	-	-	L0	L0	L0	L0
XBuf%2=1	-	-	L0	LP00	L0	LP10
XBuf%2=0	-	-	-	-	-	-

图 16A

XBuf	RBuf0	RBuf1	RP00	RP01	RP10	RP11
XBuf=-1	-	-	-	-	-	-
XBuf=0	R0	R0	R0	LBuf0	R0	LBuf1
XBuf%2=1	-	-	R0	RP00	R0	RP10
XBuf%2=0	-	-	-	-	-	-

图 16B

XBuf	LBuf0	LBuf1	LP00	LP01	LP10	LP11
XBuf=-1	L1	L0	-	-	-	-
XBuf=Xsize-1	-	-	RBuf0	LP00	RBuf1	LP10
XBuf=0	-	-	L1	L1	L0	L0
XBuf%2=1	-	-	L1	LP00	L0	LP10
XBuf%2=0	-	-	-	-	-	-

图 17A

XBuf	RBuf0	RBuf1	RP00	RP01	RP10	RP11
XBuf=-1	-	-	-	-	-	-
XBuf=0	R1	R0	R1	LBuf0	R0	LBuf1
XBuf%2=1	-	-	R1	RP00	R0	RP10
XBuf%2=0	-	-	-	-	-	-

图 17B

XBuf	LBuf0	LBuf1	LP00	LP01	LP10	LP11
XBuf=-1	L2	L0	-	-	-	-
XBuf=Xsize-1	-	-	RBuf0	LP00	RBuf1	LP10
XBuf=0	-	-	L2	L2	L0	L0
XBuf%2=1	-	-	L2	LP00	L0	LP10
XBuf%2=0	-	-	-	-	-	-

图 18A

XBuf	RBuf0	RBuf1	RP00	RP01	RP10	RP11
XBuf=-1	-	-	-	-	-	-
XBuf=0	R2	R0	R2	LBuf0	R0	LBuf1
XBuf%2=1	-	-	R2	RP00	R0	RP10
XBuf%2=0	-	-	-	-	-	-

图 18B

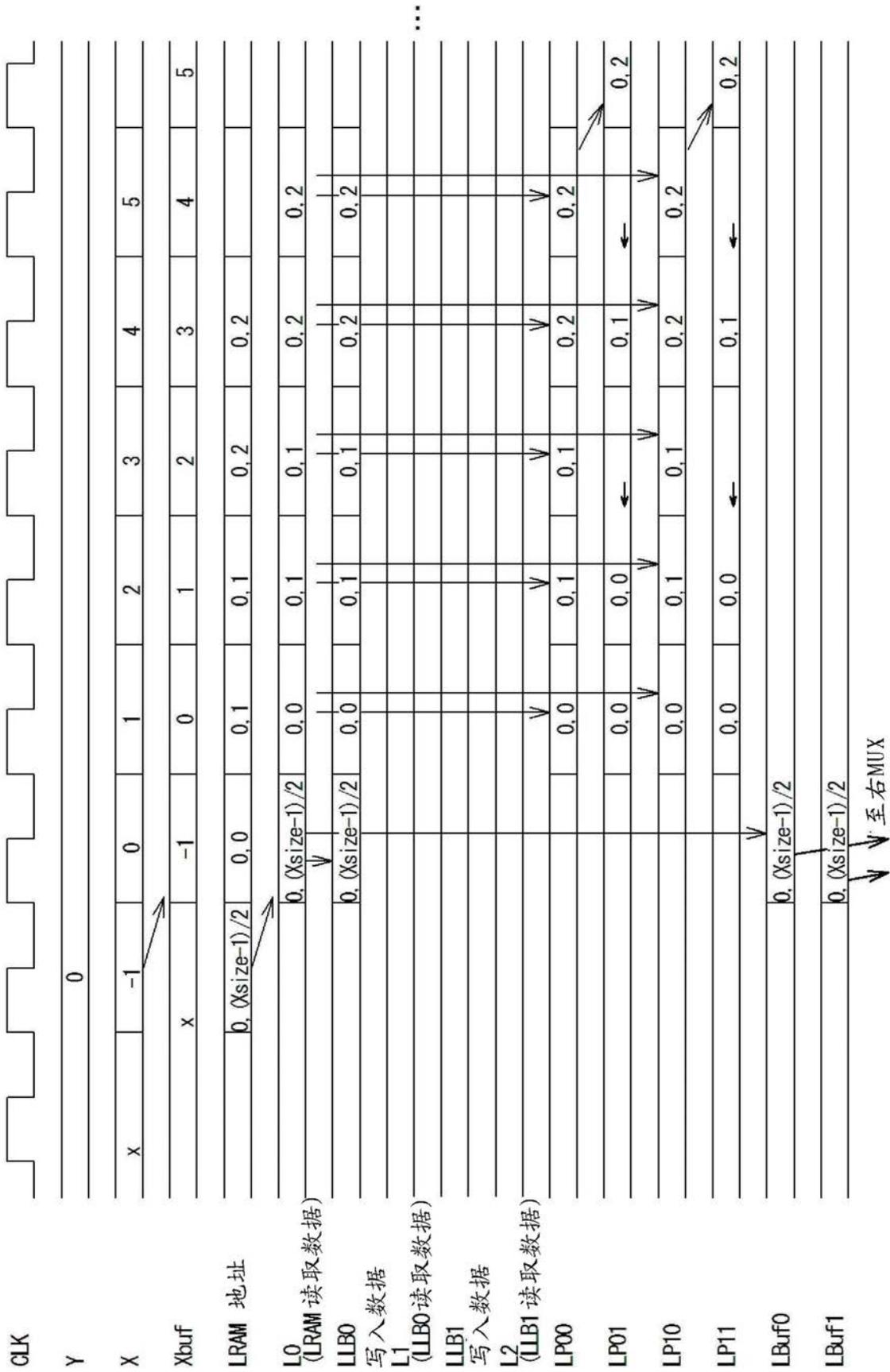


图 19A

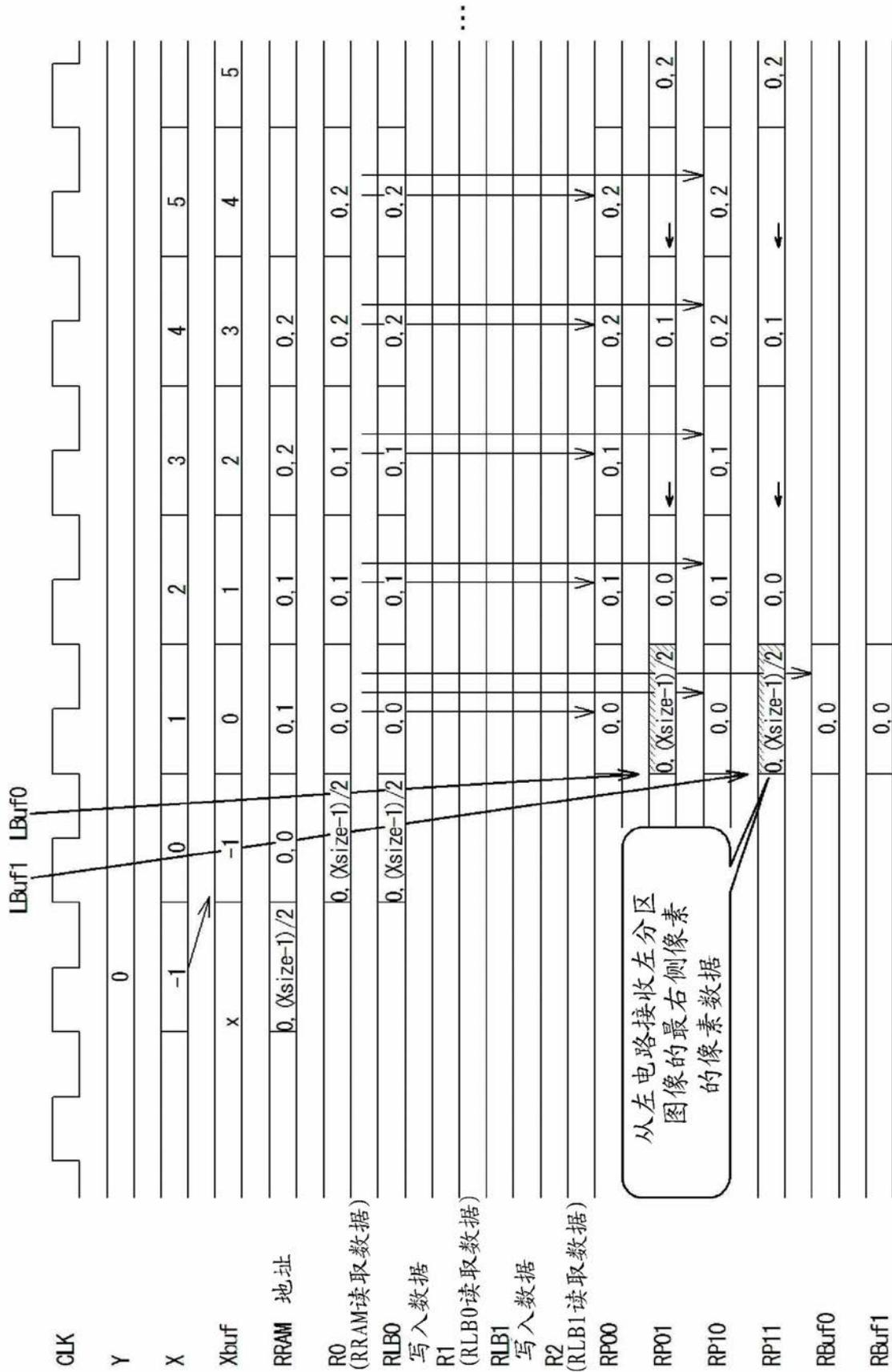


图 19B

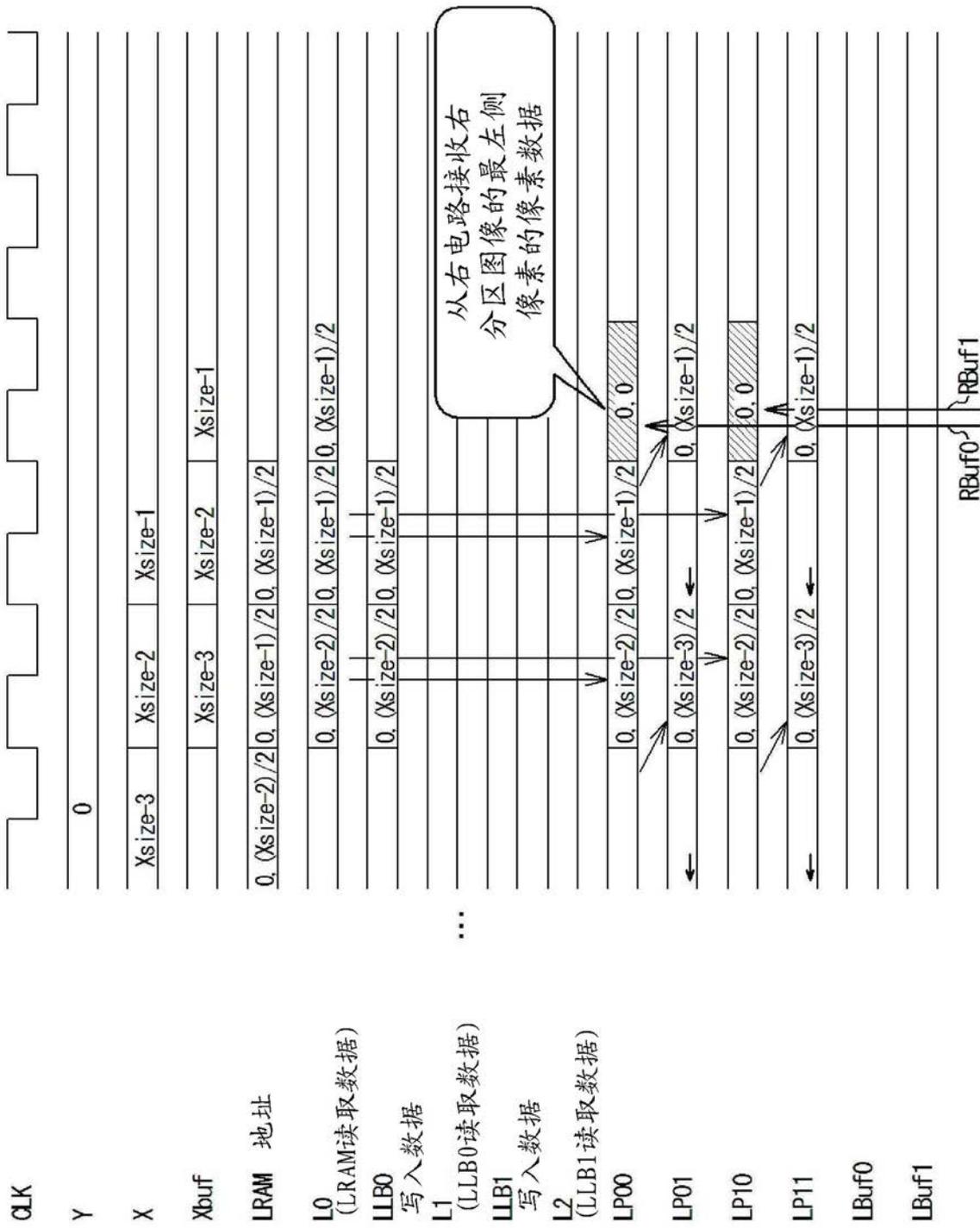


图 19C

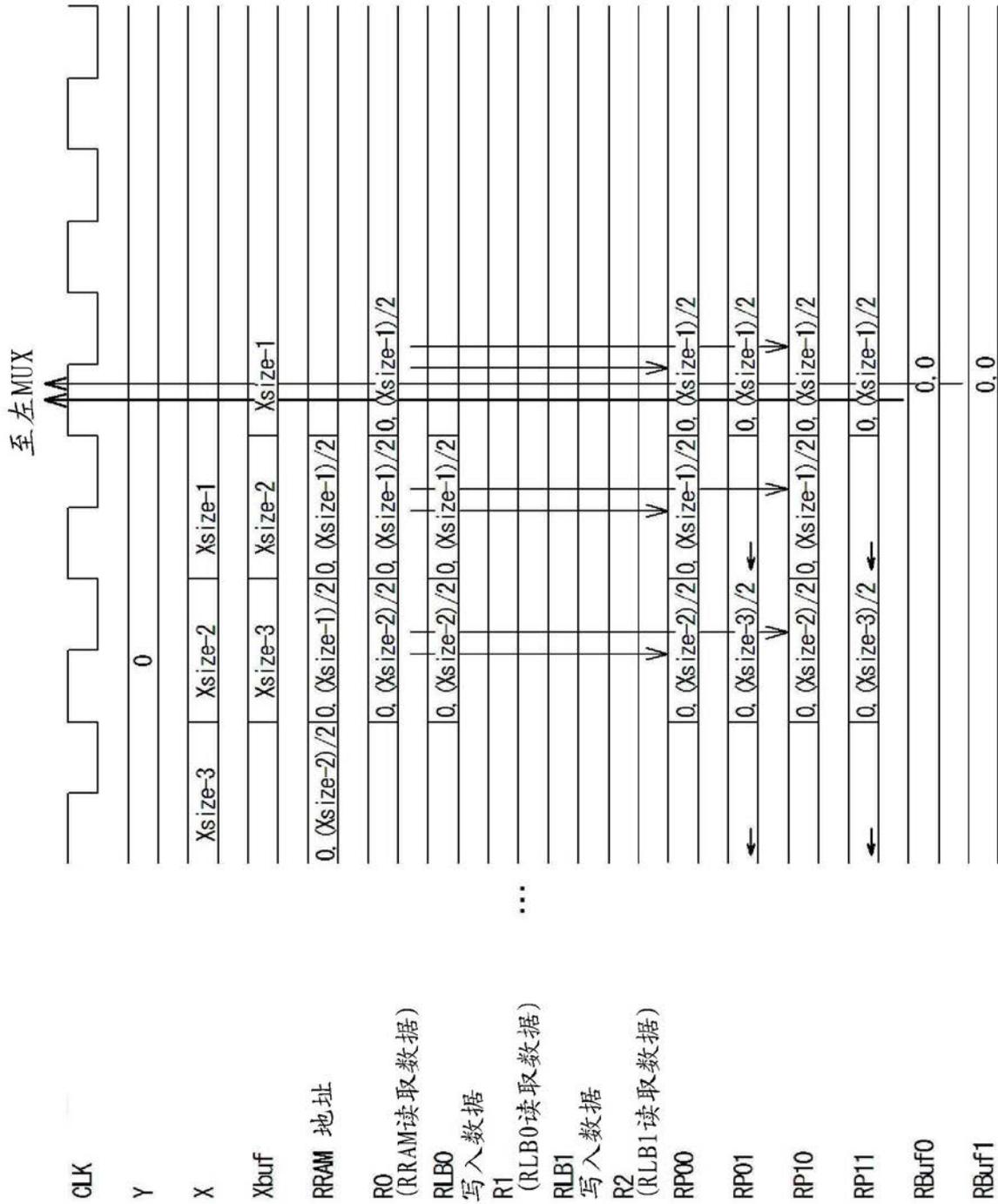


图 19D

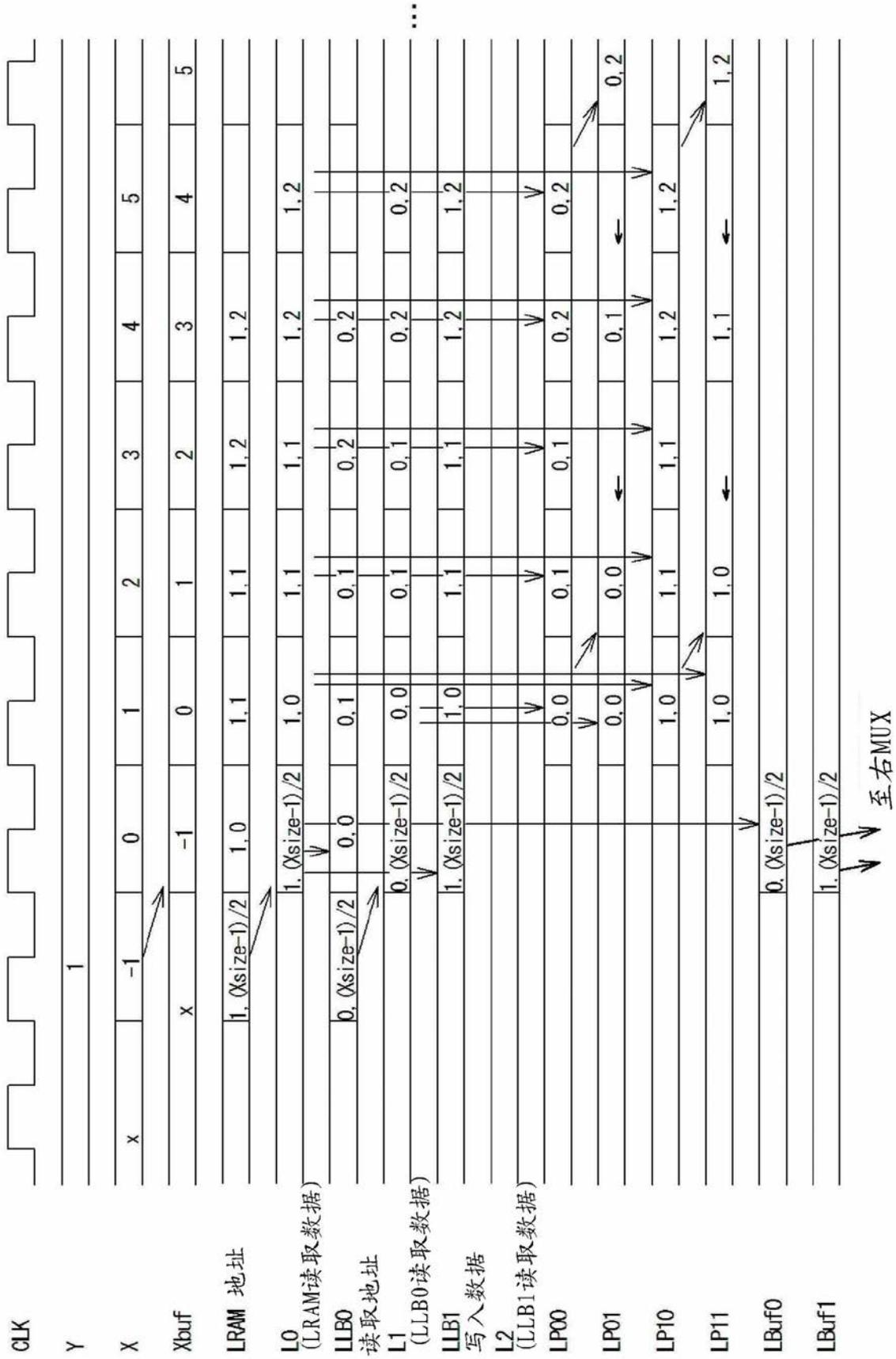


图 20A

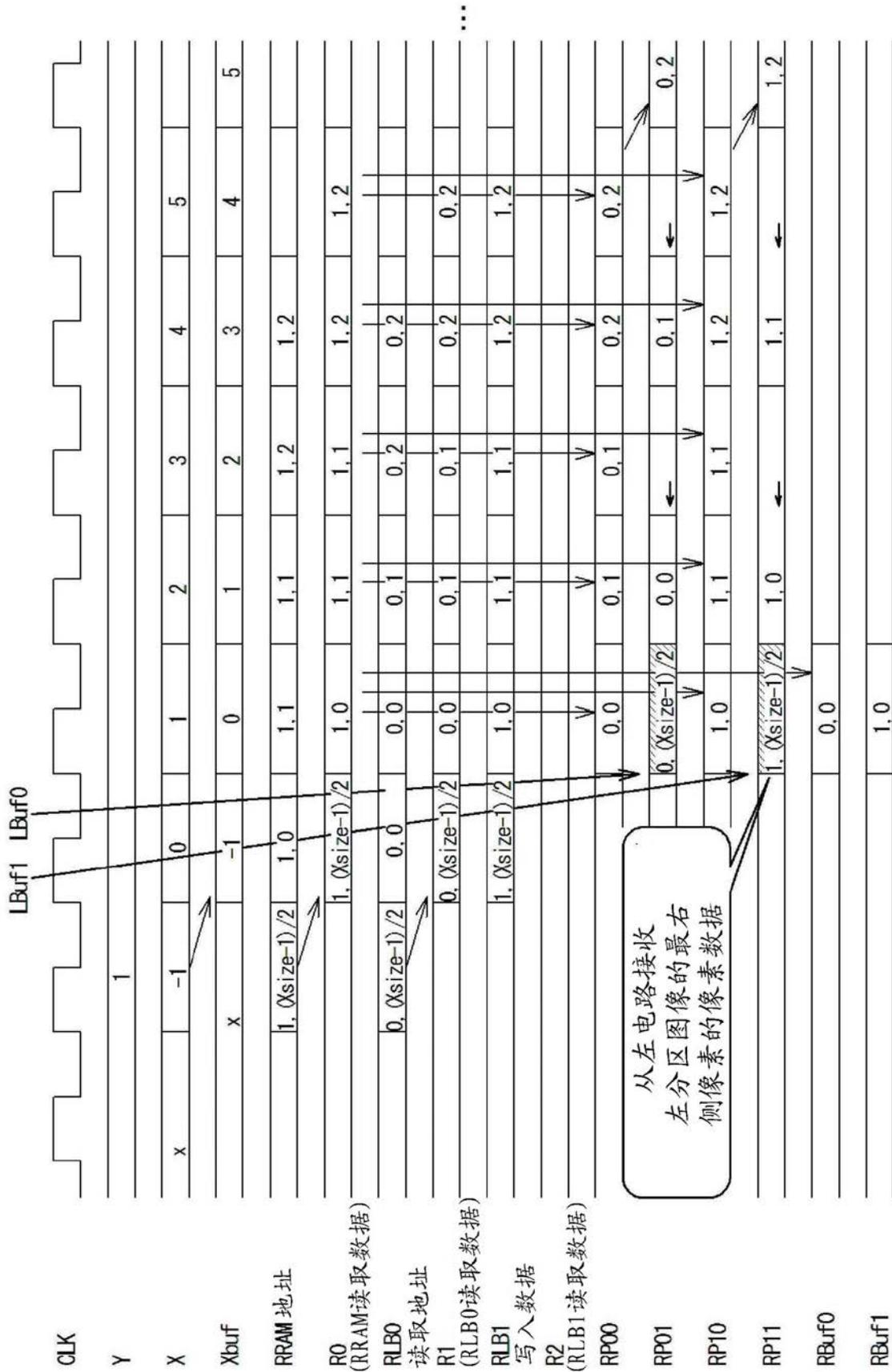


图 20B

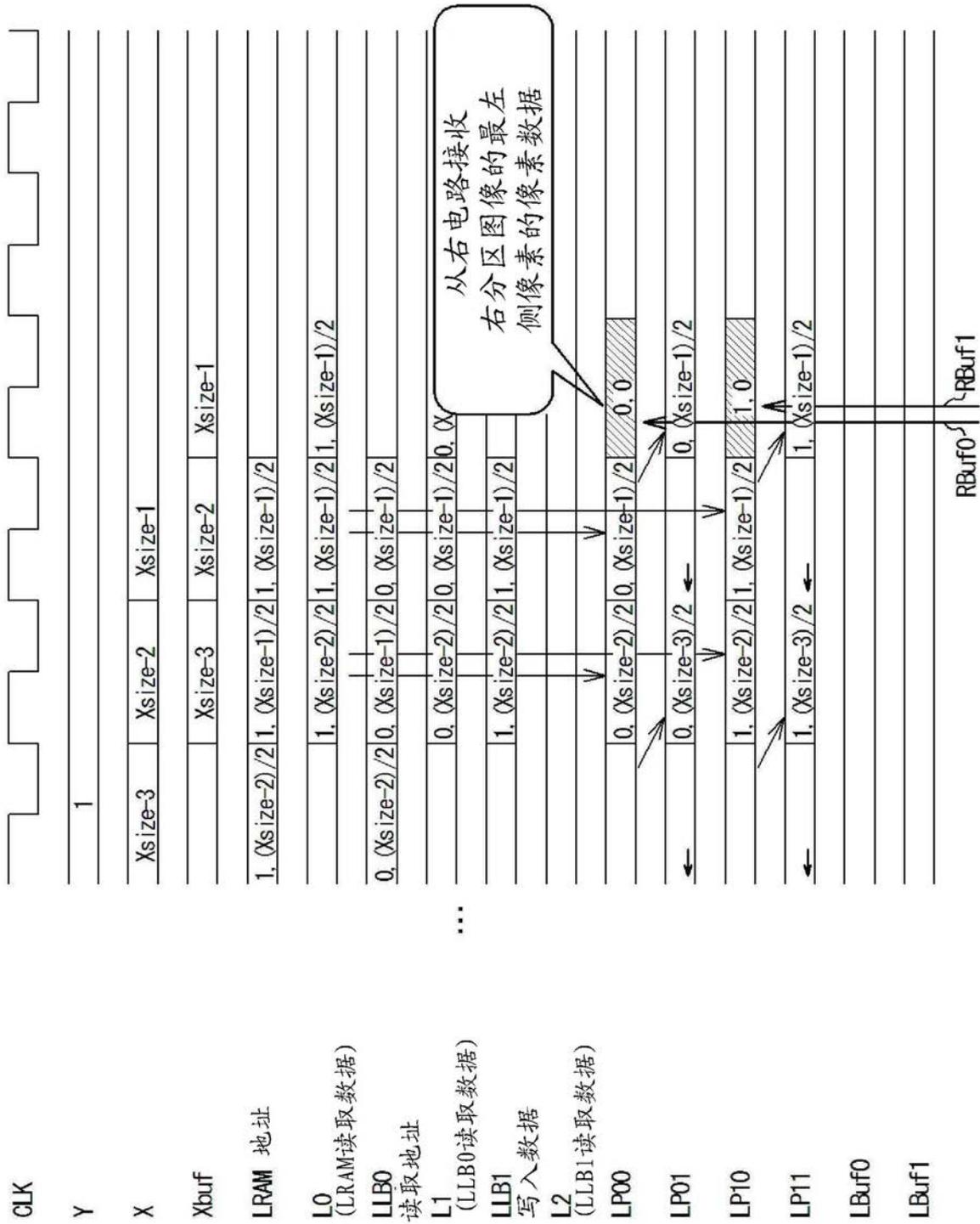


图 20C

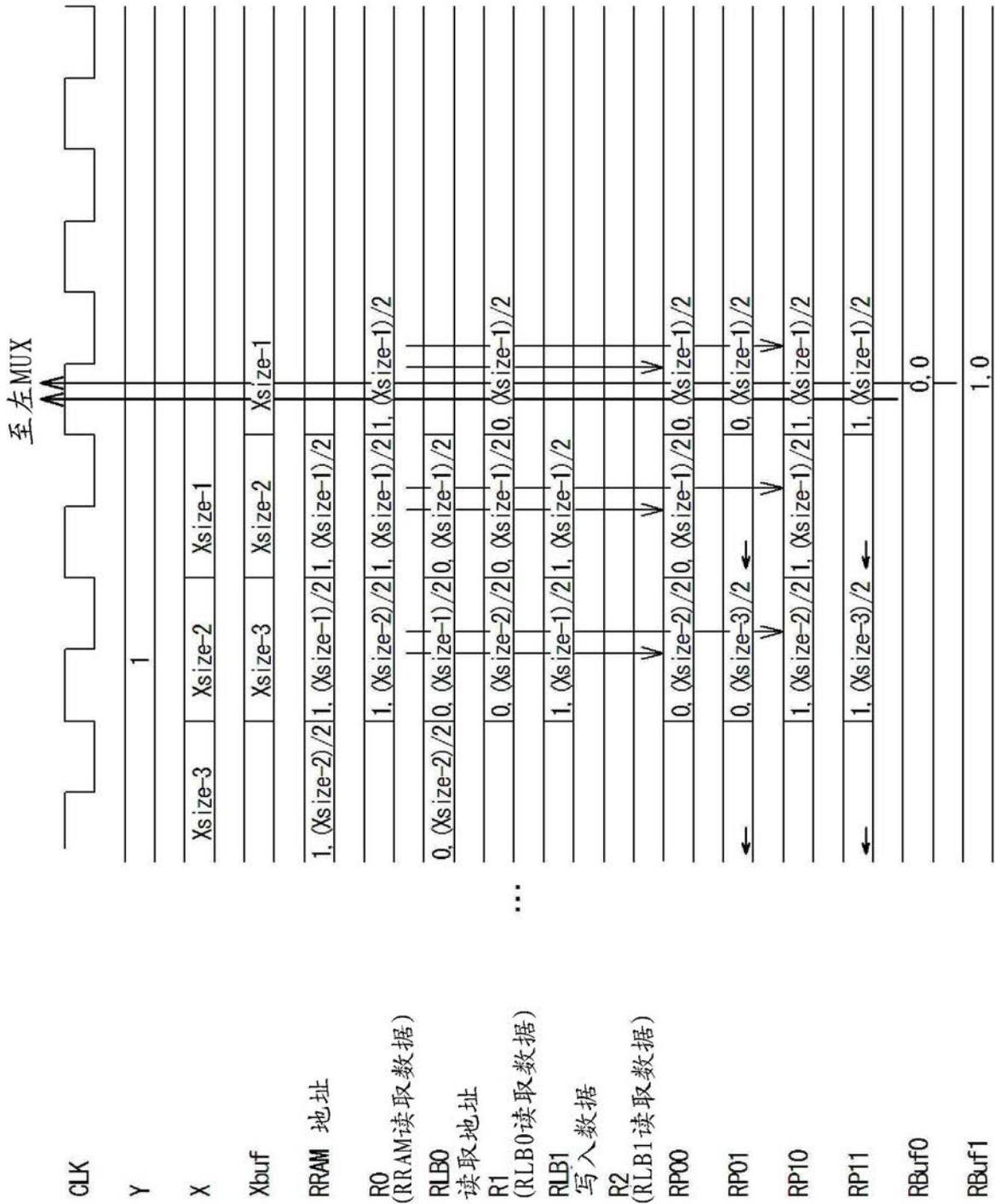


图 20D

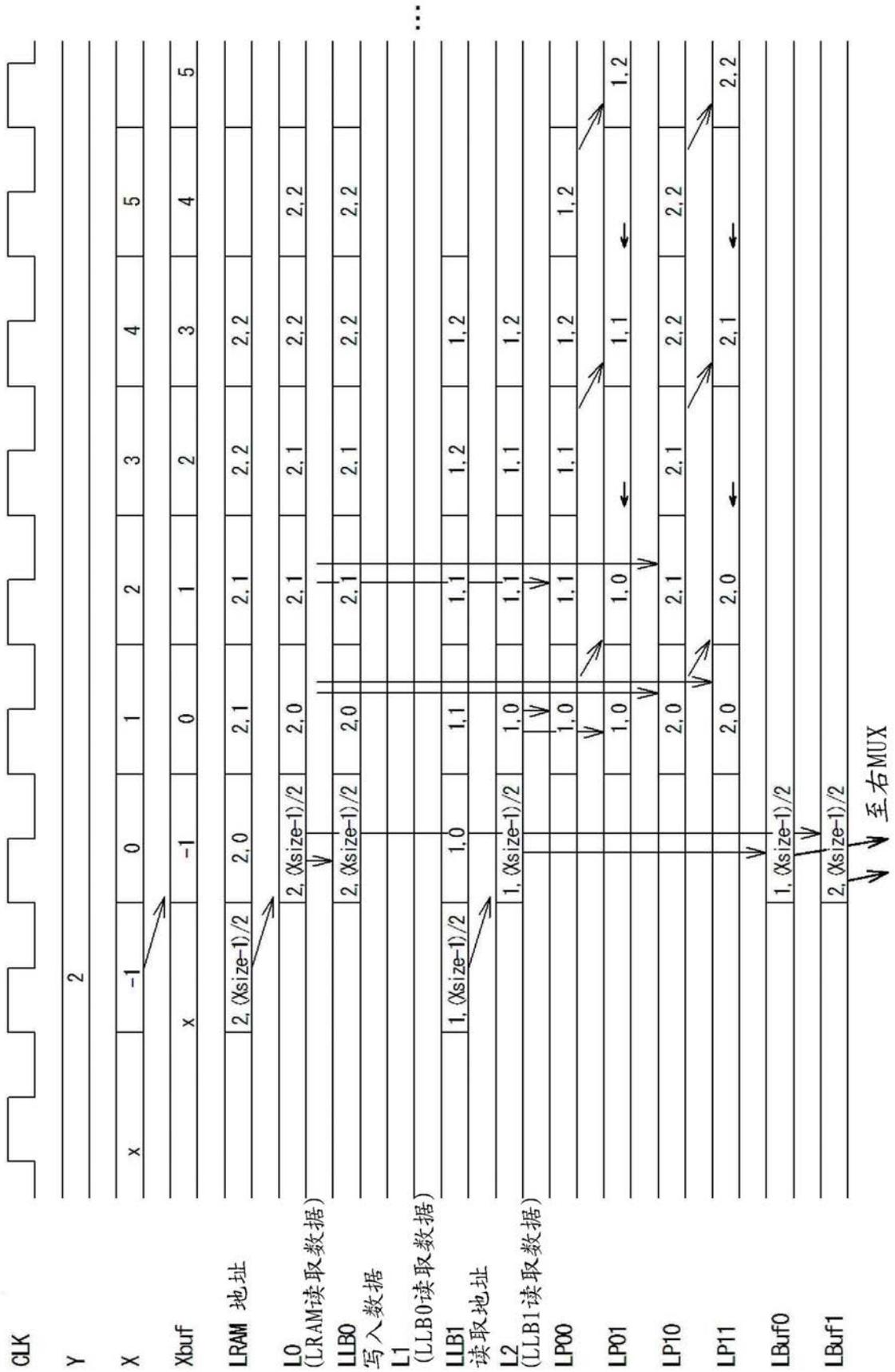


图 21A

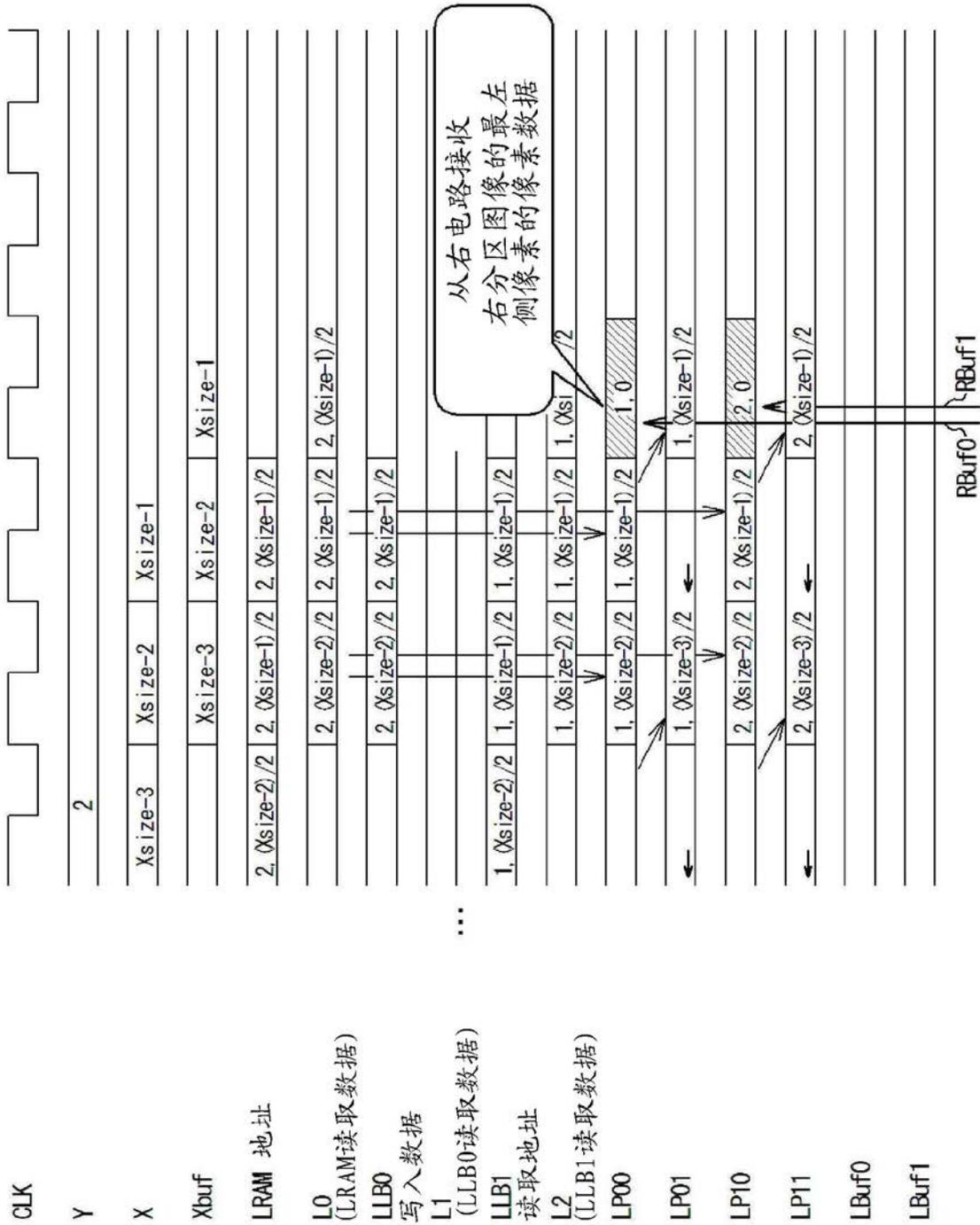


图 21C

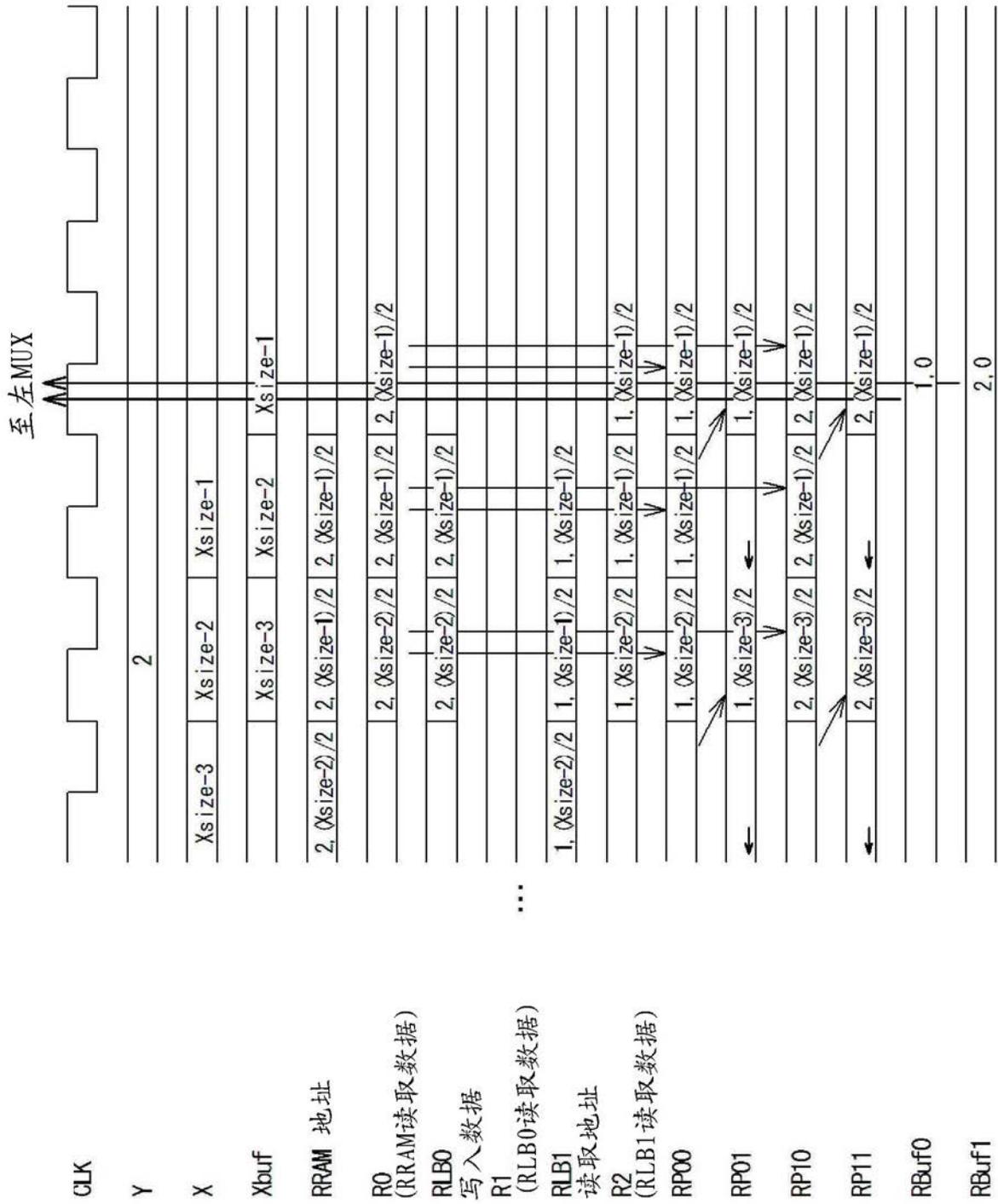


图 21D

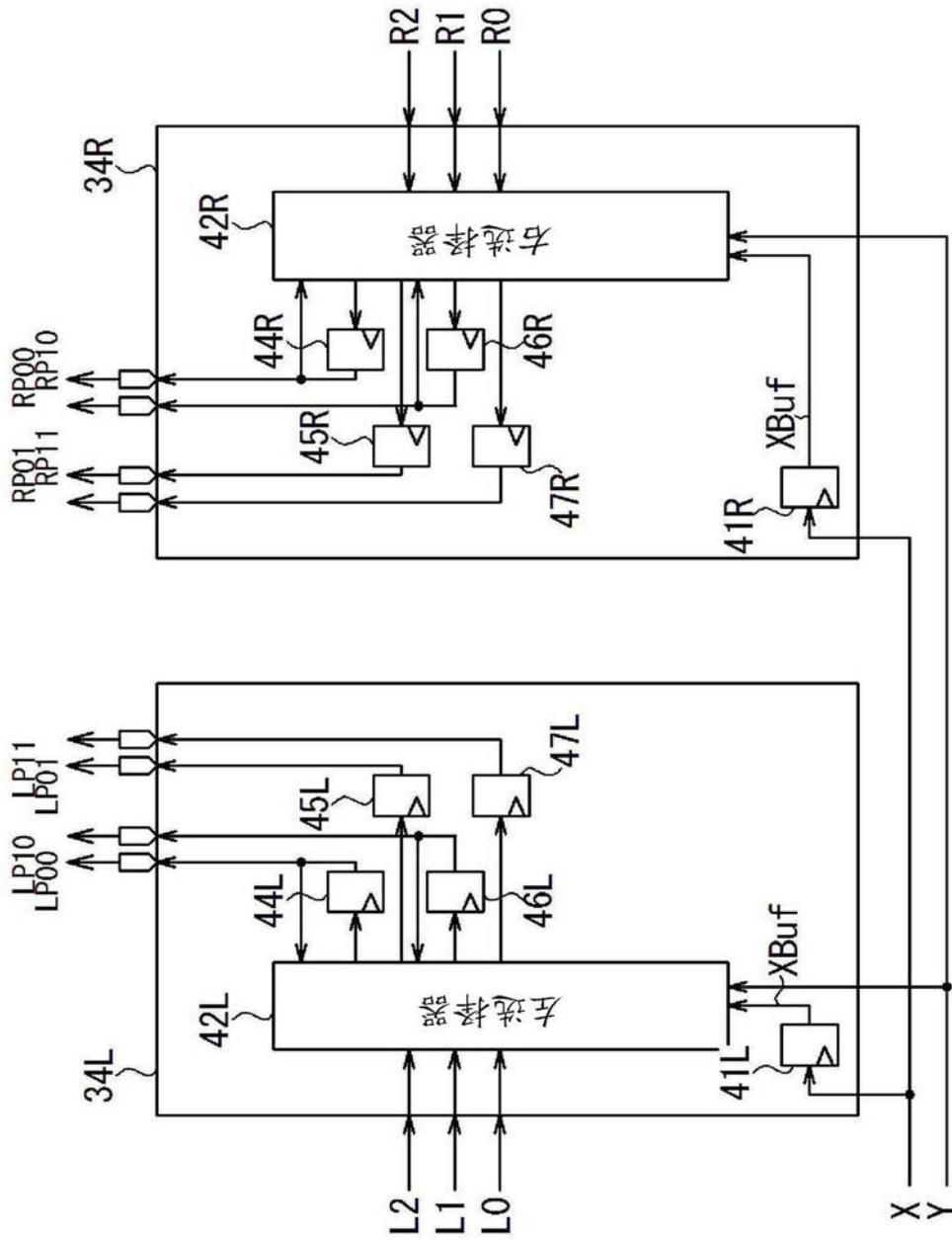


图 22

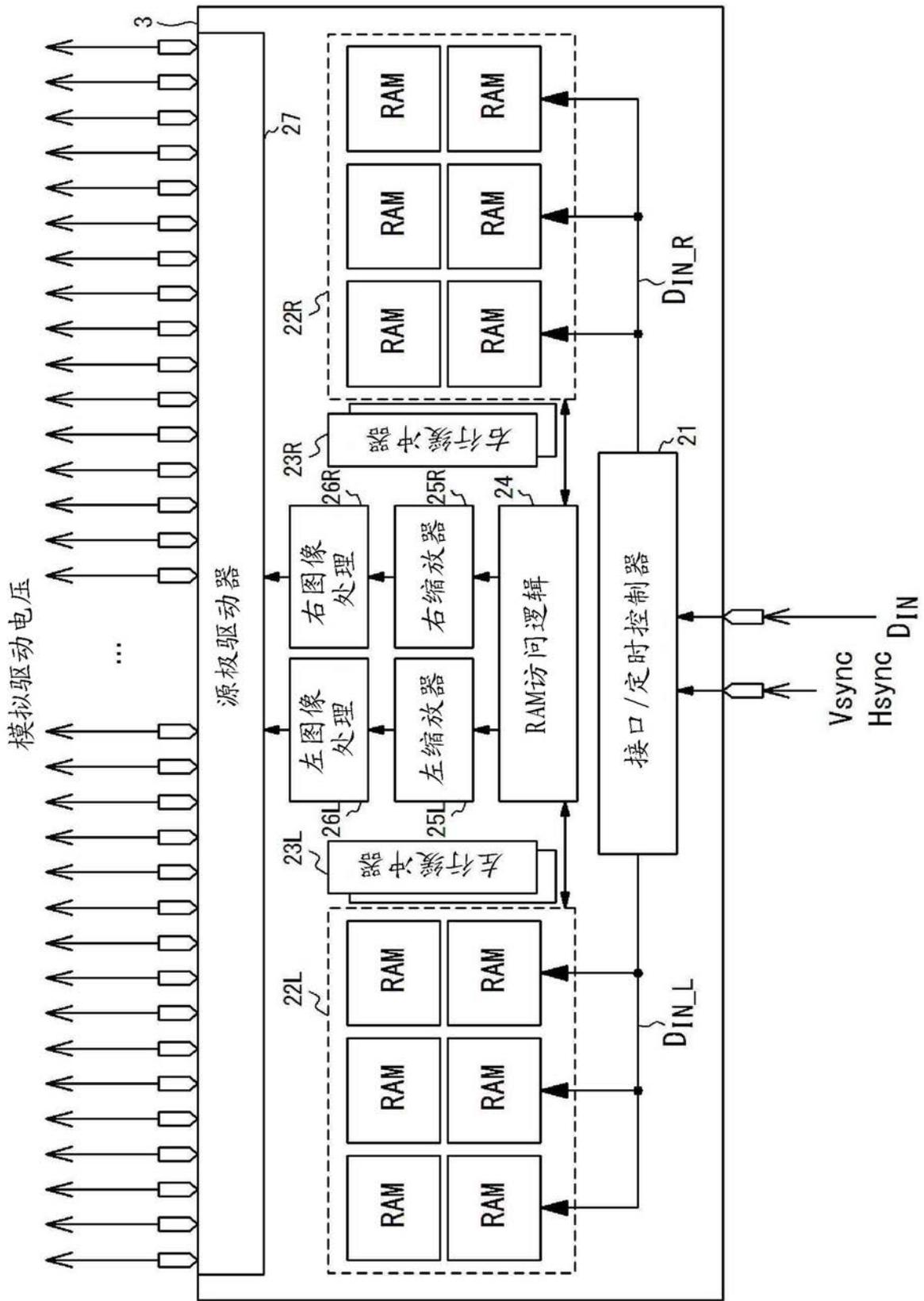


图 23

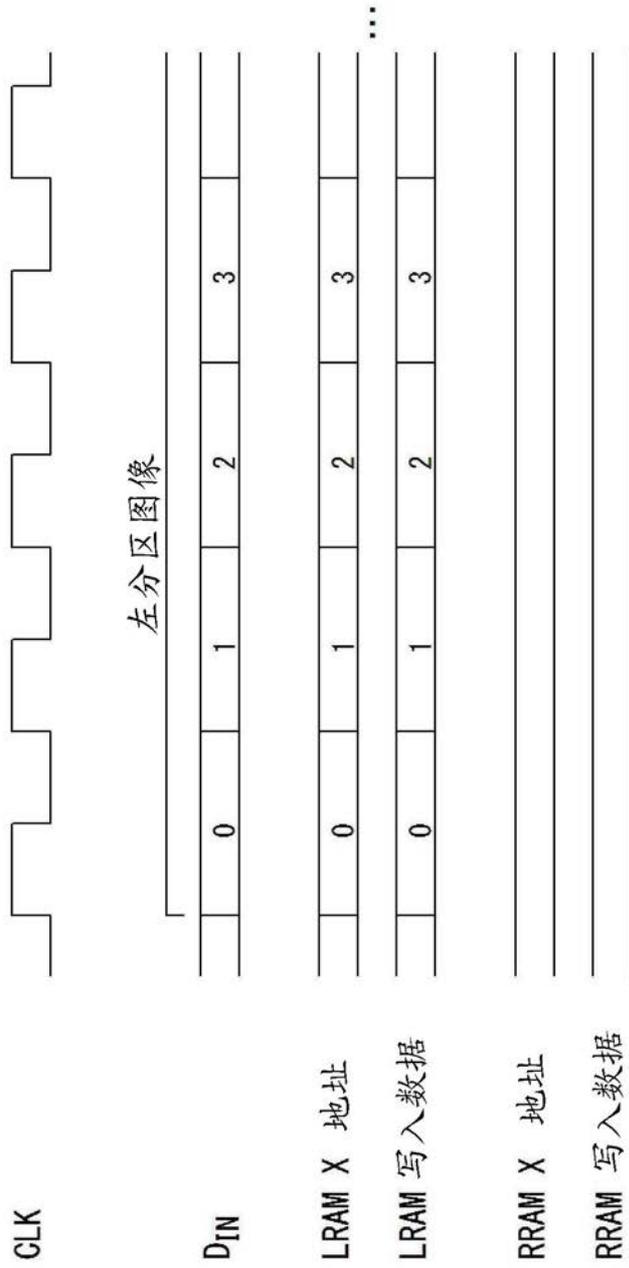


图 24A

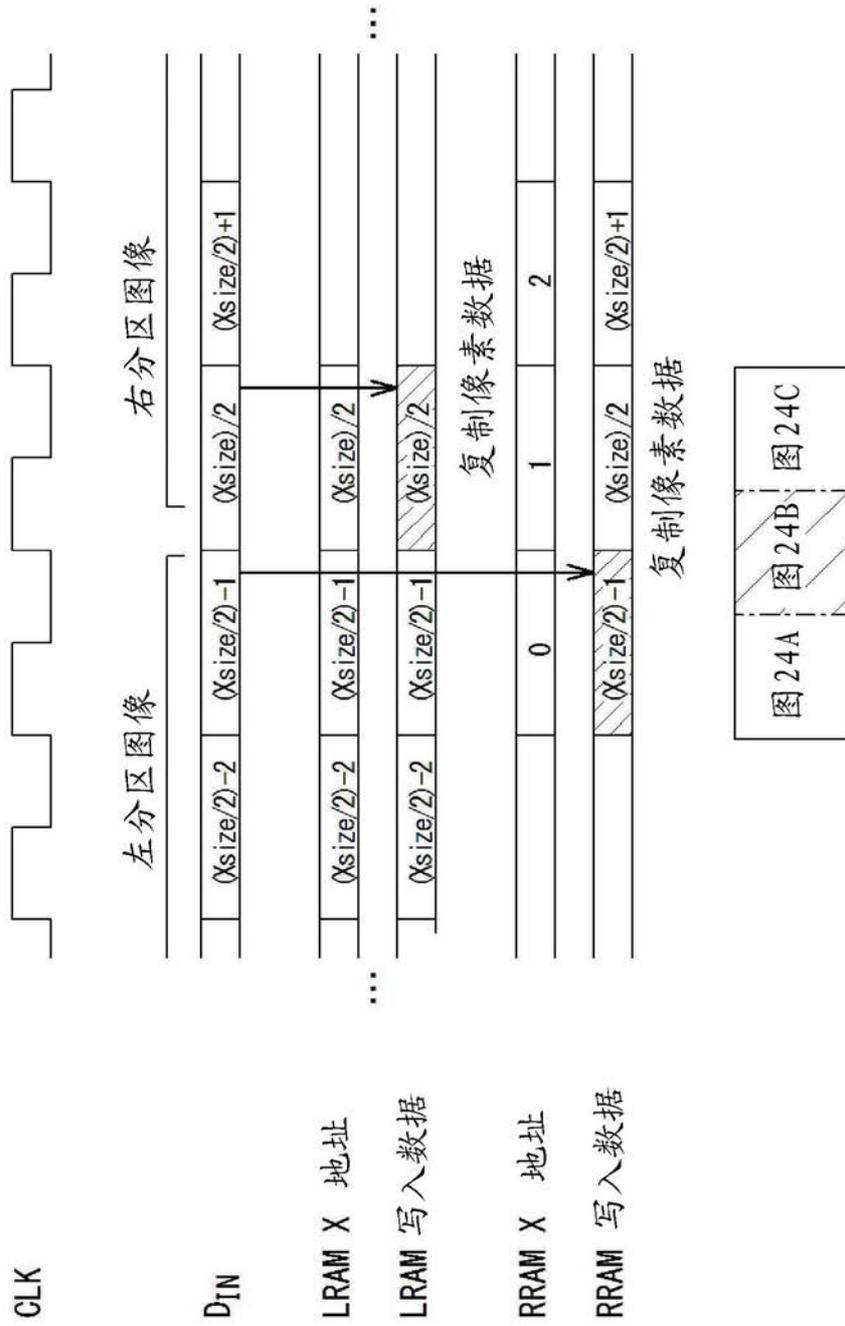


图 24B

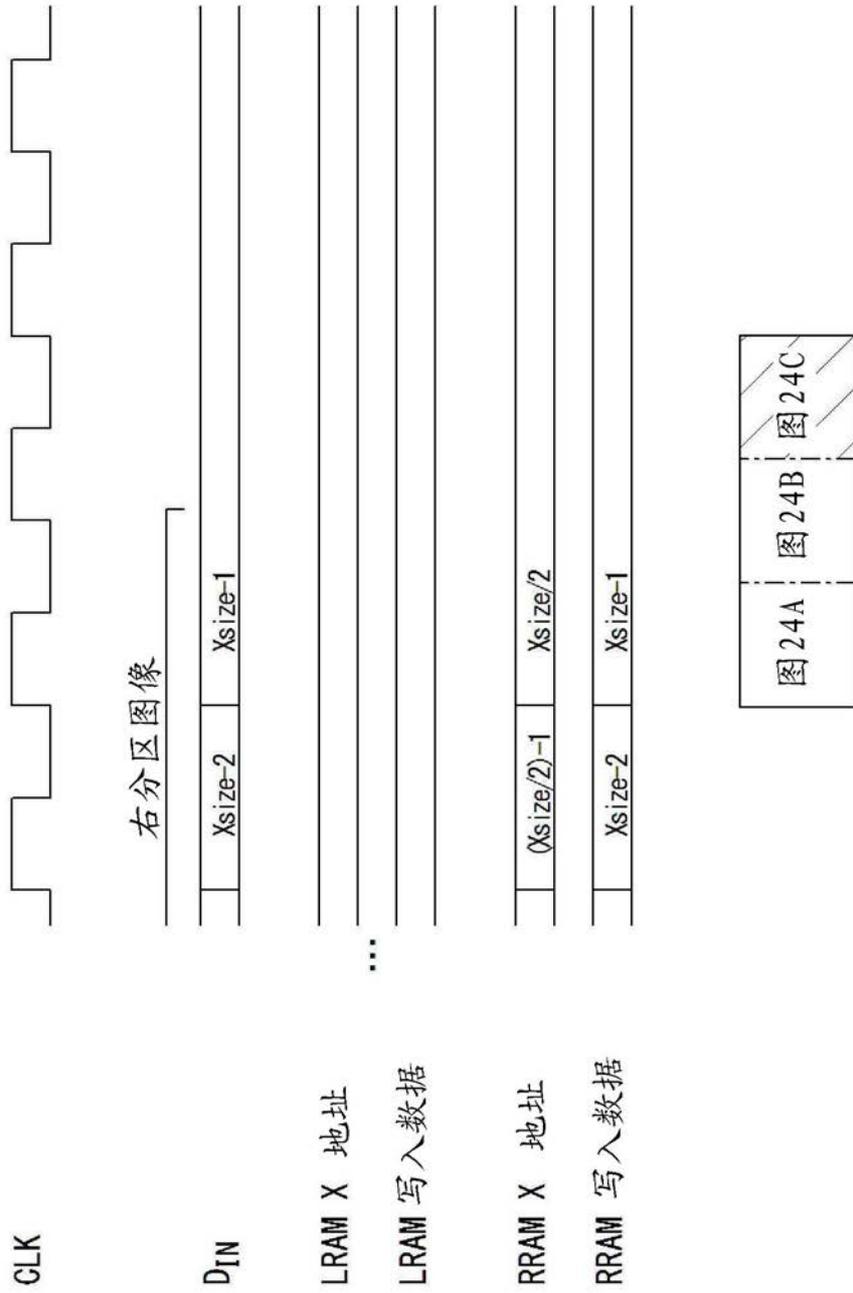


图 24C

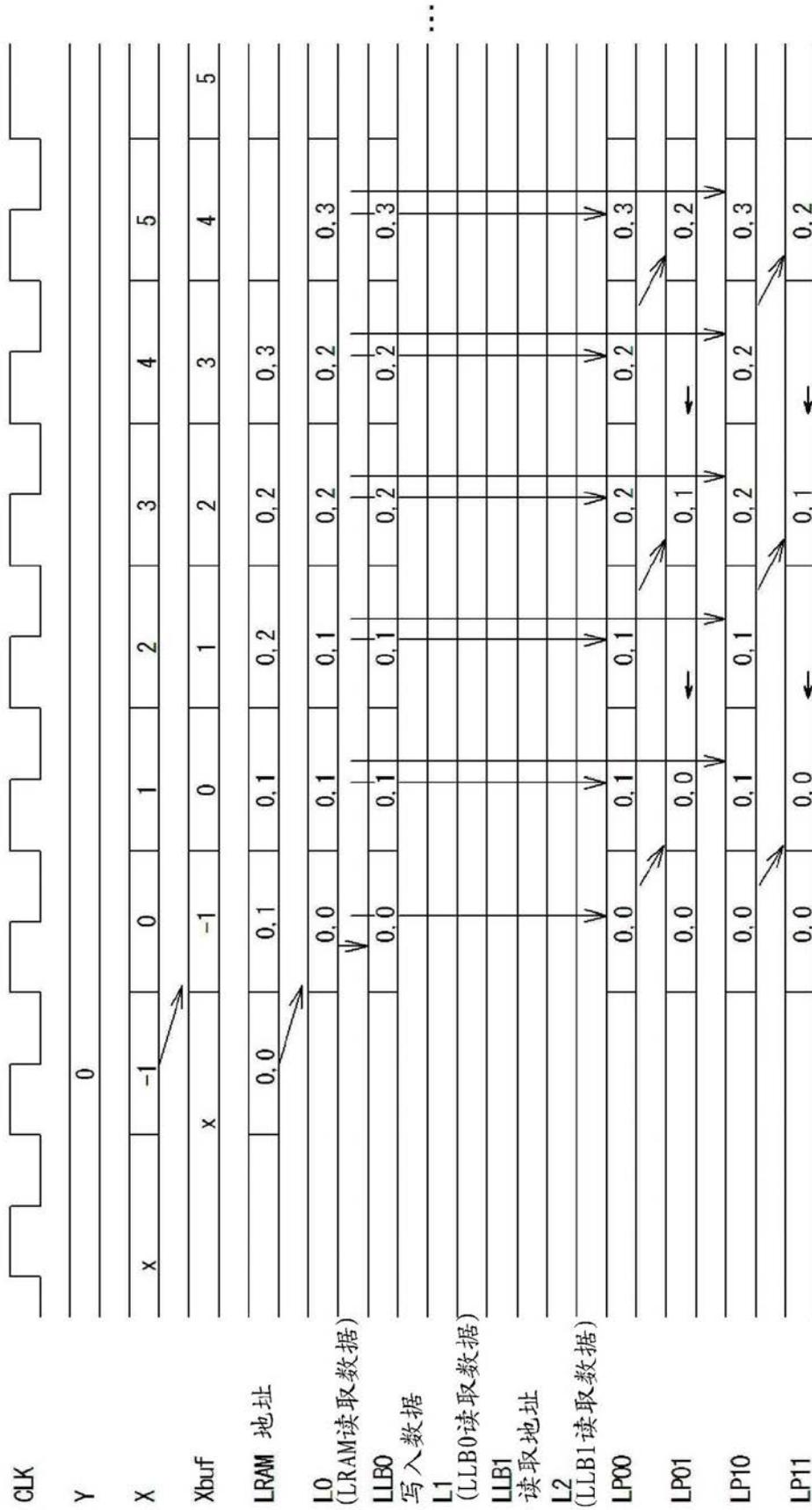


图 25A

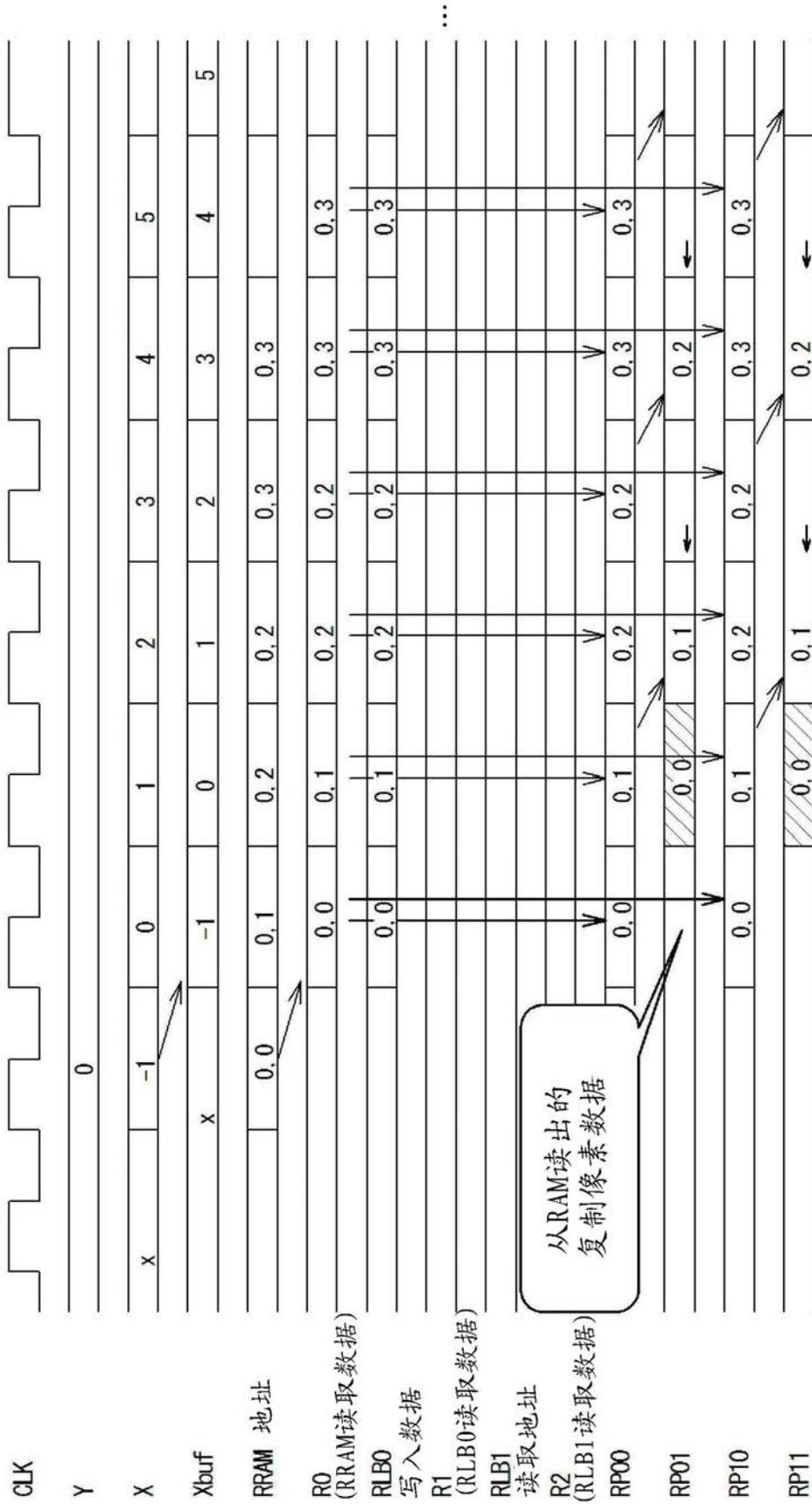


图 25B

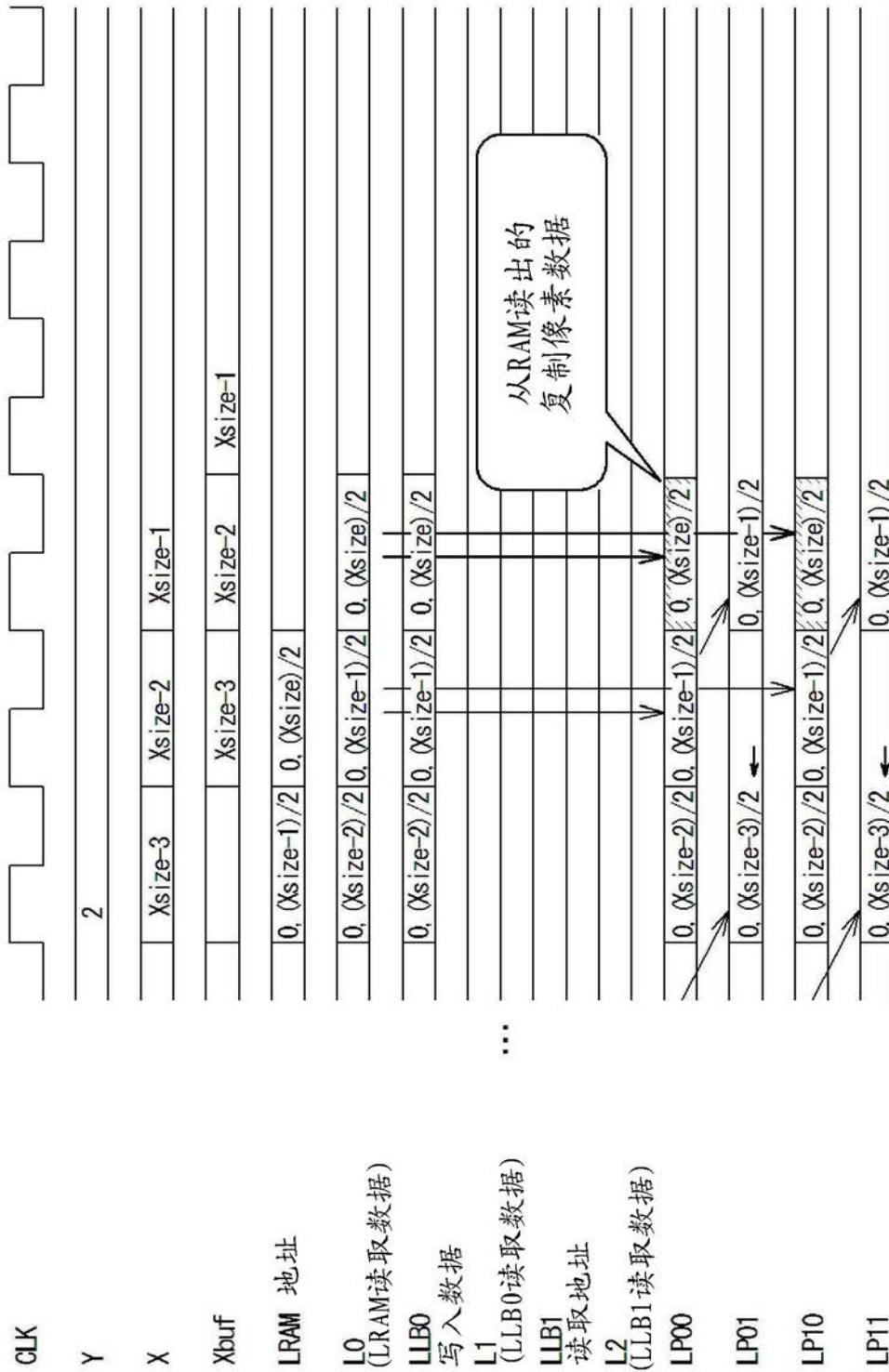


图 25C

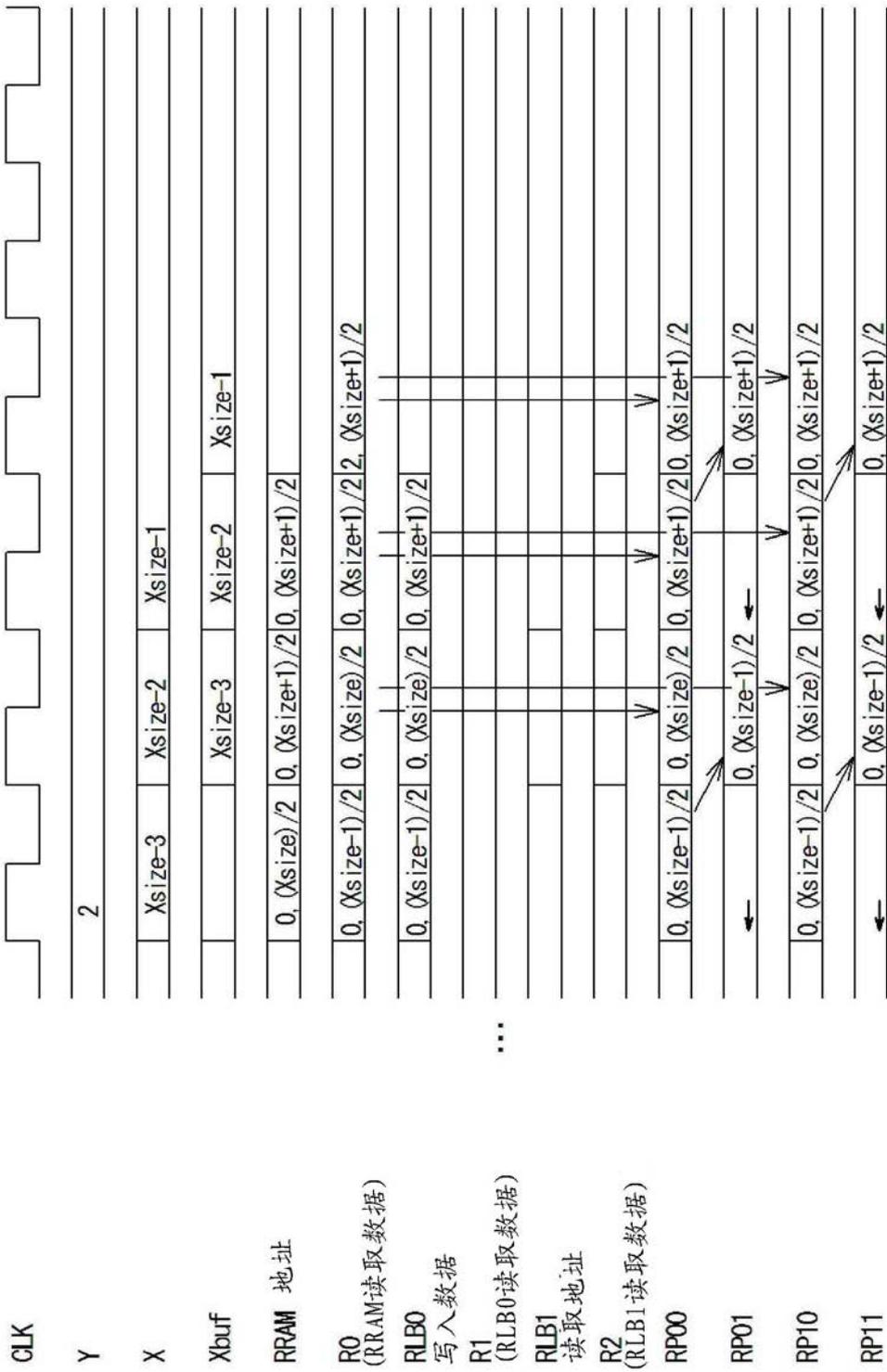


图 25D