(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5435524号
(P5435524)

(45)発行日　平成26年3月5日(2014.3.5)　(24)登録日　平成25年12月20日(2013.12.20)

(51)Int.Cl.		F I		
H01L 21/3205	(2006.01)	H01L	21/88	T
H01L 21/768	(2006.01)	H01L	21/90	A
H01L 23/522	(2006.01)	H01L	27/04	L
H01L 21/822	(2006.01)	H01L	23/12	501P
H01L 27/04	(2006.01)			

請求項の数 22　(全 38 頁)　最終頁に続く

(21)出願番号　特願2006-173778 (P2006-173778)
(22)出願日　平成18年6月23日 (2006.6.23)
(65)公開番号　特開2007-5810 (P2007-5810A)
(43)公開日　平成19年1月11日 (2007.1.11)
審査請求日　平成21年6月23日 (2009.6.23)
(31)優先権主張番号　60/693,549
(32)優先日　平成17年6月24日 (2005.6.24)
(33)優先権主張国　米国 (US)

(73)特許権者　513275322
メジット・アクイジション・コーポレーション
Ｍｅｇｉｔ　Ａｃｑｕｉｓｉｔｉｏｎ　Ｃｏｒｐ.
アメリカ合衆国、カリフォルニア州　９２１２１－１７１４、サン・ディエゴ、モアハウス・ドライブ　５７７５
５７７５ Ｍｏｒｅｈｏｕｓｅ Ｄｒｉｖｅ, Ｓａｎ Ｄｉｅｇｏ, Ｃａｌｉｆｏｒｎｉａ ９２１２１－１７１４, Ｕ.Ｓ.Ａ.
(74)代理人　100108855
弁理士　蔵田　昌俊

最終頁に続く

(54)【発明の名称】線路デバイスの製造方法

(57)【特許請求の範囲】
【請求項１】
線路デバイスを形成する方法であって、
ウェーハ基板、前記ウェーハ基板上の金属酸化膜半導体（ＭＯＳ）デバイス、前記ウェーハ基板上の導体パッド、また前記ウェーハ基板上のパッシベーション層を用意することであって、前記パッシベーション層の第一開口は前記導体パッド上にあり、前記導体パッドは、前記第一開口の底に導体領域を有することと、
前記パッシベーション層、および前記導体領域上に第一金属層を形成することと、
前記第一金属層を前記形成した後、前記第一金属層上に第一のフォトレジスト層を形成することであって、前記第一のフォトレジスト層内の第二開口は、前記第一金属層上にあることと、
前記第一のフォトレジスト層を前記形成した後、前記第一金属層上で前記第二開口の下に第二金属層を形成することと、
前記第二金属層を前記形成した後、前記第一のフォトレジスト層を除去することと、
前記第二金属層を前記形成した後、前記第二金属層上に第二のフォトレジスト層を形成することであって、前記第二のフォトレジスト層内の第三開口は、前記第二金属層上にあることと、
前記第二のフォトレジスト層を前記形成した後、前記第二金属層上で前記第三開口の下に金属柱体を形成することであって、前記金属柱体は、はんだ、錫鉛合金、錫銀合金、錫銀銅合金或いは無鉛はんだであることと、

前記金属柱体を形成した後、前記第二のフォトレジスト層を除去することと、
前記第一及び第二のフォトレジスト層を前記除去した後、前記第二金属層下にない前記第一金属層を除去することと、
前記第二金属層下にない前記第一金属層を前記除去した後、前記第二金属層及び前記金属柱体上の前記パッシベーション層の上に第一重合物層を形成することと、
前記第一重合物層を前記形成した後、前記第一重合物層を研磨して、前記第一重合物層から前記金属柱体の頂端を露出することと、
前記第一重合物層を前記研磨し、前記金属柱体の前記頂端を前記露出した後、前記金属柱体の側壁（sidewalls）を露出するために、前記第一重合物層をエッチングすることと、
前記第一重合物層をエッチングした後、加熱し、前記露出された金属柱体をボール状にすることと
を備える方法。
【請求項２】
請求項１に記載の方法であって、前記第一金属層がチタンを含む方法。
【請求項３】
請求項１に記載の方法であって、前記第一金属層が銅を含む方法。
【請求項４】
請求項１に記載の方法であって、前記第二金属層を前記形成することが電気めっき処理を含む方法。
【請求項５】
請求項１に記載の方法であって、前記第２金属層が銅を含む方法。
【請求項６】
請求項１に記載の方法であって、前記金属柱体を前記形成することが電気めっき処理を含む方法。
【請求項７】
請求項１に記載の方法であって、前記金属柱体を前記形成することは、前記第二金属層上で前記第三開口の下に銅層を電気めっきすることを備える方法。
【請求項８】
請求項１に記載の方法であって、前記パッシベーション層上に第二重合物層を形成することを更に備え、前記第二重合物層内の第四開口は、前記導体領域上にあり、前記第二重合物層上にさらに前記第一金属層を前記形成することによってつながれ、前記第二重合物層上にさらに前記第一重合物層を前記形成することによってつながれる方法。
【請求項９】
請求項８に記載の方法であって、前記第二重合物層は、ポリイミドを含む方法。
【請求項１０】
請求項８に記載の方法であって、前記第二重合物層を前記形成することは、硬化処理を含む方法。
【請求項１１】
請求項１に記載の方法であって、前記金属柱体を前記形成することが、前記第二金属層上で前記第三開口下に、銅層を形成することと、前記第三開口内の前記銅層上に金含有層を形成することとを備える方法。
【請求項１２】
請求項１に記載の方法であって、前記金属柱体を前記形成することは、前記第二金属層上で前記第三開口下に銅層を形成することと、前記第三開口内で前記銅層上にニッケル含有層を形成することとを備える方法。
【請求項１３】
請求項１に記載の方法であって、前記金属柱体を前記形成することは、前記第二金属層上で前記第三開口下に銅層を電気めっきすることと、前記第三開口内の前記銅層上に第三金属層を電気めっきすることとを備える方法。

【請求項１４】
請求項１に記載の方法であって、前記金属柱体は、２５～２００μｍの間の高さを有する方法。
【請求項１５】
線路デバイスを形成する方法であって、
ウェーハ基板、前記ウェーハ基板上の金属酸化膜半導体（ＭＯＳ）デバイス、前記ウェーハ基板上の多数の導体パッド、また前記ウェーハ基板上のパッシベーション層を提供することであって、前記パッシベーション層内の多数の第一開口は、前記多数の導体パッド上にあり、前記多数の導体パッドは、前記多数の第一開口の多数の底に導体領域を有することと、
前記パッシベーション層、および前記多数の導体領域上に第一金属層を形成することと、
前記第一金属層を前記形成した後、前記第一金属層上に第一のフォトレジスト層を形成することであって、前記第一のフォトレジスト層内の多数の第二開口は、前記第一金属層上にあることと、
前記第一のフォトレジスト層を前記形成した後、前記第一金属層上で前記多数の第二開口下に、第二金属層を形成することと、
前記第二金属層を前記形成した後、前記第一のフォトレジスト層を除去することと、
前記第二金属層を前記形成した後、前記第二金属層上に第二のフォトレジスト層を形成することであって、前記第二のフォトレジスト層内の第三開口は、前記第二金属層上にあり、前記第二のフォトレジスト層内の第四開口は、前記第二金属層の上にあることと、
前記第二のフォトレジスト層を前記形成した後、前記第二金属層上で前記第三開口下に第一の金属柱体を形成することと、前記第二金属層上で前記第四開口下に第二の金属柱体を形成することであって、前記第一及び第二の金属柱体は、はんだ、錫鉛合金、錫銀合金、錫銀銅合金或いは無鉛はんだであることと、
前記第一及び第二の金属柱体を形成した後、前記第二のフォトレジスト層を除去することと、
前記第一及び第二のフォトレジスト層を前記除去した後、前記第二金属層下にない前記第一の金属層を除去することと、
前記第二金属層下にない前記第一金属層を前記除去した後、前記第二金属層及び前記第一及び第二の金属柱体上で、前記パッシベーション層上に第一重合物層を形成することと、
前記第一重合物層を前記形成した後、前記第一重合物層を研磨し、前記第一重合物層から前記第一の金属柱体の頂端と前記第二の金属柱体の頂端を露出することであって、前記第一及び第二金属柱体間の間隔距離は２５０μｍ以下であることと、
前記第一重合物層を前記研磨し、前記第一の金属柱体の前記頂端と、前記第２の金属柱体の前記頂端とを前記露出した後、前記第一及び第二の金属柱体の側壁を露出するために、前記第一重合物層をエッチングすることと、
前記第一重合物層をエッチングした後、加熱し、前記露出された第一及び第二の金属柱体をボール状にすることと
を備える方法。
【請求項１６】
請求項１５に記載の方法であって、前記第一の金属柱体を前記形成することは、前記第三開口の下で前記第二金属層上に銅層を電気めっきすることを備える方法。
【請求項１７】
請求項１５に記載の方法であって、前記第二金属層を前記形成することは、前記多数の第二開口下で前記第一金属層上に銅層を電気めっきすることを備える方法。
【請求項１８】
請求項１５に記載の方法であって、前記パッシベーション層上に第二重合物層を形成することをさらに備え、前記第二重合物層内の多数の第五開口は、前記多数の導体領域上にあり、前記第二重合物層の上にさらに前記第一金属層を前記形成することによってつなが

れ、前記第二重合物層の上にさらに前記第一重合物層を前記形成することによってつながれる方法。

【請求項１９】

請求項１５に記載の方法であって、前記第一重合物層を前記研磨することと、前記第一重合物層から前記第一の金属柱体の頂端及び前記第二金属柱体の頂端を前記露出することとの後、前記第一の金属柱体の前記頂端上にハンダを電気めっきすることをさらに備える方法。

【請求項２０】

請求項１５に記載の方法であって、前記第一重合物層を前記研磨することと、前記第一重合物層から前記第一の金属柱体の前記頂端と前記第二の金属柱体の前記頂端とを露出することとの後、第一の金属柱体の前記頂端上にチタン含有層を形成することと、前記チタン含有層上及び前記第一の金属柱体の前記頂端上にハンダを電気めっきすることをさらに備える方法。

【請求項２１】

請求項１５に記載の方法であって、前記第一の金属柱体が２５～２００μｍ間の高さを有する方法。

【請求項２２】

請求項１５に記載の方法であって、前記第一金属層は、チタンを含む方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、線路デバイスの製造方法に関し、特にＩＣの性能を有効に改善する線路デバイスの製造方法に関する。

【背景技術】

【０００２】

半導体ウェハは密度が持続増加かつ幾何学的な図案を縮小するＩＣの製造に用いられ、多層の導電層と絶縁層の構造を通して、異なる層の半導体デバイス間の内部接続と隔絶効果を提供する。例えば主動と受動デバイス・薄膜トランジスター・シーモス（CMOS）・コンデンサ・チョーカー・抵抗等の大型ＩＣの中において、異なる層状構造と半導体デバイス間に、数個の電磁特性接続部の増加が必要である。また同時に組立式のＩＣにとって、ワイヤーの大量増加も必要である。そのため、これらのワイヤーはＩＣチップの中にある保護層から通り抜けて、外部に露出し、最後は出力入力パッドと接続している。このワイヤーはチップパッケージングの外部接触構造と接続するために用いられる。

【０００３】

ウェハレベルチップスケールパッケージ（WLCSP）はいわゆるウェハレベルの方式でＩＣチップをパッケージする技術であって、伝統式のチップカットした後、単一ユニットのパッケージ製作過程とは異なる。ゆえにチップを単一ユニットにカットし、最終的のチップキャリヤーパッケージ前、例えばボール・グリッド・アレイ（BGA）パッケージを行う前に、WLCSPはウェハの製造・パッケージ・テストとウエーハ・レベル・バーンイン（WLBI）を整合させることができる。その長所は、占める体積と厚さを縮小するによって、より小さい寸法・より軽い重量・相対的に簡単な組立過程・全体の生産コストの低減及びより良い電磁特性が得られる。かつWLCSPは一つのデバイスをシリコン材料から顧客先までの運送過程が簡略され、ＩＣのチップパッケージ生産量がアップされると同時に、コストも低減される。ただし、製造能力と構造の信頼度が関係しているので、非常に大きなチャレンジに直面している。

【０００４】

WLCSPは基本的にウエーハ作製過程中の接合デバイス作製過程とデバイス保護作製過程へ拡張するのが可能であって、WLCSPの第一ステップにおいて、半導体ＩＣ線路の再構成可能技術を通してポストパッシベーション（Post-Passivation）を形成させ、標準パッドの距離を広げる。そのため、低コストの半田ステンを形成させ、シルあるいは整列定位式

半田は実現される。再構成可能技術の発表に対して、例えば特許文献１～３の申請発表者は、本発明の申請者とは同一者であって、本特許で発表しているように、一重の線路配置層は半導体構造の出力入力パッドと接続する。このRDL層はポストパッシベーションの重合物層や弾性材質層に形成させ、マスク製作過程を利用して製造したポスト状接触窓をこのRDL層上に形成させ、本反応後形成されたポスト状接触窓の側方向は独立であって、全然支えられていないし、またフリップチップアセンブリ技術を利用して、上記反応後形成された構造体は、もう一歩進んでチップキャリヤーパッケージに組合わされている。このポストパッシベーション構造とそれに対応する製作過程は、ＩＣパッケージの中に存在する間隔距離の問題を解決改善できるとしても、しかしインテグレーテッド規模が持続増加に要求されたＩＣは、もっと厳しく制限されるはずであって、またストレス誘導によって生じたダメージに対しても、潜在的なリスクである。

【０００５】

特許文献４に、別のRDL層のポストパッシベーション構造のWLCSPを含んでいる。このRDL層はポストパッシベーションの上の重合物層に形成させ、RDL層上を別の重合物層で被せ、かつこの重合物層はエッチングやドリルによってミクロビアス（Micro-vias）を形成させ、更に金属をミクロビアスの穴を充填して内部接続を形成させ、いわゆる導電柱体である。しかし、上重合物層と下重合物層は、RDL層と接触させないために、一つのクロム－銅層によって隔離され、もう一つは上記の導電柱体の突出した尾端にある無電気めっき・スクリーンプリンティング或いはステンシルされた錫鉛に接着されている。導電柱体は重合物層の外部へ延伸しているし、また上記構造の頂部表面はスムーズではないので、高解析度のリソグラフィーを達成できない前提で、導電柱体でミクロビアスを形成させ、また電気めっきで錫鉛を形成することは達成されず、最終的にはＩＣパッケージの中にある接触窓の間隔距離は制限される。しかもこの制限は重合物層の厚さ増加につれて、益々目立つようになる。しかし重合物層の厚さ増加につれて、満足されるストレスリリーフを提供している。

【０００６】

この点について、下記に述べる。また上記のように、下重合物層は上重合物層と隔離されているために、下重合物層は単独してより良いストレスリリーフを提供できず、かつ現在の下重合物層の厚さはRDL層の側方移動を低減するため、薄く製造されるので、ストレスリリーフはいくらか弱くなって、この問題は下記で論議する。

【０００７】

構造の信頼度の中の一つのチャレンジは、充分なストレスリリーフを提供するによって、上記のWLCSPで形成された多層構造を供給する。それには半導体ＩＣチップと定額外のポストパッシベーション構造が含まれる。例で説明すると、保護層上に結合した薄膜は双せん断応力に影響され、かつこの応力は熱に誘導されて生じた。式（１）の中にポストパッシベーションの中にある双せん断応力の数学理論模擬方程式を示し、式の中にＩＣチップの中のシリコン基材構造の物理パラメーターを提供する。

【０００８】

【数１】

$$\sigma_{ppt} = \frac{1}{6R}\frac{Y_s x_{Si}^2}{(1-v_{Si})x_{ppt}} \qquad (1)$$

【０００９】

σｐｐｔ：ポストパッシベーションの薄膜の中にある双せん断応力
Ｒ：シリコン基板が熱で湾曲する曲率半径
Ｙｓ：シリコン基板のヤング率
ｖｓｉ：シリコン基板のポアソン比
ｘＳｉ：シリコン基板の厚さ

【００１０】
ｘｐｐｔ：ポストパッシベーション薄膜的厚さ
上記の方程式より、シリコン基板のポアソン比が上昇する以外に、二種類の方法で双せん断応力を降下させることができる。
（ａ）ｘＳｉを低下させる。これはシリコン基板をもっと薄く置くことを意味する。或いは（ｂ）ｘｐｐｔを増大する。これはポストパッシベーション構造の厚さを増加させることを意味する。
【００１１】
図１は周知のポストパッシベーション構造１０であって、それには一つのRDL層１２と一つのストレスリリーフする重合物層１４を含む。このストレスリリーフする重合物層１４はまたストレスバッファー層（stress buffer layer）とも呼ばれている。半導体ＩＣチップ１８の表面の保護層１６上に形成し、その中の重合物層１４は弾性材料・エポキシ樹脂・低誘電率材料或いはその他の重合物材料が使用される。弾性材料は主に接合構造に充分な機械弾性を提供するためであって、上記の式（１）の中に推論した結果を見ると、ＩＣチップ１８の上に重合物層１４を被せると、ＩＣチップ１８の上の構造に形成させたストレスは、全て吸収また緩衝されるので、ＩＣチップ１８に発生する局部ダメージが低減され、特に精密かつ複雑なＩＣチップ１８電路にとって、ポストパッシベーション構造１０の信頼度はこれによって上昇する。また式（１）の中の関係式に従えば、緩衝効果の表現は重合物層１４の厚さの増加につれて良くなる。
【００１２】
しかし厚い重合物層１４の利用時に、よく一つの問題に直面する。図１で示しているRDL層１２は通常銅で構成され、ＩＣチップ１８の出力入力パッド２０を外部回路と接続する。パッド２０の最頂端に、同時にまた別々に錫鉛の突出塊或いは銅導電柱体が形成された時、RDL層１２は真下層のパッケージ構造は非常に緊密に連結され、その中のパッケージ構造は一つのチップキャリヤーであっても良いため、RDL層１２は重合物層１４によって、一定傾斜度を持った斜面２２と定義される。このRDL層１２は出力入力パッド２０を形成する一つのより低いＩＣ平面から、徐々に一つのより高いＩＣ平面へ上昇する。例えば、重合物層１４頂部ににある斜面２２は、金属化ステップで厚い重合物層１４開口部に被ることによって決定する。実際的な応用において、斜面２２の傾斜度は各重合物層１４の異なる開口によって変わるし、各開口は実際の製造過程の条件と重合物本体の根本的な物理性質と特性によって決定される。例えば、材料表面にあるエネルギーと関連する濡れ接触角、例で説明すると、多くの状況において、ＩＣ保護層１６上にある重合物層１４斜面２２の傾斜度は約４５度であるので、RDL層１２は一定量の側方移動によって、ＩＣの中のパッド２０から重合物層１４の頂端まで延伸する。ゆえに、この側方移動はRDL層１２を仕組み時、一定量の許容値を許容するようになった。最終的に、この許容された許容値は、異なる開口の重合物層１４によって形成された各種類の斜面２２の傾斜率を許容し、各RDL層の側方移動は異なっているので、隣同士の接触窓間の間隔距離は制限され、この中の接触窓は共同また別々に錫鉛の突出塊或いは銅体に定義され、かつ接触窓構造と保護層上の開口との距離はそれにつれて増加するため、ポストパッシベーション構造と真下層のパッケージ構造との間は、微小間隔距離が維持されない。逆にもし厚い重合物層１４が採用されない場合に、ストレスの緩衝不足によって、精密なＩＣチップの中の電路はストレス誘導によって、ダメージを来たす。また大きい導電柱体にとって、側方支持力が不足であるため、出力入力構造の間隔距離は制限される。しかし大きい導電柱体構造は充分な距離を提供するかとが可能で、出力入力パッド２０とＩＣチップ１８の中の電磁特性電路との間に産生する結合静電容量（coupling Capacitance）を降下させることができるため、大きな導電柱体構造は必要である。
【００１３】
上に提出した議題は、ポストパッシベーション構造上の接触窓構造との間隔距離縮減によって、来たした問題に対して実現可能であって、またこのためで、ＩＣの中のインテグレーテッド規模が阻害されている。

この点を考慮に入れて、WLCSP及びそれと対応する製作過程を提出ことによって、ストレスリリーフを改善すると同時に、接触窓構造の間隔距離の微小化を達成する。

【００１４】

【特許文献１】米国特許第６，６４５，１３６号
【特許文献２】米国特許第６，７８４，０８７号
【特許文献３】米国特許第６，８１８，５４５号
【特許文献４】米国特許第６，１０３，５５２号

【発明の開示】

【発明が解決しようとする課題】

【００１５】

本発明の主な目的は、線路デバイスの製造方法を提供し、それはストレスリリーフと接触窓構造の間隔距離の微小化を提供することができる。本発明に基づいて、その間隔距離は２５０μｍ以下であり、かつピンホール数を４００個以下の目標に抑えることも達成できる。

本発明のもう一つの目的は、線路デバイスの製造方法を提供し、それは一つのRDLに支持されているポストパッシベーション構造を含み、それは保護層上に、相対厚さがより薄い支持層を形成させ、例えば重合物層によって、RDL構造間の隙間を支持し、また相対厚さがより厚い支持層を形成する。例えば重合物層によって、隣同士に位置する層状パッキング構造間のRDL構造間にある隙間が支持される。

【課題を解決するための手段】

【００１６】

本発明は上記の目的のために、線路デバイスの製造方法を提供する。その製作過程に半導体基部とその半導体基部の上に位置する金属層及びその半導体基部の上とその金属層上に位置する第一重合物層を提供する。その第一重合物層を研磨する。第二重合物層をその第一重合物層上に形成させ、第二重合物層中の一つの開口にその金属層を露出する。

【００１７】

本発明は上記の目的のために、線路デバイスの製造方法を提供する。その製作過程に半導体基部とその半導体基部の上に位置する金属柱を提供し、その金属柱の最大幅を第一金属柱及び第二金属柱の高さで割ると４より小さく、また第一金属柱の高さは２０μｍから３００μｍである。半導体基部の上に第一絶縁層を形成し、かつその金属柱を被覆する。第一絶縁層上に第二絶縁層を形成し、第二絶縁層の開口に第一金属柱を露出する。

【００１８】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体ウェハとその半導体ウェハの上に位置する第一金属層及びその半導体ウェハとその第一金属層上に位置する一つの重合物層を提供し、その中の半導体ウェハは多数のトランジスターを含み、その多数のトランジスターは３価や５価イオンをその半導体ウェハまで混ぜ合う。その重合物層を研磨する。その重合物層とその第一金属層上に一つの第二金属層を形成する。その第二金属層上に一つの図案定義層を形成させ、その図案定義層中にある一つの開口に第二金属層を露出する。その開口に露出する第二金属層上に一つの第三金属層を形成する。その図案定義層を除去する。その第三金属層下以外の第二金属層を除去する。

【００１９】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体ウェハとその半導体ウェハの上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍであって、その中の半導体ウェハは多数のトランジスターを含み、その多数のトランジスターは３価や５価イオンをその半導体ウェハまで混ぜ合う。一つの絶縁層をその半導体ウェハの上に形成させ、かつその金属柱を被覆する。一つの第一金属層をその絶縁層及びその金属柱の上に形成する。その第一金属層上に一つの図案定義層を形成させ、その図案定義層中にある一つの開口に第一金属層を露出する。

その開口に露出する第一金属層上に一つの第二金属層を形成する。その図案定義層を除去する。その第二金属層下以外の第一金属層を除去する。

【００２０】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの第一金属層及びその半導体基部とその第一金属層上に一つの重合物層を提供する。その重合物層を研磨する。一つの突出塊をその第一金属層上に形成させ、形成された突出塊はその重合物層と第一金属層上に一つの第二金属層を含む。その第二金属層上に一つの図案定義層を形成させ、その図案定義層中にある一つの開口に第二金属層を露出する。その開口に露出する第二金属層上に一つの第三金属層を形成する。その図案定義層を除去する。その第三金属層下以外の第二金属層を除去する。

【００２１】

本発明は上記の目的のために、一種の線路構造の製作デバイス過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの絶縁層をその半導体基部の上に形成させ、かつその金属柱を被覆する。その絶縁層内部に一つの開口を形成させ、その金属柱を露出する。

【００２２】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属層及びその半導体基部とその金属層上に位置する重合物層を提供する。その重合物層を研磨する。その重合物層内部に一つの開口を形成させ、その金属層を露出する。

【００２３】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの絶縁層をその半導体基部の上に形成させ、かつその金属柱を被覆する。その絶縁層をエッチングする。

【００２４】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱及びその半導体基部とその金属柱の上に位置する一つの重合物層を提供する。重合物層を除去し、その金属柱の一つの頂面を露出させ、かつその頂面からその重合物層間の高さは１０μｍから１５０μｍである。

【００２５】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属層及びその半導体基部とその金属層上に位置する一つの重合物層を提供する。その重合物層を研磨する。その重合物層をエッチングする。

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。一つの重合物層をその半導体基部の上に提供し、その重合物層内の一つ開口の深度は１０μｍから３００μｍである。一つの金属層をその重合物層上及びその開口内に形成させ、開口以外のその金属層を除去する。

【００２６】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの絶縁層をその半導体基部の上に形成させ、かつその金属柱を被覆する。一つの突出塊をその金属層上に形成する。その突出塊は外

部回路と接続する。その半導体基部と外部回路間に一つの第二絶縁層を形成する。
【００２７】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属層及びその半導体基部上とその金属層上に位置する一つの第一重合物層を提供する。その第一重合物層を研磨する。一つの突出塊をその金属層に形成する。その突出塊は外部回路と接続する。その半導体基部と外部回路間に一つの第二重合物層を形成する。
【００２８】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属層及びその半導体基部の上とその金属層上に位置する一つの第一重合物層を提供する。その第一重合物層を研磨する。一つの突出塊をその金属層上に形成させ、その突出塊は一つの電気めっき製作過程を含む。
【００２９】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの絶縁層をその半導体基部の上に形成させ、かつその金属柱を被覆する。一つの突出塊をその金属柱の上に形成する。その突出塊は一つの電気めっき製作過程を含む。
【００３０】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属層及びその半導体基部の上とその金属層上に位置する一つの重合物層を提供する。その重合物層を研磨する。一つのワイヤー製作過程で一つのワイヤーを形成させ、その金属層の上接続する。
【００３１】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部とその半導体基部の上に位置する一つの金属柱を提供し、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの絶縁層をその半導体基部の上に形成させ、かつその金属柱を被覆する。一つのワイヤー製作過程で一つのワイヤーを形成させ、その金属柱の上接続する。
【００３２】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの基板を提供する。その基板の上に一つの第一金属柱を置き、その第一金属柱の最大幅をその第一金属柱の高さで割ると、４より小さく、またその第一金属柱の高さは２０μｍから３００μｍである。その基板の上に一つの第二金属柱を置き、その第二金属柱の最大幅をその第二金属柱の高さで割ると、４より小さく、またその第二金属柱の高さは２０μｍから３００μｍである。第一金属柱の中心点から第二金属柱の中心点までの距離は１０μｍから２５０μｍである。
【００３３】
本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの第一金属柱を置き、その第一金属柱の最大幅をその第一金属柱の高さで割ると、４より小さく、またその第一金属柱の高さは２０μｍから３００μｍである。その半導体基部の上に一つの第二金属柱を置き、その第二金属柱の最大幅をその第二金属柱の高さで割ると、４より小さく、またその第二金属柱の高さは２０μｍから３００μｍである。一つの第二金属柱を２０μｍから３００μｍの間に置く。一つの絶縁層をその半導体基部上に置き、かつその第一及び第二金属柱を被覆する。一つの第一突出塊をその第一金属柱の上に形成する。一

つの第二突出塊をその第二金属柱の上に形成させ、その第一突出塊の中心点から第二突出塊の中心点までの距離は１０μｍから２５０μｍである。

【００３４】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの第一金属柱を置き、その第一金属柱の最大幅をその第一金属柱の高さで割ると、４より小さく、またその第一金属柱の高さは２０μｍから３００μｍである。一つの第二金属柱をその半導体基部の上に置き、その第二金属柱の最大幅をその第二金属柱の高さで割ると、４より小さく、またその第二金属柱の高さは２０μｍから３００μｍである。一つの金属線路でその第一金属柱の頂面と第二金属柱のの頂面を接続し、その金属線路の材質は金を含む。

【００３５】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの第一金属柱を置き、その第一金属柱の最大幅をその第一金属柱の高さで割ると、４より小さく、またその第一金属柱の高さは２０μｍから３００μｍである。一つの第二金属柱をその半導体基部の上に置き、その第二金属柱の最大幅をその第二金属柱の高さで割ると、４より小さく、またその第二金属柱の高さは２０μｍから３００μｍである。一つの金属線路でその第一金属柱の頂面と第二金属柱のの頂面を接続する。一つの重合物層を金属線路の上に置く。

【００３６】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍであって、一つのワイヤー製作過程で一つのワイヤーを形成させ、その金属柱やその重合物層と接続する。

【００３７】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの重合物層を金属線路の上に置き、かつその金属柱を被覆する。一つの突出塊は、その金属柱の上に形成させ、その厚さは１０μｍから１５０μｍである。

【００３８】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、その製作過程に一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの重合物層を半導体基部の上に置き、かつその金属柱を被覆する。一つの金属コイルをその半導体基部の上に置き、その金属コイルの厚さは１μｍから１５μｍである。

【００３９】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、それに一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの突出塊は、その金属柱の上に形成させ、その突出塊の厚さは１０μｍから３０μｍの金層を含む。

【００４０】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、それに一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの突出塊は、その金属柱の上に形成させ、その突出

塊はチタン含有の一つの金層を含む。

【００４１】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、それに一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの突出塊は、その金属柱の上に形成させ、その突出塊はクロム含有の一つの金層を含む。

【００４２】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、それに一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの突出塊は、その金属柱の上に形成させ、その突出塊はタンタル含有の一つの金層を含む。

【００４３】

本発明は上記の目的のために、一種の線路デバイス構造の製作過程及びその構造を提出し、それに一つの半導体基部を提供する。その半導体基部の上に一つの金属柱を置き、その金属柱の最大幅をその金属柱の高さで割ると、４より小さく、またその金属柱の高さは２０μｍから３００μｍである。一つの第一重合物層を半導体基部の上に置き、かつその金属柱を被覆する。一つの基板を置く。一つの突出塊は、その金属柱とその基板間に位置し、一つの第二重合物層はその基板とその半導体基部間に位置し、かつその突出塊を被覆する。

【００４４】

以下は具体実施例と添付した図式で詳しく説明すると、本発明の目的・技術内容・特徴及び達成効果が理解しやすくなる。

【発明を実施するための最良の形態】

【００４５】

本発明は一種の線路デバイス構造の製作過程及びその構造であって、半導体基部に数多くの金属柱（Post）構造を形成させ、かつ隣同士の金属柱の間隔距離は２５０μｍ以下に縮小され、下記は数種の異なる実施例について説明する。

（第一実施例）

【００４６】

第一実施例の線路デバイス構造の製作過程は図２に示す。まず一つの半導体基部３０を提供し、この半導体基部３０の形式はシリコン基部やガリウム砒素基部（GAAS）あるいはシリコンゲルマニウム基部であって、シリコン・オン・インシュレーター（silicon-on-insulator, SOI）の基部で、半導体基部３０はこの実施例の中では円形の一つの半導体ウェハであり、かつこの半導体ウェハ３０は一つの主動表面があって、半導体ウェハ３０の主動表面は、５価や３価イオン（例えばホウ素イオンやリンイオン等）と通して、数個の電子デバイス３２を形成させ、この電子デバイス３２は金属酸化物半導体はMOSデバイス（MOS devices）やPチャンネルMOSデバイス（p-channel MOS devices）或いはnチャンネルMOSデバイス（n-channel MOS devices）またはBICMOSデバイス（BICMOS devices）やバイポーラトランジスタ（Bipolar Junction Transistor, BJT）や拡散区（Diffusion area）やレジスター（resistor）やキャパシタ（capacitor）及びCMOS等である。

【００４７】

図３を参照する。半導体ウェハ３０の主動表面に一つの細い接続構造３４を形成させ、この細い接続構造３４は複数の厚さが３μｍ以下の薄膜絶縁層３６及び厚さが３μｍ以下の細い線路層３８で構成され、その中の細い線路層３８は銅金属材質やアルミ金属材質を選択し、薄膜絶縁層３６はまた誘電体バリアとも呼ばれ、普通は化学気相法で形成させ、この薄膜絶縁層３６は酸化シリコンや化学気相法のテトラエトキシシラン（TEOS）酸化物、SiwCxOyHz、窒化シリコン化合物或いは窒酸化シリコン化合物、またスピンコーティング法で形成されたガラス（SOG）、フッ化ガラス（FSG）、シルク層（SiLK）、ブラックダ

イヤ薄膜（Black Diamond）、ポリアリレンエーテル （polyarylene ether）、ポリベンゾオキサゾール（polybenzoxazole,PBO）、多孔性シリカ（porous silicon oxide）である。或いはその薄膜絶縁層３６は誘電率（FPI）が３以下の材質である。

【００４８】

複数の細い線路層３８形成中、半導体ウェハ３０の過程において、金属ダマシン製作過程では、まず一つの拡散阻止層を一つの薄膜絶縁層３６開口内底部及び側壁上及び薄膜絶縁層３６上の表面にスパッタリングし、例えば銅材質のシード層を拡散阻止層にスパッタリングした後、銅層をこのシード層に電気めっきし、また光CMP（chemical mechanical polishing, CMP）方式で薄膜絶縁層３６開口外部の銅層・シード層と拡散阻止層を薄膜絶縁層３６の上表面が露出するまで除去する。もう一つの方法はまずアルミ層やアルミ合金層を薄膜絶縁層３６上にスパッタリングし、リソグラフィーエッチング方式でアルミ層やアルミ合金層を図案化する。この細い線路層３８は薄膜絶縁層３６のスルーホール４０を通過してお互いに接続し、或いは電子デバイス３２と接続し、細い線路層３８の一般厚さは０．１μｍから０．５μｍであって、リソグラフィーの製作過程において、５倍（５X）ステッパー（steppers）或いはスキャナーまたより良い機械を利用して、細い線路層３８を製作する。

【００４９】

次は化学気相法（CVD）を利用して、半導体基部３０の表面に保護層４２を設置し、この保護層４２複数の裂け目がパッド４４に露出し、これより半導体基部３０内の電子デバイス３２を湿気や外部のイオン性不純物（foreign ion contamination）の破壊を保護し、つまり保護層４２は可動イオン（mobile ions）（例えばナトリウムイオン）・水分（moisture）・遷移金属（transition metal）（例えば金・銀・銅）及びその他の雑質（impurity）の穿通によって、保護層４２下方にあるトランジスター・多結晶シリコン抵抗デバイス或いは多結晶シリコンコンデンサデバイスの電子デバイス３２やを細い金属線路への破壊を防止しする。保護目的を達成するため、通常は酸化シリコン（silicon oxide）・酸化シリコン化合物・リン化シリコンガラス・窒化シリコン（silicon oxide）及び窒酸化シリコン（silicon oxy-nitride）で保護層４２を組成する。

【００５０】

保護層４２の第一種製作方式は、まず化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層を形成させた後、化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層をその酸化シリコン層上に形成させる。

保護層４２の第二種製作方式は、まず化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層を形成させた後、プラズマ強化型の化学気相法を利用して、厚さ０．０５μｍから０．１５μｍの一酸化シリコン層をその窒酸化シリコン層上に形成させる。

【００５１】

保護層４２の第三種製作方式は、まず化学気相法を利用して、厚さ０．０５μｍから０．１５μｍの一窒酸化シリコン層を形成させた後、化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層をその窒酸化シリコン層に形成させてから、化学気相法を利用して、厚さ０．２μｍから１．２μｍの一窒化シリコン層をその酸化シリコン層上に形成させる。

【００５２】

保護層４２の第四種製作方式は、まず化学気相法を利用して、厚さ０．２μｍから０．５μｍの一酸化シリコン層を形成させた後、スピンコーティング法（spin-coating）を利用して、厚さ０．５μｍから１μｍの二酸化シリコン層をその一酸化シリコン層に形成させてから、化学気相法を利用して、厚さ０．２μｍから１．２μｍの三窒化シリコン層をその二酸化シリコン層上に形成させる。

【００５３】

保護層４２の第五種製作方式は、まず高密度プラズマ化学気相法（HDP-CVD）を利用して、厚さ０．５μｍから２μｍの一酸化シリコン層を形成させてから、化学気相法を利

用して、厚さ０．２μｍから１．２μｍの一窒化シリコンをその酸化シリコン層の上に形成させる。

【００５４】

保護層４２の第六種製作方式は、まず厚さ０．２μｍから３μｍの不純物を注入していないシリコンガラス（undoped silicate glass, USG）を形成させてから、例えばテトラエトキシシラン（TEOS）酸化物・borophosphosilicateガラス（borophosphosilicate glass, BPSG）或いはphosphosilicateガラス（phosphosilicate glass, PSG）等の厚さ０．５μｍから３μｍの絶縁層をその不純物を注入していないシリコンガラスの上に形成させた後、化学気相法を利用して、厚さ０．２μｍから１．２μｍの一窒化シリコン層をその絶縁層上に形成させる。

【００５５】

保護層４２の第七種製作方式は、選択的にまず化学気相法を利用して、厚さ０．０５μｍから０．１５μｍの一窒酸化シリコン層を形成させた後、また化学気相法を利用して、厚さ０．２μｍから１．２μｍの一窒化シリコン層をその二窒酸化シリコン層或いはその酸化シリコン層上に形成させ、それか選択的にまず化学気相法を利用して、厚さ０．０５μｍから０．１５μｍの三窒酸化シリコン層をその窒化シリコン層の上に形成させ、また化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層をその三窒酸化シリコン層或いは窒化シリコン層上に形成させる。

【００５６】

保護層４２の第八種製作方式は、まず化学気相法（PECVD）を利用して、厚さ０．２μｍから１．２μｍ一酸化シリコン層を形成させた後、スピンコーティング法（spin-coating）を利用して、厚さ０．５μｍから１μｍの二酸化シリコン層をその一酸化シリコン層に形成させてから、化学気相法を利用して、厚さ０．２μｍから１．２μｍの三窒化シリコン層をその二酸化シリコン層上に形成させ、また化学気相法を利用して、厚さ０．２μｍから１．２μｍの一窒化シリコン層をその三酸化シリコン層上に形成させ、それから化学気相法を利用して、厚さ０．２μｍから１．２μｍの四酸化シリコン層をその窒化シリコン層上に形成させる。

【００５７】

保護層４２の第九種製作方式は、まず高密度プラズマ化学気相法（HDP-CVD）を利用して、厚さ０．２μｍから２μｍの一酸化シリコン層を形成させてから、また化学気相法を利用し、厚さ０．２μｍから１．２μｍの一窒化シリコン層をその一酸化シリコン層上に形成させ、それから高密度プラズマ化学気相法（HDP-CVD）を利用して、厚さ０．５μｍから２μｍの二酸化シリコン層をその窒化シリコン層上に形成させる。

【００５８】

保護層４２の第十種製作方式は、まず化学気相法を利用して、厚さ０．２μｍから１．２μｍの一酸化シリコン層を形成させてから、また化学気相法を利用し、厚さ０．２μｍから１．２μｍの一酸化シリコン層をその一窒化シリコン層上に形成させ、それから化学気相法を利用して、厚さ０．２μｍから１．２の二窒化シリコン層をその酸化シリコン層上に形成させる。

保護層４２の厚さは一般０．３５μｍ以上であって、状況が良ければ、窒化シリコン層の厚さは一般０．３μｍ以上である。

【００５９】

保護層４２が完成した後、図４ａで示すように、今度は厚さ３μｍから５０μｍの第一重合物層４６をその保護層４２上形成させ、この第一重合物層４６は絶縁機能を持っているし、かつこの第一重合物層４６の材質は熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料或いは多孔性誘電材料等から選択する。この第一重合物層４６の設置方式はホットラミネーションドライフィルム方式やスクリーンプリント或いはスピンコーティング方式を含む。それから図４ｂで示すように、エッチング方式を利用して、この第一重合物層４

６に対して図案化を行ない、半導体基部３０上のパッド４４に数多くの開口４８が露出する。ここで注意することは、第一重合物層４６は感光材質である場合、リソグラフィープロセス（photolithography process）を利用して、この第一重合物層４６を図案化する。第一重合物層４６は感光材質ではない場合、リソグラフィーエッチングプロセス（photolithography process and etching process）を利用して、この第一重合物層４６を図案化する。

【００６０】

第一重合物層４６を図案化した後、ベーキング加熱やマイクロウェーブ加熱或いは赤外線加熱で２００℃から３２０℃までの温度を加熱し、あるいは加熱で３２０℃から４５０℃までの温度を加熱し、第一重合物層４６を硬化（curing）させる。硬化後の第一重合物層４６の体積は縮小し、かつ第一重合物層４６の含水率は１％以下で、この含水率は第一重合物層４６を温度４２５℃から４５０℃において、その重量変化率は１％以下である。

【００６１】

図５で示すように、スパッタリング方式で厚さ４００Åから７０００Åの一つの第一粘着／阻害層５０（Adhesion／Barrier／seed layer）を第一重合物層４６及びパッド上に形成させ、この第一粘着／阻害層５０の材質はチタン金属・窒化チタン・チタンタングステン合金・タンタル金属層・クロム・クロム銅合金或いは窒化タンタルの中の一種や組み合わせた場合、少なくともその中の一種を使用し、かつ第一粘着／阻害層５０は、その第一粘着／阻害層５０の上に形成シード層させる。 このシード層は次の金属線路の設置に役立っているので、シード層の材質は次の金属線路の材質によって変化する。後続だ実施例の粘着／阻害層の上すべて形成シード層させる。

【００６２】

シード層上は電気めっきで形成された銅材質の金属線路の場合は、シード層の材料は銅の方が良い。銀材質の金属線路を電気めっきする場合は、シード層の材料は銀の方が良い。パラジウム材質の金属線路を電気めっきする場合は、シード層の材料はパラジウムの方が良い。プラチナ材質の金属線路を電気めっきする場合は、シード層の材料はプラチナの方が良い。ロジウム材質の金属線路を電気めっきする場合は、シード層の材料はロジウムの方が良い。ルテニウム材質の金属線路を電気めっきする場合は、シード層の材料はルテニウムの方が良い。レニウム材質の金属線路を電気めっきする場合は、シード層の材料はレニウムの方が良い。ニッケル材質の金属線路を電気めっきする場合は、シード層の材料はニッケルの方が良い。

【００６３】

次は図６ａで示すように、一つの第一図案化ハードンフォトレジスト層５４（hardened photoresist）をこの第一粘着／阻害層５０上のシード層上に形成させ、この第一図案化ハードンフォトレジスト層５４は数個の開口５６によって、部分の第一粘着／阻害層５０上のシード層上を露出させ、この開口５６、１倍（１X）ステッパー（steppers）或いはスキャナー（scanners）またより良い機械を利用して形成させ、この第一図案化ハードンフォトレジスト層５４を除去すると。それから開口３６内の第一粘着／阻害層５０上のシード層上を露出させ、に一つの厚さ１μｍから５０μｍの第一金属層５８を電気めっきし、この第一金属層５８のより良い厚さは２μｍから３０μｍの間であって、第一金属層５８を細い接続構造３４と接続させ、この第一金属層５８の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウム或いはニッケルの中の一種や組み合わせた場合、少なくともその中の一種を使用し、この第一図案化ハードンフォトレジスト層５４を除去すると、一つの第一RDL線路層６０を形成させ、注意する特点はこの第一RDL線路層６０は主に第一金属層５８を開口４８の上に形成させ、また一部の第一重合物層４６上へ延伸させている。単に開口４８の上に形成されているではなく、延伸した第一金属層５８は次の線路設置に役立っている。

【００６４】

図６ｂで示すように、次は一つの第二図案化ハードンフォトレジスト層６２を第一RDL線路層６０上及び第一粘着／阻害層５０上のシード層上に形成させ、この第二図案化ハー

ドンフォトレジスト層６２は数個の開口６４によって、この第一RDL線路層６０の第一金属層５８を露出させる。それから図６ｃで示すように、電気めっきで形成されした厚さ２０μｍから３００μｍの一つの第二金属層６６はこの開口６４内に形成させ、かつこの第二金属層６６の最大≡幅は３μｍから５０μｍであって、この第二金属層６６の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウム或いはニッケルの中の一種や組み合わせた場合、少なくともその中の一種を使用し、この第二金属層６６のより良い厚さは３０μｍから１００μｍの間である。

【００６５】

この第二金属層６６の材質は銅、第一RDL線路層６０のより良い一番階は銅であり、この第二金属層６６の材質は銀、第一RDL線路層６０のより良い一番階は銀であり、この第二金属層６６の材質はパラジウム、第一RDL線路層６０のより良い一番階はパラジウムであり、この第二金属層６６の材質はプラチナ、第一RDL線路層６０のより良い一番階はプラチナであり、この第二金属層６６の材質はロジウム、第一RDL線路層６０のより良い一番階はロジウムであり、この第二金属層６６の材質はルテニウム、第一RDL線路層６０のより良い一番階はルテニウムであり、この第二金属層６６の材質はレニウム、第一RDL線路層６０のより良い一番階はレニウムであり、この第二金属層６６の材質はいはニッケル、第一RDL線路層６０のより良い一番階はいはニッケルである。

【００６６】

図６ｄで示すように、次は第二図案化ハードンフォトレジスト層６２を除去し、また同じように過酸化水素を利用して、第一金属層５８下の第一粘着／阻害層５０をエッチング除去し、過酸化水素以外にも、ヨード含有エッチング液、例えばヨードカリ等のエッチング液を使用して良い。図６ｅで示すように、この第一金属層５８下のシード層及び第一粘着／阻害／シード層５０を除去するステップは第二図案化ハードンフォトレジスト層６２或いは第一図案化ハードンフォトレジスト層５４を除去した後に行っても良い。

【００６７】

図７ａ及び図７ｂで示すように、第一金属層５８下の第一粘着／阻害層５０を除去した後、各第二金属層６６、即ちコスト発明を定義する金属柱体６８の最大幅Hwを高さHtで割ると、４より小さい柱体であって、この数値は３或いは２より小さくなるのも可能である。この金属柱体６８の最大横幅は３μｍから５０μｍである。この金属柱体６８は細小な柱体であって、上記の金属層或いは線路層とは異なって、かつ隣同士の金属柱体６８の中心から中心の間隔距離Ｈｂは１０μｍから２５０μｍの間であって、また１０μｍから２００μｍ・１０μｍから１７５μｍ・１０μｍから１５０μｍのより良い間隔距離に縮小することも可能である。図７ｂにこの金属柱体６８を第二金属層６６に設置した見下ろし図を示す。図より明らかに分かることはこの金属柱体６８は開口４８上のRDL線路層６０上に形成されているではなく、RDL線路層６０から延伸した区域の上に形成されている。

【００６８】

図８ａで示すように、一つの第二重合物層７０がこの半導体基部３０上に、金属柱体６８を被覆し、この第二重合物層７０の材質は熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料或いは多孔性誘電材料等から選択する。この第二重合物層７０の設置方式はスクリーンプリント或いはスピンコーティング方式である。図８ｂを参照すると、スクリーンプリント方式で設置する場合は、直接第二重合物層７０内に多数開口７２を形成させ、かつ金属柱体６８頂端に露出する。スピンコーティング方式で第二重合物層７０を設置する場合は、一つの図案化ステップを通して、多数開口７２を形成させてから、金属柱体６８頂端に露出する。この第二重合物層７０をスピンコーティング方式で設置するなら、リソグラフィーエッチング方式で開口７２を形成する。図８ｃで示すように、この金属柱体６８の露出方式は開口７２以外に、研磨方式で金属柱体６８を露出ことも可能であるが、研磨ステップを行う前に、まず第二重合物層７０を硬化（Curing）させた後、化学物理研磨（CMP）で第二重合物層７０を研磨し、金属柱体６８を露出させる。硬化ステップはベー

キング加熱やマイクロウェーブ加熱或いは赤外線加熱の一つを選ぶ。

【００６９】

ここで予め説明したいことは、数多くの実施例は図８ｂ及び図８ｃ中の構造より延伸したので、本発明にとって、この二つの図に半導体基部３０上に、多数の金属柱体６８を形成させ、隣同士の金属柱間に細間隔距離（fine pitch）の特徴が見られ、その間隔距離は１０μｍから２５０μｍの間であって、かつ金属柱体６８の最大幅Hwを高さHtで割ると、４より小さいであるので、下記の数多くの実施例は、全てこの金属柱体６８に対して、変化を行ない、第一実施例は、図８ｃの構造を基礎としている。

【００７０】

図９で示すように、塗る方法を利用して、一つの第三重合物層７４を第二重合物層７０上に形成させ、この第三重合物層７４に対して、図案化ステップで多数開口７２を形成する。この第三重合物層７４の図案化ステップはリソグラフィーやリソグラフィーエッチング方式である。またドライフィルム型式で図案化した第三重合物層７４を第二重合物層７０上にホットラミネーションし、或いはスクリーンプリント方式を利用して、第三重合物層７４を第二重合物層７０上に形成する。この第三重合物層７４の材質は熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料或いは多孔性誘電材料等から選択する。

【００７１】

図１０ａで示すように、スパッタリング方式で厚さ４００Åから７０００Åの一つの第二粘着／阻害層７８を第三重合物層７４及び金属柱体６８頂端の表面上に形成させ、この第二粘着／阻害層７８の材質はチタン金属・窒化チタン・チタンタングステン合金・タンタル金属層・クロム・クロム銅合金或いは窒化タンタルの中の一種や組み合わせた場合、その第二粘着／阻害層７８の上に形成シード層させる、少なくともその中の一種を使用する。次は図１０ｂで示すように、一つの第三図案化ハードンフォトレジスト層８２を第二粘着／阻害層７８のシード層に形成させ、この第三図案化ハードンフォトレジスト層８２はポジフォトレジスト型式であって、この第三図案化ハードンフォトレジスト層８２の数個の開口８３は、開口７６上及び開口７６周辺の第二粘着／阻害層７８のシード層に露出する。

【００７２】

次は図１０ｃで示すように、電気めっき方式で一つの第三金属層８４を開口８３内に露出するかつ第二粘着／阻害層７８上のシード層上に形成させ、この第三金属層８４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウム或いはニッケルの中の一種や組み合わせた場合、少なくともその中の一種を使用する。図１０ｄで示すように、次は同じように過酸化水素を利用して、第三金属層８４下の第二粘着／阻害層７８をエッチング除去し、過酸化水素以外にも、ヨード含有エッチング液、例えばヨードカリ等のエッチング液を使用して良い。ここで注意することは、この第三金属層８４はめっきによって形成された厚さの差異である。第三金属層８４の材質の差異と厚さの差異によって、半導体基部３０を外部回路と接続時、異なる型式と応用が生じる。即ち異なる応用に従って、第三図案化ハードンフォトレジスト層８２の厚さ・開口８３幅及び開口８２の形成位置が変わってくるので、また第三金属層８４は電気めっきによって、異なる厚さ・位置及び材質になってくる。上記の外部回路はフレキ基板・半導体チップ・プリント配線板・セラミック基板或いはガラス基板等である。

【００７３】

本実施例において、この第三金属層８４が形成された型式は、突出塊（bump）・パッド（pad）、RDL或いははんだ（solder）である。上記の図１０ｄで示すように、第三金属層８４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、かつ形成された第三金属層８４の厚さ（Ha）は５μｍから３０μｍの間である時、より良い厚さは１０μｍから２５μｍの間であるので、この第三金属層８４を突出塊８６と定義する。かつ隣同士の突出塊８６の中心から中心の間隔距離２５０μｍ小さいであるの間で

あって、また２００μｍ・１５０μｍのより良い間隔距離に縮小することも可能である。また図１１で示すように、この半導体基部３０をカットし、半導体基部３０を複数の半導体ユーニット８８に形成させ、各半導体ユーニット８８上の突出塊８６はACFの形成によって、一つの外部回路と接続できる。

【００７４】

図１２ａ及図１２ｂで示すように、第三金属層８４の材質ははんだ・錫鉛合金・錫銀銅合金或いは無鉛はんだの一つであって、かつ形成された第三金属層８４の厚さ（Ha）は２０μｍから１５０μｍの間である時、より良い厚さは３０μｍから１０５μｍの間である。次は図１２ｃで示すように、この半導体基部３０を加熱し、この第三金属層８４が加熱されると、球状に溶融されるので、この球状に溶融された第三金属層８４を錫ボール９２と定義する、かつ隣同士の錫ボール９２の中心から中心の間隔距離２５０μｍ小さいであるの間であって、また２００μｍ・１５０μｍのより良い間隔距離に縮小することも可能である。第三金属層８４の第三種方法は、電気めっきで形成されした厚さ１μｍから１００μｍの一つの銅層はこの第三図案化ハードンフォトレジスト層８２の開口８３内に形成させ、続いて電気めっきで形成されした厚さ１μｍから１０μｍの一つのニッケル層は銅層の上層にあり、最後電気めっきで形成されした厚さ２０μｍから１５０μｍの一つの錫層或いは錫銀層或いは錫銀銅合金層はニッケル層の上層にある。

それからこの半導体基部３０を図１２ｄで示すようにカットし、半導体基部３０を複数の半導体ユーニット８８に形成させ、各半導体ユーニット８８上の錫ボール９２は外部基板９４上に接合可であって、この基板９４は半導体チップ・プリント配線板・セラミック基板或いはガラス基板である。

【００７５】

図１２ｅで示すように、この半導体ユーニット８８上の錫ボール９２は外部基板９４上に接合した時、その半導体ユーニット８８を外部基板９４と接合する前に、まず一つの第四重合物層９６を基板９４上に形成させ、この第四重合物層９６の材質は熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料或いは多孔性誘電材料等から選択する。この第四重合物層９６の形成方式は、一つの図案化されたドライフィルム（dry film）をその基板９４上にホットラミネーションし、或いは一つの感光性ドライフィルムをその基板９４上にホットラミネーションした後、リソグラフィー方式で感光性ドライフィルムを図案化し、或いはスクリーンプリント方式で第四重合物層９６を基板９４上に形成させ、或いはスピンコーティング方式で一つの感光性薄膜を基板９４上に形成させ、またリソグラフィー方式で感光性ドライフィルム或いはスピンコーティング方式で一つの非感光性薄膜を基板９４上に形成させ、リソグラフィーエッチング方式で非感光性薄膜を図案化する。半導体ユーニット８８上の錫ボール９２が基板９４と接合した後加熱し、第四重合物層９６を硬化させ、この加熱ステップはベーキング加熱やマイクロウェーブ加熱或いは赤外線加熱等の方式を選択する。

【００７６】

図１３ａ及び図１３ｂで示すように、第三金属層８４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、かつ形成された第三金属層８４の厚さ（Ha）は１μｍから１５μｍの間である時、より良い厚さは２μｍから１０μｍの間である。この第三金属層８４をパッド９８と定義し、かつ隣同士のパッド９８の中心から中心の間隔距離２５０μｍ小さいであるの間であって、また２００μｍ・１５０μｍのより良い間隔距離に縮小することも可能である、このパッド９８はワイヤー製作過程で一つのワイヤーを形成させ、外部回路と接続する。

【００７７】

図１４ａ及び図１４ｂで示すように、第三金属層８４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、かつ形成された第三金属層８４の厚さ（Ha）は５μｍから３０μｍの間である時、より良い厚さは１０μｍから２５μｍの間で

あって、かつこの第三金属層８４の形成位置は第三重合物層７４の開口７６上以外に、開口７６側方の第二粘着／阻害層７８上にも形成させ、この第三金属層８４をRDL層１００と定義し、このRDL層１００はワイヤー製作過程で一つのワイヤーを形成させ、外部回路と接続する。ここで強調説明したいことは、開口７６側方の第三金属層８４はパッド９８の機能に類似し、このようの偏心設計は、上記のパッド９８の寸法が過小時、ワイヤー製作過程で必要なワイヤー面積が不足し、ワイヤー製作過程が困難になることを防ぐためである。

【００７８】

本実施例の図９から図１４ｂの中の突出塊（bump）・パッド（pad）、RDL或いははんだ（solder）等の応用は、全て図８ｃの構造より延伸し、ただしこれらの応用は、同じように直接図８ｃの構造より延伸することができ、原因は図９の構造は図８ｃの構造の第三重合物層７４より形成させ、またこの第三重合物層７４を多数開口に図案化され、しかし図８ｂの構造は研磨によって金属柱体６８を露出させたではなく、図案化方式で多数開口で金属柱体６８を露出させ、また第三重合物層７４を設置する必要性がなくなったので、即ち図８ｂの構造は図８ｃの構造に第三重合物層７４を加えたようであり、ゆえに図９から延伸する図１０ａ～ｄ、図１１、図１２ａ～ｅ、図１３ａ～ｂ、図１４ａ～ｂの突出塊（bump）・パッド（pad）、RDL或いははんだ（solder）等の応用についての説明は省略する。

【００７９】

（第二実施例）

本実施例は第一実施例の図８ｃからの延伸である。図１５ａを参照すると、この実施例の中の金属柱体６８頂部は一つの金層１０２であって、この金層１０２の厚さ１μmから３０μm、この金属柱体６８の金属１０２上に、ワイヤー製作過程で一つのワイヤー１０４を形成させ、外部回路と接続する。ここで注意することは、金層１０２以下の金属は銅層１０４・ニッケル層１０６（銅・ニッケル・金構造）、この銅層１０４の厚さ１０μmから１００μm、このニッケル層１０６の厚さ１μmから３０μm、或いは図１５ｂで示すように、この金層１０２は銅層１０４の上層にあり、この金層１０２の厚さ１μmから３０μm、或いは図１５ｃで示すように、金属柱体６８全体の材質は金である、この金属柱体６８厚さ１０μmから１００μm。

【００８０】

（第三実施例）

本実施例は第一実施例の図８ｃからの延伸である。図１６ａを参照すると、一つの第三粘着／阻害層１０５を第二重合物層７０上に形成する、その第三粘着／阻害層１０５の上に形成シード層させる、図１６ｂで示すように、一つの第四図案化ハードンフォトレジスト層１１０を第三粘着／阻害層１０５上に形成させ、この第四図案化ハードンフォトレジスト層１１０内には多数開口１１２があって、その中少なくとも一つの開口１１２が金属柱体６８の上方に位置し、かつこの開口１１２は図１６ｃで示すように、コイル状を電気めっきして、一つの第四金属層１１４を第四図案化ハードンフォトレジスト層１１０の開口１１２内に形成する、その第四金属層１１４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第四金属層１１４のの厚さ１μmから３０μm、その第四金属層１１４は複合の金属層使用される、電気めっきで形成されした厚さ１μmから３０μmの一つの銅層であり、続いて電気めっきで形成されした厚さ１μmから１０μmの一つのニッケル層は銅層の上層にあり、最後電気めっきで形成されした厚さ１μmから１０μmの一つの金はニッケル層の上層にある。

【００８１】

図１６ｄで示すように、第四図案化ハードンフォトレジスト層１１０を除去し、かつ同じように過酸化水素やヨード含有エッチング液を使用して、第四図案化ハードンフォトレジスト層１１０下の第三粘着／阻害層１０５を除去した後、図１６ｅで示すように、この第四金属層１１４はコイル状を呈するので、この第四金属層１１４を一つの第一コイル金属層１１６と定義し、その中の第一コイル金属層１１６は金属柱体６８を通して半導体基

部３０と接続する。図１６ｆで示すように、半導体基部３０と接続する以外に、ワイヤー製作過程を通して外部回路と接続することも可能である（図示せず）。またこの第一コイル金属層１１６をダメージ及び水気の浸入から保護するために、一つの保護層１１７を形成することができる、その保護層１１７の厚さは５μｍから２５μｍである。この保護層１１７の材質は有機化合物或いは無機化合物で、例えば熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料・多孔性誘電材料・酸化シリコン（silicon oxide）、酸化シリコン化合物、ケイ素-リンガラス・窒化けい素（silicon nitride）及びSiON（silicon oxy-nitride）等から組成する。この第一コイル金属層１１６はインダクター・コンデンサー及び抵抗等の受動デバイスの領域に応用される。

【００８２】

ここでこの第一コイル金属層１１６がコンデンサー受動デバイスでの応用を列記し、図１６ｇを参照すると、第一コイル金属層１１６が一つの第五重合物層１１８を被覆し、この第五重合物層１１８の厚さは２０μｍから３００μｍの間であって、この第五重合物層１１８の材質はポリイミド（polyimide, PI）であり、この第二コイル金属層１２０は外部回路との接続が可能である。外部回路の電流に変化が起きた時、第二線圏金屬層１２０を通して、誘導起電力が生じ、第一コイル金属層１１６がこれを感応して、生じた信号を半導体基部３０へ伝送され、この受動デバイスの製作解説はここで完了する。

【００８３】

上記の電気めっき方式を利用すると、第二重合物層７０上に一つのコンデンサーデバイス１２１（capacitor）を形成することも可能であって、図１６ｈで示すように、第二重合物層７０に厚さ５００Åから５０００Åの一つの低誘電層１２１aを設け、この低誘電層１２１aの材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、かつこの低誘電層１２１ａは一つの金属柱体６８と接続してから、低誘電層１２１ａ上に一つの高誘電層１２１ｂを被覆し、この高誘電層１２１ｂの材質は窒酸化化合物・酸化シリコン（silicon oxide）化合物或いはポリイミド（polyimide, PI）であって、隣同士の金属柱体６８上を電気めっきで一つの低抵抗金属層１２１ｃを形成させ、この低誘電層１２１ａは二種類の方法を形成させ、一種類はもう一つの方法に厚さ４００Åから７５００Åの一つの粘着／阻害層は第二重合物層７０と高誘電層１２１ｂの上層にあり、この粘着／阻害層の材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、続いてもう一つの方法に厚さ５００Åから５０００Åの一つのシード層は粘着／阻害層の上層にあり、続いて電気めっきで形成されした厚さ１μｍから３０μｍの一つの銅層はシード層の上層にあり、続いて電気めっきで形成されした厚さ１μｍから１０μｍの一つのニッケル層は銅層の上層にある。

【００８４】

別の方法はもう一つの方法に厚さ４００Åから７５００Åの一つの粘着／阻害層は第二重合物層７０と高誘電層１２１ｂの上層にあり、続いてもう一つの方法に厚さ５００Åから５０００Åの一つのシード層は粘着／阻害層の上層にあり、最後電気めっきで形成されした厚さ１μｍから３０μｍの金層は金の材質シード層の上層にあり、隣同士の金属柱体６８に電圧を加えると、高誘電層１２１ｂの上下側に大きな電圧差が形成され、この構造はコンデンサー機能を持っている。最後はこのコンデンサーデバイス１２１を損害から守るため、この低抵抗金属層１２１ｃ及び第二重合物層７０の上に保護層１２１ｄを被覆するのも可能である。

【００８５】

（第四実施例）

本実施例は第一実施例の図８ｂの延伸であって、図１７ａで示すように、一つの第四粘着／阻害層１２２を第二重合物層７０上に形成させ、この第四粘着／阻害層１２２の材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、このシード層の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、

図１７ｂで示すように、一つの第五図案化ハードンフォトレジスト層１２６を第四粘着／阻害層１２２上に形成させ、この第五四図案化ハードンフォトレジスト層１２６内に多数開口１２８があって、その中の二つの開口１２８が金属柱体６８の上方に位置し、図１７ｃで示すように、電気めっきで形成された厚さμｍから３０μｍの一つの第五金属層１３０を第五図案化ハードンフォトレジスト層１２６の開口１２８内の第四粘着／阻害／シード層１２２上に形成させ、かつこの第五金属層１３０は低抵抗で、例えば金・銀或いは銅等である。次は図１７ｄで示すように、第五図案化ハードンフォトレジスト層１２６を除去し、また同じように過酸化水素やヨード含有エッチング液を使用して、第五図案化ハードンフォトレジスト層１１０下の第四粘着／阻害層１２２を除去した後、この第五金属層１３０を二つの金属柱体６８に接続し、この第五金属層１３０は二つの金属柱体６８の電流通路であって、またダメージや水気の浸入から保護するために、一つの保護層１３２を第二重合物層７０及び第五金属層１３０上に形成することができる、この第五金属層１３０のの厚さ１μｍから３０μｍ、その第五金属層１３０は複合の金属層使用される、電気めっきで形成されした厚さ１μｍから３０μｍの一つの銅層、続いて電気めっきで形成されした厚さ１μｍから１０μｍの一つのニッケル層は銅層の上層にあり、最後は電気めっきで形成されした厚さ１μｍから１０μｍの一つの金層はニッケル層の上層にある。

【００８６】

第五金属層１３０をメタルは路線を連がる以外に、多層線路構造への延伸も可能である。図１７ｅで示すように、一つの第六重合物層１３４を第二重合物層７０及び第五金属層１３０上に形成された後、図１７ｆで示すように、この第六重合物層１３４の多数開口を第五金属層１３０に露出するように図案化し、図１７ｇで示すように、順序によって一つの第五粘着／阻害層１３６をスパッタリングし、この第五粘着／阻害層１３６の材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、このシード層の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、図１７ｈで示すように、一つの第六図案化ハードンフォトレジスト層１４０を上に形成させ、この第六図案化ハードンフォトレジスト層１４０の多数開口を第六重合物層１３４の開口に露出させ、図１７ｉで示すように、一つの第六金属層１４２を第六図案化ハードンフォトレジスト層１４０上に形成させ、この第六金属層１４２の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第六金属層１４２のの厚さ１μｍから３０μｍ、その第六金属層１４２は複合の金属層使用される、電気めっきで形成された厚さ１μｍから３０μｍの一つの銅層であり、続いて電気めっきで形成された厚さ１μｍから１０μｍの一つのニッケル層は銅層の上層にあり、最後電気めっきで形成された厚さ１μｍから１０μｍの一つの金はニッケル層の上層にある。

【００８７】

図１７ｊで示すように、第六図案化ハードンフォトレジスト層１４０及び第六金属層１４２下方以外と第五粘着／阻害層１３６とシード層を除去した後、図１７ｋで示すように、一つの第七重合物層１４４を第六重合物層１３４及第六金屬層１４２上に形成させ、その第七重合物層１４４た厚さ１０μｍから２５μｍの一つの、図１７ｌで示すように、この第七重合物層１４４の多数開口を第六金属層１４２に露出するように図案化し、図１７ｍで示すように、ワイヤー製作過程で一つのワイヤーを第六金属層１４２に露出させ、外部回路と接続する。

【００８８】

（第五実施例）

本実施例は第一実施例の図８ｂの延伸であって、かつ本実施例は第四実施例と似て、図１８で示すように、本実施例の形成方式は第四実施例と同じて、異なる点は第四実施例の中の第五金属層１３０は低抵抗材質であるので、第五金属層１３０の電流は速やかに流通することができるが、第五実施例（図１８参照）の第七金属層１４６は高抵抗材質で、例えばクロム／ニッケル合金（Cr／Ni）・チタン・タングステン等であって、かつ第七金属層１４６の厚さは１μｍから３μｍであるので、第七金属層１４６は本実施例において、抵抗デバイスとして用いられる。

【００８９】
（第六実施例）
上記の第一から第五実施例は図８ｂ及び図８ｃ構造の延伸であるが、本実施例は図８ａ構造の延伸である。図１９ａ及び図１９ｂで示すように、本実施例はエッチング方式を利用し、一部分の第二重合物層７０を高さ１μｍから１５０μｍの金属柱体６８が露出するまで除去し、この露出高さは金属柱体頂面から第二重合物層７０頂面までの距離であって、もし金属柱体６８の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムである時、金属柱体６８のより良い露出高さは１５μｍから３０μｍの間である。この金属柱体６８は突出塊として使用され、図１９ｃで示すように、同じカットステップを行ない、この半導体基部３０を複数半導体ユーニット８８にカットし、同じように各半導体ユーニット８８上の突出塊８６はACFの形成によって、一つの外部回路と接続できる。
【００９０】
もし金属柱体６８の材質ははんだ・錫鉛合金・錫銀合金・錫銀銅合金或いは無鉛はんだである時、金属柱体６８のより良い露出高さは５０μｍから１００μｍの間である。図１９ｄで示すように、同じ加熱ステップで外部に露出する金属柱体６８をボール状（はんだ錫ボール）に溶融してから、図１９ｅで示すように、同じカットステップを行ない、この半導体基部３０を複数半導体ユーニット８８にカットし、各半導体ユーニット８８上の突出塊８６を外部基板と接合させ、また半導体ユーニットと基板間に一つの第八重合物層１４８を形成させ、各ボール状突出塊を被覆する。
【００９１】
図１９ｆで示すように、もし金属柱体６８の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムである時、金属柱体６８のより良い露出高さは１μｍから１５μｍの間である。この露出した金属柱体６８はパッドとして使用し、このパッドはワイヤー製作過程で一つのワイヤーを形成させ、その金属層やその重合物層と接続する。
【００９２】
図１９ｇで示すように、もし露出した金属柱体６８の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムであって、かつ露出高さは５０００Åから１０μｍの間である時、一つの第六粘着／阻害層１５０を第二重合物層７０及び金属柱体６８の露出表面に形成させ、この第六粘着／阻害層１５０の材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、このシード層は第六粘着／阻害層１５０の上層にあり、このシード層の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第六粘着／阻害層１５０に厚さ１０００Åから７５００Åの一つ。
【００９３】
図１９ｈで示すように、一つの第七図案化ハードンフォトレジスト層１５２を第六粘着／阻害層１５０上に形成させ、第七図案化ハードンフォトレジスト層１５２の多数開口は第六粘着／阻害層１５０に露出し、図１９ｉで示すように、一つの第八金属層１５４を第七図案化ハードンフォトレジスト層１５２の開口内に形成させ、図１９ｊで示すように、第七図案化ハードンフォトレジスト層１５２を除去し、また第八金属層１５４下以外の第六粘着／阻害／シード層１５０も除去する。この第八金属層１５４は、メタル路線をつなぎ、二つの金属柱体６８の間と接続する。この第八金属層１５４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第八金属層１５４の厚さ１μｍから３０μｍ、その第八金属層１５４は複合の金属層使用される、電気めっきで形成されした厚さ１μｍから３０μｍの一つの銅層であり、続いて電気めっきで形成されした厚さ１μｍから１０μｍの一つのニッケル層は銅層の上層にあり、最後電気めっきで形成されした厚さ１μｍから１０μｍの一つの金はニッケル層の上層にある。
【００９４】
図１９ｋで示すように、最後は第八金属層１５４及び第二重合物層７０を損害から守る

ため、保護層１５４として被覆する。その保護層１５４の材質は熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料・多孔性誘電材料・酸化シリコン（silicon oxide）・酸化シリコン化合物・リン化シリコンガラス・窒化シリコン（silicon oxide）及び窒酸化シリコン（silicon oxy-nitride）等から選択する。

【００９５】

このエッチングを利用し、金属柱体６８を露出させる方法は、上記の突出塊・パッド及びメタルは路線の接続に応用される以外に、またコイル構造・コンデンサー構造及び抵抗構造にも応用される。製作ステップは上記の実施例とは似ているので、繰り返して説明しない。

（第七実施例）

【００９６】

本実施例の構造は図８ｃの構造と似て、異なる点は金属柱体６８及び第二重合物層７０の製作過程が違うだけで、図２０ａで示すように、この第一RDL層６０を半導体基部３０に形成後、一つの第九図案化ハードンフォトレジスト層１５８をこの第一RDL層６０上及び第一粘着／阻害／シード層５０上に形成させ、この第九図案化ハードンフォトレジスト層１５８の多数開口を第一RDL層６０に露出させ、かつ第九図案化ハードンフォトレジスト層１５８の開口深度は２０μmから３００μmの間である。

【００９７】

この第九図案化ハードンフォトレジスト層１５８の材質はは熱塑性プラスチック・熱固性プラスチック・ポリイミド（polyimide, PI）、ベンゾシクロブテン（benzo-cyclo-butene, BCB）・ポリウレタン（polyurethane）・エポキシ樹脂・ポリp-キシレン類高分子・溶接マスク材料・弾性材料或いは多孔性誘電材料等から選択する。かつこの第九図案化ハードンフォトレジスト層１５８の形成方式は一つの図案化されたドライフィルム（dry film）をその半導体基板３０上にホットラミネーションし、或いは一つの感光性ドライフィルムを半導体基板３０上にホットラミネーションした後、リソグラフィー方式で感光性ドライフィルムを図案化し、或いは一つの非感光性薄膜を半導体基板３０上にホットラミネーションし、またリソグラフィー方式で非感光性薄膜を図案化し、或いはスクリーンプリント方式で第九図案化重合物層１５８を半導体基板３０上に形成させ、或いはスピンコーティング方式で一つの感光性薄膜を半導体基板３０上に形成させ、またリソグラフィー方式で感光性ドライフィルム或いはスピンコーティング方式で一つの非感光性薄膜を半導体基板３０上に形成させ、またリソグラフィーエッチング方式で非感光性薄膜を図案化する。

【００９８】

図２０ｂで示すように、一つの厚さ４００Åから７０００Åの第七粘着／阻害層１６０を第九図案化重合物層１５８及び第九図案化重合物層１５８開口内の第一RDL層６０上に形成させ、この第七粘着／阻害層１６０の材質はチタン・チタンタングステン合金・タンタル或いは窒化タンタル等であって、このシード層は第七粘着／阻害層１６０の上層にあり、このシード層の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第六粘着／阻害層１５０に厚さ１０００Åから７５００Åの一つ。

【００９９】

図２０ｃで示すように、ダマシン（Damascene）方式で一つの第九金属層１６２を第七粘着／阻害／シード層１６０上に形成された後、第九図案化重合物層１５８の開口を詰め込む、この第八金属層１５４の材質は金・銅・銀・パラジウム・プラチナ・ロジウム・ルテニウム・レニウムで、この第九金属層１６２の厚さ１μmから３０μm、その第九金属層１６２は複合の金属層使用される、電気めっきで形成されした厚さ１μmから３０μmの一つの銅層であり、続いて電気めっきで形成されした厚さ１μmから１０μmの一つのニッケル層は銅層の上層にあり、最後電気めっきで形成された厚さ１μmから１０μmの一つの金はニッケル層の上層にある。

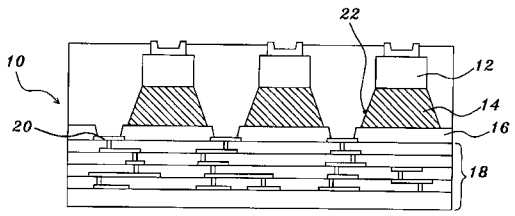
【０１００】
図２０ｄで示すように、一つの研磨ステップで第九図案化重合物層１５８の開口以外の第九金属層１６２及び第七粘着／阻害層１６０を除去し、金属柱体６８の設置を完成させる。この金属柱体６８の最大幅Hwを高さHtで割ると、４より小さい柱体であって、この金属柱体６８の最大横幅は３μｍから５０μｍである。かつ隣同士の金属柱体６８の間隔距離Hbは１０μｍから２５０μｍの間である。
【０１０１】
ダマシン（Damascene）方式で形成された金属柱体６８の構造は、上記の図８ｃの中で掲示した構造が非常に似ているので、このあとの第九図案化重合物層１５８及び金属柱体６８上にその他のデバイス製作方式は同じステップである。
図２１ａから図２１ｄで示すように、この図は第九図案化重合物層１５８及び金属柱体６８上に、突出塊・パッド・錫ボールとRDL層の製作を掲示し、その製作過程の部分は上記の実施例で説明したので、ここでは最終の完成構造のみを掲示し、製作過程の部分は略す。
【０１０２】
図２２から図２５で示すように、この図は第九図案化重合物層１５８及び金属柱体６８上に、メタルは路線を接続する（interconnetion）・コイル・コンデンサーデバイス・抵抗デバイスを掲示し、その製作過程の部分は上記の実施例で説明したので、ここでは最終の完成構造のみを掲示し、製作過程の部分は略す。
本発明はストレスリリーフと接触窓構造の間隔距離の微小化を提供し、本発明み基づくと、その間隔距離は２５０μｍ以下で、かつピンホール数を４００個以下の目標に抑えることも達成できる。またＩＣ機能の改善が認められ、かつ低電源ＩＣエレメントのＩＣ金属接続線路の抵抗及び負荷を大幅に下げることが可能である。
【０１０３】
以上論述したのは実施例で本発明の特徴を説明し、その目的はこの技術を熟知している者が本発明の内容をよく理解し、それに従って実施するのみであって、本発明の請求範囲を限定しるものではない。ゆえに、他の本発明で掲示した精神から逸脱することなく、修飾また修正によって、完成した同効力のものは、下記で述べる請求範囲に含まれるべきである。
【図面の簡単な説明】
【０１０４】
【図１】従来技術の断面説明図。
【図２】本発明の第一実施例による半導体基部の断面説明図。
【図３】本発明の第一実施例による半導体基部上に細い接続構造及び保護層設置時の断面説明図。
【図４ａ】本発明の第一実施例で形成された第一重合物層の断面説明図。
【図４ｂ】本発明の第一実施例で形成された第一重合物層の断面説明図。
【図５】本発明の第一実施例で形成された第一粘着／阻害層の断面説明図。
【図６ａ】本発明の第一実施例で形成された第一RDL層及び金属柱体の断面説明図。
【図６ｂ】本発明の第一実施例で形成された第一RDL層及び金属柱体の断面説明図。
【図６ｃ】本発明の第一実施例で形成された第一RDL層及び金属柱体の断面説明図。
【図６ｄ】本発明の第一実施例で形成された第一RDL層及び金属柱体の断面説明図。
【図６ｅ】本発明の第一実施例で形成された第一RDL層及び金属柱体の断面説明図。
【図７ａ】本発明の第一実施例で形成された金屬柱体物性の説明図。
【図７ｂ】本発明の第一実施例で形成された金屬柱体物性の平面図。
【図８ａ】本発明の第一実施例で形成された第二重合物層の断面説明図。
【図８ｂ】本発明の第一実施例で形成された第二重合物層開口の断面説明図。
【図８ｃ】本発明の第一実施例で研磨した第二重合物層の断面説明図。
【図９】本発明の第一実施例で形成された第三重合物層の断面説明図。
【図１０ａ】本発明の第一実施例で形成された第三金属層の断面説明図。

【図１０ｂ】本発明の第一実施例で形成された第三金属層の断面説明図。
【図１０ｃ】本発明の第一実施例で形成された第三金属層の断面説明図。
【図１０ｄ】本発明の第一実施例で形成された第三金属層の断面説明図。
【図１１】本発明の第一実施例の半導体基部カット時の断面説明図。
【図１２ａ】本発明の第一実施例で形成された錫ボールの断面説明図。
【図１２ｂ】本発明の第一実施例で形成された錫ボールの断面説明図。
【図１２ｃ】本発明の第一実施例で形成された錫ボールの断面説明図。
【図１２ｄ】本発明の第一実施例の半導体基部カット時及び基板に接合する断面説明図。
【図１２ｅ】本発明の第一実施例の半導体基部カット時及び基板に接合する断面説明図。
【図１３ａ】本発明の第一実施例の金属柱体ワイヤー製作過程時の断面説明図。
【図１３ｂ】本発明の第一実施例の金属柱体ワイヤー製作過程時の断面説明図。
【図１４ａ】本発明の第一実施例で形成されたRDL層が金属柱体上の断面説明図。
【図１４ｂ】本発明の第一実施例で形成されたRDL層が金属柱体上の断面説明図。
【図１５ａ】本発明の第二実施例の銅／ニッケル／金或いは銅／金の金属柱体ワイヤー製作時の断面説明図。
【図１５ｂ】本発明の第二実施例の銅／ニッケル／金或いは銅／金の金属柱体ワイヤー製作時の断面説明図。
【図１５ｃ】本発明の第二実施例の銅／ニッケル／金或いは銅／金の金属柱体ワイヤー製作時の断面説明図。
【図１６ａ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｂ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｃ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｄ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｅ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｆ】本発明の第三実施例で形成された第一コイル金属層が金属柱体上の断面説明図。
【図１６ｇ】本発明の第三実施例で形成された第二コイル金属層の断面説明図。
【図１６ｈ】本発明の第三実施例で形成されたコンデンサーデバイスが金属柱体上の断面説明図。
【図１７ａ】本発明の第四実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１７ｂ】本発明の第四実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１７ｃ】本発明の第四実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１７ｄ】本発明の第四実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１７ｅ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｆ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｇ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｈ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｉ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｊ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｋ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１７ｌ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。

【図１７ｍ】本発明の第四実施例で形成された多層線路層が金属柱体上の断面説明図。
【図１８】本発明の第五実施例で形成された抵抗デバイスが金属柱体上の断面説明図。
【図１９ａ】本発明の第六実施例で利用したエッチング方式で一部分の第二重合物層を除去した断面説明図。
【図１９ｂ】本発明の第六実施例で利用したエッチング方式で一部分の第二重合物層を除去した断面説明図。
【図１９ｃ】本発明の第六実施例の半導体基部カット時の断面説明図。
【図１９ｄ】本発明の第六実施例で形成された錫ボールとカットステップの断面説明図。
【図１９ｅ】本発明の第六実施例で形成された錫ボールとカットステップの断面説明図。
【図１９ｆ】本発明の第六実施例で形成されたパッドの断面説明図。
【図１９ｇ】本発明の第六実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１９ｈ】本発明の第六実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１９ｉ】本発明の第六実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１９ｊ】本発明の第六実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図１９ｋ】本発明の第六実施例で形成された二つの金属柱体の金属層と接続時の断面説明図。
【図２０ａ】本発明の第七実施例で形成された第九図案化重合物層が半導体基部上の断面説明図。
【図２０ｂ】本発明の第七実施例のダマシン方式で形成された金属柱体の断面説明図。
【図２０ｃ】本発明の第七実施例のダマシン方式で形成された金属柱体の断面説明図。
【図２０ｄ】本発明の第七実施例のダマシン方式で形成された金属柱体の断面説明図。
【図２１ａ】本発明のその他の実施例で形成された突出塊・パッド・錫ボール・RDL層構造の断面説明図。
【図２１ｂ】本発明のその他の実施例で形成された突出塊・パッド・錫ボール・RDL層構造の断面説明図。
【図２１ｃ】本発明のその他の実施例で形成された突出塊・パッド・錫ボール・RDL層構造の断面説明図。
【図２１ｄ】本発明のその他の実施例で形成された突出塊・パッド・錫ボール・RDL層構造の断面説明図。
【図２２】本発明のその他の実施例で形成された快速電流通路（freeway）・コイル・コンデンサーデバイス・抵抗デバイス構造の断面説明図。
【図２３】本発明のその他の実施例で形成された快速電流通路（freeway）・コイル・コンデンサーデバイス・抵抗デバイス構造の断面説明図。
【図２４】本発明のその他の実施例で形成された快速電流通路（freeway）・コイル・コンデンサーデバイス・抵抗デバイス構造の断面説明図。
【図２５】本発明のその他の実施例で形成された快速電流通路（freeway）・コイル・コンデンサーデバイス・抵抗デバイス構造の断面説明図。
【符号の説明】
【０１０５】
１０：ポストパッシベーション構造、１２：RDL層、１４：重合物層、１６：保護層、１８：半導体ＩＣチップ、２０：パッド、２２：斜面、３０：半導体基部、３２：電子エレメント、３４：細い接続構造、３６：薄膜絶縁層、３８：細い線路層、４０：スルーホール、４２：保護層、４４：パッド、４６：第一重合物層、４８：開口、５０：第一粘着／阻害層、５４：第一図案化ハードンフォトレジスト層、５６：開口、５８：第一金属層、６０：第一RDL層、６２：第二図案化ハードンフォトレジスト層、６４：開口、６６：第二金属層、６８：金属柱体、７０：第二重合物層、７２：開口、７４：第三重合物層、

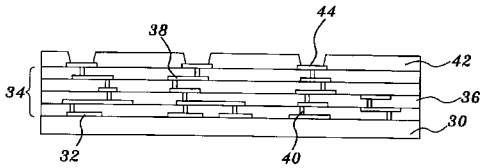
７６：開口、７８：第二粘着／阻害層、８２：第三図案化ハードンフォトレジスト層、８３：開口、８４：第三金属層、８６：突出塊、８８：半導体ユーニット、９２：錫ボール、９４：基板、９６：第四重合物層、９８：パッド、１００：RDL層、１０２：金層、１０４：銅層、１０５：第三粘着／阻害層、１０６：ニッケル層、１１０：第四図案化ハードンフォトレジスト層、１１２：開口、１１４：第四金属層、１１６：第一コイル金属層、１１７：保護層、１１８：第五重合物層、１２０：第二コイル金属層、１２１：コンデンサーデバイス、１２１ａ：低誘電層、１２１ｂ：絶縁層、１２１ｃ：低抵抗金属層、１２１ｄ：保護層、１２２：第四粘着／阻害層、１２６：第五図案化ハードンフォトレジスト層、１２８：開口、１３０：第五金属層、１３２：保護層、１３４：第六重合物層、１３６：第五粘着／阻害層、１４０：第六図案化ハードンフォトレジスト層、１４２：第六金属層、１４４：第七重合物層、１４６：第七金属層、１４８：第八重合物層、１５０：第六粘着／阻害層、１５２：第七図案化ハードンフォトレジスト層、１５４：第八金属層、１５６：保護層、１５８：第九図案化重合物層、１６０：第七粘着／阻害層、１６２：第九金属層

【図１】

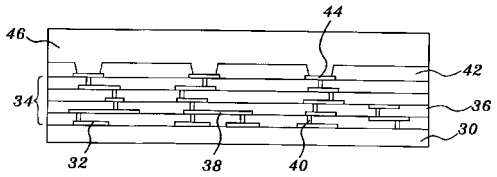


【図２】

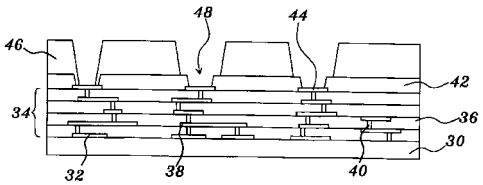
【図３】



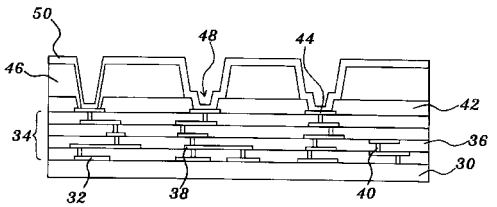
【図４ａ】



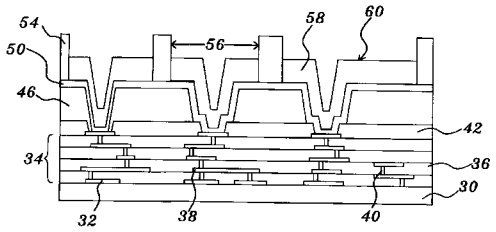
【図４ｂ】



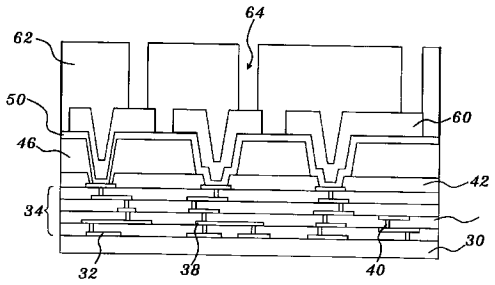
【図５】



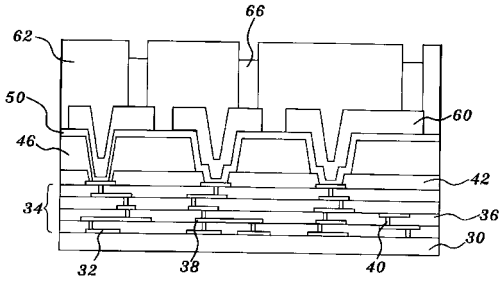
【図６ａ】



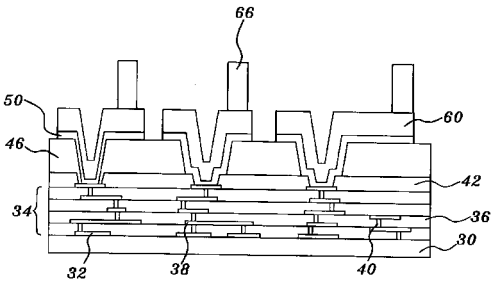
【図６ｂ】



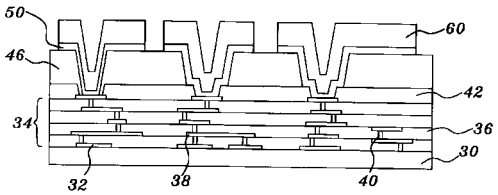
【図６ｃ】



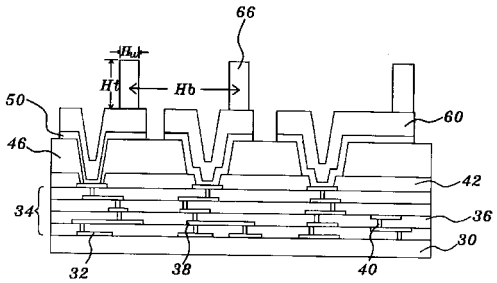
【図６ｄ】



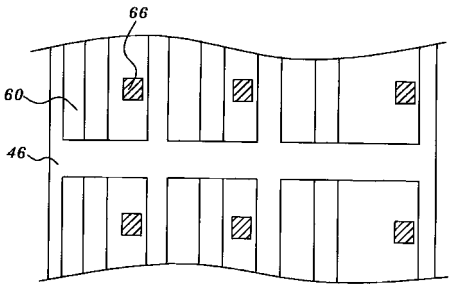
【図６ｅ】



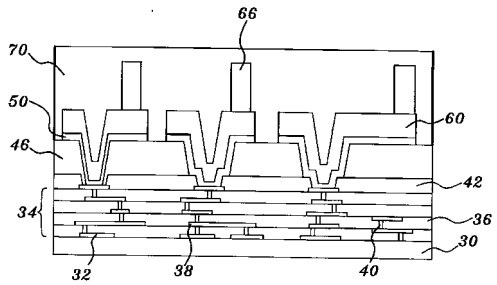
【図７ａ】



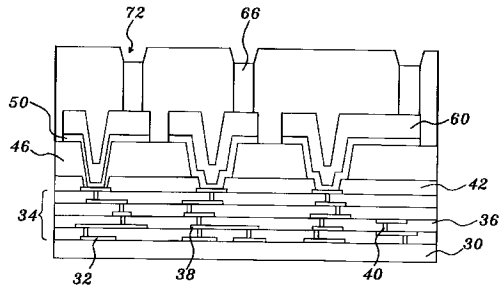
【図７ｂ】



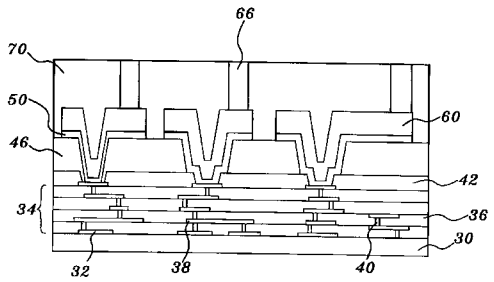
【図８ａ】



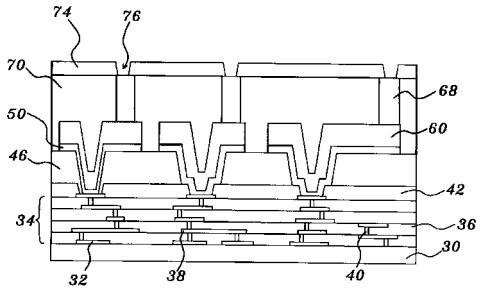
【図８ｂ】



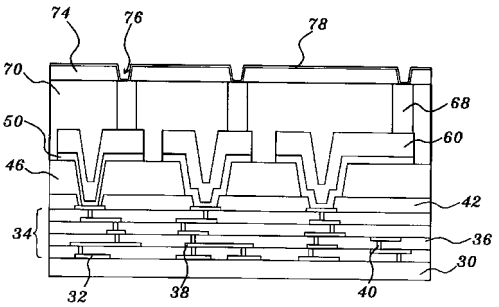
【図８ｃ】



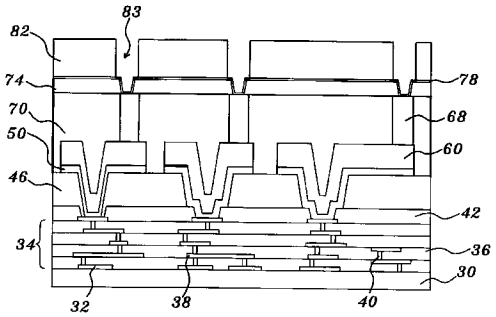
【図９】



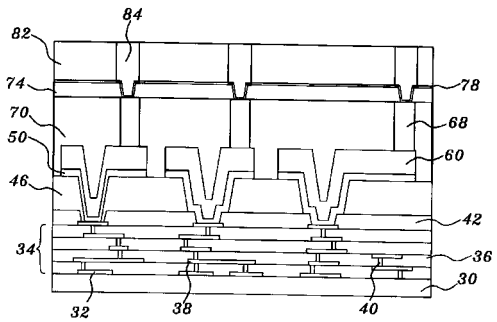
【図１０ａ】



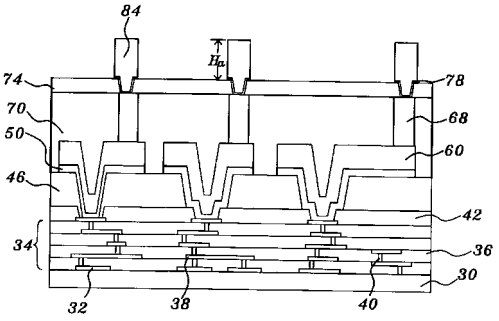
【図１０ｂ】



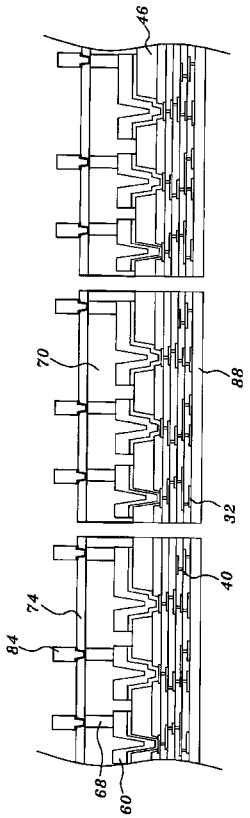
【図１０ｃ】



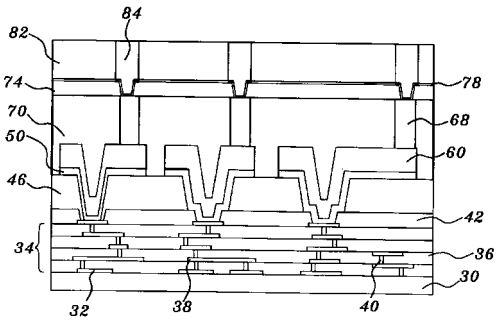
【図１０ｄ】



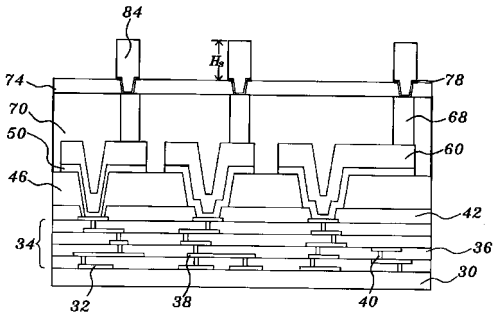
【図１１】



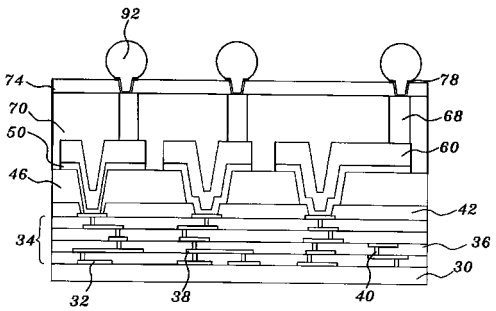
【図１２ａ】



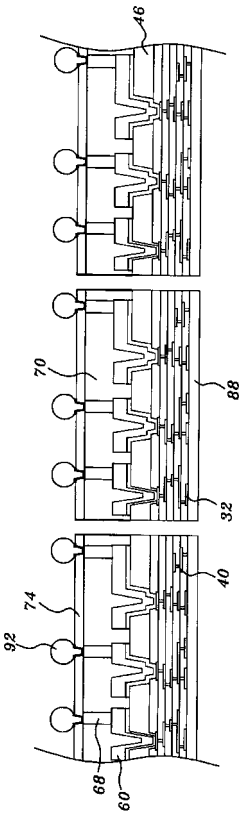
【図１２ｂ】



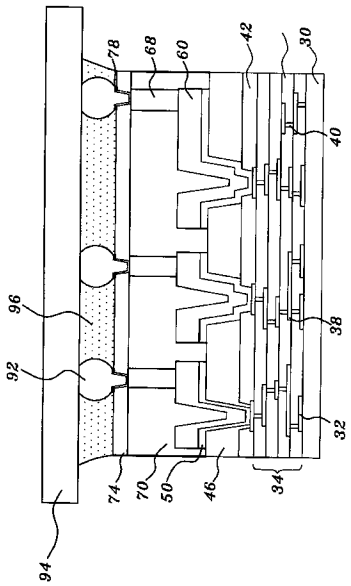
【図１２ｃ】



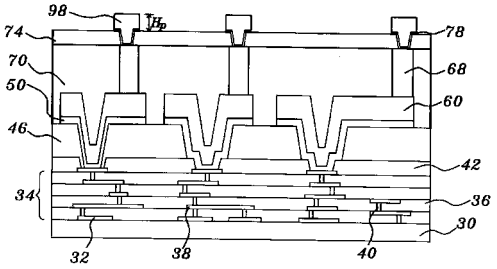
【図１２ｄ】



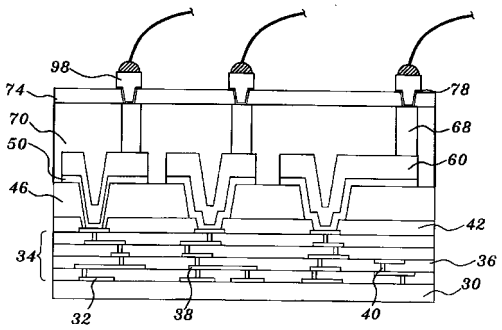
【図１２ｅ】



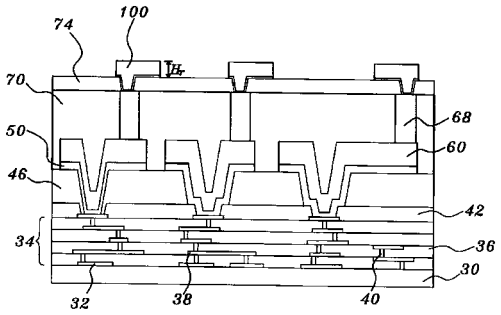
【図１３ａ】



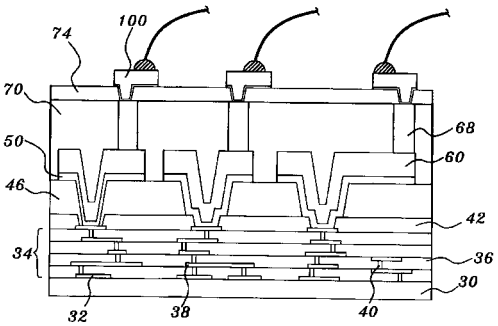
【図１３ｂ】



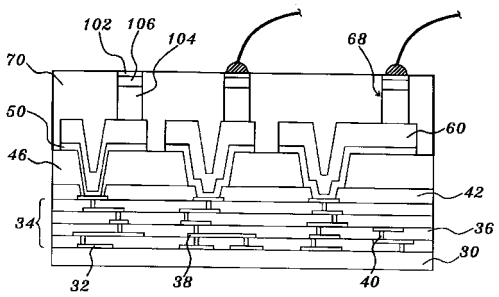
【図１４ａ】



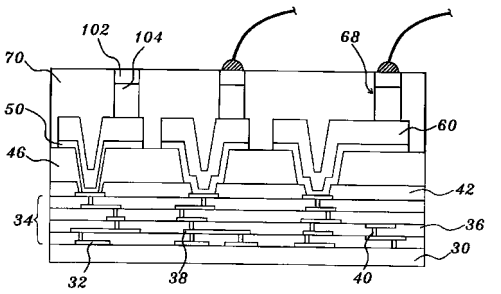
【図１４ｂ】



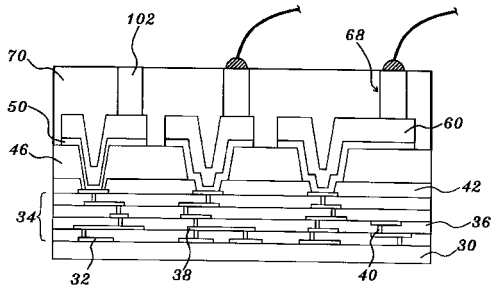
【図１５ａ】



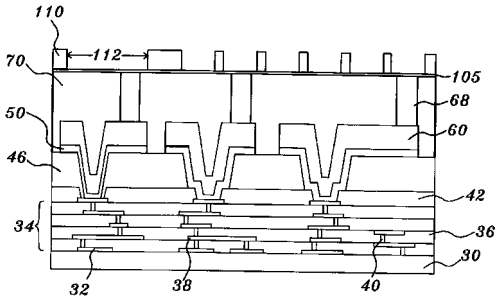
【図１５ｂ】



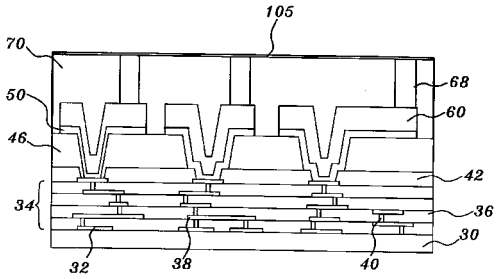
【図１５ｃ】



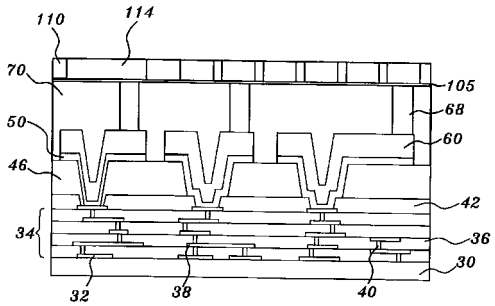
【図１６ｂ】



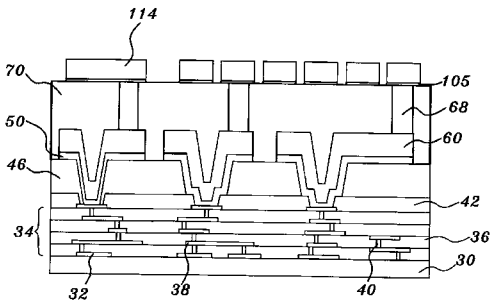
【図１６ａ】



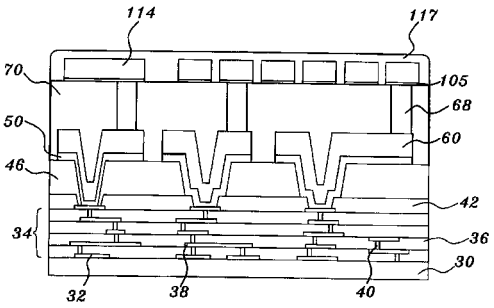
【図１６ｃ】



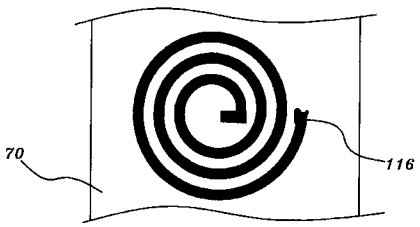
【図１６ｄ】



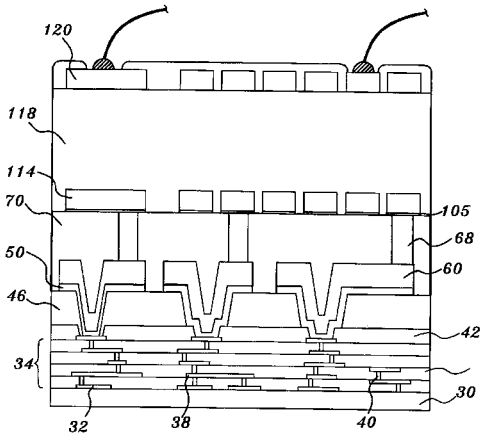
【図１６ｆ】



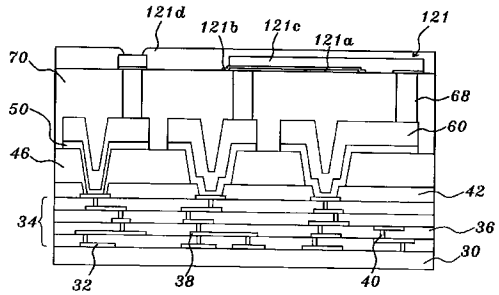
【図１６ｅ】



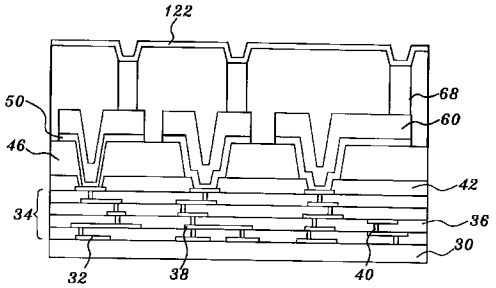
【図１６ｇ】



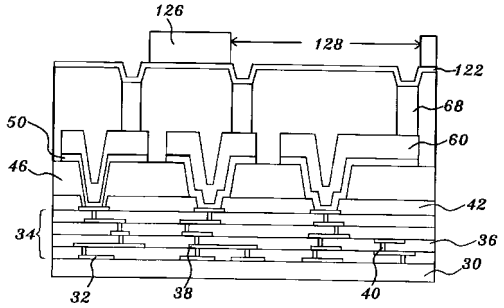
【図１６ｈ】



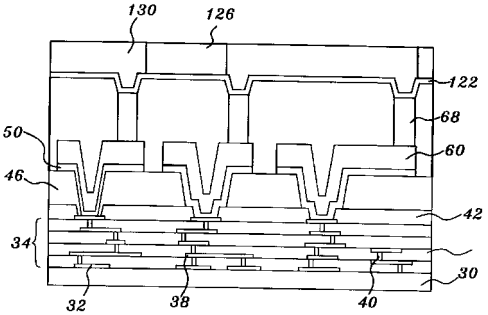
【図１７ａ】



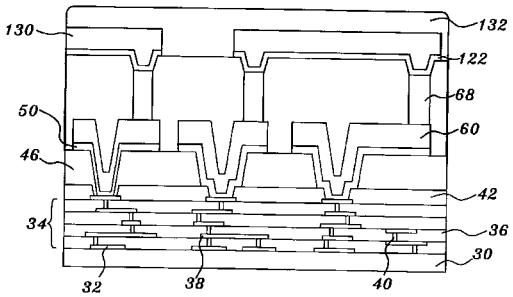
【図１７ｂ】



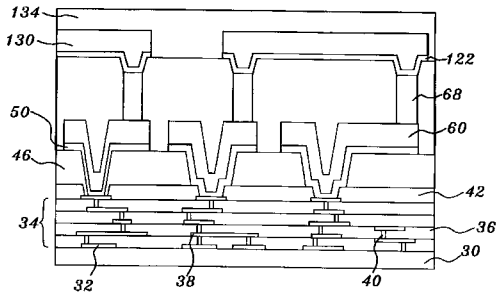
【図１７ｃ】



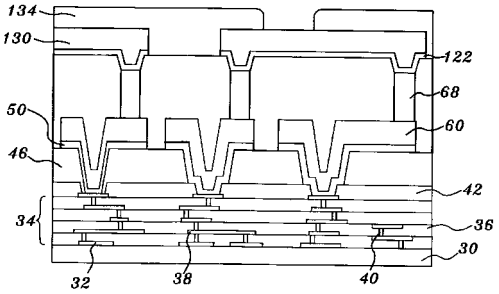
【図１７ｄ】



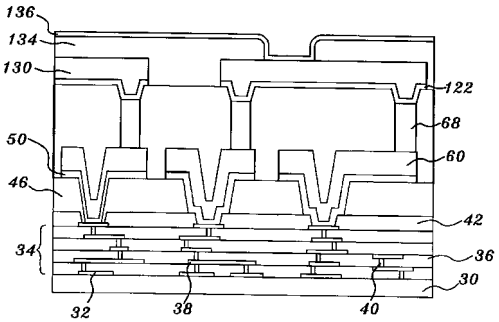
【図１７ｅ】



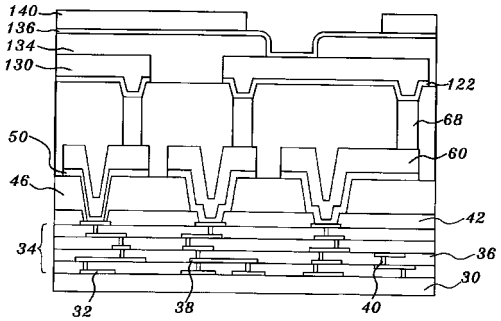
【図１７ｆ】



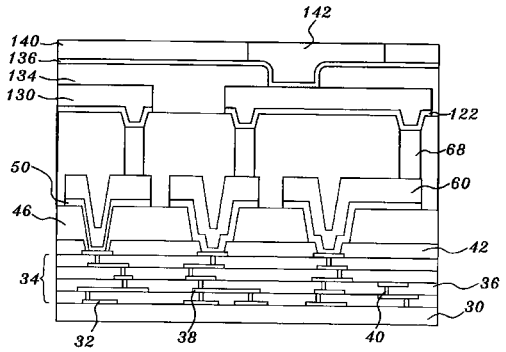
【図１７ｇ】



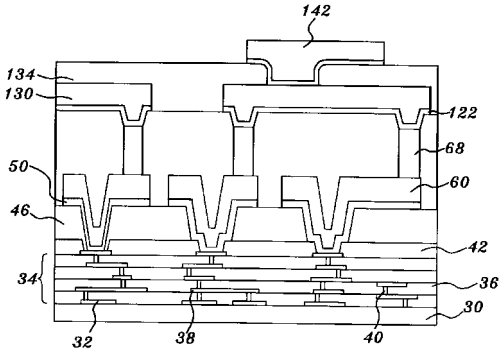
【図１７ｈ】



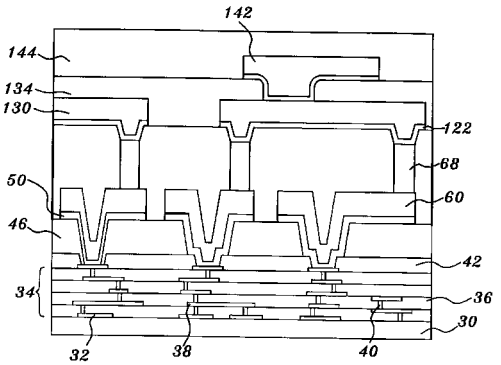
【図１７ｉ】



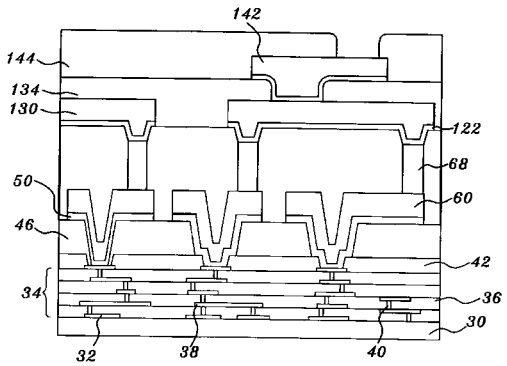
【図１７ｊ】



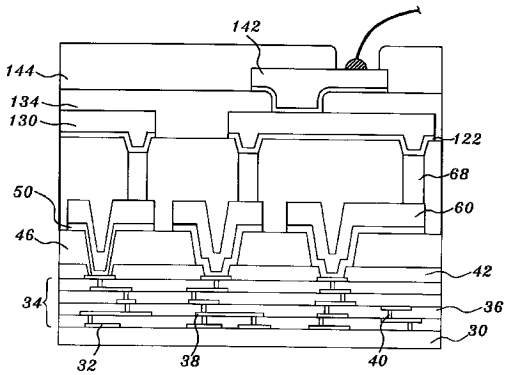
【図１７ｋ】



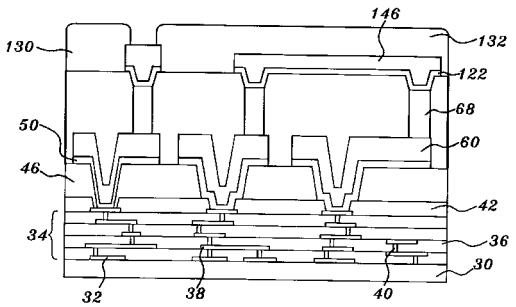
【図１７ｌ】



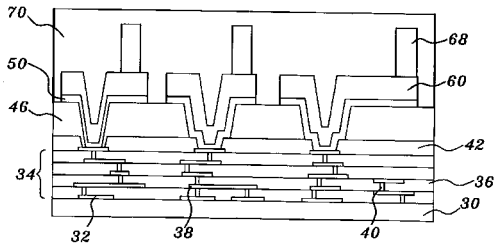
【図１７ｍ】



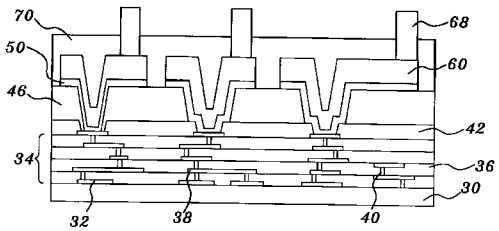
【図１８】



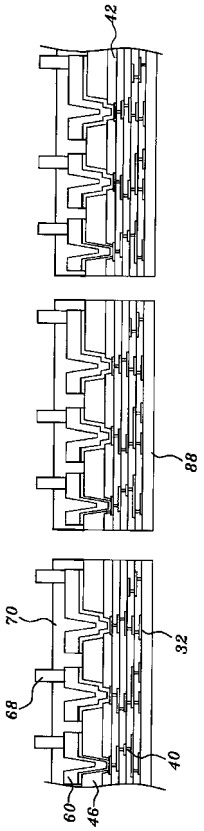
【図１９ａ】



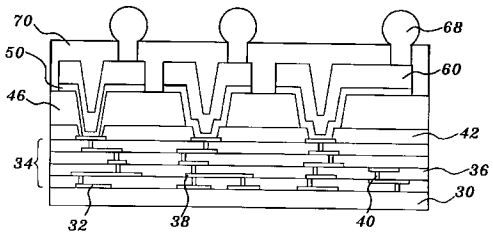
【図１９ｂ】



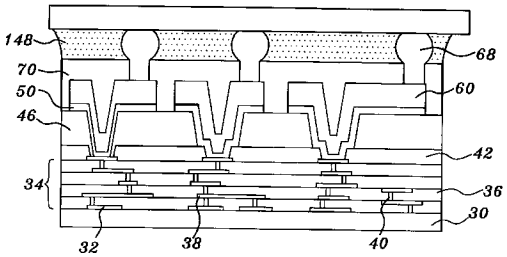
【図１９ｃ】



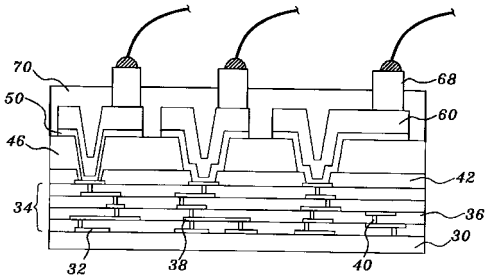
【図１９ｄ】



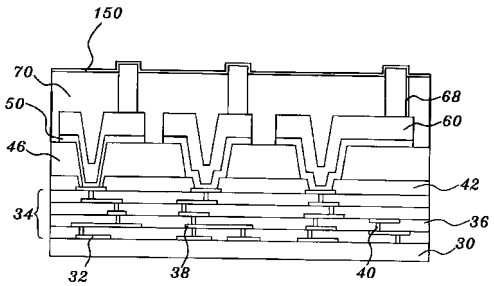
【図１９ｅ】



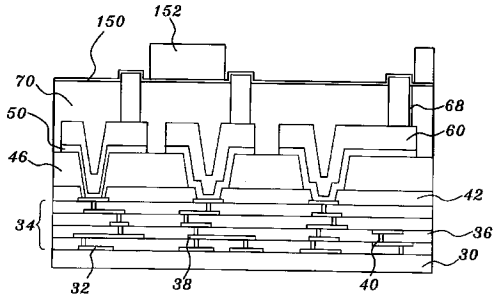
【図１９ｆ】



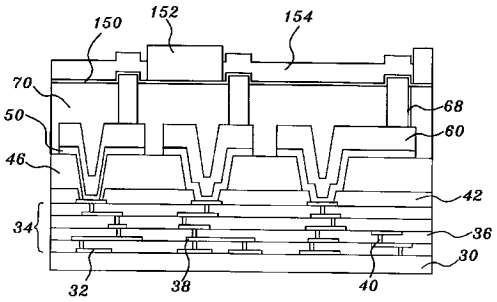
【図１９ｇ】



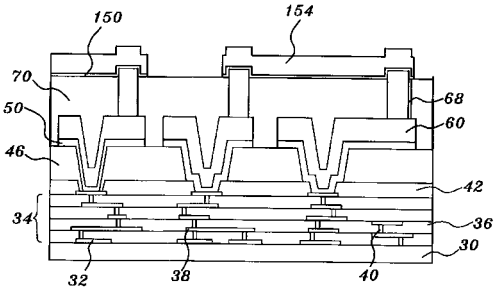
【図１９ｈ】



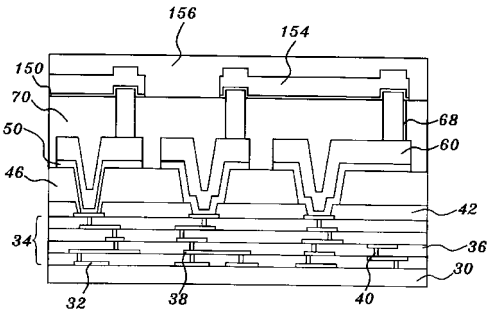
【図１９ｉ】



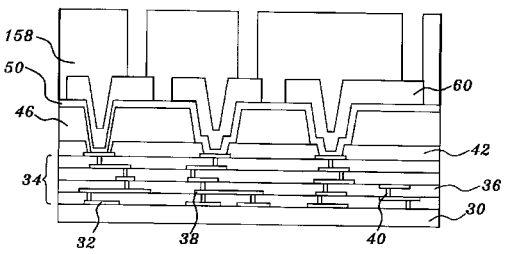
【図１９ｊ】



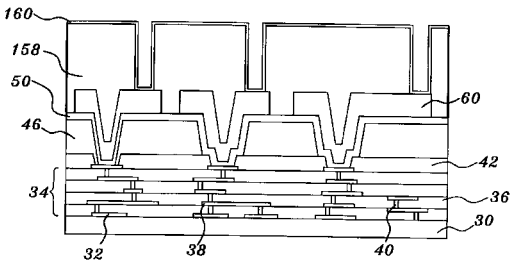
【図１９ｋ】



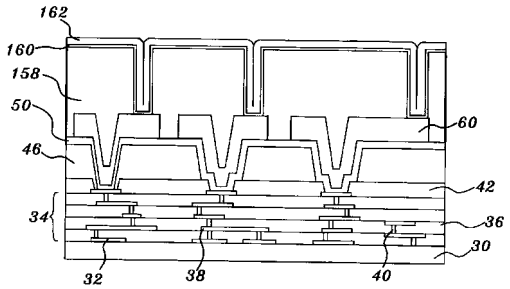
【図２０ａ】



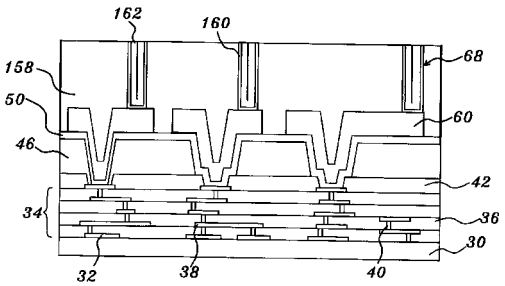
【図２０ｂ】



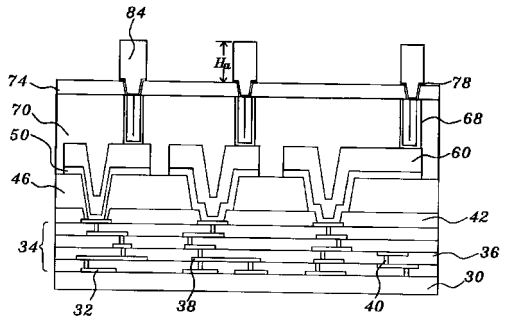
【図２０ｃ】



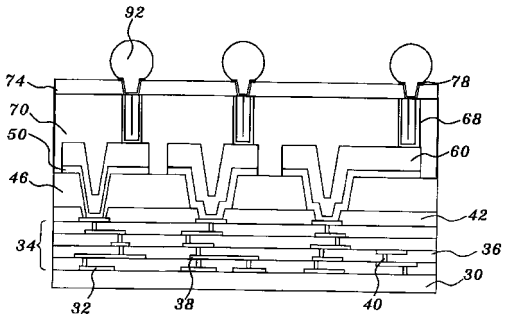
【図２０ｄ】



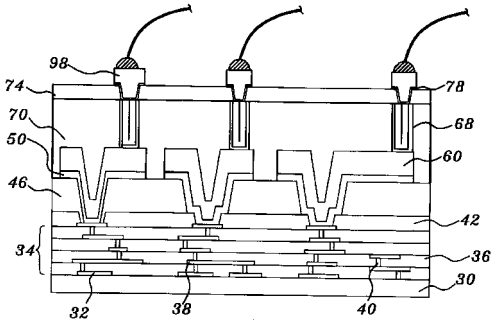
【図２１ａ】



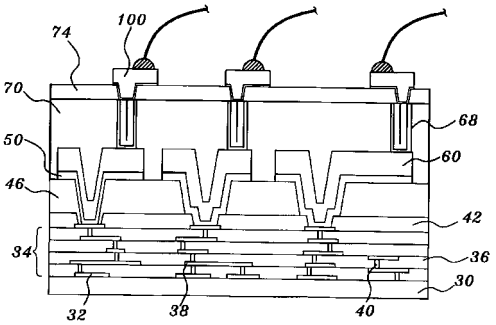
【図２１ｂ】



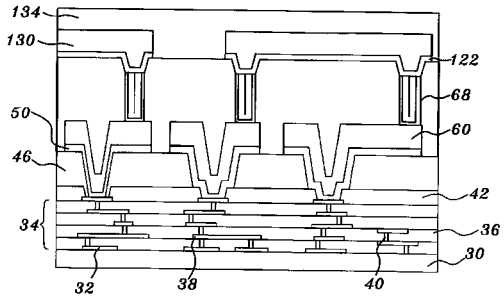
【図２１ｃ】



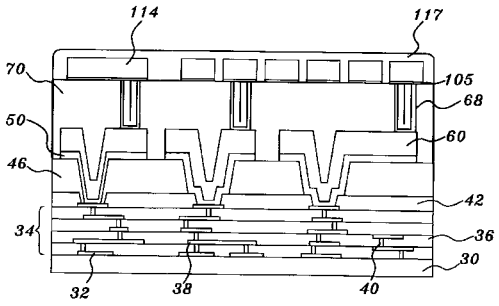
【図２１ｄ】



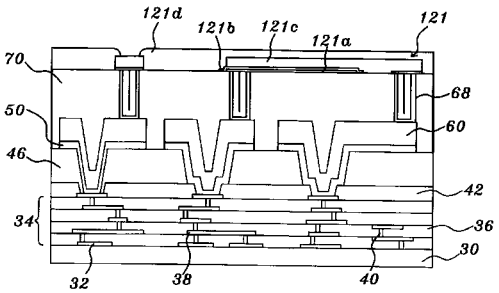
【図２２】



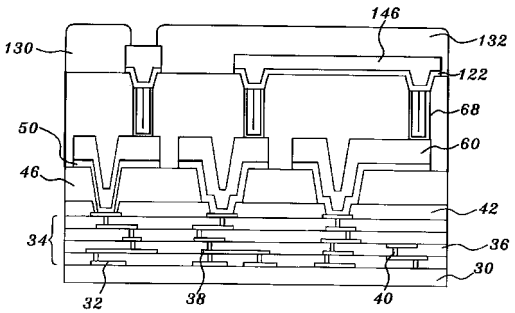
【図２３】



【図２４】



【図２５】



フロントページの続き

(51)Int.Cl. FI
H01L 23/12 (2006.01)

(74)代理人 100109830
弁理士 福原 淑弘
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100075672
弁理士 峰 隆司
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100179062
弁理士 井上 正
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100159651
弁理士 高倉 成男
(74)代理人 100091351
弁理士 河野 哲
(74)代理人 100088683
弁理士 中村 誠
(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 林 茂雄
台湾新竹市金山十街２８号
(72)発明者 周 健康
台湾台南県新化鎮全興里１２鄰竹子脚２４７号之７２
(72)発明者 陳 科宏
台湾高雄市三民区遼寧一街１０４号

審査官 小田 浩

(56)参考文献 特開２００４－２７３５９１（ＪＰ，Ａ）
特開２００４－０７１９９８（ＪＰ，Ａ）

特開２００１－３４５３３６（ＪＰ，Ａ）
特開２００５－０９３９４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３２０５
Ｈ０１Ｌ　２１／７６８
Ｈ０１Ｌ　２１／８２２
Ｈ０１Ｌ　２３／１２
Ｈ０１Ｌ　２３／５２２
Ｈ０１Ｌ　２７／０４