

(19)  
(12)

(KR)  
(B1)

(21) 10 - 1999 - 0016286 (65) 1999 - 0088103  
(22) 1999 05 07 (43) 1999 12 27

(30) 98 - 124863 1998 05 07 (JP)  
99 - 092781 1999 03 31 (JP)

(73)	가	가	가	가	4	1 - 1
(72)	가	가	가	가	4 - 1 - 1	가
	가	가	가	가	4 - 1 - 1	가
	가	가	가	가	4 - 1 - 1	가
	가	가	가	가	4 - 1 - 1	가
	가	가	가	가	4 - 1 - 1	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가

(74)

(54)

가 1 (1) 2 (2) , 1  
2 1 , 2  
1  
1  
2 1  
3 2  
4 3  
5 4  
6 4  
7 5  
8 6  
9 DRAM  
10 9  
11 9  
12 1/2  
13  
14

1 : 1

2 : 2

3, 21a 24a, 26a : 1

4, 21b 24b, 26b : 2

10a, 30a, 40a, 50a, 70a : 1

10b, 30b, 40b, 50b, 70b : 2

10, 11, 15, 16, 30, 31, 35, 36, 40, 41, 45, 46, 50, 51, 54, 55, 70, 71, 77 79 : PMOS

12 14, 17 19, 32 34, 37 39, 42 44, 47 49, 52, 53, 56, 57, 72 76 : NMOS

25c :

100 :

200 :

210, 220, 230 :

300 :

400 : I/O

500 :

600 :

( , DRAM

)

, DRAM

가

“ 1 ” “ 0 ”

, 가

( )

$V_{cc} - 1/2 = V_{cc}/2$

“ (Low) ” DRAM (storage)  $V_{cc}$ , “ (High) ”  $V_{ss}(= 0V)$  가 가  
 $V_{cc}/2$   $V_{cc}/2$   $V_{cc}$   $V_{ss}$  가 가  
 $V_{cc}/2$   $1/2$  가

V DRAM DRAM  $V_{cc}/2$ , 2  
 $V_{ss}(= 0V)$ , 1V  $V_{cc}/2$  DRA  
M DRAM  $V_{cc} - 1/2$  (,  $V_{cc}/2$  ) ( 9 14), 1V  $V_{cc}/2$  DRA

9 DRAM , 10 9 , 12  
 $V_{cc} - 1/2$  , 11 9 , 13  
 $V_{ss}(= 0V)$

9 DRAM DRAM (100)  
DRAM (500) A0 Am(m 1 (600) (600)  
 $V_{cc}$  ) 가 ,  
, , , ,

, DRAM (600)  
Cc( 11 ) (200) (200) , (300)  
(200) I/O (400) I/O DQO DQn ( $n = 0, 1, 2, \dots$ ) DRAM

Vpr) DRAM ,  $V_{cc} - 1/2$   $V_{cc}( 10 11$   
(100) 10 (200) (200)  $V_{cc} - 1/2$   
9 (200) (100)

, 9 (200)  
 BL, /BL  
 (230) NMOS (N MOS (210, 220, 230)  
 BL, /BL  
 (230)  
 (210, 220)  
 (210) BL, /BL  
 (220) ( ) /BL  
 (210, 220) (Vcc 1/2 (Vcc/ 2)) 가  
 (210 230) s가  
 3

, 11 1 1  
 Tc , 1 Cc  
 " 1 " " 0 " , WL  
 Tc ( ) . ,  
 Cc Cc ,  
 ,  
 12 13 , " 1 "  
 " 0 " , Vcc/2 , Vss  
 (= 0V) ,  
 0 ,  
 Vcc/2 ,  
 cc/2) · Cb1 ,  
 1 ,  
 ,  
 12 , 가 , Vcc/2  
 , , (Vcc/2) · Cb1 , 0 , Vcc  
 0 , BL, /BL ,  
 , Vcc/2  
 ,  
 1 , (Vcc · Cb1 , 1 , Vss  
 1 , Vcc · Cb1 , 1 , Vcc/2  
 1 ,  
 ,  
 13 , 가 , Vss ( ,  
 = 0V) , Vcc , Vss  
 , Vcc · Cb1 , 0 , Vss  
 1 , Vcc · Cb1 , 1 , Vcc/2  
 1 ,  
 ,  
 11 , Cc , ( Nc )  
 Vcc/2 (= Vpr)

11 Cc “ H ” ( Cc Vcc) Tc가 ( )  
 ( ) 가 . , Cc Nc “ L ” ( Vss(= 0V) 가 , Vss)  
 Cc “ H ” 가 , Cc Nc Vcc 가 , Vcc  
 Cc “ L ” 가 .

, Cc Nc Vcc/2 가 , Cc  
“H” “L” 가 Vcc/2

14 Vcc/2

14 DRAM , NMOS  
 1 (Q3) , PMOS (P MOS ) 2 (Q4)  
 R6, R7 . , 1 (Q3) 2 (Q4)  
 (Q4) . , 1 (Q3) 2 (Q4)  
 (Q3) 2 (Q4) , (Q4)  
 source follower)

, 13 1 (Q3) (N3) NMOS (Q)  
 1) . , 2 (Q4) (N4) PMOS (Q2)  
 . , NMOS (Q1) R4  
 , PMOS (Q2) R5 .

nt( , 14  
 , , Vcc) 3 R1, R2 R3 Vi  
 , , R1 , R2 , N1 2 , PMOS  
 (Q2) . , R2 R3 N2  
 , NMOS (Q1) . , N1 V  
 cc 1/2 . , N2 Vcc 1/2  
 . 2 4 5  
 , 1 2 (Q3, Q4) 가 가 1 2  
 (Q3, Q4) 가 , Vpr(Vcc/2)

The diagram shows a CMOS inverter circuit. It consists of two NMOS transistors (Q3, Q4) and two PMOS transistors (Q1, Q2). The circuit is powered by  $V_{cc}/2$  and  $V_{pr}$ . The output is labeled '가'.

, DRAM, Vcc 1/2  
 , 14 MOS ( 1 2 Q3, Q4)  
 . , , , 가 ,  
 , 2V DRAM . .  
 MOS Vth, MOS 가  
 0.5 V . , 1  
 2 (Q3, Q4) NMOS (Q1) PMOS (Q2)

1 (Q3) 가 VGS(Q3) 2 (Q4) 가 VGS(Q4) . , N1 V(N1) , N  
 2 V(N2) . , NMOS (Q1) Vth(Q1) ,  
 PMOS (Q2) Vth(Q2) .

$$1 \\ VGS(Q3) = (V(N2) + Vth(Q1)) - Vpr(-Vint/2)$$

$$2 \\ VGS(Q4) = Vpr( - Vint/2) - (V(N1) - Vth(Q2))$$

$$, \quad 2 \quad , \quad 2$$

$$\begin{array}{ccccccccc}
 & & 1 & & , & & 1 & & 2 \\
 & & , & & 1 & & 2 & & \\
 & & & & & & & & 2
 \end{array}$$

, 1 1 , , 1  
2 2 , 2  
2 1 2 ,

가 2 , 1 2

, 3, 1, 2, 2, 1, 2.

가 , , , , 1 2 1 2

, 가 1 , , 1  
2 , , 2  
2 , 1 , 2 , 1 , 가  
, 2 , 2 , 가 , 가 . , 1 , , 1 ,  
1 , 2 , , , 1 , , 1 ,



1 . ,  
 1 Vout1 1 (1) , 2 Vin1 Vref  
 1 Vout2 2 ( , ) (2) Vin2 Vref

, 1 , 1 (3) PMOS , 2 (4) NMOS  
                  . 1 (3) Vref Vcc 1  
                  , 1 (3) Vpr . , 2  
                  (4) Vref Vss(= 0V) 2 , 2  
                  (4) , 2 (4) 2 (4)

1 , 1 (1) Vpr( , , 1  
 (1) ) Vref , “L”  
 , Vpr Vref , “H”  
 . “L” “H” PMOS (3) . “  
 L” , , VPr Vref PMOS  
 1 (3) 가 가 , Vpr Vref PMOS  
 Vpr . , NMOS 2 (4) “L”

, “H” 2 (4)가 가 , Vpr Vref N  
MOS Vpr Vref

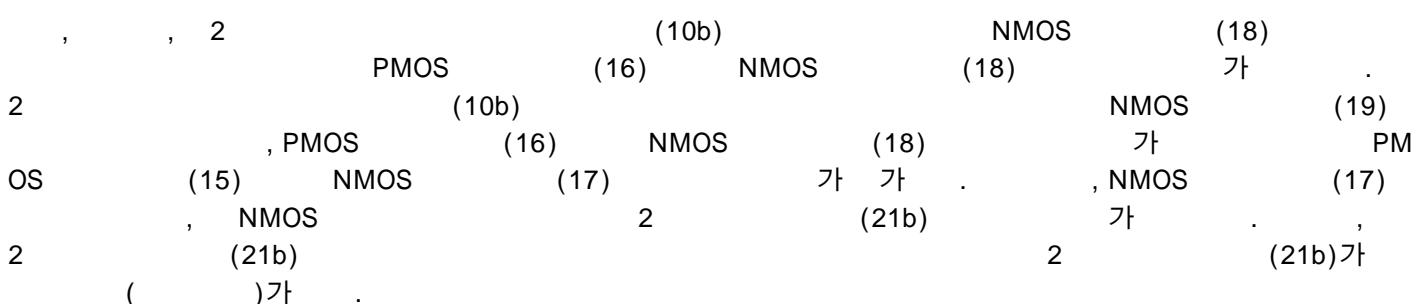
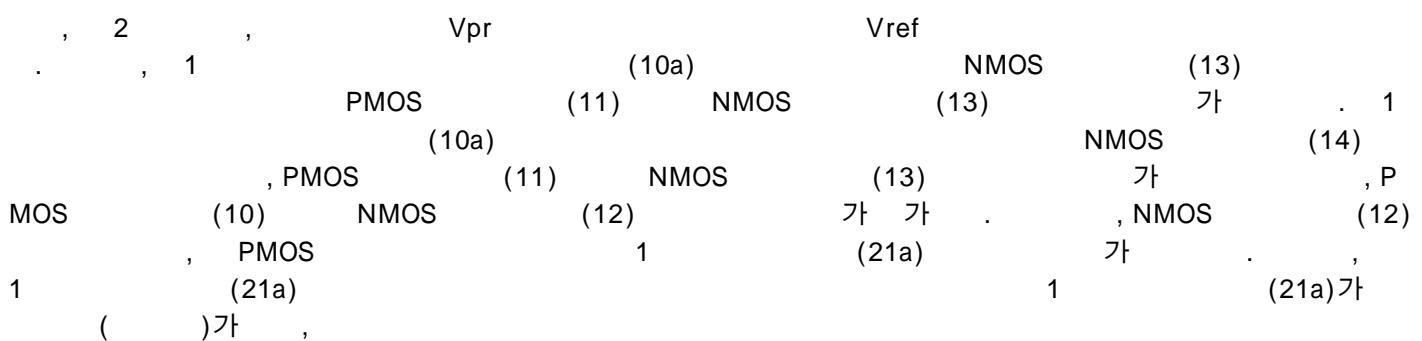
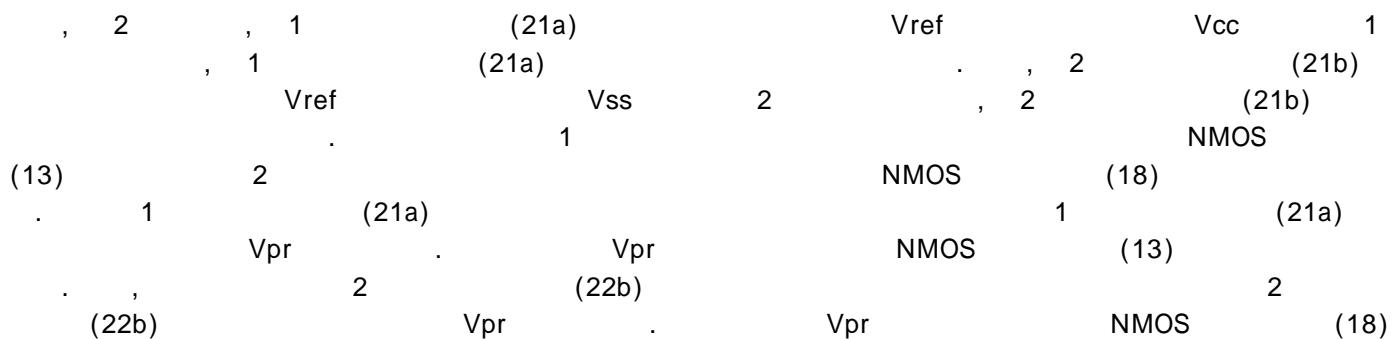
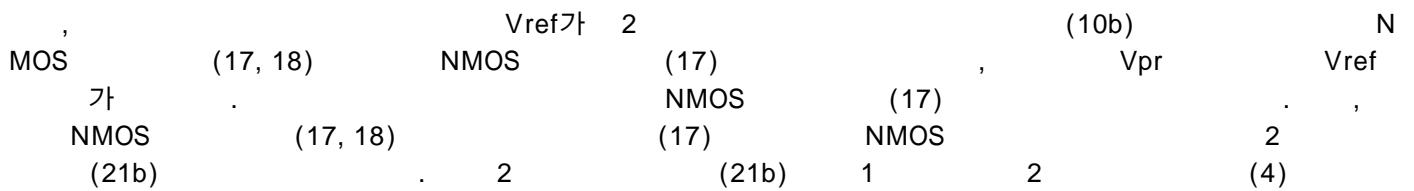
V<sub>pr</sub> . . . , PMOS 1 (3) " H  
 " . . . , 1 2  
 V<sub>ref</sub> V<sub>pr</sub> . . . .

$$MOS, (V_{cc}, 2V_{cc}) \text{ 가 } 1/2$$

, 2 , 1 (10a) NMOS (14) ,  
 (12, 13) , NMOS (12, 13) NMOS (12) NMOS (14) ,  
 NMOS (10, 11) PMOS (10, 11) PMOS (10, 11) 1 )  
 2 PMOS . , 2 (10b) NMOS (19) ,  
 (17, 18) , NMOS (17, 18) NMOS (17) NMOS (19) ,  
 NMOS (15, 16) PMOS (10, 11) PMOS (10, 11) 2 )

, 2 , Vref가 1 (10a) NMOS Vcc  
 (12, 13) NMOS (12) , Vpr( , NMOS (12)  
 1/2 ) Vref 가 . , . , (12, 13) (12) PMOS  
 . , NMOS (21a) . 1 (21a) 1  
 1 (3) .

$$\begin{array}{ccccccccc}
 & 2 & V_{ref} & \text{가} & 1 & & (10a) & & \text{NMOS} \\
 & (12, 13) & \text{NMOS} & & (12) & , & V_{pr} & , & V_{cc} \\
 1/2 & ) & V_{ref} & \text{가} & . & , & & \text{NMOS} & (12) \\
 & . & , & \text{NMOS} & & (12, 13) & & (12) & \text{PMOS} \\
 & 1 & & (21a) & . & . & 1 & & 1 \\
 1 & (3) & & . & . & . & & & 
 \end{array}$$



7) , NMOS 2 (21b) 가 .  
2 (21b) ( )가 , 2 (21b)가

1 (10a) NMOS (13) 가 가 .  
 PMOS (10) NMOS (12) 가 . , NMOS  
 , PMOS (12) , PMOS 1 (21a) 가 1  
 . 1 (21a) 가 ( ) 가 .  
 (21a) 가 ( ) 가 .

1  
 (10a) NMOS  $V_{cc}/2$   
 (12)  
 $V_{th}$ ,  $V_{cc}/2$   $V_{ref}$  1  
 $V_{th}$  NMOS (12)  
 $V_{th}$ , 1 MOS  
 $V_{th}$ , 2 V 가 1 2 가  
 $V_{th}$ , . . .

3 2 . , 1 Vref  
Vpr (3a, 4a, 5a) 가  
1 Vref가  
가 , 3 2 ,  
3a 5a)

3 , 1 (30a) 2 (3)  
0b) 1 . , 1  
(1) Vref 1 (30a)  
. , 2 (2) Vref 2  
(30b) . 1 (30a) 2  
(30b)

3	1	(30a)	NMOS
(32, 33)	,		(34)
NMOS	(32, 33)	NMOS	(32)
2	PMOS	(30, 31)	,
		NMOS	(37, 38)
NMOS	(39)	,	,
		NMOS	(37, 38)
		2	PMOS
			(35, 36)

, 3  
 (32, 33)  
 1/2 )  
 2)  
 S  
 1  
 (21a)

Vref 가 1  
 NMOS  
 Vref 가  
 . ,  
 NMOS  
 1  
 (22a)

,  
 (32)  
 ,  
 (32, 33)  
 ,  
 1  
 (22a)

(30a)  
 N21  
 ( ,  
 NMOS  
 (32)  
 (22a)  
 2

NMOS  
 Vcc  
 (3  
 PMO

,  
 MOS  
 ef  
 가  
 NMOS  
 (22b)

(37, 38)  
 .  
 NMOS  
 (37)  
 .  
 NMOS  
 2  
 (22b)

Vref 가 2  
 NMOS  
 (37)  
 .  
 NMOS  
 (37)  
 .  
 NMOS  
 2  
 (22b)

(30b)  
 N21  
 ( ,  
 N21  
 .  
 2  
 (21b)

N  
 Vr

, 3  
 (22b)  
 (22b)  
 , 1  
 (22a)  
 Vref  
 .  
 N22  
 .  
 NMOS  
 (38)  
 1  
 (4a)  
 2  
 (22b)  
 N22  
 .  
 NMOS  
 (38)

(22a)  
 N22  
 .  
 NMOS  
 (33)  
 1  
 (22a)  
 N22  
 .  
 NMOS  
 (33)  
 1  
 (22a)  
 Vpr  
 .  
 Vpr  
 .  
 Vpr  
 .  
 (4a)

Vcc  
 2  
 (4a)  
 1  
 (22a)  
 N21  
 2  
 (4a)

V

, 3  
 .  
 .  
 1  
 (34)  
 , PMOS  
 (32)  
 , 1  
 (22a) 가  
 .  
 N21

, , N21  
 , 1  
 PMOS  
 (30a)  
 , PMOS  
 (30)  
 , PMOS  
 (22a)

Vref  
 (30a)  
 (31)  
 NMOS  
 (31)  
 NMOS  
 (32)  
 1  
 (33)  
 가  
 (22a)  
 1  
 N21

NMOS  
 (33)  
 가  
 , NMOS  
 (33)  
 가  
 1  
 N21

, , 2  
 2  
 ,  
 PMOS  
 (30b)  
 , PMOS  
 (36)

(30b)  
 (36)  
 NMOS  
 (36)  
 NMOS

NMOS  
 (38)  
 NMOS  
 (38)  
 NMOS  
 (38)  
 가  
 (39)  
 P

MOS  
7) (35) NMOS (37) 2 가 가 . , NMOS (3)  
2 , NMOS (22b) 2 가 . , (22b) 가  
가 .

, N21  
2 PMOS (36) (30b) NMOS (38) Vref  
, PMOS (35) NMOS (37) 2 NMOS (38) (38)  
(37) , NMOS (22b) 2 가 . , NMOS  
2 (22b) 가 가 . , NMOS  
N21

, , 1 PMOS (30) (31) (30a) NMOS (33) (33)  
, PMOS (30) NMOS (32) 1 NMOS (33) 가 . , NMOS  
(32) , PMOS (22a) 1 (22a) 가 . , NMOS  
, 1 (22a) 가 . 1  
(22a) 가 .

, 3 Vref 3 (3a, 4a, 5a) Vint  
r1 (3a) r2 Vpr  
Vref (5a) r2 (4a) (N21) 가  
(5a) , 3 N22 (4a) r3  
Vpr N21 Vpr  
N22

, N21 Vref 1  
(30a) NMOS (32) 가 N22  
1 (22a) 가 .

, N21 Vref 2  
(30b) NMOS (37) 가 N22  
2 (22b) 가 .

, N21 Vg , Vg = Vref , Vref Vpr  
3 . . . .

3

$$Vpr = r3 \cdot Vref / (r2 + r3)$$


4 3 . 3 2  
Vpr .

4 , 1 2 가 가 Vref , 1  
2 4 3 1 Vrefl 2 Vref2 1 2 ,  
, Vpr , 2 , Vref1 Vref2

4 , 1 (40a) 2 (4)  
0b) 2 . , 1 (40a)  
(1) 1 Vrefl 1  
. , 2 (2) 2 Vref2  
2 (40b) 1 (40a)  
2 (40b) .

$$\begin{array}{ccccccccc}
 , & 4 & , & 1 & & (40a) & & & \text{NMOS} \\
 & (42, 43) & , & & & & & \text{NMOS} & (44) , \\
 \text{NMOS} & & (42, 43) & & \text{NMOS} & & (42) & & \\
 2 & \text{PMOS} & & (40, 41) & & . & & , & 2 \\
 & & & \text{NMOS} & & (47, 48) & , & & \\
 \text{b}) & & & (49) , & & \text{NMOS} & & (47, 48) & \text{NMOS} & (47) \\
 & & & & & 2 & \text{PMOS} & & (45, 46) & .
 \end{array}$$

, 4 , 1 Vref1 1 (40a) NMO  
 S (42, 43) NMOS (42) , N21 ( ,  
 Vcc 1/2 ) 1 Vrefl 1 , NMOS (42, 43) (42)  
 (42) , (23a) 1 (23a)  
 PMOS 1 (21a)

, 2 Vref2가 2 (40b) NMOS

(47, 48)	NMOS	(47)	NMOS	,	N21	2	Vref2
가	.		(47)	(47)		.	,
NMOS	(47, 48)	2	(23b)	NMOS	2	2	2
(23b)	.	.					(21b)

,	4	,	1	(23a)	2	Vref2	Vcc
1	,	1	(22a)		N22	.	,
(23b)		1	Vref1		Vss	2	2
(23b)		N22	.	,	N22	.	(4b)
1				NMOS	(43)	2	
N21)		NMOS	(48)	(23a)	.	1	(23a)
2			1	N22	.	NMOS	Vpr
(4b)		(23b)	(4b)	Vpr	.	Vpr	(43)
N21)		N22	NMOS	(48)			.

,	4	N21	1	1	Vref1	NMOS	(43)
.	.	,	1	(40a)			가
1		PMOS	(41)	NMOS	(43)	NMOS	
(44)		,	PMOS	(41)	가	가	가
,	PMOS	(40)	NMOS	(42)	가	가	,
(42)		,	PMOS	1	(23a)		가
,	1	(23a)					.
3a)가	가	,	N21		1	Vref1	(2)
N22	.						

,	,	2	PMOS	(40b)	(40b)	NMOS	(48)	(48)
.	.	.		(46)	NMOS	(48)	가	가
1			(40b)		(48)		.	2
MOS		,	PMOS	(46)	NMOS	(48)	가	.
		(45)	NMOS	(47)	가	가	,	P
2		,	NMOS	2	(23b)		,	(47)
		(23b)					,	
가	.							(23b)가

,	N21	2	2	Vref2	NMOS	(48)	가
.	,	2	(40b)				가
.	PMOS	(45)	NMOS	(46)	NMOS	(48)	가
.	PMOS		NMOS		(47)		.

NMOS (47), NMOS (23b) 2 (23b) 가 2  
 . , 2 (23b) 가 , N21 2 Vref2  
 (23b) 가 , N22 .

, , 1 (40a) NMOS (43) 가 가 .  
 , PMOS (40) NMOS (41) (42) 가 . , NMOS  
 (42) , PMOS 1 (23a) 가  
 . 1 (23a) 가 1  
 (23a) 가 가 .

,	4		3	(3b, 4b, 5b)		Vint
,	1	Vref1		Vpr	.	
			3	(3a, 4a, 5a)	.	
,		(3b)	(4b)		N21	1
f1	2	Vref2		,		(4b)
			(N22)			Vpr

		N21	1	Vref1	1
1	(40a)	NMOS	(42)	가	N22
		(23a)가	.		
2		N21	2	Vref2	2
2	(40b)	NMOS	(47)	가	N22
		(23b)가	.		
b)		1	1	Vref1	2
				(40a)	2
				Vref2	
					가 2



Vpr	NMOS	(53)	2	.	,	2	(24b)	Vpr	.
Vpr	NMOS	(57)	.	.	.	.	.	Vpr	.
,	6	,	1	Vpr	1	Vref1			
가	.	,	1	(50a)	,	NMOS	(53)	NMOS	(53)
1	가	가	.	,	PMOS	(53)	,	PMOS	(53)
	(24a)		가	.	,	1	,	(24a)	
			1	(24a)	가	가	,	,	.
,	,	2	PMOS	(50b)	NMOS	NMOS	(57)	(57)	가
가	,	NMOS	(57)	(55)	,	NMOS	2	2	가
2	.	.	,	,	2	(23b)			(24b)
	(24b)	가	가	가	.	.			.
,	,	2	Vpr	2	Vref2				가
가	.	,	NMOS	(50b)	NMOS	NMOS	(57)	(57)	2
(24b)	가	.	가	,	PMOS	(55)	,	PMOS	
	2		(24b)	2	,	2	(24b)		.
,	,	1	PMOS	(51)	NMOS	NMOS	(53)	(53)	가
가	,	NMOS	(53)	,	PMOS	(24a)	1	1	(24a)
1	.	.	,	1	(24a)	가	.	.	.
,	1	1	Vref1	(40a)	2				가
NMOS	(53)	가	가	1	1	.	.	.	(40b)
,	1	2	Vref2	(40a)	2	.	.	.	(50a)
b)	NMOS	(57)	가	가	2	.	.	.	(24a)가
가	.	.	.	.	2	.	.	.	(40b)
,	1	2	Vref2	(40a)	2	.	.	.	(50)
b)	NMOS	(57)	가	가	2	.	.	.	(24b)

4	,	3	,	1	(50a)
2	,	(50b)	,	1	Vref1
f2	,	2	,	2	Vre
7	5		5		6
4	(25c)	가	.	.	(25c)
6	4	,	,	,	(25c)
c	,	NMOS	가 "H"	,	Vc
	.	,	NMOS	,	,
Vpr	.	.	가 "L"	,	,
,	PMOS	가 "H"	,	,	Vcc
"L"	(0V)	,	PMOS	가 "L"	,
7)	가	,	7	2	(50b)
.	가	,	NMOS	(57)	NMOS
2	,	2	(24b)	(50b)	Vpr
(24b)	2	가	가	,	(57)
,	Vcc	1	1	2	,
Vss	1	가	(24a)	2	(24b)가
7	5	,		1	가
1	(25c)	(24b)	,	2	(24b)
(24b)	1	가	,	1	,
가	.	.	,	2	1
,	(24b)	(24b)	,	2	(24b)
2	,	PMOS	1	(24a)가	2
(24b)	2	(24b)	가	1	NMOS
8	6	,	1	가	(24a)
2	(26b)	,	1	1	2
,	2	,	가	가	가
,"L"	2	,	가	,	(24b)
,	2	(26b)가	,	2	(70b)
2	2	,	1	가	PMOS
,	2	(26b)가	,	2	가
,	2	(26b)가	,	2	(77)
,	2	(26b)가	,	2	"L"
,	2	(26b)가	,	2	,
,	2	(26b)가	,	2	NMOS
,	2	(26b)가	,	2	(26b)
,	2	(26b)가	,	2	가

, PMOS  
 2 (26b) (26b) 1 가 , 1 (26a) 가 1 NMOS  
 (26b) 2 가 . (26a) 2  
 , 8 (70b) 1 (70a) 2  
 8 , 1 (70a) 3  
 , , 2 (70b) 3  
 ,  
 , 8 , 1 (70a) PMOS  
 (72, 73) , NMOS (72) NMOS (74) ,  
 NMOS (72, 73) NMOS (72) NMOS (74)  
 2 PMOS (70, 71) PMOS (77, 78) , PMOS (70b)  
 PMOS (79) , PMOS (77, 78) , PMOS (77)  
 1 (26a) NMOS (72, 73) NMOS (72) PMOS  
 Vref1 , 8 , 1 Vref1 1 (72) (70a) NMOS  
 (72, 73) NMOS (72) N21 (72)  
 Vref1 가 . NMOS (72, 73) NMOS (72) PMOS  
 1 (26a)  
 , 2 Vref2 가 2 (70b) PMOS  
 (77, 78) PMOS (77) N21 (77) Vref  
 2 PMOS (26b) PMOS (77) NMOS 2  
 , 8 , 1 (26a) Vref2  
 1 (26b) , 1 (26a) Vref2 Vcc  
 (26b) 1 N22 Vss 2 , 2  
 (26b) N22 Vss 2 , 2  
 1 PMOS (78) N22 (73) (4c, 4d)  
 Vpr N22 , 2 (26a)  
 N21 (26b) , 2 (4d, 4c) (26b) NMOS (73) Vpr  
 2 (4d, 4c) PMOS Vpr Vpr N22

, 8 , N21 1 1 (70a) Vref1  
 . , 1 PMOS (71) NMOS (73) NMOS (7)  
 3) . 1 (70a) (71) NMOS (73) NMOS (7)  
 . (74) , PMOS (70) NMOS (72) 가 가 . 가  
 . (72) , PMOS 1 (26a) (26a) 가  
 . , 1 (26a) 가 , Vpr

, , 2 2 (70b) PMOS (78) 가 가 .  
 , NMOS (75) PMOS (77) 2 (26b) PMOS (78) 가  
 (77) , NMOS (26b) 2 (26b) (26b)  
 (26b) 가 . , , NMOS , 2 (26b)  
 PMOS (77) , 2  
 가

, N21 2 2 (70b) Vref2  
 . , 2 NMOS (76) PMOS (78) PMOS (78) 가  
 . , NMOS (75) PMOS (77) 2 (26b) , P  
 MOS (77) , NMOS (26b) 2  
 (26b) 가 . 가

, , 1 1 (70a) NMOS (73) 가  
 , PMOS (70) NMOS (72) 1 (23a) 가 .  
 (72) , PMOS 1 (26a) (26a) 가  
 . , 1

, 8 , 5 (6c, 6d, 7c, 8c, 8d) Vint  
 . , Vref1 Vref2 가 1 Vref1 1 Vref2  
 2 Vref2 가 . , 2 , Vref2 1 Vref1 (7c)  
 (8c)

,	8	,	4	(3c, 4c, 4d, 5c)	Vint
,	1	Vrefl		Vpr	.
(3c	5c)		4	(3b, 4b, 5b)	.
(4d)			(5c)	N22	1
Vpr	.				Vref1

, 1 (70a) 2 (70b)  
 1 Vref1 (70a) 1  
 NMOS N22 1  
 (26a) 가 .

0b) PMOS (77) Vref2 (70a) N22 (70b)  
 (26b) 가 . 2 2 2 (7)

6 , 3 4 , 1 Vref1 2 Vref2 (26a) 2  
 26b) 가 2 . ,

1/2 가

가

1/2

가

가

가

1/2

2

1/2

2

1/2

가  
가, NMOS  
PMOS

, 2

1/2

가  
가

(57)

1.

가

1

2

;

1  
2

2

1

1  
) ,

2

( , PMOS

NMOS

1

1

2

2

2.

1

,

1

2

1

2

1

2

,

1

1

1

1

,

2 2 , 2  
     , 1 2  
     ,

3.

2 , 1 2  
     , 2

4.

2 , 1 2 , 1  
     , 2

5.

4 , 1 2  
     , 1 2

6.

2 5 , 1 2  
     , 1 ,  
     1 2 , 2 1

7.

6 , 2 2

8.

2 5 , 1 2  
     , 1 ,  
     1 2 , 2 1  
     ,



1

2

1

14.

10  
2

, 1

P MOS

N MOS

,

15.

9

,

16.

9

,

1

2

1/2

17.

;

;

1

2

1

2

;

1

가

PMOS

;

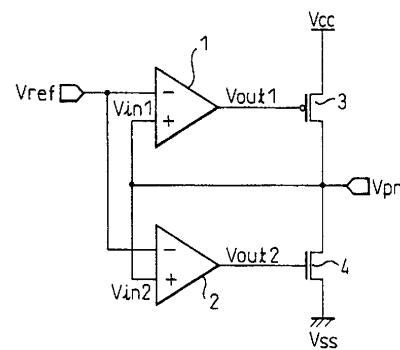
2

가

NMOS">

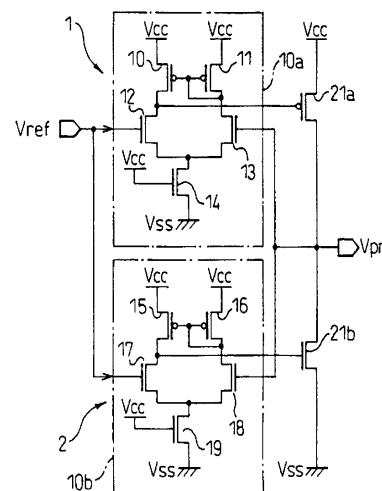
-

1



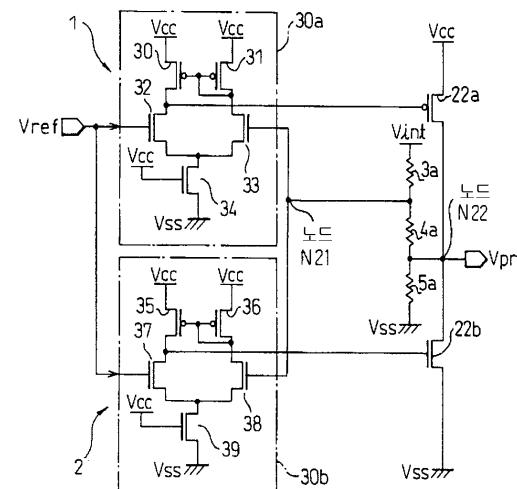
- 1 … 제1 연산 증폭기  
 2 … 제2 연산 증폭기  
 3 … 제1 출력 트랜지스터  
 4 … 제2 출력 트랜지스터

2



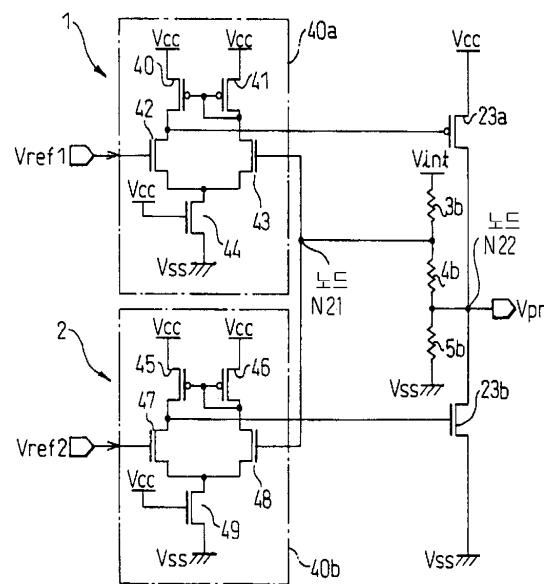
- 10a … 제1 커런트 미러 회로 장착 연산 증폭기  
 10b … 제2 커런트 미러 회로 장착 연산 증폭기  
 21a … 제1 출력 트랜지스터  
 21b … 제2 출력 트랜지스터

3



- 3 a ~ 5 a ... 정전압 생성용 자항
- 22 a ... 제1 출력 트랜지스터
- 22 b ... 제2 출력 트랜지스터
- 30 a ... 제1 커런트 미러 회로 장착 연산 증폭기
- 30 b ... 제2 커런트 미러 회로 장착 연산 증폭기

4



3 b ~ 5 b … 정전압 생성용 저항

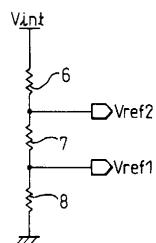
23a … 제1 출력 트랜지스터

23b … 제2 출력 트랜지스터

40a … 제1 커런트 미러 회로 장착 연산 증폭기

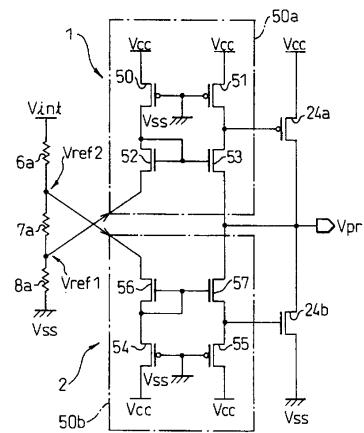
40b … 제2 커런트 미러 회로 장착 연산 증폭기

5



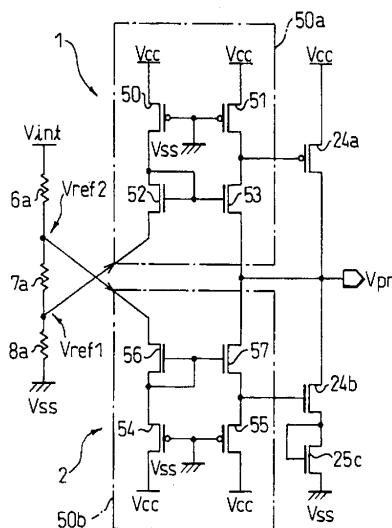
6 ~ 8 … 기준 전압 생성용 저항

6



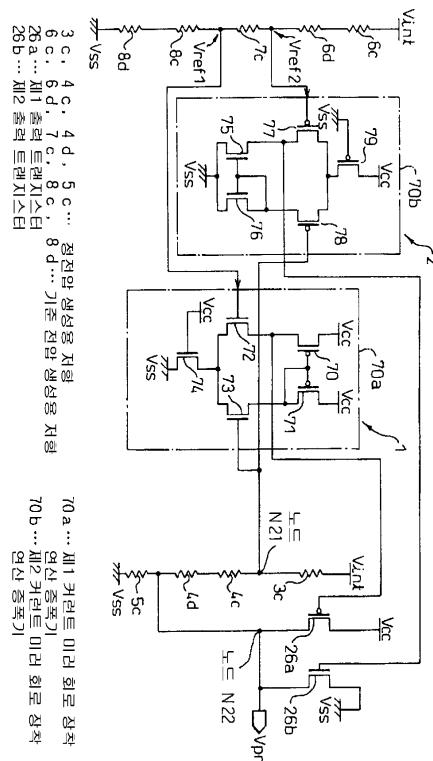
6 a ~ 8 a … 기준 전압 생성용 저항  
 24 a … 제1 출력 트랜지스터  
 24 b … 제2 출력 트랜지스터  
 50 a … 제1 카운트 미리 회로 장착 연산 증폭기  
 50 b … 제2 카운트 미리 회로 장착 연산 증폭기

7



25c … 관통 전류 방지용 다이오드

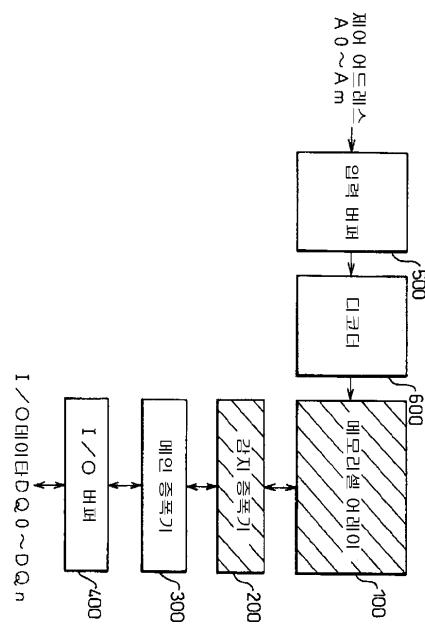
8



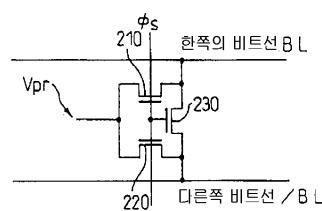
3c, 4c, 4d, 5c... 정전압 생성용 저항  
 6c, 6d, 7c, 8c, 8d... 기준 전압 생성용 저항  
 26a... 제1 출력 트랜지스터  
 26b... 제2 출력 트랜지스터  
 5c... Vss

70a... 제1 커런트 미러 회로 삽입  
 70b... 제2 커런트 미러 회로 삽입  
 7c... 예선 증폭기  
 7d... 예선 증폭기

9

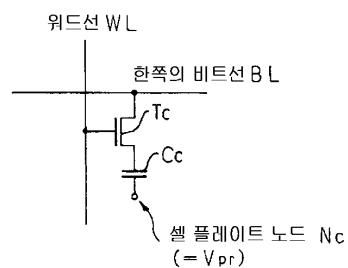


10

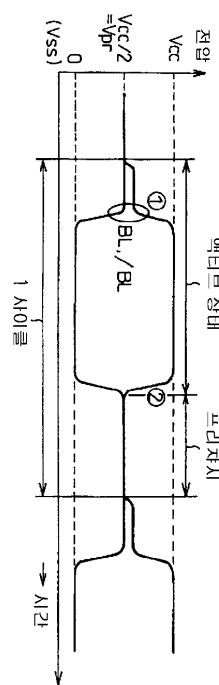


210, 220, 230 ... 비트선 프리차지용 트랜지스터

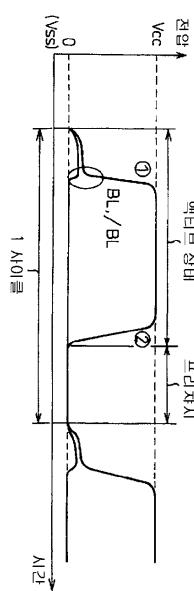
11



12



13



14

