

(19)
(12)(KR)
(B1)(51) 。 Int. Cl. ⁷
G11C 11/407(45)
(11)
(24)2002 04 24
10 - 0333266
2002 04 08(21) 10 - 1999 - 0016286
(22) 1999 05 07(65) 1999 - 0088103
(43) 1999 12 27(30) 98 - 124863 1998 05 07 (JP)
99 - 092781 1999 03 31 (JP)

(73) 가 가

가 가 가 가 4 1 - 1

(72)

가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가
가	가	가	가	4 - 1 - 1	가	가

(74)

:

(54)

,
.

가 1 (1) 2 (2) , 1
2 . 1 2
1 1
1 , 2
2
.

1

1

2

1

3

2

4

3

5

4

6

4

7

5

8

6

9

DRAM

10

9

11

9

12

1/2

13

14

1 : 1

2 : 2

3, 21a 24a, 26a : 1

4, 21b 24b, 26b : 2

10a, 30a, 40a, 50a, 70a : 1

10b, 30b, 40b, 50b, 70b : 2

10, 11, 15, 16, 30, 31, 35, 36, 40, 41, 45, 46, 50, 51, 54, 55, 70, 71, 77 79 : PMOS

12 14, 17 19, 32 34, 37 39, 42 44, 47 49, 52, 53, 56, 57, 72 76 : NMOS

25c :

100 :

200 :

210, 220, 230 :

300 :

400 : I/O

500 :

600 :

가 (, DRAM) . , DRAM 가 .

“ 1 ” “ 0 ” , , 가 () , ,

$V_{cc} \cdot 1/2 = V_{cc}/2$ (,

(storage) “ (High) ”
 “ (Low) ” V_{cc} , $V_{ss}(= 0V)$ 가 가
 DRAM () 가
 가
 () $V_{cc}/2$, V_{cc} V_{ss} 가 가
 $V_{cc}/2$ $V_{cc}/2$,
 V_{ss} $1/2$ V_{cc}
 가

V , , 가 , 2
 DRAM , $V_{cc}/2$,
 , 1V
 , DRAM $V_{cc} \cdot 1/2$ (, $V_{cc}/2$) , 1V $V_{cc}/2$
 M (9 14) , DRA

9 DRAM , 10 9
 , 11 9 , 12
 $V_{cc} \cdot 1/2$, 13
 $V_{ss}(= 0V)$

9 , DRAM ,
 DRAM (500) $A_0 \sim A_m(m-1)$ (100) ,
 (600) (600)
 V_{pp} (
 V_{cc}) 가 ,

DRAM (600) ,
 $C_c(11)$,
 (200) I/O (400) (200) (300)
 $DQ_0 \sim DQ_n (n = 0, 1, 2, \dots)$ DRAM
 DRAM , $V_{cc} \cdot 1/2$ $V_{cc}(10 \sim 11)$
 V_{pr} 10 (200) , 11
 (100) $V_{cc} \cdot 1/2$
 9 (200) (100)

, 9 (200)
 BL, /BL (210, 220, 230)
 (230) NMOS (NMOS)
 BL, /BL (230)
 s가 2 (210, 220) BL, /BL
 2 NMOS (210) ()
 BL (220) () /BL
 (210, 220) ()
 Vpr(Vcc 1/2 (Vcc/ 2)) 가
 3 (210 230) s가

, 11 1 1 NMOS
 Tc , 1 Cc BL, /BL
 “ 1 ” “ 0 ” WL Tc “ 1 ” “ 0 ”
 Tc ()
 Cc Cc Cc

, 12 13 “ 1 ”
 “ 0 ” , Vcc/2 , Vss
 (= 0V)

12 가 , Vcc/2
 Cbl Vcc
 (Vcc/2) · Cb1 0
 BL, /BL
 Vcc/2 , Vcc /2 1 (V
 cc/2) · Cb1 1

, 13 가 , Vss (= 0V)
 Vcc · Cbl 0 Vcc
 Vcc · Cb1 1 , Vss
 1 Vss 1 Vcc/2 2
 , Vcc/2 가

, 11 Cc (Nc)
 Vcc/2(= Vpr)

11 C_c T_c 가 ()
 () 가 “ H ” (V_{cc}) “ L ” (V_{ss})
 C_c 가 , C_c N_c $V_{ss}(=0V)$ 가 , V_{cc}
 C_c 가 “ H ” , C_c N_c V_{cc} 가 , V_{cc}
 C_c 가 “ L ” 가 , V_{cc}

2 “ H ” , C_c N_c $V_{cc}/2$ 가 , C_c $V_{cc}/2$
 “ L ” 가 , $V_{cc}/2$

DARM 가 , N_c $V_{cc}/2$
 가 , “ H ” “ L ” $V_{cc}/2$ 가 , N_c V_{cc}
 V_{pr} $V_{cc}/2$, N_c C_c
 V_{ss} $1/2$, $V_{cc}/2$ 가 ,

14 $V_{cc}/2$

14 $V_{int}(\frac{V_{cc}}{2})$, R_6, R_7 V_{cc} (V_{int} , V)
 $= 0V$ R_6 R_7 V_{pr} , V
 int 가 V_{cc} , R_6 R_7 V_{pr} , V
 V_{pr} V_{cc} $1/2$, R_6 R_7 $V_{cc}/2$, DRAM
 R_6, R_7 , R_6, R_7 가 , R_6, R_7 가 , R_6, R_7 가 , DRAM
 R_6, R_7 , R_6, R_7 (, 200 μ sec)
 . DRAM (,)

14 1 (Q3) , PMOS (P MOS) , NMOS 2 (Q4)
 R_6, R_7 (Q4) , 1 (Q3) 2
 (Q3) 2 (Q4) , 1 (Q4)
 source follower)

1) , 13 1 (Q3) (N3) NMOS (Q (Q
 1) , 2 (Q4) (N4) PMOS (Q2)
 , PMOS NMOS (Q1) R5 R4

nt(, 14 3 R1, R2 R3 Vi
 , Vcc) , , PMOS
 (Q2) R1 R2 N1 1
 , NMOS (Q1) R2 R3 N2 V
 cc 1/2 , N2 N1 Vcc 1/2
 , 1 2 (Q3, Q4)가 4 5
 (Q3, Q4)가 가 1 2
 , Vpr(Vcc/2)

, N2 NMOS (Q1) 1 (Q3)
 . 1 (Q3) Vcc/2 Vpr
 (Q4) , N1 PMOS (Q2) 2
 2 (Q4) Vcc/2

, 14 Vpr Vcc/2
 , NMOS (Q3)가 가 , 3 (Q3) 3
 가 . , (Q3) Vpr Vcc/2
 , Vpr Vcc/2 , PMOS
 4 (Q4) 4 (Q4)가 가 ,
 4 (Q4) 가 가 ,
 Vpr Vcc/2

, DRAM , Vcc 1/2
 , 14 MOS (1 2 Q3, Q4)
 , 2V DRAM , 가 ,
 MOS Vth, MOS 가
 2 (Q3, Q4) 0.5 V NMOS (Q1) PMOS (Q2)
 1

Q4) , 1 (Q3) 가 VGS(Q3) , 2 (Q4) 가 VGS(Q4) . , N1 V(N1) , N2 V(N2) . , NMOS (Q1) Vth(Q1) , PMOS (Q2) Vth(Q2) .

, Vint/2 N2 , NMOS (Q1) Vth(Q1) 가 Vpr(Vint/2) 1 (Q3) 가 VGS(Q3) . , Vint/2 N1 PMOS (Q2) Vth(Q2) 가 VGS(Q4) Vpr(Vint/2) 2 (Q4) 1 2 .

$$\text{VGS}(Q3) = (V(N2) + V_{th}(Q1)) - V_{pr}(V_{int}/2)$$

$$\text{VGS}(Q4) = V_{pr}(V_{int}/2) - (V(N1) - V_{th}(Q2))$$

, Vint가 Vcc , Vcc가 2V 가 , Vth (Vth 0.5V + : Vth 가 , 0.2 V) , Vcc 1/2 (Vpr = Vcc/2 ≒ 1.0V) , 14 1 (Q3) 2 , 1 (Q4) Vth , (Q3, Q4)가 .

, MOS Vth가 , MOS 0.5 V . , 2V , 14 (Q3, Q4) , 가 .

, 가 .

, 1 2 , 1 2 가 . 1 2

, 1 , 1

, 2 , 2 .

, 1 , 1 2 1 2

, 1 2 .

, 1 2 ,

1 2 .

, 1 1 , 1 2 , 1 2

2 , 2 ,

, 1 2 .

가 , 2 1 2

, 3 , 1 2 ,

2 , 2 1 .

가 , 3 , 1 2 2

, , 가 1 2 1 , 2 2

, , 2 2 .

, 가 1 , 1 2 , 2 1 , 가 1

2 2 1 2 가 가 , 2 가 , 1

1 2 2 가 2 가 1

, MOS
 2V 가 1 2 가
 ,
 ,
 ,
 가 ,
 , (1 8)
 1
 1
 1 Vout1 1 Vin1 Vref
 2 Vout2 2 (1) , 2 Vin2 Vref
 (,) (2)
 , 1 1 Vout1
 , (, 1 Vcc 1/2) Vpr
 2 Vout2 Vpr 1 (3) , 2 (2)
 Vpr 2 (4) , 1 2
 (3, 4) Vpr 1 (1) 2 (2)
 , 1 , 1 (3) PMOS , 2 (4) NMOS
 , 1 (3) Vref Vcc 1
 (4) (4) Vpr Vss (= 0V) 2 , 2
 (4) , 2 (4) 2 (4)
 1 , 1 (1) Vpr(, 1
 (1)) Vref Vref , “ L ”
 , Vpr , “ H ”
 , “ L ” , “ H ”
 L ” VPr PMOS (3) PMOS
 Vpr 1 (3)가 , 가 , Vpr Vref PMOS
 , NMOS 2 Vref (4) “ L ”
 , “ H ”
 MOS 2 (4)가 가 , Vpr Vref N
 Vpr Vref

” Vpr , PMOS 1 (3) “ H
Vref Vpr . 1 2

MOS (, 2V 가) 1 2
Vcc 1/2
가 .

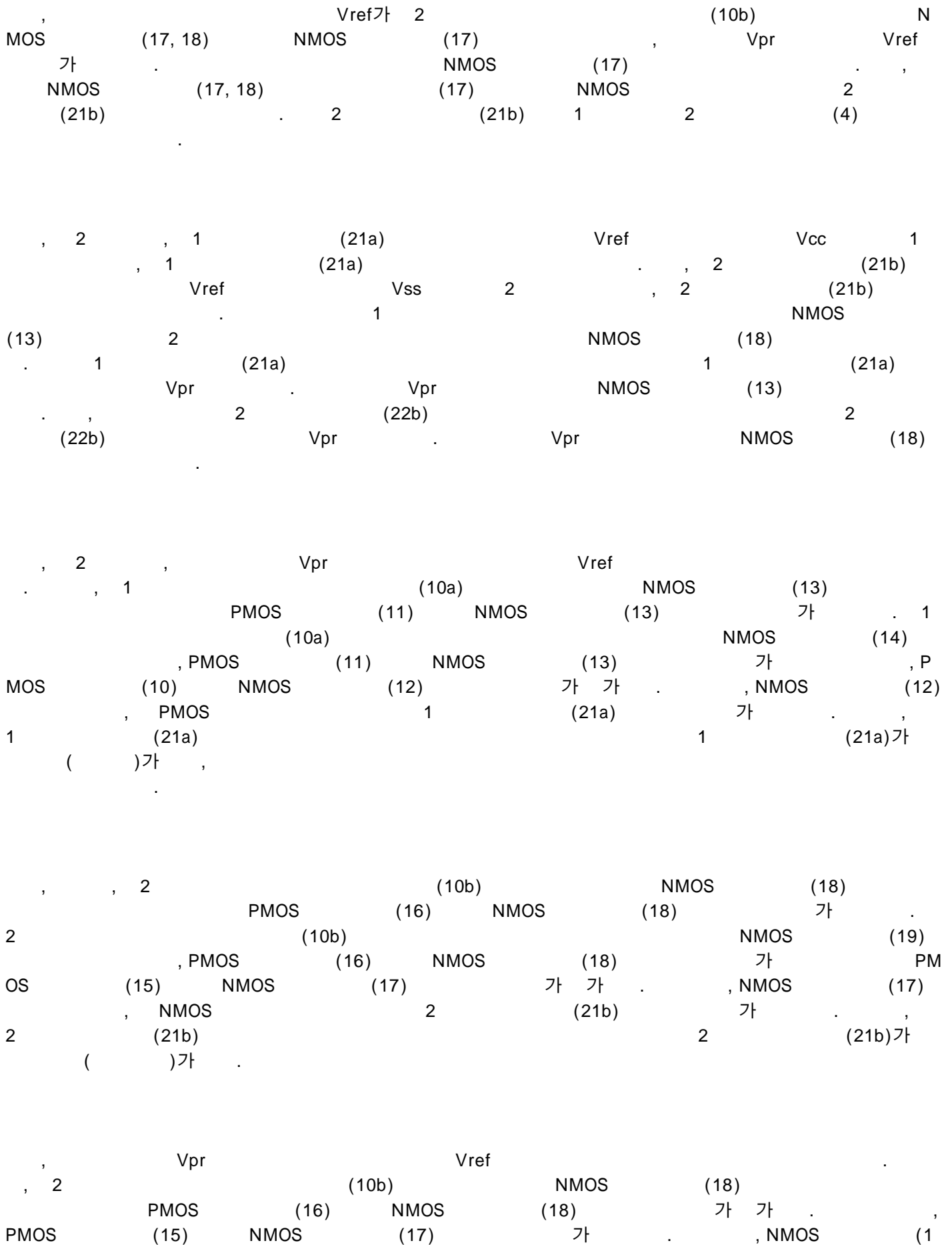
2 1 . ,
.

2 , 1 (1) (1) Vref
1 (10a) . 2 (2)
Vref (10b) . 1
(10a) 2 (10b) 가 .

, 2 , 1 (10a) NMOS (14) ,
(12, 13) , NMOS (12)
NMOS 2 PMOS (10, 11) (PMOS (10, 11)가 1)
(17, 18) , 2 (10b) NMOS (19) ,
NMOS (17, 18) NMOS (17)
2 PMOS (15, 16) (PMOS (10, 11)가 2)
.

, 2 , Vref가 1 (10a) NMOS
(12, 13) NMOS (12) , Vpr(, NMOS Vcc
1/2) Vref 가 . (12) (12)
NMOS (12, 13) (12) PMOS
1 (21a) . 1 (21a) 1
1 (3) .

, 2 Vref가 1 (10a) NMOS
(12, 13) NMOS (12) , Vpr(, NMOS Vcc
1/2) Vref 가 . (12) (12)
NMOS (12, 13) (12) PMOS
1 (21a) . 1 (21a) 1
1 (3) .



7) $\frac{1}{2}$, NMOS (21b) $\frac{1}{2}$ (21b) 가 . , (21b)가 ()가 , .

, , 1 (10a) NMOS (13) 가 가 . , PMOS (10) NMOS (12) 가 , NMOS (12) , PMOS (21a) 1 (21a) 가 . , 1 (21a)가 ()가 .

1 (10a) NMOS $V_{cc}/2$ (12) , $V_{cc}/2$ MOS 2 V 가 1 2 가 V_{th} , 1 , NMOS (12) V_{ref} V_{th} MOS NMOS (12)

3 2 V_{pr} . (, 1 V_{ref} 가 가 (3a, 4a, 5a) 가 . (3a 5a) , 3 2 , (

3 , 1 (30a) 2 (30b) 1 V_{ref} (1) 1 V_{ref} (30a) 2 (30b) (2) 1 (30a) 2 (30b) .

, 3 , 1 (30a) NMOS NMOS (32, 33) , NMOS (32) NMOS (34) , NMOS 2 PMOS (30, 31) , 2 (30b) NMOS (37, 38) , NMOS (37) NMOS (39) , NMOS (37, 38) NMOS (35, 36) .

3, (32, 33) NMOS (32) (30a) NMOS
 1/2) Vref 가 1 N21 (Vcc
 2) NMOS (32) NMOS (32) PMO
 S 1 (22a) 1 (22a) 2
 1 (21a)

MOS (37, 38) NMOS (37) (30b) N
 ef 가 NMOS (37, 38) NMOS (37) N21 Vr
 NMOS (22b) 2 NMOS (22b) 2 NMOS 2 (21b)

3, 1 (22a) Vref Vcc 1
 (22b) 1 (22a) N22 2 2
 (22b) N22 Vref Vss N22 (4a) 1
 NMOS (38) NMOS (33) 2 (22a)
 pr 1 (22a) Vpr V
 (4a) N22 NMOS (33) (N21)
 (22b) 2 (22b) 2
 N22 NMOS (38) Vpr Vpr (4a)

3, N21 Vref
 NMOS (33)
 (34) PMOS (30a) NMOS (31) NMOS (33) NMOS (33)
 , PMOS (30) NMOS (32) NMOS (33) NMOS
 (32) , PMOS (22a) 1 (22a) NMOS
 (22a)가 가 , N21 N21

2 (30b) NMOS (38)
 PMOS (36) NMOS (38) NMOS (38)
 2 (30b) NMOS (38) NMOS (39)
 , PMOS (36) NMOS (38) 가 , P

MOS (35) NMOS (37) 가 가 . , NMOS (37)
 2 , NMOS (22b) 2 가 (22b)가
 2 가 .

, N21 Vref
 , 2 (30b) NMOS (38) 가 가 .
 , PMOS (35) NMOS (37) 가 . , NMOS
 (37) , NMOS (22b) 2 (22b)가
 2 (22b)가 가 , N21 N21

, 1 (30a) NMOS (33) 가 가 .
 , PMOS (30) NMOS (32) 가 (22a) , NMOS
 (32) , PMOS (22a) 1 (22a)가
 , 1 (22a)가 가 .

, 3 (3a, 4a, 5a) Vint
 , Vref (3a) r2 Vpr (4a) (N21)가
 r1 Vref (5a) r2 (4a) r3
 , 3 N22 Vref Vpr
 Vpr (3a, 4a, 5a) N22

, N21 Vref 1
 (30a) NMOS (32) 가 N22
 1 (22a)가 .

, N21 Vref 2
 (30b) NMOS (37) 가 N22
 2 (22b)가 .

, N21 Vg , Vg = Vref , Vref Vpr
 3 .

3

$$V_{pr} = r_3 \cdot V_{ref} / (r_2 + r_3)$$

(47, 48) NMOS (47) , N21 2 Vref2
가 NMOS (47, 48) NMOS (47) ,
(23b) 2 (23b) 2 2 (21b)

1, 4, 1 (23a) 2 Vref2 Vcc
1, 1 (22a) N22 , 2
(23b) 1 Vref1 Vss 2, 2 (4b)
(23b) N22 , NMOS N22 (43) 2 (23a)
1 NMOS (48) 1 Vpr (43) (23a)
Vpr (4b) (23a) N22 NMOS (43) (23b)
N21) 2 (23b) 2 Vpr (48) Vpr
(4b) N22 NMOS (48)

1, 4 N21 1 Vref1 NMOS (43)
, 1 (40a) NMOS (43) 가
PMOS (41) NMOS (43) NMOS
(44) 1 (40a) (41) NMOS (43) 가
, PMOS (40) NMOS (42) 가 가
(42) , PMOS (23a) 1 (23a) 가
3a)가 가 , N21 1 Vref1 1 (2
N22

1, 2 (40b) NMOS (48)
PMOS (46) NMOS (48) 가 2
(40b) NMOS (48) NMOS (49)
, PMOS (46) NMOS (48) 가 , P
MOS (45) NMOS (47) 가 가 NMOS (47)
2 NMOS (23b) 2 (23b) 2 (23b)가
가

1, N21 2 Vref2 NMOS (48)
, 2 (40b) NMOS (48) 가 가
, PMOS (45) NMOS (47) 가 ,

NMOS (47) , NMOS (23b) 2 (23b) 2 가
 . , 2 가 , N21 2 Vref2 2
 (23b)가 ,
 N22 .

, 1 (40a) NMOS (43) 가 가 .
 , PMOS (40) NMOS (41) NMOS (42) 가 , NMOS
 (42) , PMOS (23a) 1 (23a) 가
 . , 1 (23a)가 가 . 1

, 4 3 (3b, 4b, 5b) Vint
 , 1 Vref1 3 Vpr .
 (3b, 4b, 5b) (3b) (3a, 4a, 5a)
 , 2 Vref2 (4b) N21 1 Vre
 f1 (5b) (N22) , (4b) Vpr
 .

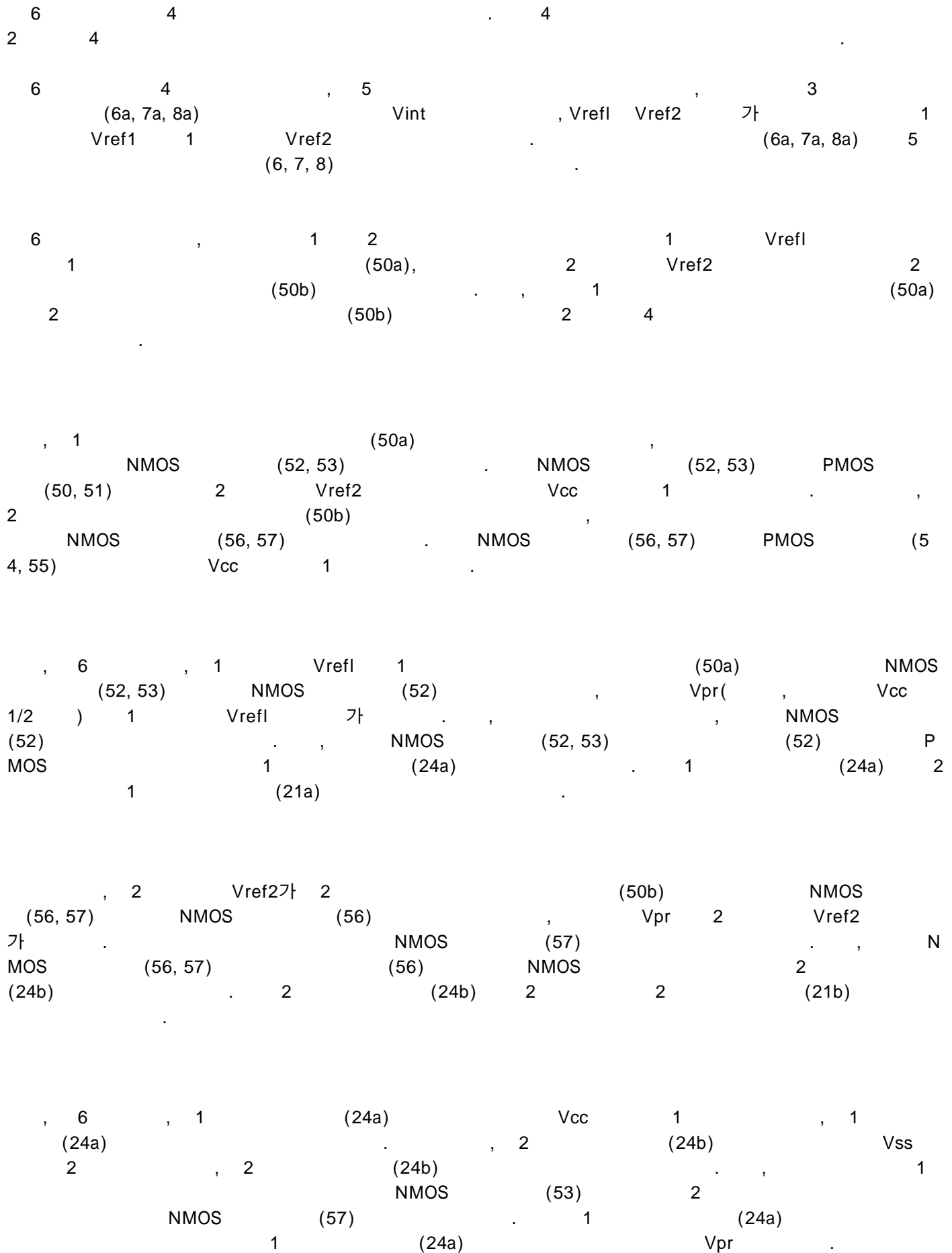
, N21 1 Vref1 1
 (40a) NMOS (42) 가 N22
 1 (23a)가 .

, N21 2 Vref2 2
 (40b) NMOS (47) 가 N22
 2 (23b)가 .

, 1 (40a) 2 (40
 b) 1 Vref1 2 Vref2 가 2

5 4 .

5 3 (1) (6, 7, 8) 1
 Vint , Vref1Vref2 가 , 가
 Vref2 (6) (7) 2 Vref2가 , 가
 (8) (7) , 2 Vr
 ef2 1 Vref1 (6 8) ()
 , 1 Vref1 2 Vref2 Vint , 가 .
 , 1 Vref1 2 Vref2 가 .



Vpr NMOS (53) 2 (24b) Vpr (24b)
 Vpr NMOS (57) .

6 , Vpr 1 Vref1 NMOS (53)
 . , 1 (50a) , PMOS (51) NMOS (53)
 가 가 . , NMOS (53) , PMOS (24a)
 1 (24a) 가 1 (24a)가 가 ,
 .

2 (50b) NMOS (57)
 , NMOS (55) NMOS (57) 가 가 .
 , NMOS (57) , NMOS 2 (24b)
 가 . (23b)
 2 (24b)가 가 .

Vpr 2 Vref2 NMOS (57) 가
 , 2 (50b) , PMOS (55) NMOS (57)
 가 . , NMOS (57) , NMOS (24b) 2
 (24b) 가 2 (24b)가 가 .

1 (50a) NMOS (53)
 , NMOS (51) NMOS (53) 가 .
 , NMOS (53) , PMOS (24a) 1 (24a)
 가 . (24a)가 가 .

1 (40a) 2 (40b)
 1 Vref1 1 (50a)
 NMOS (53) 가 1 (24a)가 .

1 (40a) 2 (40b)
 2 Vref2 2 (50)
 b) NMOS (57) 가 2 (24b)
 가 .

4, 3, 1 (50a)
 2 (50b) 1 Vref1 2 Vre
 f2, 가 2 .

7 5 5 6
 4 (25c) 가 . (25c)
 6 4 (25c)
 .

, NMOS 가 “ H ” Vc
 c , NMOS 가 “ L ” ,
 Vpr .

, PMOS 가 “ H ” Vcc
 “ L ” , PMOS 가 “ L ” ,
 (0V) .

7)가 , 7 2 (50b) NMOS (5)
 가 , NMOS (57) Vpr
 . 2 (50b) NMOS (57)
 2 (24b) 가 , 1
 (24b) 2 (24b)가
 , 1 (24a) 2 (24b)
 , Vss 1 Vcc 1 가 , 1 (24a) 2 (24b)
 가 .

7 5 , 2 (24b) 2
 (25c) . (25c)
 1 (24b) 가 (24b) , 1
 (24b) , 1 (24b)
 , 2 (24b)
 가 .

, PMOS 1 (24a)가 NMOS
 2 (24b) 가 , 1 1 (24a) 2
 (24b) 2 가 .

8 , 6 6 , NMOS
 2 (26b) , 2 (70b) PMOS (77)
 , “ L ” , PMOS 가 가 “ L ”
 , NMOS
 2 (26b)가 가 , 2 (26b) 가
 , 1 (24b)
 2 (26b)가 가 .

, PMOS (26b) 1 (26a)가 NMOS (26a) 2
2 (26b) 2 가 , 1 1 가 .

, 8 1 (70a) 2
(70b) , .

8 , 1 (70a) 3
 , 2 (70b) 3
 , NMOS PMOS
 .

, 8 , 1 (70a) PMOS (74) ,
(72, 73) , NMOS (72) NMOS (70b)
NMOS 2 PMOS (70, 71) . 2
PMOS (77, 78) ,
PMOS (79) , PMOS (77, 78) PMOS (77)
2 NMOS (75, 76) .

, 8 , 1 Vref1 1 (70a) NMOS
(72, 73) NMOS (72) , N21 1
Vref1 가 . NMOS (72) (72) PMOS
 , NMOS (72, 73) NMOS (72)
1 (26a) .

, 2 Vref2가 2 (70b) PMOS
(77, 78) PMOS (77) 2 Vref
2 가 . PMOS (77) NMOS 2
PMOS (77, 78) PMOS (77) NMOS
(26b) .

, 8 , 1 (26a) 2 Vref2 Vcc
1 (26b) , 1 (26a) N22 , 2
(26b) 1 Vref1 Vss 2
1 N22 . N22 (4c, 4d)
PMOS (78) NMOS (73) 2 (26a)
1 (26a) Vpr
(4d, 4c) NMOS (73) ()
N21) 2 (26b) Vpr Vpr N22
(4d, 4c) PMOS (78) .

3) , 8 , N21 1 Vref1
 , 1 (70a) NMOS (73) NMOS (73) 가
 PMOS (71) NMOS (73) NMOS (73) 가
 (74) , PMOS (70a) (71) NMOS (73) 가
 , PMOS (70) NMOS (72) 가 가 . , NMOS
 (72) , PMOS 1 (26a) 가
 , 1 (26a) 1
 (26a)가 가 , Vpr .

2 (70b) PMOS (78)
 NMOS (76) PMOS (78) 가 가 .
 , NMOS (75) PMOS (77) 가 , PMOS
 (77) , NMOS 2 (26b) 가
 , 2 (26b) 2
 (26b)가 가 , NMOS 2 (26b)
 PMOS (77) , 2 (26b)
 가 .

2 N21 Vref2
 , 2 (70b) PMOS (78)
 NMOS (76) PMOS (77) 가 가 . , P
 , NMOS (75) PMOS (77) 2 (26b) 가
 , NMOS (26b) 2
 (26b)가 가 Vpr .

1 (70a) NMOS (73)
 PMOS (71) NMOS (73) 가 가 .
 , PMOS (70) NMOS (72) 가 , NMOS
 (72) , PMOS 1 (23a) 가
 , 1 (26a) 1
 (26a)가 가 .

8 , 5 (6c, 6d, 7c, 8c, 8d) Vint
 , Vref1 Vref2 가 1 Vref1 1 Vref2
 (6d) (7c)
 2 Vref2가 (8c) , 2 Vref2 1 Vref1 (7c)
 (8c) , 2 Vref2 1 Vref1

Figure 1 is a schematic diagram of a semiconductor device 100. The device 100 includes a substrate 110, a gate stack 120, a source region 130, a drain region 140, and a channel region 150. The gate stack 120 is formed on the substrate 110 and includes a gate oxide layer 121 and a gate electrode 122. The source region 130 and the drain region 140 are formed in the substrate 110 and are electrically connected to the gate electrode 122. The channel region 150 is formed in the substrate 110 and is located between the source region 130 and the drain region 140. The device 100 is a MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor).

2

1/2

, NMOS

, 2

1/2

, NMOS
PMOS

, 2

1/2

가
가

(57)

1.

가

1

2

;

1

2

1

2

1

2

(, PMOS

NMOS

) ,

1

1

,

2

2

2.

1

1

2

1

2

1

2

1

2

1

2

1

1

1

1

2 2 , 2
2 , 1 2
.

3.

2 , 가 ,
1 2
.

4.

2 , 1 2 , 1
1 , 2 2
.

5.

4 , 가 ,
1 2
1 2
.

6.

2 5 , 1 2
1 ,
1 2 , 2 1
.

7.

6 , 2 2
.

8.

2 5 , 1 1
2 , 2
1 , 2 1
1 2 , 2 1
.

1 가 , 2 2 가 가 , 1 1 2 2 .
가

9.

;

;

1

2

1

2 ;

1

1

;

2

2

,

1 2
) ,

(, PMOS

NMOS

1 1 , 2 2 .

10.

9 , 1 2 , , 1 ,

2 ,

1 2

.

11.

9 , 가 1 2 .

12.

9 , 1 2 ,
1 1 , 2 2 .

13.

9 , 1 2 , 1 ,

1 2 1

.

14.

10, 1 N MOS, 2 P MOS.

15.

16.

9, 1, 2, 1/2

17.

•
;

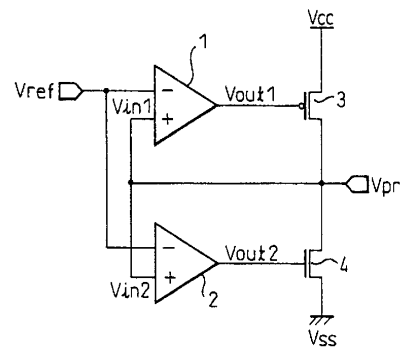
•
;

2 ; 1 2 1

PMOS

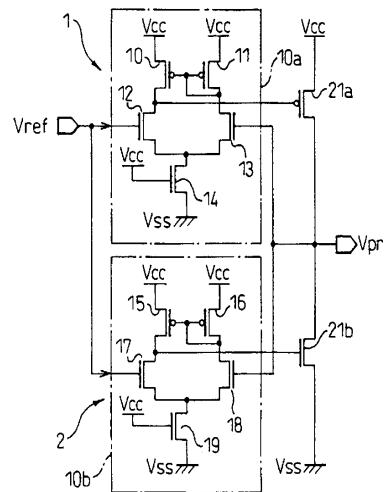
2 가 NMOS

1



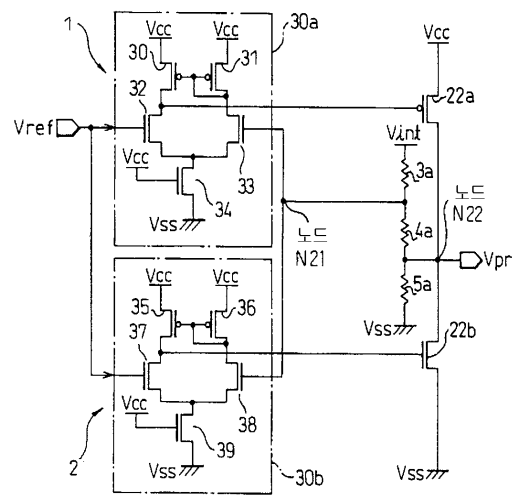
- 1 ... 제1 연산 증폭기
- 2 ... 제2 연산 증폭기
- 3 ... 제1 출력 트랜지스터
- 4 ... 제2 출력 트랜지스터

2



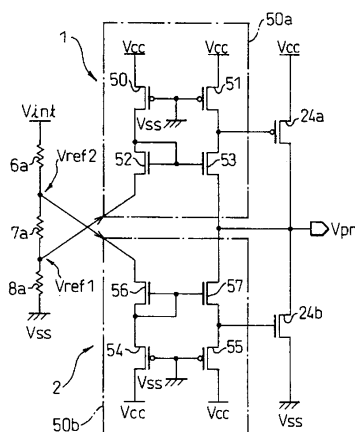
- 10a ... 제1 커런트 미러 회로 장착 연산 증폭기
- 10b ... 제2 커런트 미러 회로 장착 연산 증폭기
- 21a ... 제1 출력 트랜지스터
- 21b ... 제2 출력 트랜지스터

3



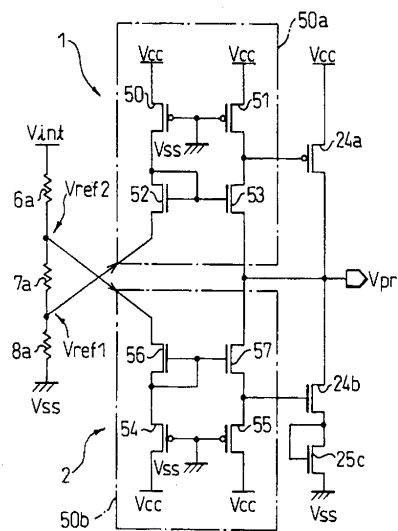
3 a ~ 5 a ... 정전압 생성용 저항
 22 a ... 제1 출력 트랜지스터
 22 b ... 제2 출력 트랜지스터
 30 a ... 제1 커런트 미러 회로 장착 연산 증폭기
 30 b ... 제2 커런트 미러 회로 장착 연산 증폭기

6



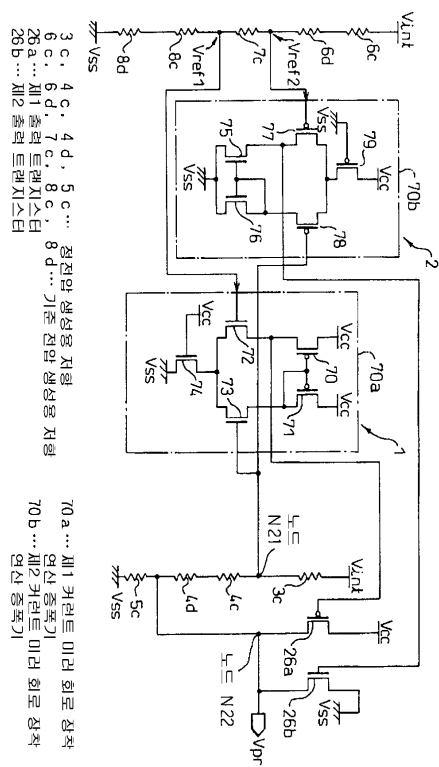
6 a ~ 8 a ... 기준 전압 생성용 저항
24 a ... 제1 출력 트랜지스터
24 b ... 제2 출력 트랜지스터
50 a ... 제1 커런트 미러 회로 장각 연산 증폭기
50 b ... 제2 커런트 미러 회로 장각 연산 증폭기

7

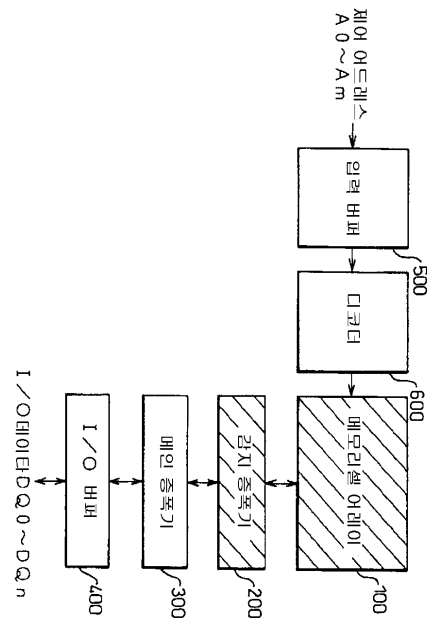


25c ...관통 전류 방지용 다이오드

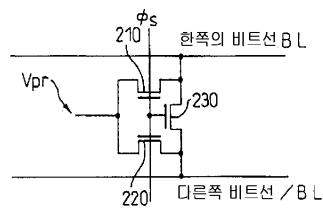
8



9

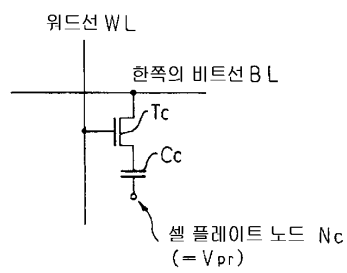


10

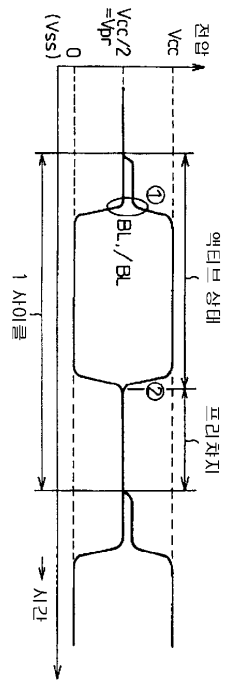


210, 220, 230 ... 비트선 프리차지용 트랜지스터

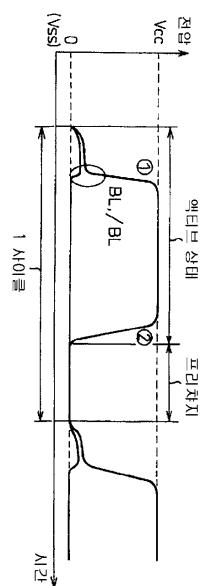
11



12



13



14

