(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/019133 A1

(51) 国際特許分類:
*H01L 31/10* (2006.01)　*H01L 27/146* (2006.01)

(21) 国際出願番号：　PCT/JP2021/025748

(22) 国際出願日：　2021年7月8日(08.07.2021)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

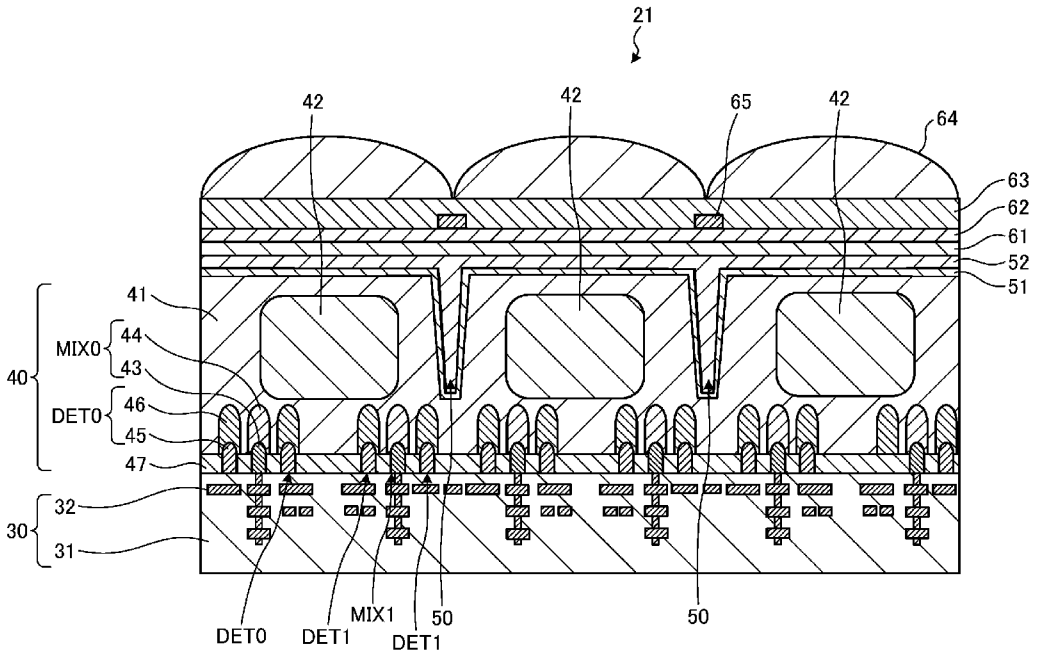
(30) 優先権データ：
特願 2020-124051　2020年7月20日(20.07.2020)　JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 小森　邦洋 (**KOMORI, Kunihiro**); 〒8691102 熊本県菊池郡菊陽町大字原水４００００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 志賀 康幸(**SHIGA, Yasuyuki**); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 山口 真悟(**YAMAGUCHI, Shingo**); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(54) **Title:** SOLID-STATE IMAGING DEVICE

(54) 発明の名称： 固体撮像装置




(57) **Abstract:** A solid-state imaging device (1) according to the present disclosure has: a plurality of photoelectric conversion units (42); a pair of voltage application units (MIX0, MIX1); charge detection units (DET0, DET1); pixel separation parts (50); and an insulating film (51) with a film thickness of 2 nm or more. The photoelectric conversion units (42) are provided in a matrix on a semiconductor layer in plan view, and photoelectrically convert incident light into signal charge. The pair of voltage application units (MIX0, MIX1) are provided on the side of the semiconductor layer opposite

WO 2022/019133 A1

［続葉有］

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

to the light incident surface. The charge detection units (DET0, DET1) annularly surround the voltage application units in plan view, and detect the signal charge that is distributed due to a predetermined voltage being alternately applied to the pair of voltage application units. The pixel separation parts (50) divide and separate the semiconductor layer into each of the photoelectric conversion units in plan view, and extend in the depth direction of the semiconductor layer from the light incident surface. The insulating film (51) with a film thickness of 2 nm or more is provided between the pixel separation parts and the semiconductor layer.

(57) 要約：本開示に係る固体撮像装置（１）は、複数の光電変換部（４２）と、一対の電圧印加部（ＭＩＸ０，ＭＩＸ１）と、電荷検出部（ＤＥＴ０，ＤＥＴ１）と、画素分離部（５０）と、膜厚が２ｎｍ以上の絶縁膜（５１）とを有する。光電変換部（４２）は、平面視において半導体層に行列状に設けられ、入射する光を信号電荷に光電変換する。一対の電圧印加部（ＭＩＸ０，ＭＩＸ１）は、半導体層における光の入射面とは反対側に設けられる。電荷検出部（ＤＥＴ０，ＤＥＴ１）は、平面視において各電圧印加部を環状に囲み、一対の電圧印加部に所定の電圧が交互に印加されることによって振り分けられる信号電荷を検出する。画素分離部（５０）は、平面視において半導体層を光電変換部毎に区画して分離し、光の入射面から半導体層の深さ方向に延在する。膜厚が２ｎｍ以上の絶縁膜（５１）は、画素分離部と半導体層との間に設けられる。

# 明　細　書

## 発明の名称 ： 固体撮像装置

## 技術分野

[0001]　本開示は、固体撮像装置に関する。

## 背景技術

[0002]　間接ＴｏＦ（Time　of　Flight）方式を利用した測距システムは、物体に向けて、例えば、赤外光などの照射光を照射し、その照射光が物体の表面で反射されて返ってくる反射光を固体撮像装置によって受光して検出する。そして、測距システムは、照射光を照射してから反射光を受光するまでの時間を位相差として検出し、位相差に基づいて物体までの距離を算出する。

[0003]　固体撮像装置は、複数の受光画素が平面視において行列状に配列される画素アレイを備える。各受光画素は、入射する光を信号電荷に光電変換する光電変換部と、光電変換された信号電荷を一時的に保持する電荷蓄積部とを備える。

[0004]　かかる固体撮像装置として、光電変換部毎に２つの電荷蓄積部を備え、光電変換した信号電荷を２つの電荷蓄積部に振分けるものがある。例えば、特許文献１には、光電変換部毎に設けられる一対の電圧印加部と、各電圧印加部を環状に囲み、一対の電圧印加部に所定の電圧が交互に印加されることによって振り分けられる信号電荷を検出する電荷検出部とを備える固体撮像装置が開示されている。

## 先行技術文献

## 特許文献

[0005] 特許文献1：特開２０１８－１１７１１７号公報

## 発明の概要

## 発明が解決しようとする課題

[0006]　しかしながら、上記の従来技術では、隣接する光電変換部への漏れ光による画質劣化、および、光電変換部から電荷検出部への電荷転送効率の悪化の

双方を抑制することが困難であった。

[0007] そこで、本開示では、隣接する光電変換部への漏れ光による画質劣化、および、光電変換部から電荷検出部への電荷転送効率の悪化の双方を抑制することができる固体撮像装置を提案する。

## 課題を解決するための手段

[0008] 本開示によれば、固体撮像装置が提供される。固体撮像装置は、複数の光電変換部と、一対の電圧印加部と、電荷検出部と、画素分離部と、膜厚が２ｎｍ以上の絶縁膜とを有する。光電変換部は、平面視において半導体層に行列状に設けられ、入射する光を信号電荷に光電変換する。一対の電圧印加部は、前記半導体層における光の入射面とは反対側に設けられる。電荷検出部は、平面視において各前記電圧印加部を環状に囲み、前記一対の電圧印加部に所定の電圧が交互に印加されることによって振り分けられる前記信号電荷を検出する。画素分離部は、平面視において前記半導体層を前記光電変換部毎に区画して分離し、前記光の入射面から前記半導体層の深さ方向に延在する。膜厚が２ｎｍ以上の絶縁膜は、前記画素分離部と前記半導体層との間に設けられる。

## 図面の簡単な説明

[0009] [図1]本開示に係る固体撮像装置の構成例を示す図である。

[図2]本開示に係る画素アレイ部の断面構造の説明図である。

[図3]一般的な画素分離部とシリコンとの界面部分を示す図である。

[図4]本開示に係る画素分離部とシリコンとの界面部分を示す図である。

[図5]本開示に係る半導体層内の信号電荷の動きを示す図である。

[図6]本開示に係る画素アレイの製造工程を示す図である。

[図7]本開示に係る画素アレイの製造工程を示す図である。

[図8]本開示に係る画素アレイの製造工程を示す図である。

[図9]本開示に係る画素アレイの製造工程を示す図である。

## 発明を実施するための形態

[0010] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお

、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0011] ［１．固体撮像装置の構成例］

本技術は、例えば間接ＴｏＦ（Time of Flight）方式により測距を行う測距システムを構成する固体撮像装置や、そのような固体撮像装置を有する撮像装置などに適用することが可能である。

[0012] 例えば、測距システムは、車両に搭載され、車外にある対象物までの距離を測定する車載用のシステムや、ユーザの手等の対象物までの距離を測定し、その測定結果に基づいてユーザのジェスチャを認識するジェスチャ認識用のシステムなどに適用することができる。この場合、ジェスチャ認識の結果は、例えばカーナビゲーションシステムの操作等に用いることができる。

[0013] 図１は、本開示に係る固体撮像装置の構成例を示す図である。図１に示す固体撮像装置１は、裏面照射型のＣＡＰＤ（Current Assisted Photonic Demodulator）センサであり、測距機能を有する撮像装置に設けられている。

[0014] 固体撮像装置１は、回路基板１０１と、回路基板１０１上に積層されるセンサ基板１０２とを備える。センサ基板１０２には、複数の受光画素（以下、単に「画素」と記載する）が平面視において行列状に配列される画素アレイ部２１が設けられる。

[0015] 回路基板１０１には、周辺回路が設けられる。周辺回路は、例えば垂直駆動部２２、カラム処理部２３、水平駆動部２４、およびシステム制御部２５等が設けられる。垂直駆動部２２は、例えば、各画素において光電変換された信号電荷を処理する画素トランジスタ等を含む。なお、ここでは、回路基板１０１の構成要素と、センサ基板１０２の構成要素との接続関係の理解を容易にするため、各構成要素を同一平面上に記載している。

[0016] このように、固体撮像装置１は、画素アレイ部２１の画素がセンサ基板１０２に設けられ、画素トランジスタが回路基板１０１に設けられることによって、電荷収集効率の向上と消費電力の低減とを可能とした。

[0017] 回路基板１０１には、さらに信号処理部２６およびデータ格納部２７も設

けられている。なお、信号処理部２６およびデータ格納部２７は、回路基板１０１と同じ基板上に搭載してもよいし、回路基板１０１とは別の基板上に配置するようにしてもよい。

[0018] 画素アレイ部２１は、受光した光量に応じた信号電荷を生成し、その信号電荷に応じた信号を出力する画素が行方向および列方向に、すなわち行列状に２次元配置された構成となっている。すなわち、画素アレイ部２１は、画素毎に入射した光を光電変換し、その結果得られた信号電荷に応じた信号を出力する光電変換部を複数有している。

[0019] ここで、行方向とは画素行の画素の配列方向（すなわち、水平方向）をいい、列方向とは画素列の画素の配列方向（すなわち、垂直方向）をいう。つまり、行方向は図中、横方向であり、列方向は図中、縦方向である。

[0020] 画素アレイ部２１において、行列状の画素配列に対して、画素行毎に画素駆動線２８が行方向に沿って配線され、各画素列に２つの垂直信号線２９が列方向に沿って配線されている。例えば画素駆動線２８は、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。なお、図１では、画素駆動線２８について１本の配線として示しているが、１本に限られるものではない。画素駆動線２８の一端は、垂直駆動部２２の各行に対応した出力端に接続されている。

[0021] 垂直駆動部２２は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部２１の各画素を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動部２２は、垂直駆動部２２を制御するシステム制御部２５とともに、画素アレイ部２１の各画素の動作を制御する駆動部を構成している。

[0022] 垂直駆動部２２による駆動制御に応じて画素行の各画素から出力される信号は、垂直信号線２９を通してカラム処理部２３に入力される。カラム処理部２３は、各画素から垂直信号線２９を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0023] 具体的には、カラム処理部２３は、信号処理としてノイズ除去処理やＡＤ

（Analog to Digital）変換処理などを行う。

[0024] 水平駆動部２４は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部２３の画素列に対応する単位回路を順番に選択する。この水平駆動部２４による選択走査により、カラム処理部２３において単位回路ごとに信号処理された画素信号が順番に出力される。

[0025] システム制御部２５は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、そのタイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部２２、カラム処理部２３、および水平駆動部２４などの駆動制御を行う。

[0026] 信号処理部２６は、少なくとも演算処理機能を有し、カラム処理部２３から出力される画素信号に基づいて演算処理等の種々の信号処理を行う。データ格納部２７は、信号処理部２６での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0027] ［２．画素アレイ部の断面構造］

次に、図２を参照し、画素アレイ部２１の断面構造について説明する。図２は、本開示に係る画素アレイ部２１の断面構造の説明図である。なお、図２には、画素アレイ部２１のうち、３画素部分の断面を選択的に示している。

[0028] 図２に示すように、画素アレイ部２１は、多層配線層３０と、多層配線層３０上に積層される半導体層４０と、半導体層４０上に順次積層される絶縁膜５１、反射防止膜５２、層間絶縁膜６１，６２、平坦化膜６３、およびマイクロレンズ６４を備える。

[0029] 多層配線層３０は、例えば、酸化シリコンによって形成される層間絶縁膜３１と、層間絶縁膜３１の内部に設けられる銅配線等の多層配線３２とを含む。半導体層４０は、例えば、ボロン等の不純物がドープされたＰ型のシリコン基板４１と、シリコン基板４１の内部に設けられる複数の光電変換部４２と、電圧印加部ＭＩＸ０，ＭＩＸ１と、電荷検出部ＤＥＴ０，ＤＥＴ１とを含む。

[0030] 光電変換部４２は、シリコン基板４１に、例えば、リン等のＮ型の不純物がイオン注入されて形成された領域である。光電変換部４２は、平面視において半導体層４０に行列状に設けられ、マイクロレンズ６４によって集光されて入射する光を信号電荷に光電変換する。

[0031] 電圧印加部ＭＩＸ０，ＭＩＸ１は、半導体層４０における光の入射面とは反対側に設けられる。一対の電圧印加部ＭＩＸ０，ＭＩＸ１は、光電変換部４２毎に設けられる。電圧印加部ＭＩＸ０，ＭＩＸ１は、シリコン基板４１に、比較的高濃度のＰ型の不純物がイオン注入されたＰ＋領域４３と、Ｐ＋領域４３上を覆うように、比較的低濃度のＰ型の不純物がイオン注入されたＰ－領域４４とを含む。

[0032] 電荷検出部ＤＥＴ０は、一方の電圧印加部ＭＩＸ０を平面視において環状に囲むように設けられる。電荷検出部ＤＥＴ１は、他方の電圧印加部ＭＩＸ１を平面視において環状に囲むように設けられる。

[0033] 電荷検出部ＤＥＴ０，ＤＥＴ１は、シリコン基板４１に、比較的高濃度のＮ型の不純物がイオン注入されたＮ＋領域４５と、Ｎ＋領域４５上を覆うように、比較的低濃度のＮ型の不純物がイオン注入されたＮ－領域４６とを含む。各Ｐ＋領域４３と、各Ｎ＋領域４５との間は、酸化シリコン膜４７によって絶縁される。

[0034] また、画素アレイ部２１は、平面視において半導体層４０を光電変換部４２毎に区画して分離し、光の入射面から半導体層４０の深さ方向に延在する画素分離部５０を備える。画素分離部５０は、反射防止材料によって形成され、半導体層４０上に積層される反射防止膜５２と連続する。平坦化膜６３の内部には、平面視において画素分離部５０と重なる位置に、遮光部材６５が設けられる。

[0035] 図２に示すような構成の画素アレイ部２１は、ＣＡＰＤ（Current Assisted Photonic Demodulator）と呼ばれる。ＣＡＰＤ型の画素アレイ部２１は、光電変換部４２毎に、３つの電荷蓄積部（フローティングディフュージョン）を備え、各光電変換部４２内に流す電流の向きを切り換えることによっ

て、光電変換された信号電荷を２つのフローティングディフュージョンに振り分ける。

[0036] ここで、かかるＣＡＰＤ型の画素アレイ部２１の動作について説明する。画素アレイ部２１は、マイクロレンズ６４によって集光される入射光を光電変換部４２によって信号電荷となる電子に光電変換する。

[0037] その後、画素アレイ部２１は、あるタイミングでは、電圧印加部ＭＩＸ１に正の電圧（例えば、１．５Ｖ）を印加し、電圧印加部ＭＩＸ０に０Ｖまたは負の電圧を印加する。これにより、光電変換部４２の内部には、電圧印加部ＭＩＸ１から電圧印加部ＭＩＸ０に向かって電流が流れる。信号電荷の電子は、この電流によって発生する電界により電荷検出部ＤＥＴ１へ誘導され、電荷検出部ＤＥＴ１に取り込まれて検知される。

[0038] 電荷検出部ＤＥＴ１は、多層配線３２によって第１のフローティングディフュージョンに接続されており、検知した信号電荷を第１のフローティングディフュージョンへ転送する。信号電荷は、一時的に第１のフローティングディフュージョンで保持された後、カラム処理部２３（図１参照）へ読み出される。

[0039] 次のタイミングでは、画素アレイ部２１は、電圧印加部ＭＩＸ０に正の電圧（例えば、１．５Ｖ）を印加し、電圧印加部ＭＩＸ１に０Ｖまたは負の電圧を印加する。これにより、光電変換部４２の内部には、電圧印加部ＭＩＸ０から電圧印加部ＭＩＸ１に向かって電流が流れる。信号電荷の電子は、この電流によって発生する電界により電荷検出部ＤＥＴ０へ誘導され、電荷検出部ＤＥＴ０に取り込まれて検知される。

[0040] 電荷検出部ＤＥＴ０は、多層配線３２によって第２のフローティングディフュージョンに接続されており、検知した信号電荷を第２のフローティングディフュージョンへ転送する。信号電荷は、一時的に第２のフローティングディフュージョンで保持された後、カラム処理部２３（図１参照）へ読み出される。

[0041] ここで、一般的なＣＡＰＤ型の画素アレイでは、光電変換部に入射光が半

導体層内で反射し、隣接する周囲の光電変換部へ漏れ光となって侵入して混色が発生することがある。混色が発生すると、撮像画像では、被写体のエッジ部分がぼやけて画質が劣化する。

[0042] これに対して、本開示に係る画素アレイ部２１は、平面視において半導体層４０を光電変換部４２毎に区画して分離し、光の入射面から半導体層４０の深さ方向に延在する画素分離部５０を備える。画素分離部５０は、例えば、酸化アルミニウム等の反射防止機能を有する金属酸化物によって形成される。

[0043] これにより、画素アレイ部２１は、光電変換部４２に入射光が半導体層４０内で反射しても、画素分離部５０によって、光が隣接する光電変換部４２へ侵入することを防止することにより、混色の発生を抑制することができる。

[0044] ただし、画素アレイ部２１は、単に、トレンチ状の画素分離部５０が設けられるだけでは、光電変換部４２から電荷検出部ＤＥＴ０，ＤＥＴ１への電子転送効率が低下する。そこで、画素アレイ部２１は、画素分離部５０と、半導体層４０のシリコンとの間に、膜厚が２ｎｍ以上の絶縁膜５１を備えることによって、電子転送効率の低下を抑制する。絶縁膜５１は、例えば、シリコン酸化膜である。なお、絶縁膜５１は、シリコン窒化膜であってもよい。

[0045] ［３．絶縁膜による作用効果］

次に、図３～図５を参照し、膜厚が２ｎｍ以上の絶縁膜５１が設けられることによる作用効果について説明する。図３は、一般的な画素分離部とシリコンとの界面部分を示す図である。図４は、本開示に係る画素分離部とシリコンとの界面部分を示す図である。図５は、本開示に係る半導体層内の信号電荷の動きを示す図である。

[0046] 一般的な画素分離部は、シリコン基板４１における画素分離部の形成位置にトレンチを形成し、シリコン基板４１を洗浄した後に、トレンチへ例えば酸化アルミニウム等の反射防止機能を備えた金属酸化物を埋め込むことによ

って形成される。

[0047] このとき、図３に示すように、自然酸化膜５は、膜厚が１ｎｍと非常に薄いため、負に帯電した画素分離部５０の影響によって、シリコン基板４１との界面部分にホール（正孔）を励起させホール電流を発生させる。

[0048] これにより、本来、電荷検出部ＤＥＴ０，ＤＥＴ１に取り込まれるべき光電変換された信号電荷（電子）の一部は、ホール電流引き寄せられ、電荷検出部ＤＥＴ０，ＤＥＴ１へ転送されない。したがって、図３に示す一般的な画素分離部５０が設けられる場合には、混色は抑制できるが、電子転送効率が低下する。

[0049] そこで、図４に示すように、本開示に係る画素アレイ部２１は、画素分離部５０と半導体層４０におけるシリコン基板４１との間に、膜厚が自然酸化膜５よりも厚い２ｎｍ以上の絶縁膜５１を備える。

[0050] これにより、画素アレイ部２１は、負に帯電する画素分離部５０とシリコン基板４１との間隔を広げることができるので、絶縁膜５１におけるシリコン基板４１との界面部分に励起されるホール（正孔）を減少させることができる。

[0051] したがって、画素アレイ部２１によれば、図５に点線で示す電子のように、画素分離部５０および反射防止膜５２の近傍で光電変換され、絶縁膜５１がなければ電荷検出部ＤＥＴ１へ転送され難い信号電荷を電荷検出部ＤＥＴ１へ転送することができる。その結果、画素アレイ部２１は、電子転送効率の低下を抑制することができる。

[0052] また、画素アレイ部２１では、画素分離部５０の深さが深すぎると、画素分離部５０と電荷検出部ＤＥＴ０，ＤＥＴ１との距離が近くなり、信号電荷が画素分離部５０に引き寄せられて電荷転送効率が低下するので、画素分離部５０の深さに制限を設けている。

[0053] 具体的には、画素アレイ部２１では、画素分離部５０の半導体層４０における光の入射面からの深さＤ１が半導体層４０の厚さＤ２の０．６７倍以下となるように制限される。このため、例えば、半導体層４０の厚さが６．７

μｍの場合、画素分離部５０の深さは、４．５μｍ以下とされる。

[0054] これにより、画素アレイ部２１は、信号電荷の転送に影響を及ぼさない程度まで、画素分離部５０と電荷検出部ＤＥＴ０，ＤＥＴ１との距離を確保することによって、電子転送効率の低下を抑制することができる。

[0055] ［４．画素アレイの製造方法］

次に、図６～図９を参照し、画素アレイ部２１の製造方法について説明する。図６～図９は、本開示に係る画素アレイの製造工程を示す図である。

[0056] 図６にしめすように、まず、Ｐ型のシリコン基板４１の表面（下面）から内部の所定位置に、それぞれＮ型の不純物をイオン注入してアニール処理を行うことによって、シリコン基板４１の内部に、光電変換部４２および電荷検出部ＤＥＴ０，ＤＥＴ１を形成する。

[0057] さらに、シリコン基板４１の表面（下面）から内部の所定位置に、それぞれＰ型の不純物をイオン注入してアニール処理を行うことによって、シリコン基板４１の内部に、電圧印加部ＭＩＸ０，ＭＩＸ１を形成する。その後、各電荷検出部ＤＥＴ０，ＤＥＴ１および各電圧印加部ＭＩＸ０，ＭＩＸ１の間に酸化シリコン膜４７を形成して絶縁する。

[0058] 続いて、シリコン基板４１の表面（下面）に層間絶縁膜３１および配線パターンを順次積層することによって、多層配線層３０を形成する。そして、シリコン基板４１を裏面側から研削および研磨して薄化させる。

[0059] その後、図７に示すように、シリコン基板４１における画素分離部５０（図２参照）の形成位置に、裏面側からトレンチ７０を形成し、シリコン基板４１を洗浄する。続いて、図８に示すように、シリコン基板４１の裏面（上面）およびトレンチ７０の内周面に、膜厚が２ｎｍ以上となるように、例えば、シリコン酸化膜を成膜することによって、絶縁膜５１を形成する。

[0060] このように、絶縁膜５１を画素分離部５０とシリコン基板４１との間からシリコン基板４１における光の入射面まで延在させることができる。これにより、シリコン基板４１の裏面（上面）近傍で光電変換される信号電荷についても、効率的に電荷検出部ＤＥＴ０，ＤＥＴ１へ転送させることができる

。

[0061] また、絶縁膜５１の成膜は、例えば、ＡＬＤ（Atomic Layer Deposition）によって行う。これにより、原子層レベルで絶縁膜５１の膜厚を正確にコントロールすることができる。なお、絶縁膜５１の成膜方法は、ＡＬＤに限定されるものではない。

[0062] 絶縁膜５１は、例えば、熱酸化、ＣＶＤ（Chemical Vapor Deposition）、プラズマ酸化、およびＩＳＳＧ（In－Situ－Steam Generation）等によっても成膜することができる。

[0063] その後、図９に示すように、シリコン基板４１の裏面上およびトレンチ７０の内部に、例えば、酸化アルミニウムを堆積させて、反射防止膜５２および画素分離部５０を形成する。なお、画素分離部５０は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイド元素のうち、少なくともいずれか１つの元素を含む材料によって形成することもできる。これらの元素を含む画素分離部５０によっても、半導体層４０の内部で光が反射することを防止することができる。

[0064] 続いて、反射防止膜５２上に、層間絶縁膜６１，６２を順次積層する。層間絶縁膜６１，６２は、例えば、酸化シリコンまたは窒化シリコンによって形成する。そして、層間絶縁膜６２上における平面視において画素分離部５０と重なる位置に、遮光部材６５を形成する。

[0065] その後、層間絶縁膜６２および遮光部材６５上に、樹脂製の平坦化膜６３を形成し、平坦化膜６３上にマイクロレンズ６４を積層して、図２に示す画素アレイ部２１が完成する。なお、ここでは、絶縁膜５１としてシリコン酸化膜を使用したが、絶縁膜５１は、シリコン窒化膜であってもよい。

[0066] シリコン窒化膜は、イオン電導性が低いため、洗浄工程によってシリコン基板４１の裏面（上面）およびトレンチ７０の内周面に自然酸化膜が形成されても、自然酸化膜から画素分離部５０および反射防止膜５２への酸素イオン$O^{2-}$の移動を防止できる。また、絶縁膜５１としてシリコン酸化膜を使用する場合には、窒化シリコンを使用する場合よりも低コストで絶縁膜５１を

形成することができる。

[0067] また、絶縁膜５１は、正の固定電荷を有する金属酸化膜であってもよい。正の固定電荷を有する金属酸化膜は、例えば、イットリウム酸化物およびランタン酸化物の少なくともいずれか一方を含む。かかる絶縁膜５１によっても、シリコン基板４１における絶縁膜５１との界面部分にホール（正孔）が励起されることを抑制することができる。

[0068] ［５．効果］

固体撮像装置１は、複数の光電変換部４２と、一対の電圧印加部ＭＩＸ０，ＭＩＸ１と、電荷検出部ＤＥＴ０，ＤＥＴ１と、画素分離部５０と、膜厚が２ｎｍ以上の絶縁膜５１とを有する。複数の光電変換部４２は、平面視において半導体層４０に行列状に設けられ、入射する光を信号電荷に光電変換する。一対の電圧印加部ＭＩＸ０，ＭＩＸ１は、半導体層４０における光の入射面とは反対側に設けられる。電荷検出部ＤＥＴ０，ＤＥＴ１は、平面視において各電圧印加部ＭＩＸ０，ＭＩＸ１を環状に囲み、一対の電圧印加部ＭＩＸ０，ＭＩＸ１に所定の電圧が交互に印加されることによって振り分けられる信号電荷を検出する。画素分離部５０は、平面視において半導体層４０を光電変換部４２毎に区画して分離し、光の入射面から半導体層４０の深さ方向に延在する。膜厚が２ｎｍ以上の絶縁膜は、画素分離部５０と半導体層４０との間に設けられる。これにより、固体撮像装置１は、画素分離部５０と半導体層４０におけるシリコン基板４１との間の距離を広げることにより、隣接する光電変換部４２への漏れ光による画質劣化、および、光電変換部４２から電荷検出部ＤＥＴ０，ＤＥＴ１への電荷転送効率の悪化の双方を抑制することができる。

[0069] また、画素分離部５０は、半導体層４０における光の入射面からの深さが半導体層４０の厚さの０．６７倍以下である。これにより、固体撮像装置１は、信号電荷の転送に影響を及ぼさない程度まで、画素分離部５０と電荷検出部ＤＥＴ０，ＤＥＴ１との距離を確保することによって、電子転送効率の低下を抑制することができる。

[0070] また、絶縁膜５１は、半導体層４０における光の入射面上まで延在する。これにより、固体撮像装置１は、シリコン基板４１の光入射面となる裏面（上面）近傍で光電変換される信号電荷についても、効率的に電荷検出部ＤＥＴ０，ＤＥＴ１へ転送させることができる。

[0071] また、絶縁膜５１は、シリコン酸化膜である。これにより、シリコン窒化膜よりも低コストで絶縁膜５１を形成することができる。

[0072] また、絶縁膜５１は、シリコン窒化膜である。シリコン窒化膜は、イオン電導性が低いため、洗浄工程によってシリコン基板４１の裏面（上面）およびトレンチ７０の内周面に自然酸化膜が形成されても、自然酸化膜から画素分離部５０および反射防止膜５２への酸素イオン$O^{2-}$の移動を防止できる。

[0073] また、絶縁膜５１は、正の固定電荷を有する金属酸化膜である。これにより、固体撮像装置１は、シリコン基板４１における絶縁膜５１との界面部分にホール（正孔）が励起されることを抑制することができる。

[0074] また、金属酸化膜は、イットリウム酸化物およびランタン酸化物の少なくともいずれか一方を含む。これにより、固体撮像装置１は、シリコン基板４１における絶縁膜５１との界面部分にホール（正孔）が励起されることを抑制することができる。

[0075] また、絶縁膜５１は、ＡＬＤ（Atomic Layer Deposition）によって成膜される。これにより、原子層レベルで絶縁膜５１の膜厚を正確にコントロールすることができる。

[0076] また、画素分離部５０は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイド元素のうち、少なくともいずれか１つの元素を含む。これにより、画素分離部５０は、半導体層４０の内部で光が反射することを防止することができる。

[0077] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0078] なお、本技術は以下のような構成も取ることができる。

（１）

平面視において半導体層に行列状に設けられ、入射する光を信号電荷に光電変換する複数の光電変換部と、

前記半導体層における光の入射面とは反対側に設けられる一対の電圧印加部と、

平面視において各前記電圧印加部を環状に囲み、前記一対の電圧印加部に所定の電圧が交互に印加されることによって振り分けられる前記信号電荷を検出する電荷検出部と、

平面視において前記半導体層を前記光電変換部毎に区画して分離し、前記光の入射面から前記半導体層の深さ方向に延在する画素分離部と、

前記画素分離部と前記半導体層との間に設けられ、膜厚が２ｎｍ以上の絶縁膜と

を有する固体撮像装置。

（２）

前記画素分離部は、

前記半導体層における前記光の入射面からの深さが前記半導体層の厚さの０．６７倍以下である

前記（１）に記載の固体撮像装置。

（３）

前記絶縁膜は、

前記半導体層における前記光の入射面上まで延在する

前記（１）または（２）に記載の固体撮像装置。

（４）

前記絶縁膜は、

シリコン酸化膜である

前記（１）～（３）のいずれかに記載の固体撮像装置。

（５）

前記絶縁膜は、

シリコン窒化膜である

前記（１）～（３）のいずれかに記載の固体撮像装置。

（６）

前記絶縁膜は、

正の固定電荷を有する金属酸化膜である

前記（１）～（３）のいずれかに記載の固体撮像装置。

（７）

前記金属酸化膜は、

イットリウム酸化物およびランタン酸化物の少なくともいずれか一方を含む

前記（６）に記載の固体撮像装置。

（８）

前記絶縁膜は、

ＡＬＤ（Atomic Layer Deposition）によって成膜される

前記（１）～（７）のいずれかに記載の固体撮像装置。

（９）

前記画素分離部は、

ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイド元素のうち、少なくともいずれか１つの元素を含む

前記（１）～（８）のいずれかに記載の固体撮像装置。

## 符号の説明

[0079] １ 固体撮像装置

２１ 画素アレイ部

２２ 垂直駆動部

２３ カラム処理部

２４ 水平駆動部

２５ システム制御部

２６ 信号処理部

２７　データ格納部

３０　多層配線層

３１，６１　，６２　層間絶縁膜

３２　多層配線

４０　半導体層

４１　シリコン基板

４２　光電変換部

ＭＩＸ０，ＭＩＸ１　電圧印加部

ＤＥＴ０，ＤＥＴ１　電荷検出部

５０　画素分離部

５１　絶縁膜

５２　反射防止膜

６３　平坦化膜

６４　マイクロレンズ

６５　遮光部材

# 請求の範囲

[請求項1] 平面視において半導体層に行列状に設けられ、入射する光を信号電荷に光電変換する複数の光電変換部と、

前記半導体層における光の入射面とは反対側に設けられる一対の電圧印加部と、

平面視において各前記電圧印加部を環状に囲み、前記一対の電圧印加部に所定の電圧が交互に印加されることによって振り分けられる前記信号電荷を検出する電荷検出部と、

平面視において前記半導体層を前記光電変換部毎に区画して分離し、前記光の入射面から前記半導体層の深さ方向に延在する画素分離部と、

前記画素分離部と前記半導体層との間に設けられ、膜厚が２ｎｍ以上の絶縁膜と

を有する固体撮像装置。

[請求項2] 前記画素分離部は、

前記半導体層における前記光の入射面からの深さが前記半導体層の厚さの０．６７倍以下である

請求項１に記載の固体撮像装置。

[請求項3] 前記絶縁膜は、

前記半導体層における前記光の入射面上まで延在する

請求項１に記載の固体撮像装置。

[請求項4] 前記絶縁膜は、

シリコン酸化膜である

請求項１に記載の固体撮像装置。

[請求項5] 前記絶縁膜は、

シリコン窒化膜である

請求項１に記載の固体撮像装置。

[請求項6] 前記絶縁膜は、

正の固定電荷を有する金属酸化膜である

請求項１に記載の固体撮像装置。

[請求項7] 前記金属酸化膜は、

イットリウム酸化物およびランタン酸化物の少なくともいずれか一方を含む

請求項６に記載の固体撮像装置。

[請求項8] 前記絶縁膜は、

ＡＬＤ（Atomic Layer Deposition）によって成膜される

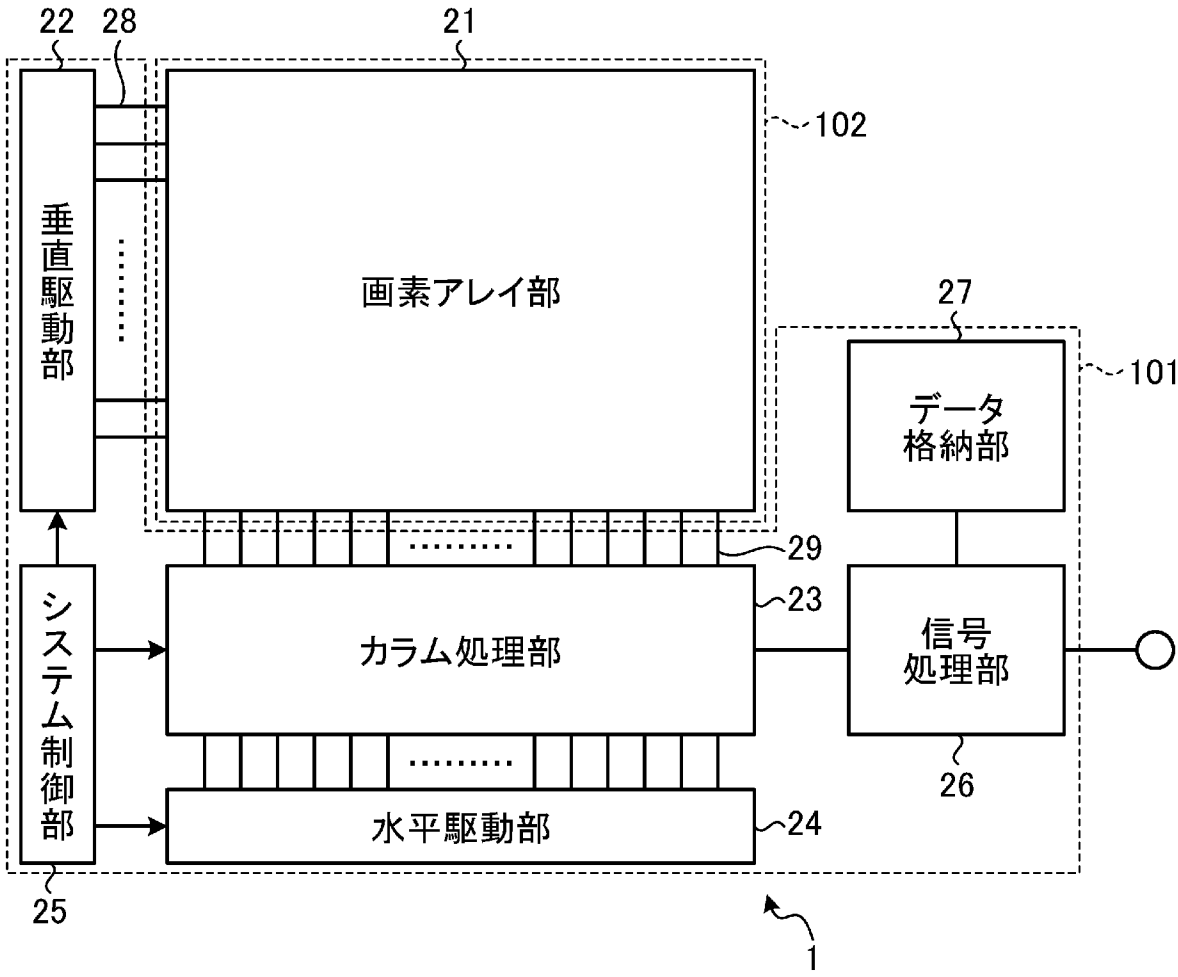
請求項１に記載の固体撮像装置。

[請求項9] 前記画素分離部は、

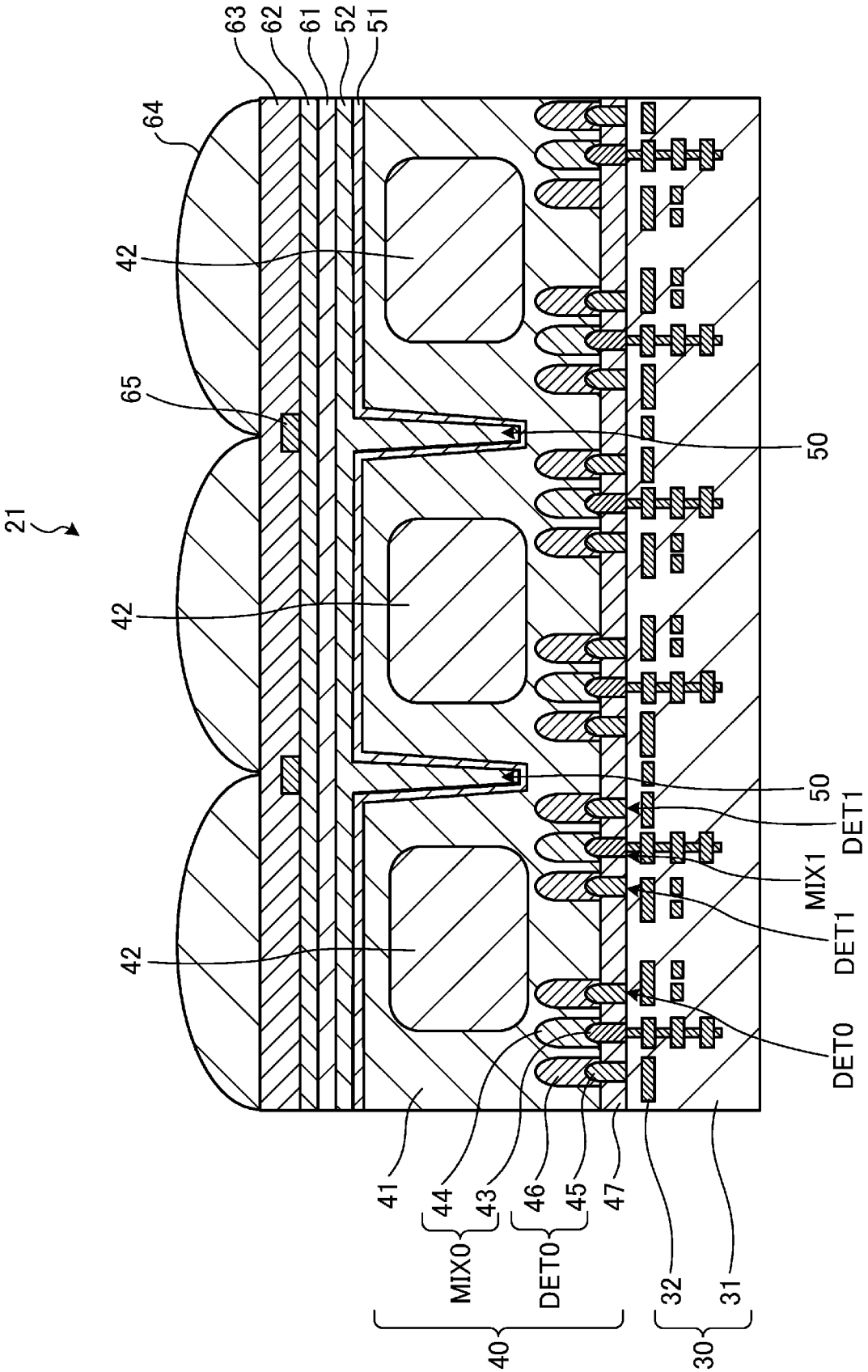
ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、およびランタノイド元素のうち、少なくともいずれか１つの元素を含む

請求項１に記載の固体撮像装置。

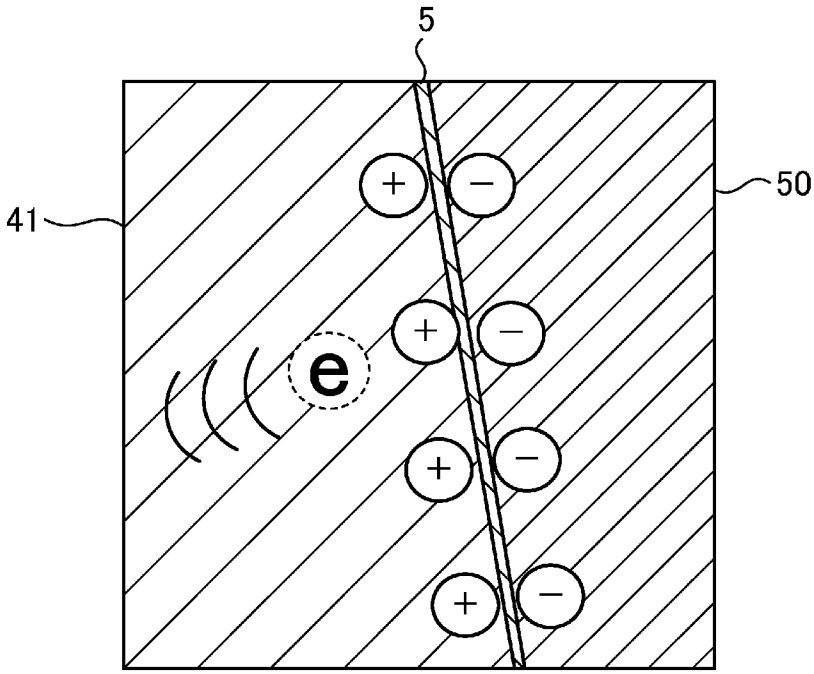
[図1]


22
28
21
102
垂直駆動部
画素アレイ部
27
101
データ格納部
29
23
カラム処理部
信号処理部
26
水平駆動部
24
システム制御部
25
1

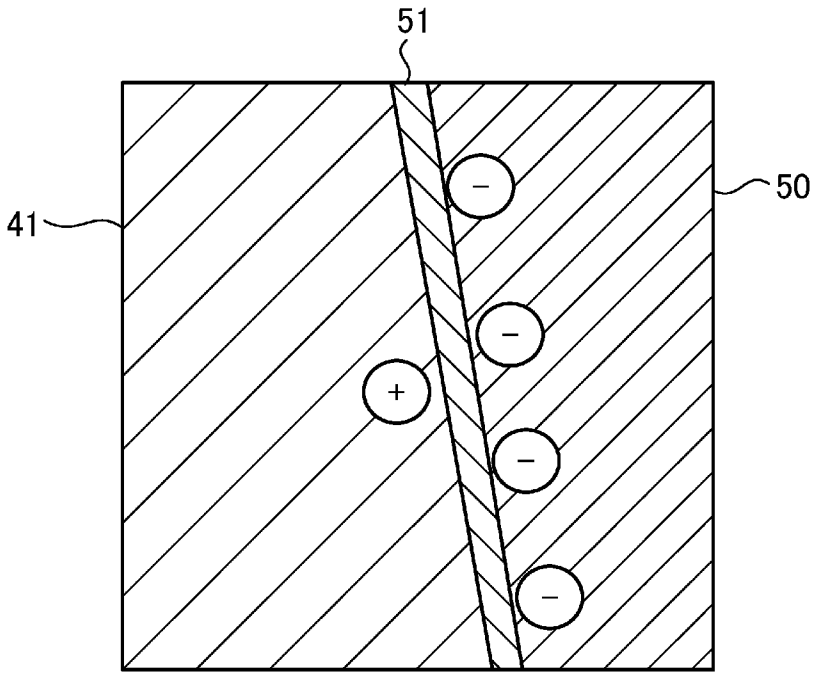
[図2]


21
63
62
61
52
51
64
42
65
50
42
50
DET1
MIX1
DET1
42
DET0
41
44
43
46
45
47
MIX0
DET0
40
32
31
30

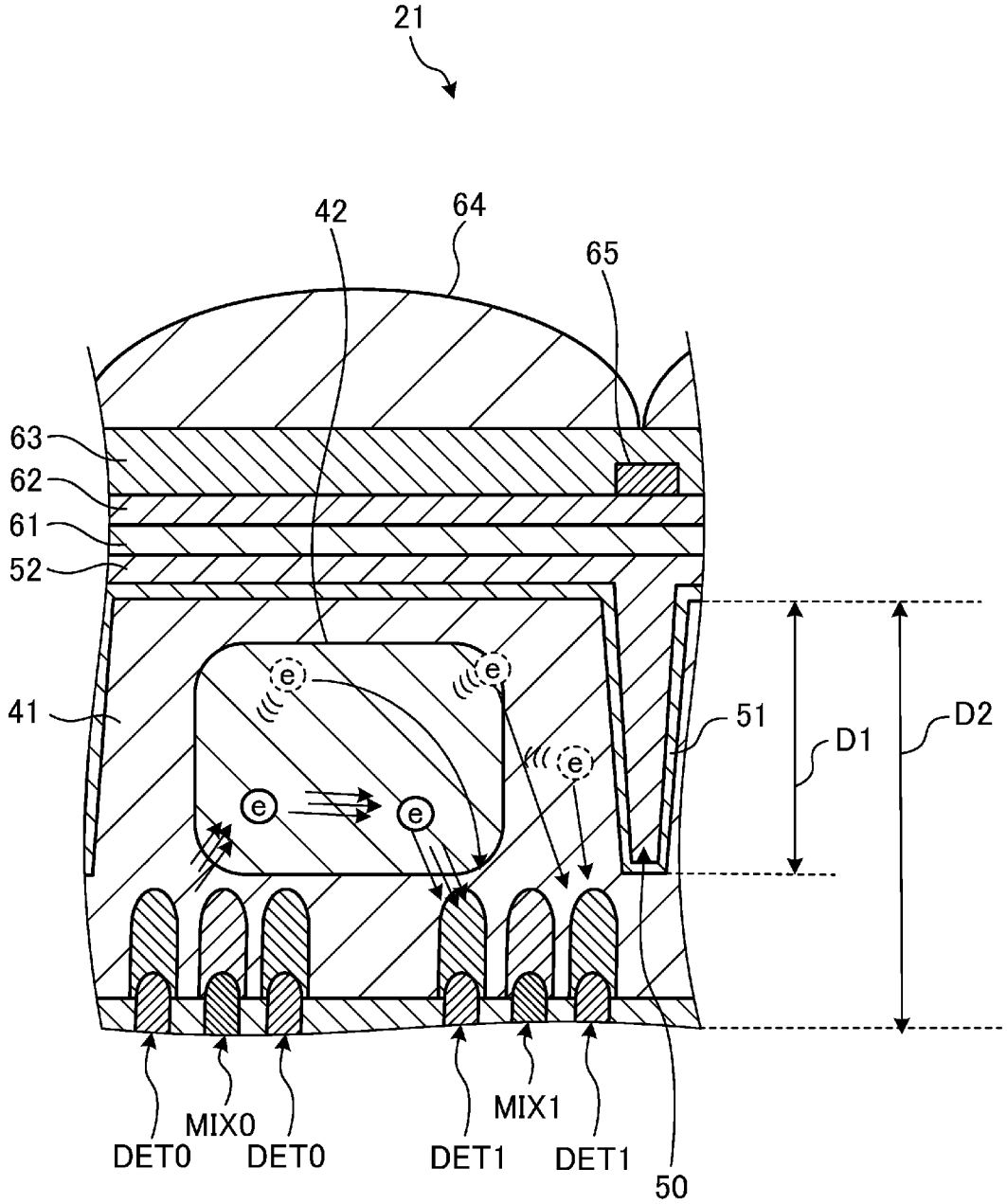
[図3]



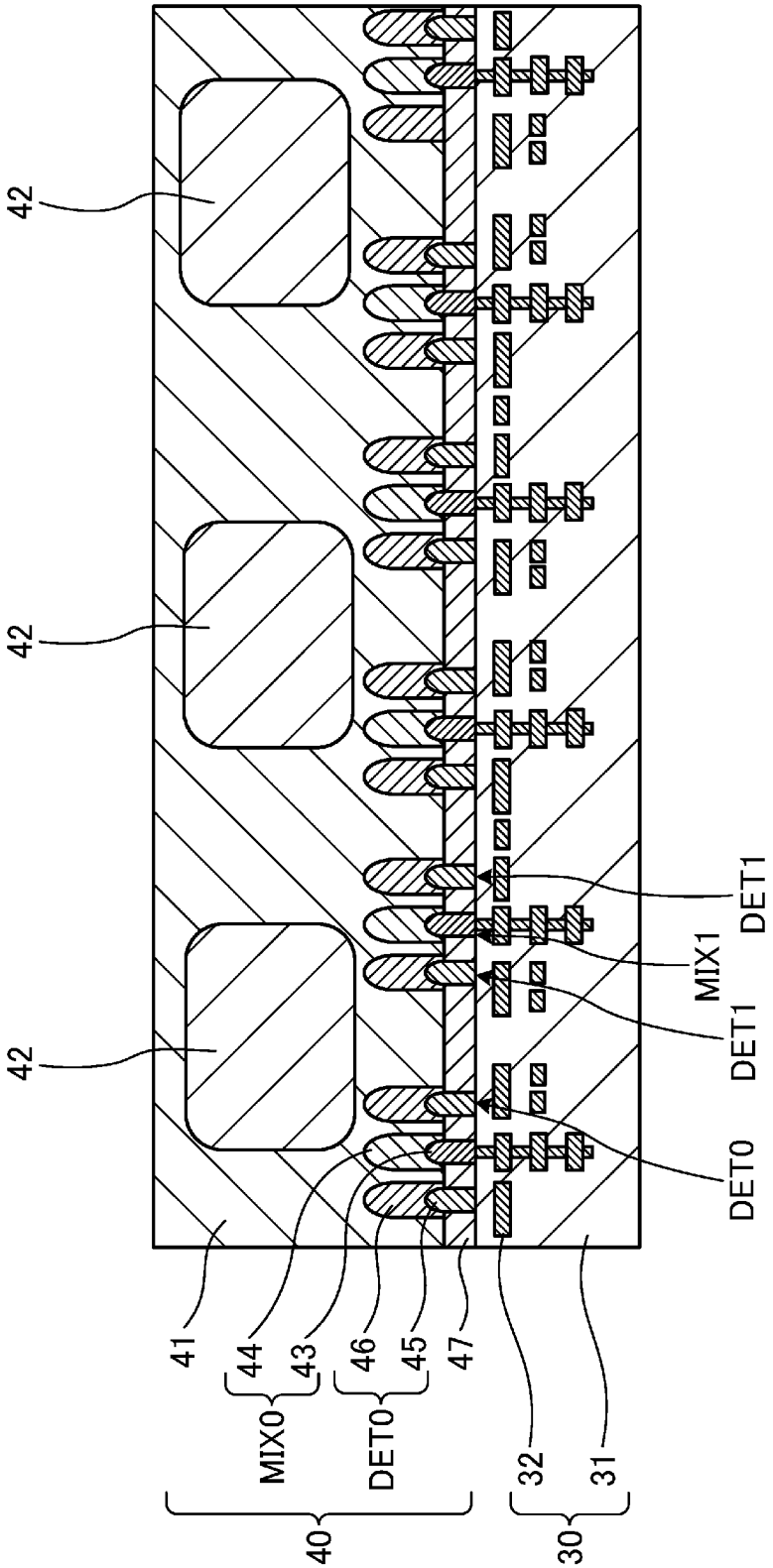

[図4]



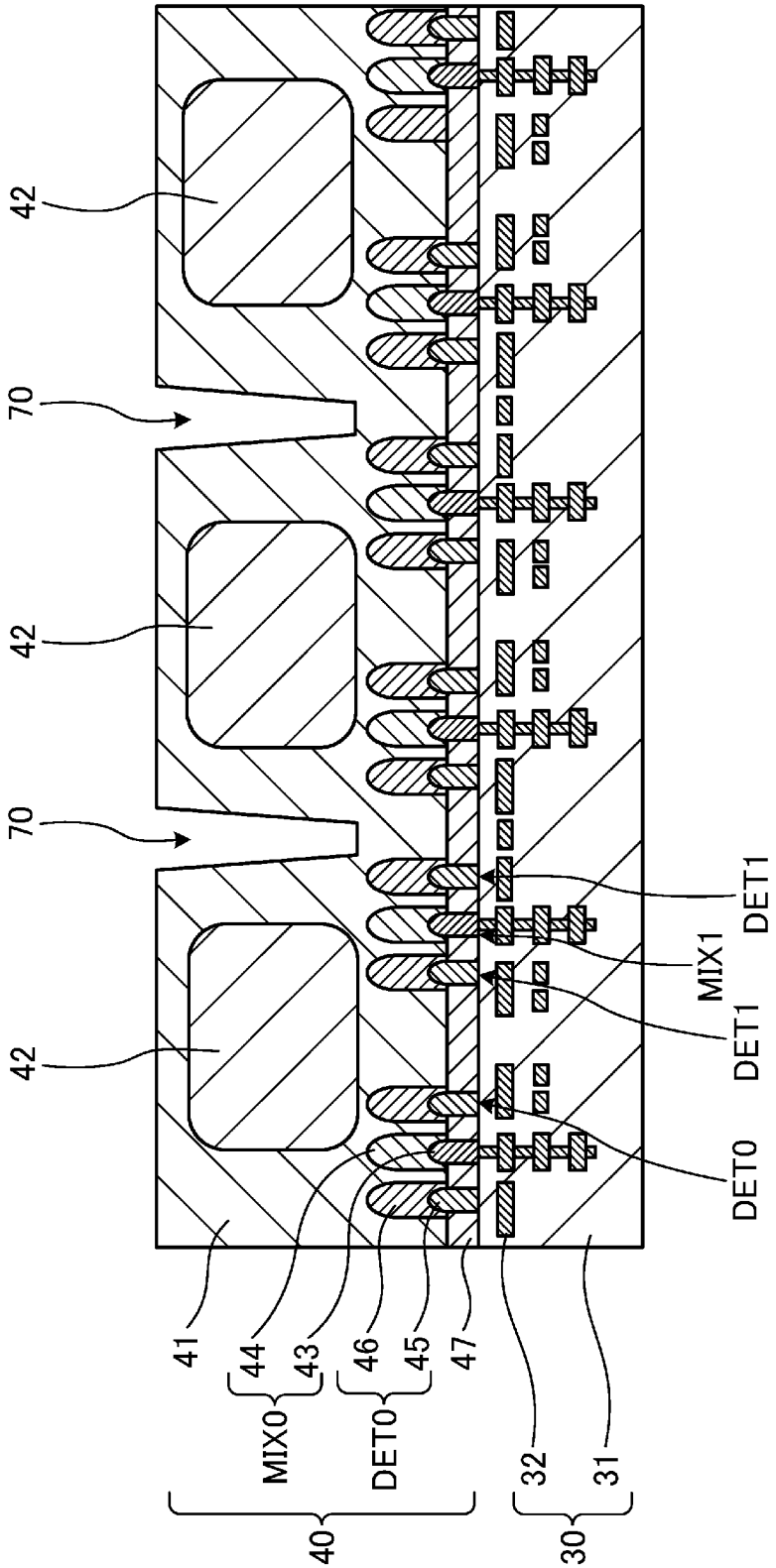
[図5]


21
42
64
65
63
62
61
52
41
51
D1
D2
e
MIX0
DET0
DET0
MIX1
DET1
DET1
50

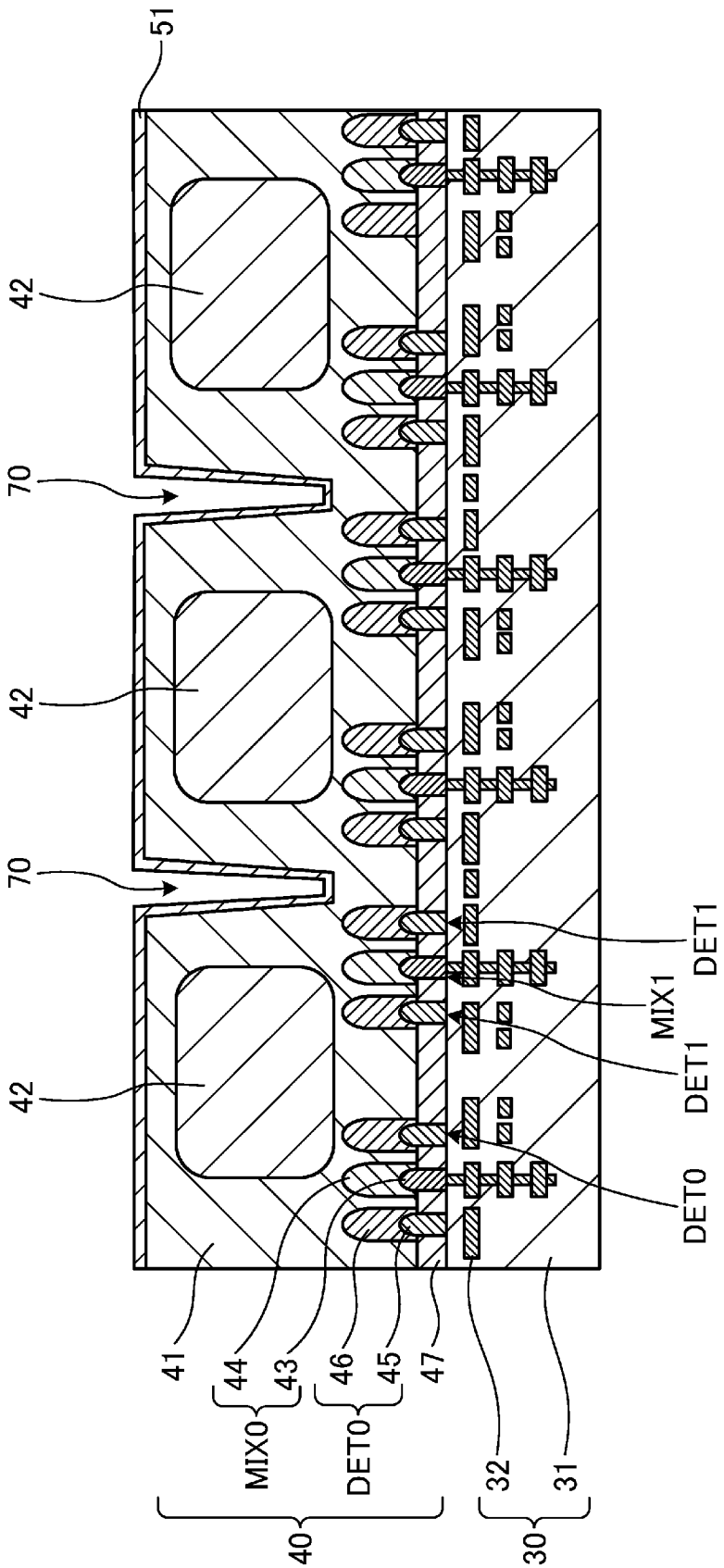
[図6]


42
42
42
DET1
MIX1
DET1
DET0
41
44
43
46
45
47
32
31
MIX0
DET0
40
30

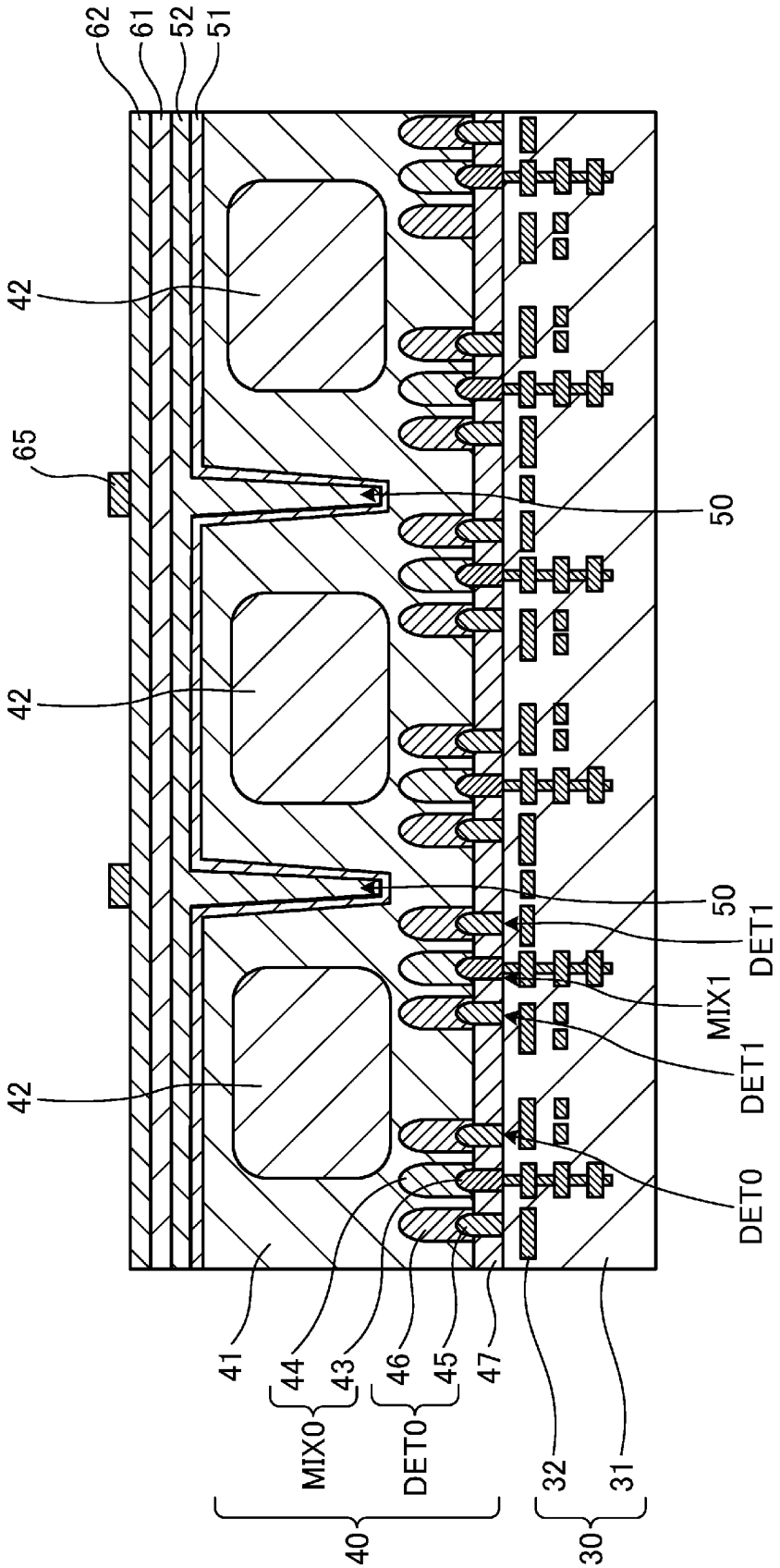
[図7]


42
70
42
70
42
DET1
MIX1
DET1
DET0
41
44
43
46
45
47
32
31
MIX0
DET0
40
30

[図8]


51
42
70
42
70
42
DET1
MIX1
DET1
DET0
41
44
43
46
45
47
32
31
MIX0
DET0
40
30

[図9]


62
61
52
51
42
65
50
42
50
DET1
MIX1
DET1
42
DET0
41
44
43
46
45
47
MIX0
DET0
32
31
40
30

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/025748

A. CLASSIFICATION OF SUBJECT MATTER
H01L 31/10(2006.01)i; H01L 27/146(2006.01)i
FI: H01L27/146 D; H01L27/146 A; H01L31/10 A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/10; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|---|---|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2021 |
| Registered utility model specifications of Japan | 1996-2021 |
| Published registered utility model applications of Japan | 1994-2021 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y | WO 2020/017344 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 January 2020 (2020-01-23) paragraphs [0036]-[0085], [0454]-[0467], fig. 1-3, 57-58 | 1-2, 4-7<br>3, 8-9 |
| X<br>Y | JP 2020-13906 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 January 2020 (2020-01-23) paragraphs [0038]-[0087], [0456]-[0469], fig. 1-3, 57-58 | 1-2, 4-7<br>3, 8-9 |
| Y | JP 2017-212453 A (SONY CORP.) 30 November 2017 (2017-11-30) paragraphs [0186]-[0205], fig. 16 | 3 |
| Y | JP 2015-12043 A (TOSHIBA CORP.) 19 January 2015 (2015-01-19) paragraphs [0007]-[0055], fig. 1-5 | 8 |
| Y | JP 2011-54741 A (TOSHIBA CORP.) 17 March 2011 (2011-03-17) paragraphs [0010]-[0067], fig. 1-12 | 9 |

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 10 September 2021 (10.09.2021) | 21 September 2021 (21.09.2021) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2021/025748

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2013-89707 A (SONY CORP.) 13 May 2013 (2013-05-13) entire text all drawings | 1-9 |

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
PCT/JP2021/025748

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| WO 2020/017344 A1 | 23 Jan. 2020 | EP 3657544 A1 paragraphs [0036]-[0085], [0454]-[0467], fig. 1-3, 57-58<br>CN 110739325 A<br>CN 210325800 U | |
| JP 2020-13906 A | 23 Jan. 2020 | WO 2020/017338 A1<br>TW 202018963 A | |
| JP 2017-212453 A | 30 Nov. 2017 | (Family: none) | |
| JP 2015-12043 A | 19 Jan. 2015 | US 2015/0001660 A1 paragraphs [0008]-[0058], fig. 1A-5<br>CN 104253137 A<br>TW 201515246 A | |
| JP 2011-54741 A | 17 Mar. 2011 | (Family: none) | |
| JP 2013-89707 A | 13 May 2013 | (Family: none) | |

国際調査報告

国際出願番号
PCT/JP2021/025748

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 31/10(2006.01)i; H01L 27/146(2006.01)i
FI: H01L27/146 D; H01L27/146 A; H01L31/10 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L31/10; H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０２１年 |
| 日本国実用新案登録公報 | １９９６－２０２１年 |
| 日本国登録実用新案公報 | １９９４－２０２１年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | WO 2020/017344 A1（ソニーセミコンダクタソリューションズ株式会社）23.01.2020 (2020-01-23)<br>段落[0036]-[0085], [0454]-[0467], 図1-3, 57-58 | 1-2, 4-7 |
| Y | | 3, 8-9 |
| X | JP 2020-13906 A（ソニーセミコンダクタソリューションズ株式会社）23.01.2020 (2020-01-23)<br>段落[0038]-[0087], [0456]-[0469], 図1-3, 57-58 | 1-2, 4-7 |
| Y | | 3, 8-9 |
| Y | JP 2017-212453 A（ソニー株式会社）30.11.2017 (2017-11-30)<br>段落[0186]-[0205], 図16 | 3 |
| Y | JP 2015-12043 A（株式会社東芝）19.01.2015 (2015-01-19)<br>段落[0007]-[0055], 図1-5 | 8 |
| Y | JP 2011-54741 A（株式会社東芝）17.03.2011 (2011-03-17)<br>段落[0010]-[0067], 図1-12 | 9 |

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 10.09.2021 | 21.09.2021 |

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

今井　聖和　5F　4666

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2013-89707 A (ソニー株式会社) 13.05.2013 (2013-05-13)<br>全文全図 | 1-9 |

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/025748

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| WO 2020/017344 A1 | 23.01.2020 | EP 3657544 A1<br>段落[0036]-[0085], [0454]-[0467], 図1-3, 57-58<br>CN 110739325 A<br>CN 210325800 U | |
| JP 2020-13906 A | 23.01.2020 | WO 2020/017338 A1<br>TW 202018963 A | |
| JP 2017-212453 A | 30.11.2017 | （ファミリーなし） | |
| JP 2015-12043 A | 19.01.2015 | US 2015/0001660 A1<br>段落[0008]-[0058], 図1A-5<br>CN 104253137 A<br>TW 201515246 A | |
| JP 2011-54741 A | 17.03.2011 | （ファミリーなし） | |
| JP 2013-89707 A | 13.05.2013 | （ファミリーなし） | |