

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-241027
(P2007-241027A)

(43) 公開日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611J	5C080
	G09G 3/20 622B	
	G09G 3/20 622C	
審査請求 未請求 請求項の数 8 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2006-65266 (P2006-65266)
(22) 出願日 平成18年3月10日 (2006.3.10)

(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淑弘

最終頁に続く

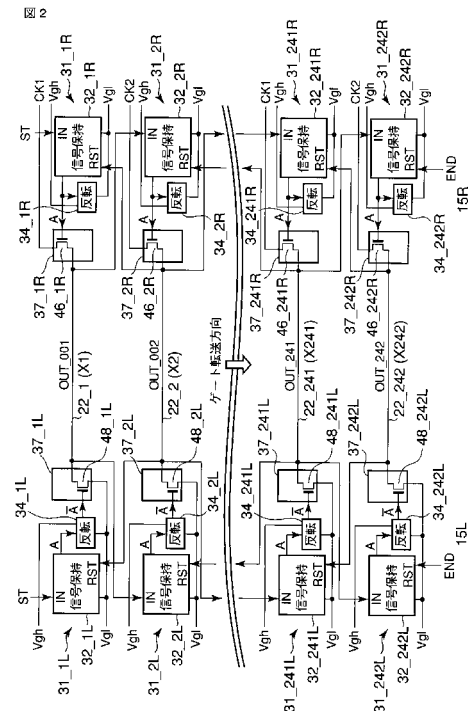
(54) 【発明の名称】マトリックス表示装置の駆動回路及びそれを備えたマトリックス表示装置

(57) 【要約】

【課題】少ない空きスペースでレイアウトが可能で、異常電流が流れることない、マトリックス表示装置の駆動回路及びそれを備えたマトリックス表示装置を提供すること。

【解決手段】ゲートドライバ15L, 15Rは、各走査線の走査信号を転送するクロック信号CK1又はCK2を前記各走査線の一端に選択的に繋げる第1のMOSトランジスタ46_1R~46_242Rと、前記各走査線のローレベル電源Vglに前記各走査線他端を選択的に繋げる第2のMOSトランジスタ48_1L~48_242Lとを備え、前記各走査線の両側に前記第1のMOSトランジスタと前記第2のMOSトランジスタとが別れて一つずつ接続され、前記第1のMOSトランジスタ側に入力される前記クロック信号のタイミングに基づき、前記第1のMOSトランジスタと前記第2のMOSトランジスタとが組となって同時に動作することにより、前記各走査線が走査される。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

複数の信号線と複数の走査線とをマトリックス状に配置し、前記信号線と前記走査線の各交点に画素が配置されるマトリックス表示装置における、前記走査線の走査信号を転送する走査信号転送回路を備える駆動回路であって、

前記各走査線の一端に接続され、前記各走査線の走査信号を転送するクロック信号に選択的に接続 / 切断される第 1 のスイッチング素子と、

前記各走査線の他端に接続され、前記各走査線のローレベル電源に選択的に接続 / 切断される第 2 のスイッチング素子と、

を具備し、

前記各走査線の両側に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが別れて一つずつ接続され、

前記第 1 のスイッチング素子側に入力される前記クロック信号のタイミングに基づき、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが組となって同時に動作することにより、前記各走査線が走査される

ことを特徴とするマトリックス表示装置の駆動回路。

【請求項 2】

前記走査信号転送回路は、前記各走査線の両側に別れて一つずつ設けられ、

前記各走査線の走査信号が、前記走査信号転送回路の少なくとも一つの入力信号を兼ねている

ことを特徴とする請求項 1 に記載のマトリックス表示装置の駆動回路。

【請求項 3】

前記各走査線の走査信号は、次のラインの走査線の両側に別れて一つずつ設けられる前記走査信号転送回路に供給され、

前記各走査線の両側に別れて一つずつ設けられる前記走査信号転送回路の内の一方は、前記供給される走査信号に基づいて、前記第 1 のスイッチング素子の接続 / 切断を切り換え、

前記各走査線の両側に別れて一つずつ設けられる走査信号転送回路の内の他方は、前記供給される走査信号に基づいて、前記第 2 のスイッチング素子の接続 / 切断を切り換えることを特徴とする請求項 2 に記載のマトリックス表示装置の駆動回路。

【請求項 4】

前記各走査線の走査信号は、前のラインの走査線の両側に別れて一つずつ設けられる走査信号転送回路に供給され、

前記各走査線の両側に別れて一つずつ設けられる走査信号転送回路の内の一方は、前記供給される走査信号に基づいて、前記第 1 のスイッチング素子の接続 / 切断を切り換え、

前記各走査線の両側に別れて一つずつ設けられる走査信号転送回路の内の他方は、前記供給される走査信号に基づいて、前記第 2 のスイッチング素子の接続 / 切断を切り換えることを特徴とする請求項 2 に記載のマトリックス表示装置の駆動回路。

【請求項 5】

前記第 1 のスイッチング素子は、ソース電極またはドレイン電極の一方が、前記クロック信号に繋がり、ソース電極またはドレイン電極の他方が、前記各走査線の一端に接続される第 1 のトランジスタであり、

前記第 2 のスイッチング素子は、ソース電極またはドレイン電極の一方が、前記ローレベル電源に繋がり、ソース電極またはドレイン電極の他方が、前記各走査線の他端に接続される第 2 のトランジスタである

ことを特徴とする請求項 1 に記載のマトリックス表示装置の駆動回路。

【請求項 6】

複数の信号線と複数の走査線とをマトリックス状に配置し、前記信号線と前記走査線の各交点に画素が配置される表示パネルと、

前記各走査線の一端に接続され、前記各走査線の走査信号を転送するクロック信号に選

10

20

30

40

50

択的に接続 / 切断される第 1 のスイッチング素子と

前記各走査線の他端に接続され、前記各走査線のローレベル電源に選択的に接続 / 切断される第 2 のスイッチング素子と

を有し、

前記各走査線の両側に前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが別れて一つずつ接続され、

前記第 1 のスイッチング素子側に入力される前記クロック信号のタイミングに基づき、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが組となって同時に動作することにより、前記各走査線を走査する走査信号転送回路を含む駆動回路と、

前記駆動回路の動作タイミングを制御する制御回路と、

を具備することを特徴とするマトリクス表示装置。

10

【請求項 7】

前記走査信号転送回路は、前記各走査線の両側に別れて一つずつ設けられ、

前記各走査線の走査信号が、前記走査信号転送回路の少なくとも一つの入力信号を兼ね

、一方の走査信号転送回路は、前記少なくとも一つの入力信号に基づいて、前記第 1 のスイッチング素子の接続 / 切断を切り換え、

他方の走査信号転送回路は、前記少なくとも一つの入力信号に基づいて、前記第 2 のスイッチング素子の接続 / 切断を切り換える

ことを特徴とする請求項 6 に記載のマトリクス表示装置。

20

【請求項 8】

前記第 1 のスイッチング素子は、ソース電極またはドレイン電極の一方が、前記クロック信号に繋がり、ソース電極またはドレイン電極の他方が、前記各走査線の一端に接続された第 1 のトランジスタであり、

前記第 2 のスイッチング素子は、ソース電極またはドレイン電極の一方が、前記ローレベル電源に繋がり、ソース電極またはドレイン電極の他方が、前記各走査線の他端に接続された第 2 のトランジスタである

ことを特徴とする請求項 6 に記載のマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、複数の信号線と複数の走査線とをマトリクス状に配置し、前記信号線と前記走査線の各交点に画素が配置されたマトリクス表示装置の駆動回路、及び、そのような駆動回路を備えたマトリクス表示装置に関する。

【背景技術】

【0002】

近年、薄膜トランジスタ (TFT) を用いたアクティブマトリクス方式の液晶表示装置や有機 EL 表示装置などのマトリクス表示装置が開発されている。

【0003】

このマトリクス表示装置は、画素マトリクスの各行を順次に走査する走査信号を発生する走査線駆動回路 (以下、ゲートドライバと称する) を有する。ゲートドライバは、マトリクスの各列に映像信号を与える信号線駆動回路 (以下、ソースドライバと称する) に比べると動作周波数が低いため、画素マトリクス内のアクティブ素子である TFT と同一工程で一体形成することも可能である。その際、薄膜半導体層としてポリシリコンが用いられることが多いが、アモルファスシリコンや ZnO など、アニール工程を必要としない薄膜を用いることもできる。ただしその場合、ポリシリコンに比べて半導体層の移動度が一桁 ~ 二桁小さいために、ゲートドライバを構成する各トランジスタのゲート幅を大きくし駆動力を大きくする必要があり、しかしながら、ゲート幅を大きくし過ぎるとゲートドライバの占有面積が大きくなってしまい、ゲートドライバを画素内のアクティブ素子と一体形成するメリットの一つである面積縮小 (狭額縁) が達成できなくなる。

40

50

【0004】

この面積増大の問題に対する一つの解消法として、特許文献1には、ゲートドライバを左右両側に配し、それぞれに全く同一の信号（スタート信号、エンド信号、クロック信号）を入力する手法が提案されている。

【0005】

図3(A)は、この特許文献1に開示された液晶表示装置の構成を示す図である。即ち、この液晶表示装置は、液晶パネル10、ソースドライバ12、ゲートドライバ14L、14R、制御回路16、駆動電源回路18を含んで構成される。簡単のために、以下の説明では、液晶パネル10の画素配置が格子状であるマトリックス型液晶パネルであるとして説明する。

10

【0006】

液晶パネル10にはY方向（垂直方向）に設けられた複数の信号線20と、X方向（水平方向）に設けられた複数の走査線22とがある。この信号線20の本数はM本とする。また走査線22の数はN本とする。そして信号線20のアドレスをY1~YMとし、走査線22のアドレスをX1~XNとしている。

【0007】

このような格子状のマトリックス型の液晶パネル10では、信号線20と、走査線22とがマトリックス状に配置され、信号線20と走査線22との交点に夫々画素24が形成されている。図3(A)に示す液晶パネル10は、TFT型液晶パネルの例であり、信号線20と走査線22の交点にある素子Pは、各画素24を駆動するTFTを表している。破線で示す対向電極26は、TFTの液晶パネル10の動作基準電圧を印加する電極であり、その一部に端子28が設けられている。そして駆動電源回路18から端子28を介してコモン信号電圧Vcomが対向電極26に印加される。

20

【0008】

この液晶パネル10においては、信号線20はソースドライバ12により駆動され、走査線22はゲートドライバ14Lとゲートドライバ14Rとによって、両端より同時に走査パルスが順次供給される。

【0009】

制御回路16は、入力画像信号に基づいてソースドライバ12とゲートドライバ14L、14Rとを制御する回路である。駆動電源回路18はソースドライバ12とゲートドライバ14L、14Rに駆動電圧を供給する回路である。

30

【0010】

図4(A)は、ゲートドライバの構成例を示す図であり、図4(B)は、図4(A)中における各走査信号転送回路の構成を示す図である。図5(A)は、図4(B)中の信号保持回路を抜き出して示す図であり、図5(B)は、該信号保持回路の回路図、図5(C)は、該信号保持回路の入出力波形例を示す図である。図6(A)は、図4(B)中の反転回路を抜き出して示す図であり、図6(B)は、該反転回路の回路図、図6(C)は、該反転回路の入出力波形例を示す図である。図7(A)は、図4(B)中の出力回路を抜き出して示す図であり、図7(B)は、該出力回路の回路図、図7(C)は、該出力回路の入出力波形例を示す図である。また、図8は、上記ゲートドライバ14L、14Rの構成を示す図であり、図9は、上記ゲートドライバ14L、14Rの動作を説明するためのタイミングチャートを示す図である。なおここでは、走査線22の本数N=242としている。

40

【0011】

即ち、上記ゲートドライバ14L、14Rは、それぞれ、図4(A)に示すように、複数、この例では242個の走査信号転送回路30(30_1~30_242)を直列に接続して構成され、各走査信号転送回路30は、その出力信号が上記242本の走査線22のそれぞれに供給されるシフトレジスタである。ここで、各走査信号転送回路30は、クロック信号入力端子CK、入力信号入力端子IN、リセット信号入力端子RST、及び出力信号出力端子OUTを有し、出力信号出力端子OUTからの出力信号が、対応するライ

50

ンの走査線 22 に供給されると共に、次段の走査信号転送回路 30 の入力信号入力端子 IN に入力信号として供給されるようになっている。即ち、n 段目の走査信号転送回路 30 __ n では、前段 (n - 1 段) の走査信号転送回路 30 __ n - 1 の出力信号出力端子 OUT からの出力信号 OUT __ n - 1 が入力信号入力端子 IN に入力され、後段 (n + 1 段) の走査信号転送回路 30 __ n + 1 の出力信号出力端子 OUT からの出力信号 OUT __ n + 1 がリセット信号入力端子 RST に入力される。但し、初段である 1 段目の走査信号転送回路 30 __ 1 の入力信号入力端子 IN には、上記制御回路 16 から走査開始を指示するためのスタート信号 ST が供給される。また、最終段である 242 段目の走査信号転送回路 30 __ 242 のリセット信号入力端子 RST には、上記制御回路 16 から走査終了を指示するためのエンド信号 END が供給される。なお、奇数段目の走査信号転送回路 30 のクロック信号入力端子 CK に供給されるクロック信号 CK1 と偶数段目の走査信号転送回路 30 のクロック信号入力端子 CK に供給されるクロック信号 CK2 とは、一方がハイレベルにあるとき他方がローレベルとなっている逆相関係にあるクロック信号となっている。ここで、信号のハイレベル (VDD) とローレベル (VSS) は、各信号で同じであり、 $VDD - VSS = 2.5V$ 程度である。

10

【0012】

各走査信号転送回路 30 は、図 4 (B) に示すように、信号保持回路 32、反転回路 34、及び出力回路 36 から構成されている。

【0013】

信号保持回路 32 は、図 5 (A) に示すように、上記入力信号入力端子 IN 及びリセット信号入力端子 RST に供給された信号 IN 及び RST の 2 つの信号を受け、出力信号 A を出力するものである。この信号保持回路 32 の具体的な回路構成は、図 5 (B) に示すように、2 つの n チャンネル型の電界効果 (MOS) トランジスタ 38, 40 で構成されている。即ち、上記入力信号入力端子 IN に供給された信号 IN は、ダイオード接続された MOS トランジスタ 38 を介して、MOS トランジスタ 40 のドレイン電極に供給される。この MOS トランジスタ 40 のゲート電極には上記リセット信号入力端子 RST に供給された信号 RST が供給され、ソース電極には上記制御回路 16 から走査線 22 のローレベル電圧 V_{g1} が印加される。そして、上記 2 つの MOS トランジスタ 38, 40 の接続点である MOS トランジスタ 40 のドレイン電極から上記出力信号 A が取り出される。

20

【0014】

このような構成の信号保持回路 32 においては、信号 IN の立ち上がりに伴って MOS トランジスタ 38 がオン動作する。このとき、MOS トランジスタ 40 のゲート電極に供給される信号 RST はローレベルであると、該 MOS トランジスタ 40 のオフ状態となっている。従って、その MOS トランジスタ 40 のドレイン電極から取り出される出力信号 A には、図 5 (C) に示すように、ダイオード (負荷) として機能する MOS トランジスタ 38 を介して信号 IN によるハイレベルの信号が現れる。そして、この信号 IN がローレベルとなると、MOS トランジスタ 38 はオフ状態となる。このとき、その MOS トランジスタ 40 のドレイン電極から取り出される出力信号 A は、電氣的に浮いた状態となるが、直前のレベルを保持すると考えて良い。図 5 (C) においては、このような状態を、破線で示している (なお、他の波形を示す図においても同様である)。その後、信号 RST がハイレベルとなると、MOS トランジスタ 40 がオン動作する。これにより、該 MOS トランジスタ 40 のドレイン電極から取り出される出力信号 A は、ローレベル電圧 V_{g1} となる。このようにして、該信号保持回路 32 は、図 5 (C) に示すように、出力信号 A の電位を、入力信号入力端子 IN に供給された信号 IN の立ち上がりから、上記リセット信号入力端子 RST に供給された信号 RST の立ち上がりまで、ハイレベルに保持する。

30

40

【0015】

また、反転回路 34 は、図 6 (A) に示すように、上記信号保持回路 32 の出力信号 A を受けて、その逆相信号である出力信号 A バーを出力するものである。この反転回路 34 の具体的な回路構成は、図 6 (B) に示すように、2 つの n チャンネル型の MOS トランジ

50

スタ42, 44で構成されている。即ち、MOSトランジスタ44は、高電位電源VDDに対しダイオード接続され、負荷として機能するMOSトランジスタ42と、低電位側の動作電圧としての低電位電源VSSとの間に、そのドレイン、ソース電極が接続され、そのゲート電極に上記出力信号Aが供給されるように構成されている。そして、このMOSトランジスタ44のドレイン電極から出力信号Aバーが取り出される。

【0016】

このような構成の反転回路34においては、上記信号保持回路32から出力される出力信号Aがローレベルのときには、MOSトランジスタ44がオフ状態となっている。従って、そのMOSトランジスタ44のドレイン電極から取り出される出力信号Aバーには、
10 図6(C)に示すように、ダイオード(負荷)として機能するMOSトランジスタ42を介して高電位電源VDDによるハイレベルの信号が現れる。そして、上記信号保持回路32の出力信号Aが立ち上がると、それに伴ってMOSトランジスタ44がオン動作する。このMOSトランジスタ44がオンすると、上記高電位電源VDDからMOSトランジスタ42, 44を介して低電位電源VSSへの電流経路が構成され、該MOSトランジスタ44のドレイン電極の電位は低い状態となり、出力信号Aバーはローレベルとなる。このようにして、該反転回路34は、図6(C)に示すように、その入力信号である上記信号保持回路32から出力される出力信号Aを反転したレベルを示す出力信号Aバーを出力する。

【0017】

また、出力回路36は、図7(A)に示すように、上記信号保持回路32の出力信号A
20 と上記反転回路34の出力信号Aバー、及びクロック信号CKとを受けて、出力信号OUTを出力するものである。この出力回路36の具体的な回路構成は、図7(B)に示すように、2つのnチャンネル型のMOSトランジスタ46, 48で構成されたプッシュ・プル回路である。即ち、これらMOSトランジスタ46, 48は、上記制御回路16からクロック信号CKが印加される入力端子CKと、同じく上記制御回路16から走査線22のローレベル電圧Vg1が印加される電源端子との間に直列に接続されており、その内のMOSトランジスタ46のゲート電極が上記信号保持回路32の出力信号Aを、MOSトランジスタ48のゲート電極が上記反転回路34の出力信号Aバーを、それぞれ受けるように接続されている。そして、両MOSトランジスタ46, 48の接続接点から出力信号OUT
30 が出力されるようになっている。

【0018】

このような構成の出力回路36においては、上記信号保持回路32からの出力信号Aが
40 ハイレベルとなると、MOSトランジスタ46はオン動作する。このとき、上記反転回路34からの出力信号Aバーはローレベルとなっているので、MOSトランジスタ48はオフ状態となる。従って、MOSトランジスタ46に供給されるクロック信号CKがハイレベルとなると、出力信号OUTの信号レベルもハイレベルとなる。そして、上記信号保持回路32に入力されるリセット信号に応じて上記信号保持回路32からの出力信号Aがローレベルとなると、上記反転回路34からの出力信号Aバーはハイレベルの信号となり、これにより、MOSトランジスタ46はオフ状態となり、MOSトランジスタ48はオン動作する。従って、出力信号OUTの信号レベルもローレベルとなる。このようにして、
40 該出力回路36は、図7(C)に示すように、上記信号保持回路32から出力される出力信号Aがハイレベルの間にクロック信号CKを出力し、Aがローレベルの間はローレベル電圧Vg1を出力する。

【0019】

こうして、走査信号転送回路30からは、結果的に、信号保持回路32の入力信号入力
端子INに入力された単発のパルス信号がクロック信号CKによりシフトされ、出力されることとなり、それが走査線22の走査信号となる。

【0020】

なお、上記MOSトランジスタ38~48は、例えば、全てnチャンネル型のアモルファスシリコンTFTにより構成されている。

10

20

30

40

50

【 0 0 2 1 】

上記のような構成の走査信号転送回路 3 0 による上記ゲートドライバ 1 4 L , 1 4 R の構成は、図 8 に示すようになる。即ち、1 ライン目の走査線 2 2 _ 1 の左側は、信号保持回路 3 2 _ 1 L , 反転回路 3 4 _ 1 L 及び出力回路 3 6 _ 1 L でなる走査信号転送回路 3 0 _ 1 L が接続され、右側は、信号保持回路 3 2 _ 1 R , 反転回路 3 4 _ 1 R 及び出力回路 3 6 _ 1 R でなる走査信号転送回路 3 0 _ 1 R が接続される。2 ライン目の走査線 2 2 _ 2 の左側は、信号保持回路 3 2 _ 2 L , 反転回路 3 4 _ 2 L 及び出力回路 3 6 _ 2 L でなる走査信号転送回路 3 0 _ 2 L が接続され、右側は、信号保持回路 3 2 _ 2 R , 反転回路 3 4 _ 2 R 及び出力回路 3 6 _ 2 R でなる走査信号転送回路 3 0 _ 2 R が接続される。以下、同様にして、各ラインの走査線 2 2 _ n の両側に走査信号転送回路 3 0 _ n L , 3 0 _ n R が接続され、最後の 2 4 2 ライン目の走査線 2 2 _ 2 4 2 の両側に走査信号転送回路 3 0 _ 2 4 2 L , 3 0 _ 2 4 2 R が接続される。

10

【 0 0 2 2 】

なおこの場合、反転回路 3 4 _ 1 L ~ 3 4 _ 2 4 2 L , 3 4 _ 1 R ~ 3 4 _ 2 4 2 R においては、高電位電源 V D D としては制御回路 1 6 から印加される走査線 2 2 _ 1 ~ 2 2 _ 2 4 2 のハイレベル電圧 V g h が、低電位電源 V S S としては同じく制御回路 1 6 から印加される走査線 2 2 _ 1 ~ 2 2 _ 2 4 2 のローレベル電圧 V g l が、それぞれ使用される。

【 0 0 2 3 】

図 9 は、走査信号転送回路 3 0 の段数が 2 4 2 段のときの入力信号及び出力信号のタイミングチャートを示す図である。なお、ここで、1 フレームは、例えば 1 / 6 0 秒である。

20

【 0 0 2 4 】

即ち、制御回路 1 6 から 1 段目の走査信号転送回路 3 0 _ 1 L , 3 0 _ 1 R の信号保持回路 3 2 _ 1 L , 3 2 _ 1 R に供給されるスタート信号 S T が、1 フレームの画像表示の開始（書き込み）タイミングよりクロック信号 C K 1 の半クロック前でハイレベルにされる。これにより、クロック信号 C K 1 の立ち上がりに伴って、1 段目の走査信号転送回路 3 0 _ 1 L , 3 0 _ 1 R の出力回路 3 6 _ 1 L , 3 6 _ 1 R から、上述したようにしてクロック信号 C K 1 の位相で立ち上がった信号が出力信号 O U T _ 0 0 1 として出力されるものであり、該クロック C K 1 がハイレベルとなったときに、走査線 2 2 _ 1 及び 2 段目の走査信号転送回路 3 0 _ 2 L , 3 0 _ 2 R の信号保持回路 3 2 _ 1 L , 3 2 _ 1 R にハイレベルの出力信号 O U T _ 0 0 1 が供給されることとなる。

30

【 0 0 2 5 】

こうして、2 段目の走査信号転送回路 3 0 _ 2 L , 3 0 _ 2 R の信号保持回路 3 2 _ 1 L , 3 2 _ 1 R にハイレベルの信号が供給されると、該 2 段目の走査信号転送回路 3 0 _ 2 L , 3 0 _ 2 R の出力回路 3 6 _ 2 L , 3 6 _ 2 R から、上述したようにしてクロック信号 C K 2 の位相で立ち上がった信号が出力信号 O U T _ 0 0 2 として出力され、該クロック C K 2 がハイレベルとなったときに、走査線 2 2 _ 2 及び 3 段目の走査信号転送回路 3 0 _ 3 L , 3 0 _ 3 R の信号保持回路 3 2 _ 3 L , 3 2 _ 3 R にハイレベルの出力信号 O U T _ 0 0 2 が供給されることとなる。更に、このハイレベルの出力信号 O U T _ 0 0 2 は、1 段目の走査信号転送回路 3 0 _ 1 L , 3 0 _ 1 R の信号保持回路 3 2 _ 1 L , 3 2 _ 1 R のリセット信号入力端子 R S T にリセット信号 R S T としても供給される。このハイレベルのリセット信号 R S T により、上述したように、上記 1 段目の走査信号転送回路 3 0 _ 1 L , 3 0 _ 1 R の出力回路 3 6 _ 1 L , 3 6 _ 1 R からの上記クロック信号 C K 1 の位相で立ち上がった出力信号 O U T _ 0 0 1 としての出力が立ち下げられる。従って、出力信号 O U T _ 0 0 1 はローレベルとなる。

40

【 0 0 2 6 】

以下、同様にして、各段の走査信号転送回路 3 0 _ n L , 3 0 _ n R の出力信号 O U T _ n が各段の走査線 2 2 _ n に供給されると共に、後段の走査信号転送回路 3 0 _ n + 1 L , 3 0 _ n + 1 R に転送され、また、前段の走査信号転送回路 3 0 _ n - 1 L , 3 0 _

50

n - 1 R にリセット信号 R S T として供給されていく。

【 0 0 2 7 】

但し、最終段の走査信号転送回路 3 0 _ 2 4 2 L , 3 0 _ 2 4 2 R においては、出力信号 O U T _ 2 4 2 は、走査線 2 2 _ 2 4 2 に供給されると共に、前段の走査信号転送回路 3 0 _ 2 4 1 L , 3 0 _ 2 4 1 R にリセット信号 R S T として供給されるだけである。そして、この最終段の走査信号転送回路 3 0 _ 2 4 2 L , 3 0 _ 2 4 2 R の出力信号 O U T _ 2 4 2 をローレベルとするタイミングで、上記制御回路 1 6 よりエンド信号 E N D が、それら走査信号転送回路 3 0 _ 2 4 2 L , 3 0 _ 2 4 2 R の信号保持回路 3 2 _ 2 4 2 L , 3 2 _ 2 4 2 R のリセット信号入力端子 R S T にリセット信号 R S T として供給される。

10

【 0 0 2 8 】

このような構成の液晶表示装置の場合、入力信号の配線遅延を無視すれば、左右のゲートドライバ 1 4 L , 1 4 R は電氣的に並列であるので、2 倍のゲート幅で構成したゲートドライバ 1 個が片側にあるのと同じ電気特性が得られる。表示装置の額縁は左右対称になることが望まれることが多いので、このような両側並列駆動は有効な方法である。

【 0 0 2 9 】

また、上記特許文献 1 には、このような両側並列駆動を、パッシブマトリックス型の液晶パネルを用いた液晶表示装置に適用することも開示している。

【 0 0 3 0 】

図 3 (B) は、この特許文献 1 に開示されたパッシブマトリックス型の液晶パネルを用いた液晶表示装置の構成を示す図である。この場合、液晶パネル 1 0 には Y 方向 (垂直方向) に設けられた複数の信号線と、 X 方向 (水平方向) に設けられた複数の走査線とがある。このようなパッシブマトリックス型の液晶パネル 1 0 では、信号線 2 0 と走査線 2 2 とがマトリックス状に配置され、信号線 2 0 と走査線 2 2 との交点に夫々画素 2 4 が形成されている。画素 2 4 は液晶セル及び透明画素電極、又は液晶セル及び透明画素電極を含む駆動端子を有し、その容量は液晶セルと画素電極等により決まる。ここでは画素 2 4 の容量を画素容量と呼ぶ。

20

【 0 0 3 1 】

このようなパッシブマトリックス型の液晶パネルを用いた液晶表示装置においても、左右のゲートドライバ 1 4 L , 1 4 R による両側並列駆動は有効な方法である。

30

【特許文献 1】特開平 1 1 - 2 9 5 6 9 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 3 2 】

上記特許文献 1 に開示されているような両側並列駆動においては、次の 2 点が問題となる。

【 0 0 3 3 】

第 1 には、レイアウト面積が増大してしまうことである。つまり、回路部の占有面積は片側に集約した場合よりも両側に分散した方が大きくなってしまふ。これは、素子数自体が 2 倍になるので、必要な空きスペースが 2 倍となることによる。言い換えると、両側並列駆動を行う回路は、両側のスペースを平等に使うことによって、見かけ上は額縁を狭くするが、単純にレイアウト面積という尺度で考えると面積利用効率を悪くしている。実際のレイアウト面積が増えると、同一サイズの基板から切り出せるパネル数が減少するので、コストが増大してしまう。

40

【 0 0 3 4 】

第 2 の問題は、入力信号の配線遅延が左側と右側で異なる場合に生ずる。図 1 0 は、その一例を示した図である。端子数の制約やレイアウト面積をできるだけ小さくするなどの配慮から、入力信号を一方 (この図では右側) から入れ、パネルの上側を通して、他方 (この図では左側) に引き回している。配線は抵抗と寄生容量 (主に配線電極と対向電極 2 6 との間に生じる容量) を有するため、左側は右側よりもクロック信号 C K 1 , C K 2 が

50

遅延する。この差異は、各ゲート行で生じるが、最下行で最も大きくなる（図10中のポイントP1, P2）。

【0035】

そのため、左右のゲートドライバ14L, 14Rの出力信号（走査信号）のタイミングにも差異が生じることになる。即ち、左右のゲートドライバ14L, 14Rの内、一方がハイレベルを出力し、他方がローレベルを出力する期間が存在することになる。両ゲートドライバ14L, 14Rの出力信号出力端子OUTは同一の走査線22に接続されているから、この期間には、その走査線22に電流が流れる。この電流は、遅延の大きい左側の回路にとっては、本来ゲートドライバ14Lが流す電流とは逆向きの電流である。即ち、ゲートドライバ14L, 14Rは、所定の出力タイミングにおいて走査線22の電位がク
ロック信号CKと同じ電位になるように動作するのが本来であるが、上述のようなタイ
ミング差があると、その間において左側のゲートドライバ14Lでは、（本来入力である
はずの）クロック信号が（本来出力であるはずの）走査線22と同じ電位になるように
動作する。また、遅延の小さい右側回路から見ると、その瞬間は容量負荷が大きくな
っている。つまり、走査線22上の容量だけでなく、クロックライン上の容量も負荷と
なる。そのため、通常よりも余計な電流が流れることになる。

10

【0036】

この余計な過渡電流は、それ自体がゲートドライバ14L, 14Rからの走査信号の立
ち上がり、立下りの波形に影響し、例えば最適コモン信号電圧をずらし、焼き付きやフリ
ッカなど、表示劣化の原因になるばかりか、素子劣化を促進し、回路寿命を縮める原因と
なる。しかも、上述の走査信号への影響と劣化の相乗効果によって、最適コモン信号電
圧が経時的に変動する、即ちフリッカが生じないようにコモン信号電圧を調整しても、使用
している間にフリッカが発生するようになってしまうなどの不具合が生じる。更には、こ
の電流による回路劣化は左右で非対称に生じるため、劣化に伴い表示に左右差、例えば右
側と左側で最適コモン信号電圧に差があり、調整してもフリッカを消去できない、など
の不具合をも生じてしまう。

20

【0037】

本発明は、上記の点に鑑みてなされたもので、少ない空きスペースでレイアウトが可能
で、異常電流が流れることのない、マトリクス表示装置の駆動回路及びそれを備えたマ
トリクス表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0038】

本発明のマトリクス表示装置の駆動回路の一態様は、
複数の信号線と複数の走査線とをマトリクス状に配置し、前記信号線と前記走査線の
各交点に画素が配置されるマトリクス表示装置における、前記走査線の走査信号を転送
する走査信号転送回路を備える駆動回路であって、
前記各走査線の一端に接続され、前記各走査線の走査信号を転送するクロック信号に選
択的に接続/切断される第1のスイッチング素子と、
前記各走査線の他端に接続され、前記各走査線のローレベル電源に選択的に接続/切断
される第2のスイッチング素子と、
を具備し、
前記各走査線の両側に前記第1のスイッチング素子と前記第2のスイッチング素子とが
別れて一つずつ接続され、
前記第1のスイッチング素子側に入力される前記クロック信号のタイミングに基づき、
前記第1のスイッチング素子と前記第2のスイッチング素子とが組となって同時に動作す
ることにより、前記各走査線が走査される
ことを特徴とする。

40

【0039】

また、本発明のマトリクス表示装置の一態様は、
複数の信号線と複数の走査線とをマトリクス状に配置し、前記信号線と前記走査線の

50

各交点に画素が配置される表示パネルと、

前記各走査線の一端に接続され、前記各走査線の走査信号を転送するクロック信号に選択的に接続/切断される第1のスイッチング素子と

前記各走査線の他端に接続され、前記各走査線のローレベル電源に選択的に接続/切断される第2のスイッチング素子と

を有し、

前記各走査線の両側に前記第1のスイッチング素子と前記第2のスイッチング素子とが別れて一つずつ接続され、

前記第1のスイッチング素子側に入力される前記クロック信号のタイミングに基づき、前記第1のスイッチング素子と前記第2のスイッチング素子とが組となって同時に動作することにより、前記各走査線を走査する走査信号転送回路を含む駆動回路と、 10

前記駆動回路の動作タイミングを制御する制御回路と、

を具備することを特徴とする。

【発明の効果】

【0040】

本発明によれば、スイッチング素子（例えばトランジスタ）の個数が従来の両側並列駆動の場合よりも減るので、より稠密な、即ち、より少ない空きスペースでのレイアウトが可能になり、また、クロック信号は、片側の走査信号転送回路にのみ入力されるので、両側でクロック信号に遅延の差がある場合に生じる異常電流が流れる問題も解消される。従って、少ない空きスペースでレイアウトが可能で、異常電流が流れることのない、マトリクス表示装置の駆動回路及びそれを備えたマトリクス表示装置を提供することができる。 20

【発明を実施するための最良の形態】

【0041】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。

【0042】

図1は、本発明の一実施形態に係るマトリクス表示装置の駆動回路の全体構成を示す概略構成図であり、図2は、図1中のゲートドライバ15L、15Rの構成を示す図である。なお、ここでは、マトリクス表示装置として、TF Tアクティブマトリクス型の液晶パネルを用いた液晶表示装置について説明する。また、図2では、走査線22の本数 $N = 242$ とした例である。 30

【0043】

なお、図1及び図2において、図10及び図8に図示した従来技術と共通する構成要素については、同一の符号を付し、その説明を簡略化する。

【0044】

即ち、本実施形態に係るマトリクス表示装置の駆動回路は、図1に示すように、複数の信号線と複数の走査線とをマトリクス状に配置し、信号線と走査線の各交点に画素が配置された液晶パネル10の両側に、マトリクスの各行の走査線22を順次に走査する走査信号を発生するゲートドライバ15L、15Rを配している。これらゲートドライバ15L、15Rには、図3に示したような制御回路16から、スタート信号ST、エンド信号END、高電位電源VDDに相当する走査線22のハイレベル電圧Vgh、低電位電源VSSに相当する走査線22のローレベル電圧Vglが、一方のゲートドライバ（この例では右側のゲートドライバ15R）側から他方のゲートドライバ（この例では左側のゲートドライバ15L）側へ引き回されて供給されている。ここまでの構成は、従来技術と同様である。 40

【0045】

これに対して、本実施形態においては、制御回路16から出力されるクロック信号CK1、CK2が、一方のゲートドライバ（この例では右側のゲートドライバ15R）側のみ、印加されるように構成されている。また、右側のゲートドライバ15Rと左側のゲートドライバ15L内の構造が従来技術と異なる点を以下に説明する。 50

【 0 0 4 6 】

具体的には、図 2 に示すように、右側のゲートドライバ 1 5 R は、2 4 2 個の走査信号転送回路 3 1 __ 1 R ~ 3 1 __ 2 4 2 R からなり、各走査信号転送回路 3 1 R は、信号保持回路 3 2、反転回路 3 4 及び出力回路 3 7 R から構成されている。これは、従来技術とほぼ同様であるが、本実施形態においては、出力回路 3 6 の構成が出力回路 3 7 R となっている点が異なっている。

【 0 0 4 7 】

即ち、1 段目の走査信号転送回路 3 1 __ 1 R の出力回路 3 7 __ 1 R は、信号保持回路 3 2 __ 1 R の出力信号 A がそのゲート電極に供給される 1 個の MOS トランジスタ (第 1 のトランジスタ) 4 6 __ 1 R のみから構成されている。そして、該 MOS トランジスタ 4 6 __ 1 R のソース電極またはドレイン電極の一方には、走査線 2 2 __ 1 を転送するクロック信号 C K 1 が供給され、他方のドレイン電極またはソース電極から上記走査線 2 2 __ 1 を走査する出力信号 (走査信号) O U T __ 0 0 1 が取り出されるよう構成されている。

【 0 0 4 8 】

2 段目の走査信号転送回路 3 1 __ 2 R の出力回路 3 7 __ 2 R も同様に、信号保持回路 3 2 __ 2 R の出力信号 A がそのゲート電極に供給される 1 個の MOS トランジスタ 4 6 __ 2 R のみから構成され、該 MOS トランジスタ 4 6 __ 2 R のソース電極またはドレイン電極の一方には、走査線 2 2 __ 2 を転送するクロック信号 C K 2 が供給され、他方のドレイン電極またはソース電極から上記走査線 2 2 __ 2 を走査する出力信号 O U T __ 0 0 2 が取り出される。

【 0 0 4 9 】

以下、同様に、3 段目乃至 2 4 2 段目の走査信号転送回路 3 1 R においても、各出力回路 3 7 R は 1 つの MOS トランジスタ 4 6 R で構成され、奇数段目の走査信号転送回路 3 1 R の MOS トランジスタ 4 6 R のソース電極またはドレイン電極の一方にはクロック信号 C K 1 が、偶数段目の走査信号転送回路 3 1 R の MOS トランジスタ 4 6 R のソース電極またはドレイン電極の一方にはクロック信号 C K 2 がそれぞれ印加されるようになっている。

【 0 0 5 0 】

また、1 段目乃至 2 4 1 段目の走査信号転送回路 3 1 __ 1 R ~ 3 1 __ 2 4 1 R の MOS トランジスタ 4 6 __ 1 R ~ 4 6 __ 2 4 1 R のドレイン電極またはソース電極から取り出される出力信号 O U T __ 0 0 1 ~ O U T __ 2 4 1 が、2 段目乃至 2 4 2 段目の走査信号転送回路 3 1 __ 2 R ~ 3 1 __ 2 4 2 R の信号保持回路 3 2 __ 2 R ~ 3 2 __ 2 4 2 R に供給されると共に、2 段目乃至 2 4 2 段目の走査信号転送回路 3 1 __ 2 R ~ 3 1 __ 2 4 2 R の MOS トランジスタ 4 6 __ 2 R ~ 4 6 __ 2 4 2 R のドレイン電極またはソース電極から取り出される出力信号 O U T __ 0 0 2 ~ O U T __ 2 4 2 が、1 段目乃至 2 4 1 段目の走査信号転送回路 3 1 __ 1 R ~ 3 1 __ 2 4 1 R の信号保持回路 3 2 __ 1 R ~ 3 2 __ 2 4 1 R にリセット信号 R S T として供給される。

【 0 0 5 1 】

一方、左側のゲートドライバ 1 5 L は、2 4 2 個の走査信号転送回路 3 1 __ 1 L ~ 3 1 __ 2 4 2 L からなり、各走査信号転送回路 3 1 L は、信号保持回路 3 2、反転回路 3 4 及び出力回路 3 7 L から構成されている。これは、従来技術とほぼ同様であるが、本実施形態においては、出力回路 3 6 の構成が出力回路 3 7 L となっている点が異なっている。

【 0 0 5 2 】

即ち、1 段目の走査信号転送回路 3 0 __ 1 L の出力回路 3 7 __ 1 L は、反転回路 3 4 __ 1 L の出力信号 A バーがそのゲート電極に供給される 1 個の MOS トランジスタ (第 2 のトランジスタ) 4 8 __ 1 L のみから構成されている。そして、該 MOS トランジスタ 4 8 __ 1 L のソース電極またはドレイン電極の一方には、走査線 2 2 __ 1 のローレベル電圧 V g 1 が供給され、他方のドレイン電極またはソース電極から上記走査線 2 2 __ 1 を走査する出力信号 (走査信号) O U T __ 0 0 1 が取り出されるよう構成されている。

【 0 0 5 3 】

10

20

30

40

50

2段目の走査信号転送回路30_2Lの出力回路37_2Lも同様に、反転回路34_2Lの出力信号Aバーがそのゲート電極に供給される1個のMOSトランジスタ48_2Lのみから構成され、該MOSトランジスタ48_2Lのソース電極またはドレイン電極の一方には、走査線22_2のローレベル電圧Vglが供給され、他方のドレイン電極またはソース電極から上記走査線22_2を走査する出力信号OUT_002が取り出される。

【0054】

以下、同様に、3段目乃至242段目の走査信号転送回路31Lにおいても、各出力回路37Lは1つのMOSトランジスタ48Lで構成されている。

【0055】

また、1段目乃至241段目の走査信号転送回路31_1L~31_241LのMOSトランジスタ48_1L~48_241Lのドレイン電極またはソース電極から取り出される出力信号OUT_001~OUT_241が、2段目乃至242段目の走査信号転送回路31_2L~31_242Lの信号保持回路32_2L~32_242Lに供給されると共に、2段目乃至242段目の走査信号転送回路31_2L~31_242LのMOSトランジスタ48_2L~48_242Lのドレイン電極またはソース電極から取り出される出力信号OUT_2~OUT_242が、1段目乃至241段目の走査信号転送回路31_1L~31_241Lの信号保持回路32_1L~32_241Lにリセット信号RSTとして供給される。

【0056】

従って、右側のゲートドライバ15Rの走査信号転送回路31_1R~31_242Rの出力回路37_1R~37_242Rを構成するMOSトランジスタ46_1R~46_242Rに入力されるクロック信号CK1, CK2のタイミングに基づき、そのMOSトランジスタ46_1R~46_242Rと、対応する左側のゲートドライバ15Lの走査信号転送回路31_1L~31_242Lの出力回路37_1L~37_242Lを構成するMOSトランジスタ48_1L~48_242Lと、が組となって同時に動作することにより、各走査線22_1~22_242は走査される。

【0057】

このような構成の駆動回路においては、画素マトリックス(液晶パネル10)を挟んで左右両側に配する回路(ゲートドライバ15L, 15R)は、それぞれ独立で動作するものではなく、走査線22によって左右が接続されて初めて動作するものである。また、ゲートドライバとしての機能を左右で分担する構成になっている。即ち、右側のゲートドライバ15Rは、各段の所定の期間(信号Aがハイレベルで信号Aバーがローレベルの期間)において、走査線22がクロック信号CK1, CK2と同電位になるように作用するのに対して、左側のゲートドライバ15Lは、走査線22とローレベル電圧Vglとの間を絶縁するように作用する。一方、それ以外の期間においては、右側のゲートドライバ15Rは走査線22とクロック信号CK1, CK2との間を絶縁し、左側のゲートドライバ15Lでは走査線22がローレベル電圧Vglに保たれるように作用する。

【0058】

このとき、ゲートドライバとしての駆動力を上述した特許文献1に開示されているような従来の両側並列駆動の場合と同等にするためには、出力回路37_1R~37_242Rを構成するMOSトランジスタ46_1R~46_242R及び出力回路37_1L~37_242Lを構成するMOSトランジスタ48_1L~48_242Lのゲート幅を、両側並列駆動の場合に片側にあったものの2倍にすれば良い。合計のゲート幅は不変であっても、トランジスタの個数が従来の両側並列駆動の場合よりも減るので、より稠密な、即ち、より少ない空きスペースでのレイアウトが、同じ駆動力を保ちながら可能になる。

【0059】

このように、本実施形態によれば、ゲートドライバの各段において、ソース電極またはドレイン電極の一方が走査線22に接続され他方がクロック信号入力端子CKに接続され

10

20

30

40

50

るMOSトランジスタ46と、ソース電極またはドレイン電極の一方が走査線22に接続され他方がローレベル電圧Vg1に接続されるMOSトランジスタ48とを、画素マトリックスの左右に分けて1つずつ配置するようにしたことにより、従来の両側並列駆動に比べてトランジスタの個数が減りより、必要な空きスペースも含めたレイアウト面積を小さくできる。

【0060】

さらに、走査線22への出力信号OUTが他段の走査信号転送回路30の入力信号INまたはリセット信号RSTを兼ねるようにしたことにより、両側のゲートドライバのうち一方にのみクロック信号CK1, CK2を入力すれば良く、他方側へのクロックラインの引き回しが不要になり、レイアウト面積をさらに小さくできる。

10

【0061】

また、クロック信号CK1, CK2は一方の側のゲートドライバでのみ入力されるので、両側のゲートドライバの出力タイミングがずれて、異常な過渡電流が生じることもなく、素子劣化を低減し、またそれに起因するフリッカ、焼き付き等の表示劣化と、その経時的な変動を抑えることが可能になる。

【0062】

以上実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なのは勿論である。

【0063】

例えば、上記一実施形態は、該一実施形態に係る駆動回路が適用されるマトリックス表示装置として、TFTアクティブマトリックス型の液晶パネルを用いた液晶表示装置を例に説明したが、本発明の駆動回路は、上述した特許文献1に開示されているようなパッシブマトリックス型の液晶パネルを用いた液晶表示装置における走査線の駆動にも適用可能なことは言うまでもない。

20

【0064】

また、上記走査信号転送回路31を構成する各トランジスタ38~48は、nチャネル型のアモルファスシリコンTFTに限定するものではなく、pチャネル型のものであっても良いし、更には、同一電導性を有するポリシリコンTFTや、同一電導性を有するZnO-TFT等を用いても良い。

【0065】

また、左右のゲートドライバ15L, 15Rを左右逆に配置しても構わない。但しその場合には、クロック信号CK1, CK2は左側にのみ入れる。

30

【0066】

なお、説明の便宜上、左右で説明したが、走査線22が上下方向に延び、信号線20が左右方向に延びるマトリックス構成の場合には、ゲートドライバは上下に配されることは言うまでもない。即ち、走査線22の両側にゲートドライバが配置される構成であれば、本発明は適用可能である。

【図面の簡単な説明】

【0067】

【図1】本発明の一実施形態に係るマトリックス表示装置の駆動回路の全体構成を示す概略構成図である。

40

【図2】図1中の両側のゲートドライバの構成を示す図である。

【図3】図3(A)は、特許文献1に開示されたアクティブマトリックス型の液晶パネルを用いた液晶表示装置の構成を示す図であり、図3(B)は、特許文献1に開示されたパッシブマトリックス型の液晶パネルを用いた液晶表示装置の構成を示す図である。

【図4】図4(A)は、ゲートドライバの構成例を示す図であり、図4(B)は、図4(A)中における各走査信号転送回路の構成を示す図である。

【図5】図5(A)は、図4(B)中の信号保持回路を抜き出して示す図、図5(B)は、該信号保持回路の回路図であり、図5(C)は、該信号保持回路の入出力波形例を示す図である。

50

【図6】図6(A)は、図4(B)中の反転回路を抜き出して示す図、図6(B)は、該反転回路の回路図であり、図6(C)は、該反転回路の入出力波形例を示す図である。

【図7】図7(A)は、図4(B)中の出力回路を抜き出して示す図、図7(B)は、該出力回路の回路図であり、図7(C)は、該出力回路の入出力波形例を示す図である。

【図8】従来の両側のゲートドライバの構成を示す図である。

【図9】ゲートドライバの動作を説明するためのタイミングチャートを示す図である。

【図10】従来の液晶表示装置の駆動回路の全体構成を示す概略構成図である。

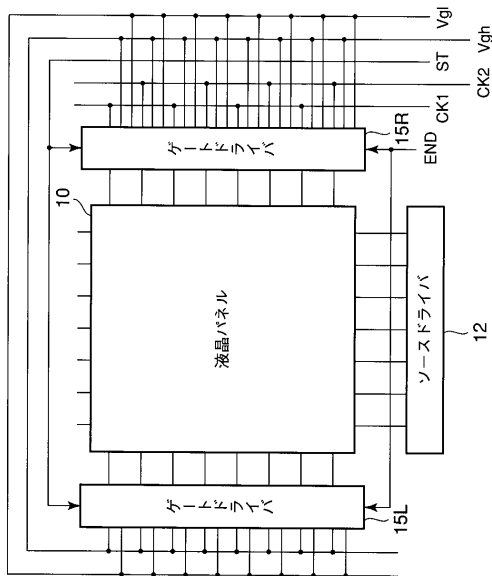
【符号の説明】

【0068】

10 ... 液晶パネル、 12 ... ソースドライバ、 14L, 14R, 15L, 15R ...
 ゲートドライバ、 16 ... 制御回路、 18 ... 駆動電源回路、 20 ... 信号線、 22,
 22_1 ~ 22_242 ... 走査線、 24 ... 画素、 30_1L ~ 30_242L, 30_1R ~ 30_242R,
 31_1L ~ 31_242L, 31_1R ~ 31_242R ... 走査信号転送回路、 32_1L ~ 32_242L,
 32_1R ~ 32_242R ... 信号保持回路、 34_1L ~ 34_242L, 34_1R ~ 34_242R ... 反転回路、
 36_1L ~ 36_242L, 36_1R ~ 36_242R, 37_1L ~ 37_242L,
 37_1R ~ 37_242R ... 出力回路、 38 ~ 44, 46_1R ~ 46_242R,
 48_1L ~ 48_242L ... MOSトランジスタ。

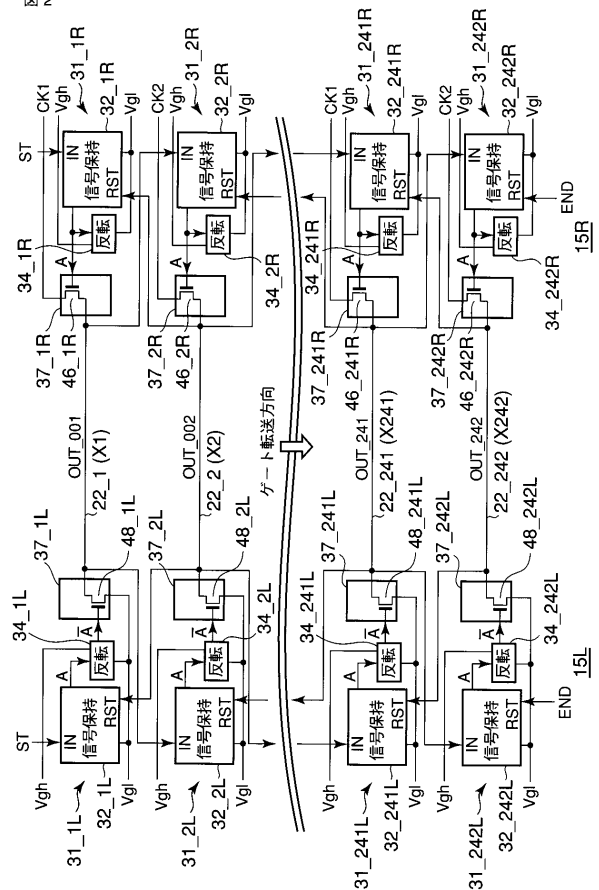
【図1】

図1

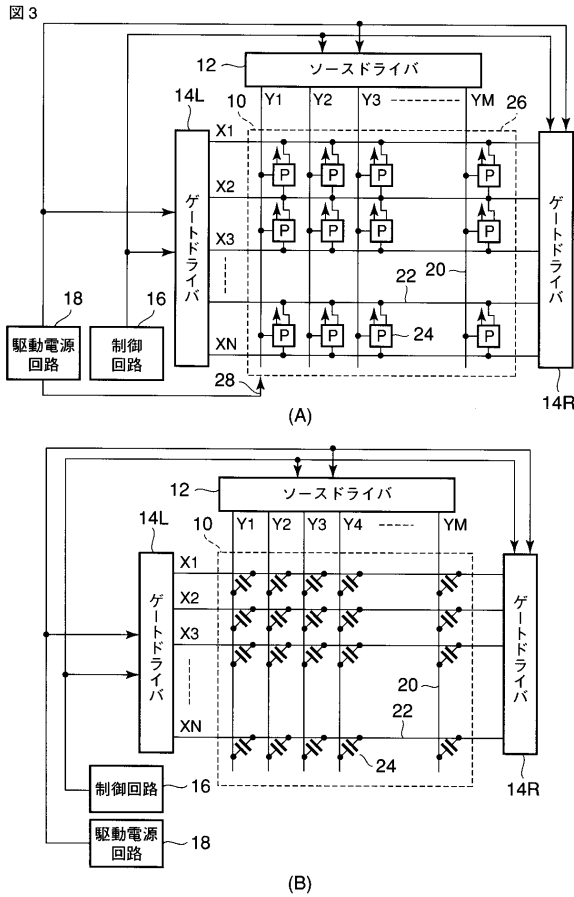


【図2】

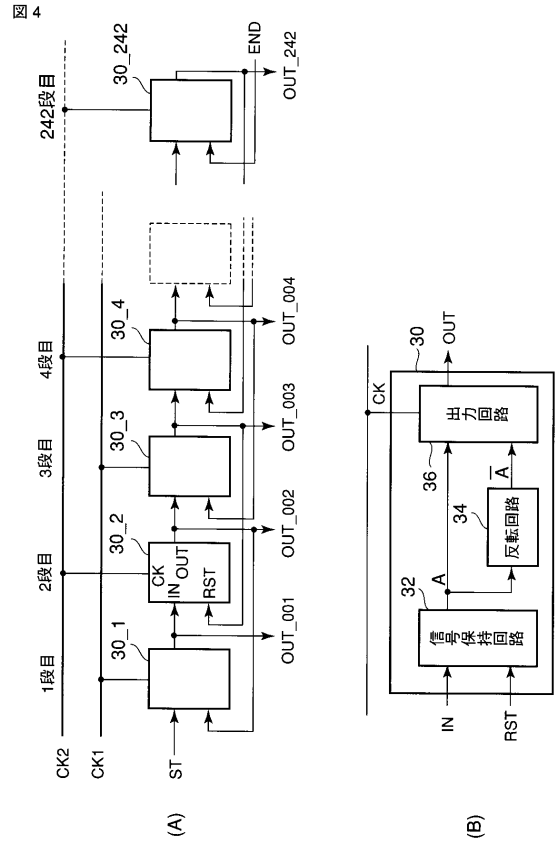
図2



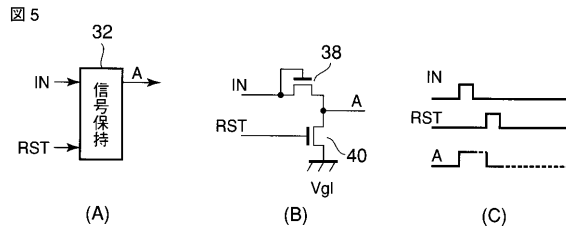
【 図 3 】



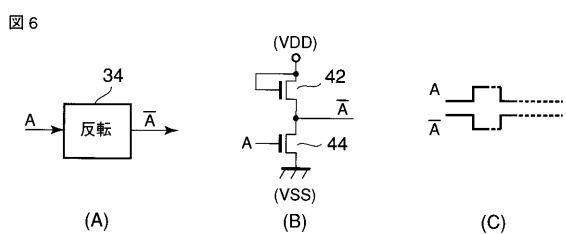
【 図 4 】



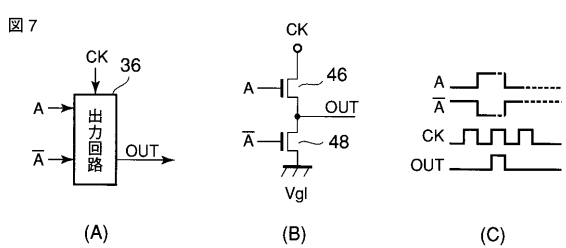
【 図 5 】



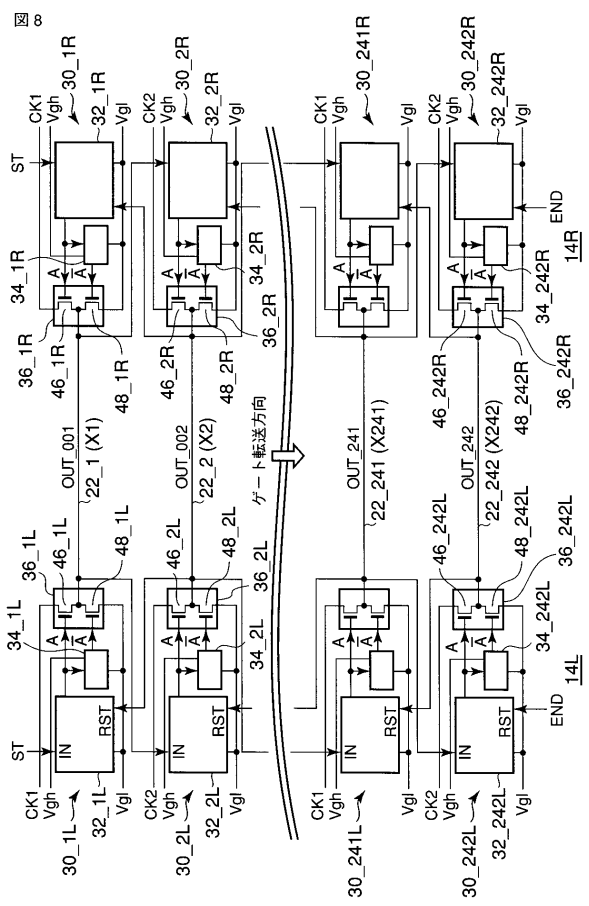
【 図 6 】



【 図 7 】

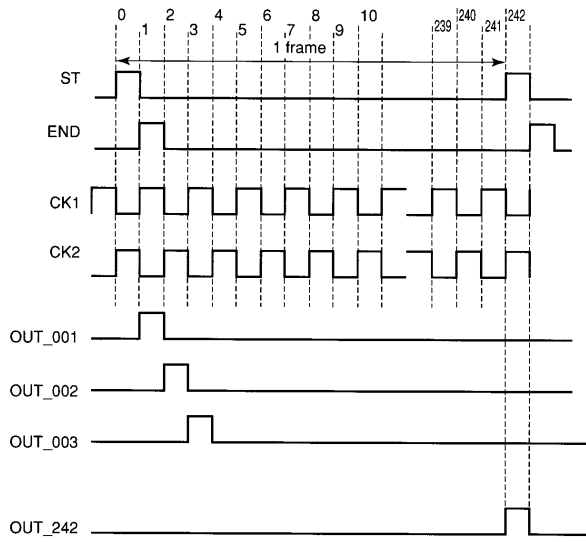


【 図 8 】



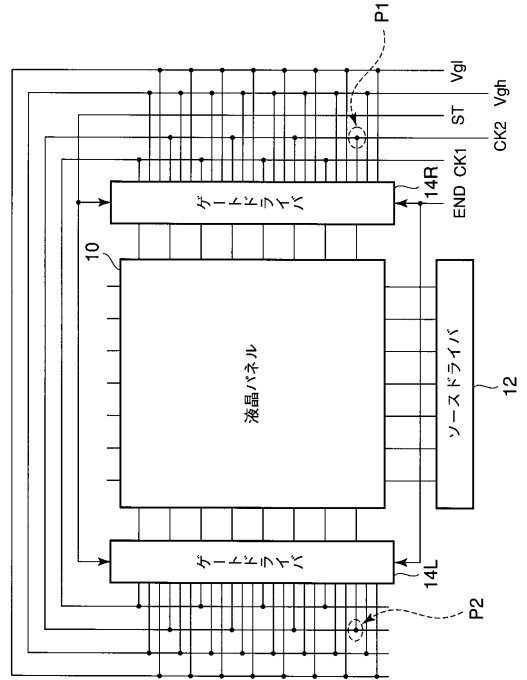
【 図 9 】

図 9



【 図 10 】

図 10



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 1 1 E

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山口 郁博

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

Fターム(参考) 2H093 NA29 NC10 NC12 NC15 NC16 NC34 ND42 ND60

5C006 AA16 AC11 AC22 BB16 BC02 BC03 BC20 BF04 BF27 BF34

FA37 FA41 FA47 FA51

5C080 AA10 BB05 DD05 DD06 DD22 DD27 EE29 FF11 JJ02 JJ03

JJ04 JJ06