



(12) 发明专利

(10) 授权公告号 CN 1656685 B

(45) 授权公告日 2010.05.26

(21) 申请号 03812018.6

(22) 申请日 2003.05.20

(30) 优先权数据

0206503 2002.05.28 FR

(85) PCT申请进入国家阶段日

2004.11.26

(86) PCT申请的申请数据

PCT/IB2003/002157 2003.05.20

(87) PCT申请的公布数据

W02003/100979 EN 2003.12.04

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 P·莫内

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张天舒

(51) Int. Cl.

H03L 7/093 (2006.01)

(56) 对比文件

WO 9965146 A1, 1999.12.16, 全文.

CN 1170303 A, 1998.01.14, 全文.

US 5668503 A, 1997.09.16, 全文.

US 5382922 A, 1995.01.17, 全文.

审查员 黄渊

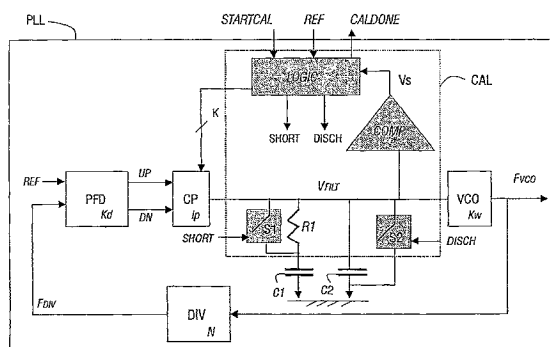
权利要求书 1 页 说明书 9 页 附图 5 页

(54) 发明名称

锁相环及其校准方法

(57) 摘要

本发明涉及一种包括锁相环 (PLL)、电荷泵 (CP) 和环路的校准装置 (CAL) 的集成电路。发明的特征在于校准装置 (CAL) 包括: 第一装置 (S1, SHORT), 用于使锁相环 (PLL) 不稳定从而产生正弦信号 (V_{filt}); 第二装置 (COMP), 用于从正弦信号 (V_{filt}) 产生方信号 (V_s); 逻辑电路 (LOGIC), 用于: 确定方信号 (V_s) 的频率; 比较所述频率和希望频率; 和控制电荷泵 (CP) 以将方信号频率校正为希望频率的函数。



1. 一种包括锁相环 (PLL)、电荷泵 (CP) 和环路的校准装置 (CAL) 的集成电路 (IC), 特征在于校准装置 (CAL) 包括:

- 第一装置 (S1, SHORT), 用于使锁相环 (PLL) 不稳定从而提供正弦信号 (Vfilt);
- 第二装置 (COMP), 用于从正弦信号 (Vfilt) 产生方信号 (Vs); 和
- 逻辑电路 (LOGIC), 用于:
 - 确定方信号 (Vs) 的频率 (Fs);
 - 比较所述频率 (Fs) 和希望频率 (Fno); 和
 - 以将方信号频率 (Fs) 校正为希望频率 (Fno) 的函数为目的控制电荷泵 (CP)。

2. 如权利要求 1 所述的集成电路, 特征在于校准装置 (CAL) 进一步包括第三装置 (S2, DISCH), 用于使锁相环 (PLL) 远离正常工作点振荡, 从而所述正弦信号 (Vfilt) 具有与所述正常工作点相比高并且迅速稳定的振幅。

3. 如权利要求 1 所述的集成电路, 特征在于电荷泵 (CP) 在相继的步骤中校正方信号 (Vs) 的频率 (Fs)。

4. 一种校准包括电荷泵 (CP) 的集成电路 (IC) 中所包括的锁相环 (PLL) 的方法, 特征在于它包括阶段:

- 使锁相环 (PLL) 不稳定从而产生正弦信号;
- 从正弦信号 (Vfilt) 产生方信号 (Vs);
- 确定方信号 (Vs) 的频率 (Fs);
- 比较所述频率 (Fs) 和希望频率 (Fno); 和
- 以将方信号频率 (Fs) 校正为希望频率 (Fno) 的函数为目的控制电荷泵 (CP)。

5. 如权利要求 4 所述的校准锁相环 (PLL) 的方法, 特征在于它包括附加阶段: 使锁相环 (PLL) 远离正常工作点振荡, 从而所述正弦信号 (Vfilt) 具有与所述正常工作点相比高并且迅速稳定的振幅。

6. 如权利要求 4 所述的校准锁相环 (PLL) 的方法, 特征在于控制电荷泵 (CP) 的阶段在相继的步骤中进行。

7. 一种包括如权利要求 1-3 任一权利要求所述的集成电路 (IC) 的接收机。

锁相环及其校准方法

技术领域

[0001] 本发明涉及一种包括锁相环、电荷泵和校准装置的集成电路。发明还涉及一种校准该锁相环的方法。

[0002] 发明就移动电话接收部分而尤其在移动电话中找到特别应用。

背景技术

[0003] 移动电话的接收器包括以内部时钟工作的集成电路。该时钟由目前称为 PLL 的锁相环产生,其环路位于集成电路中。因为尺寸、速度和能耗的限制,锁相环通常用模拟电路制造。锁相环具有取决于用于制造该环路的模拟元件的性能特征的传递函数。这些元件例如是压控振荡器、电容器、电流泵、相位比较器。传递函数可能由于这些不同元件固有的参数变化而变化,这对于所述环路的性能是很恼人的。实际上,属于环路的性能例如稳定性、稳定时间和噪声传递函数的带宽都直接取决于 PLL 的传递函数。

[0004] 标题为“Calibration systems and methods for settling PLL Gain characteristics and Center Frequency”并由 IBM 在 1993 年 12 月 23 日提交的美国专利 US5,382,922 描述了一种能够校准压控振荡器的模拟校准系统,尤其是用相同的电路校准其中心频率和其增益。

[0005] 虽然该达到最新技术发展水平的技术允许轻微改善 PLL 的性能,但是它不能得到最佳传递函数。实际上,该技术仅允许从许多其它元件校准出 PLL 的一个元件——压控振荡器,从而仅允许从许多其它参数校准出 PLL 传递函数的一个参数。传递函数因为其它参数而总是变化,并且是以不可控的方式。

[0006] 因此,本发明的目的要解决的技术问题是建议一种包括锁相环、电荷泵和校准装置的集成电路以及用于该环路的校准方法,允许得到相应于所述环路的传递函数的最佳性能并且不使用过于复杂的系统。

发明内容

[0007] 对提出的技术问题的解决方案按照本发明的第一目的,其特征在于校准装置包括:

[0008] - 第一装置,用于使锁相环不稳定从而提供正弦信号;

[0009] - 第二装置,用于从正弦信号产生方信号;和

[0010] - 逻辑电路,用于:

[0011] - 确定方信号的频率;

[0012] - 比较所述频率和希望频率;和

[0013] - 以将方信号频率校正为希望频率的函数为目的控制电荷泵。

[0014] 按照本发明的第二目的,该方案的特征在于用于环路的校准方法包括阶段:

[0015] - 使锁相环不稳定从而产生正弦信号;

[0016] - 从正弦信号产生方信号;

- [0017] - 确定方信号的频率；
- [0018] - 比较所述频率和希望频率；和
- [0019] - 以将方信号频率校正为希望频率的函数为目的控制电荷泵。
- [0020] 因此，如将在以下更详细看到的，校准装置允许按照希望频率修改锁相环的振荡频率，从而环路具有基本恒定的传递函数。这通过不直接干预锁相环的元件设置的简单系统获得。
- [0021] 有利地，按照非限制性实施例，校准装置进一步包括第三装置，用于使锁相环远离正常工作点振荡，从而所述正弦信号具有与所述正常工作点相比高并且迅速稳定的振幅。其优点是能够很迅速地启动校准期。

附图说明

- [0022] 发明的这些和其它方面通过非限制性示例参考下文所述实施例变得明显并将被说明。
- [0023] 附图中：
- [0024] 图 1 以概略的方式说明了按照发明包括二阶滤波器和关联校准装置的锁相环的第一实施例；
- [0025] 图 2 说明了由图 1 的锁相环和校准装置管理的数字信号；
- [0026] 图 3 是示出图 1 的锁相环的滤波器频率变化的图；
- [0027] 图 4 说明了应用于一阶滤波器的图 1 的校准装置的第一配置；
- [0028] 图 5 说明了应用于二阶滤波器的图 1 的校准装置的第二配置；
- [0029] 图 6 说明了应用于三阶滤波器的图 1 的校准装置的第一和第二配置；
- [0030] 图 7 说明了按照发明的锁相环和其关联校准装置的第一实施例。

具体实施方式

- [0031] 在以下讨论中，将不详细描述内行所公知的结构的功能，因为它们将不必要地增加描述的负担。
- [0032] 本发明的描述涉及在移动电话领域中使用，并尤其在便携电话也称为 mobile 的接收器中集成的集成电路的示例。接收器和形成它的元件工作在多少不同的频率上。
- [0033] 不同的频率由用集成电路集成的锁相环 PLL 产生。
- [0034] 该环路的第一实施例在图 1 中示出。环路 PLL 包括：
- [0035] - 压控振荡器 VCO，具有增益 K_v 并用于提供和滤波电压 V_{filt} 成比例的输出频率 F_{vco} ，所述输出频率 F_{vco} 对应于希望为给定应用获得的频率；
- [0036] - 除法器 DIV，用因子 N 去除压控振荡器 VCO 的输出频率 F_{vco} ，并因此产生第一输入频率 F_{div} ，因子 N 现在称为除法因子；
- [0037] - 相位检测器 PFD，具有增益 K_d ，用于测量给定应用的参考频率 F_{ref} 和除法器 DIV 的第一频率 F_{div} 之间的相位差，并用于提供两个和测量的相位差成比例的输出电压 UP 和 DN ；
- [0038] - 电荷泵 CP，用于将电压脉冲转换为电流脉冲 I_p ；和
- [0039] - 二阶低通滤波器（在下面称为 FILT），由电阻器 R_1 和两个电容器 C_1 和 C_2 组成，

用于抑制来自相位比较器 PFD 和电荷泵 CP 的高频信号,并用于产生滤波电压 V_{filt} ,它被用于控制压控振荡器 VCO,从而后者能够产生希望的输出频率 F_{vco} 。

[0040] 要说明的是,参考频率 F_{ref} 是固定的,并来自表示集成电路中的外部时钟 CLK(未示出)的 Quartz。

[0041] 在 PLL 稳定时的操作模式中,参考频率 F_{ref} 和输入频率 F_{div} 相等,都是相应信号的相位,这意味着 $F_{vco} = N * F_{ref}$,因子 N 是常数,输出电压脉冲 UP 和 DN 相同并为最小值。结果,电荷泵 CP 的输出为零电流,并且没有其它电荷加入和移出滤波器 FILT。因此,该滤波电压 V_{filt} 恒定,它被稳定了。

[0042] 此时,锁相环 PLL 具有下文定义的传递函数,传递函数通过内行公知的小信号分析来计算。

$$[0043] \quad \frac{\theta_{vco}}{\theta_{ref}} = \frac{Kd * Ip * Kw}{N * (C1 + C2) * s^2} * \frac{1 + R1C1s}{1 + R1 \frac{C1C2}{C1 + C2} s} \quad (1)$$

[0044] θ_{vco} 表示频域中的输出电压 F_{vco} 的相位, θ_{ref} 表示频域中的第一输入信号 F_{ref} 的相位,而 s 是复角频。

[0045] 将看到,传递函数的左手部分表示 PLL 的增益 G ,而右手部分表示 PLL 中包括的滤波器 FILT。

[0046] 如果 $R1$ 、 $C1$ 和 $C2$ 恒定,传递函数的右手部分在复角频附近恒定。相反时,校准通过适当方法也对 $R1$ 、 $C1$ 和 $C2$ 有影响。可以看到,这样定义的传递函数取决于组成它的元件 VCO、CP、DIV、 $C1$ 、 $C2$... ,这些元件受制于会使整个传递函数不稳定的内部参数变化 Kw 、 Ip 、 N ... 。这些参数的变化归因于例如环境温度、使用的制造方法、元件之间的相互作用、应用的扩展... 。要说明的是仅相位比较器 PFD 具有恒定参数 Kd 。

[0047] 为了适当地工作,锁相环要具有稳定的传递函数,即基本恒定的传递函数,因为参数例如稳定性、稳定时间和噪声传递函数的带宽(噪声带宽)直接取决于环路 PLL 的所述传递函数。要说明的是环路 PLL 的稳定时间是环路在其除法器 DIV 的除法因子 N 改变时需要来改变频率 F_{vco} 的时间。为此,环路 PLL 的噪声传递函数是环路 PLL 的噪声频响。

[0048] 因此需要抑制来自不同元件的变化的影响并因此获得常数因子

$$[0049] \quad \frac{Ip * Kw}{N * C}$$

[0050] 其中 C 表示 PLL 的滤波器 FILT 的所有电容器,这里是两个电容器 $C1$ 和 $C2$ 。

[0051] 为了稳定锁相环 PLL,使用校准装置 CAL 来将环路校准在恒定希望频率,从而增益 G 为常数。这是基于 PLL 的增益 G 在电阻 $R1$ 等于 0 时直接关联所述 PLL 的振荡频率 F_n 的事实,如能在方程式 (2) 中看到的。实际上,如果电阻 $R1$ 的值等于 0, PLL 开始在也称为固有振荡频率的振荡频率 F_n 振荡,从而

[0052]

$$F_n = \frac{1}{2\pi} \sqrt{\frac{Kd * Ip * Kw}{N * (C1 + C2)}} \quad (2)$$

[0053] 电阻 $R1$ 因此对于 PLL 的稳定性是必需的。

[0054] 在校准阶段,将使 PLL 不稳定、振荡,并通过校正固有振荡频率 F_n 使它达到预定恒

定振荡频率 F_{no} 。预定恒定振荡频率 F_{no} 是希望作为应用扩展的函数而获得的频率,从而 PLL 具有最佳性能。

[0055] 为此,锁相环 PLL 包括所述校准装置 CAL,并且后一装置如图 1 所示包括:

[0056] - 第一装置 S1, SHORT,用于使锁相环 PLL 不稳定,从而产生正弦信号 V_{filt} ;这些第一装置 S1, SHORT 将允许短路滤波器 FILT 的电阻器 R1;

[0057] - 第二装置 COMP,用于从正弦信号产生方信号;和

[0058] - 逻辑电路 LOGIC,用于:

[0059] - 确定方信号 V_s 的频率 F_s ;

[0060] - 比较所述频率和希望频率 F_{no} ;和

[0061] - 以将方信号频率校正为希望频率 F_{no} 的函数为目的控制电荷泵 CP。

[0062] 优选地,校准装置进一步包括第三装置 S2, DISCH,用于使锁相环 PLL 失衡而超出正常工作点,从而由环路 PLL 产生的所述正弦信号 V_{filt} 具有相对所述正常工作点高并迅速稳定的振幅。

[0063] 优选地,第二装置 COMP 是比较器,第一装置 S1, SHORT 包括与第一中断信号 SHORT 关联的第一模拟开关 S1,具有相对电阻 R1 低的电阻,和第三装置 S2, DISCH 包括与第二中断信号 DISCH 关联的第二模拟开关 S2。

[0064] 按照校准装置 CAL 的第一非限制性配置,第一开关 S1 并联滤波器 FILT 的电阻器 R1,而第二开关 S2 并联滤波器 FILT 的第二电容器 C2。

[0065] 这样,为了校准 PLL,执行以下阶段:

[0066] 在第一阶段 1) 中,校准初始化。

[0067] 在第一子阶段 1a) 中,电路 IC 的控制系统(未示出)通过开始信号 STARTCAL 开始校准。该信号被置为高状态,它被发送到环路 PLL 的逻辑电路 LOGIC。校准期开始。

[0068] 要说明的是,只要所述信号 STARTCAL 为低状态,就不开始校准。还要说明的是集成电路 IC 工作在具有参考频率 F_{ref} 的时钟 CLK 的上升或下降沿。因此,开始信号 STARTCAL 当然要受所述外部时钟 CLK 考虑,那么所述信号 STARTCAL 要至少等于外部时钟周期 CLK。

[0069] 在第二阶段 2),以下列方式执行校准。

[0070] 在第二子阶段 2a),使环路 PLL 不稳定。逻辑电路 LOGIC 发送第一中断信号 SHORT 给第一开关 S1。该开关 S1 闭合,使 PLL 不稳定,因为所述开关 S1 短路电阻器 R1(第一电容器 C1 在内部开关电阻器 S1 中放电,后者小于滤波器的电阻 R1),并因此消除所述电阻器 R1 的稳定器的影响。只要发送信号 SHORT,所述开关 S1 就保持闭合。

[0071] 在第二子阶段 2b),逻辑电路 LOGIC 发送第二中断信号 DISCH 给第二开关 S2。后者在相应的中断信号 DISCH 发送期间闭合,所述信号在校准开始时发送与校准期消耗的总时间相比可忽略的一段时间。该第二开关 S2 闭合的效果是滤波电压 V_{filt} 被放电,即接地或接电压 V_{dd} 。

[0072] 在所述第二开关 S2 重新开启期间,振荡远离其 PLL 的也称为平衡点的正常工作点而开始,平衡点由预定为希望应用的函数的集成电路的频率,或等效地由工作模式中的滤波电压 V_{filt} 确定。因此,信号 V_{filt} 的所述振荡迅速具有相对于平衡点高的振幅。

[0073] 要说明的是,第二开关 S2 闭合的时间不长。实际上,不再需要它闭合,否则将不必要地延长校准期。

[0074] 滤波器 FILT 的电容器迅速放电。因此,在第二开关 S2 重新开启期间,环路 PLL 产生具有基本如图 2 所示的提高振幅的正弦信号 V_{filt} ,该振幅非常迅速地变为恒定,然后振荡稳定。

[0075] 要说明的是,两个子阶段 2a) 和 2b) 可以同时或相继发生。在这两个子阶段连续发生时,第二子阶段 2b) 优选地在第一子阶段 2a) 之前实行。实际上,当第一开关 S1 闭合时,环路 PLL 变得不稳定并振荡,但是接近其工作点, V_{filt} 呈现工作模式。振荡因此变慢并且获得要等待很久的大振幅。另一方面,如果第二开关 S2 预先闭合和开启,PLL 远离其正常工作点失衡,并因此以相对于正常工作点高的振幅迅速振荡,大约 100mV。此时,等待很少的时间来开始校准。要说明的是,相对正常工作点小的振幅位于 10mV 附近。

[0076] 还要说明的是,第一子阶段 2a) 是必需的,因为没有它,如果仅使用第二开关 S2,环路 PLL 将在一定时间周期后回到其正常平衡点。

[0077] 在第三子阶段 2c) 中,比较器 COMP 将获得的正弦信号 V_{filt} 转换为可被逻辑电路 LOGIC 使用的方信号 V_s 。由于所述正弦信号 V_{filt} 的大振幅,比较器 COMP 能够容易地实现并产生易读的方信号 V_s 。然后所述方信号 V_s 发送到逻辑电路 LOGIC。

[0078] 在第四子阶段 2d) 中,逻辑电路 LOGIC 测量方信号 V_s 的振荡频率 F_s ,比较所述频率 F_s 和希望的恒定频率 F_{no} ,并确定要应用给二阶滤波器 FILT 以便 PLL 以希望频率 F_{no} 振荡的电荷泵 CP 的电流值 I_p 。这优选地利用内行公知的逐次近似算法来确定。

[0079] 要说明的是,选择希望频率 F_{no} 的值为形成锁相环 PLL 的元件正常值的函数,从而所述 PLL 具有最佳性能,不同元件的正常值按照使用的制造技术可知。

[0080] 为了设置 PLL 为希望振荡频率 F_{no} ,需要有参考时间。采用已知频率 F_{ref} 的外部时钟 CLK 的信号 REF 作为参考时间。

[0081] 要说明的是,方信号 V_s 的频率 F_s 等于给定时间的 PLL 的固有振荡频率 F_n 。

[0082] 要说明的是,方信号 V_s 的频率 F_s 低于该输入时钟频率 F_{ref} 。实际上,对于要稳定的 PLL,参考频率 F_{ref} 高于固有振荡频率 F_n 并因此高于方信号频率 F_s 约 10 倍是必需的。从而,在方信号 T_s 周期期间计数时钟信号 REF 中的时钟周期 T_{ref} 数 N_{ref} ,并且该数 N_{ref} 和相应于希望频率 F_{no} 的周期的希望数 $N_{app} = F_{ref}/F_{no}$ 比较。

[0083] 如果时钟周期 F_{ref} 的计数 N_{ref} 小于希望数 N_{app} ,就是说 PLL 以高于希望频率 F_{no} 的固有振荡频率 F_n 振荡。此时,电荷泵 CP 的电流 I_p 要降低。相反时,电流 I_p 要提高。要说明的是,固有振荡频率 F_n 与电荷泵 CP 的电流 I_p 的方根成比例。

[0084] 显然,可以在方信号 T_s 并因此在 PLL 振荡 T_n 的更高的周期数期间计数参考周期 T_{ref} 的数,这更有利。实际上,在方信号周期 T_s 和参考周期 T_{ref} 之间的比将等于 10 时,并且如果在方信号的五个周期 T_s 期间进行计数,将获得 1/50 的计算精度差,它是 1/10 精度时的 2%,或者在将仅考虑方信号的一个周期 T_s 时的 10%。以这种方式改善了计数精度。

[0085] 优选地,逻辑电路 LOGIC 包括内行公知的逐次近似计算逻辑装置。这些逐次近似计算逻辑装置 SAR(未示出)基于 K 比特的字 S_{MOT} 。利用逻辑电路 LOGIC 接收每个比较结果,这里是参考周期数 N_{ref} ,逐次近似计算逻辑装置 SAR 将字 S_{MOT} 的 K 比特之一设置为 1 或 0。如果周期数 N_{ref} 大于周期的希望数 N_{app} ,环路的振荡频率 F_n 小于希望值 F_{no} ;字 S_{MOT} 的关联当前比特设置为 1(以便提高电流并因此增加振荡频率 F_n ,从而更接近希望值),并且下一比特设置为 1;然后电流 I_p 由关联当前比特的加权提高。相反时,关联当前比特

设置为 0, 并且电流由关联当前比特的加权降低。

[0086] 对于 K 比特, 逻辑电路仅需要 K 次迭代, 字 S_MOT 的每个比特一次, 迭代这里对应方信号 Vs 的 K 个周期 Ts, 也或者是 K 个振荡周期 Tn。因此, 近似计算装置 SAR 以计算的参考周期数 Nref 的函数来产生 K 比特字的数字校正信号 S_MOT, 其中 K 确定用于确定校正方法的步骤数。

[0087] 这些近似计算装置 SAR 还允许在执行校准期时将 K 个校正比特保持在存储器中。从而, 这允许电荷泵 CP 利用这 K 个比特作为输入, 并从其得到校正信号。因此, K 比特的字 S_MOT 发送到电荷泵 CP, CP 将所述字 S_MOT 转换为校正 PLL 的滤波电压 Vfilt 的模拟信号。校正是逐渐进行的, 因为它是数字校正信号 S_MOT 的函数, S_MOT 在电荷泵 CP 循环产生, 直至关联电压 Vfilt 的频率达到希望频率 Fno。该字 S_MOT 因而允许确定滤波电压 Vfilt 和因此确定关联的固有振荡频率 Fn 的精确校正。要说明的是, 电荷泵 CP 将字 S_MOT 转换为模拟校正电流并在输出发送相应校正电压。

[0088] 这样, 逻辑电路 LOGIC 可以以下列方式执行的算法工作。

[0089] 1. 设置信号 SHORT 和 DISCH 为高状态并初始化电荷泵 CP 的比特 = 100000 (S2 和 S1 闭合);

[0090] 2. (为滤波器 FILT 放电) 等待 xxx 微秒;

[0091] 3. 复位信号 DISCH 为零 (S2 开启和 S1 闭合);

[0092] 4. 为 PLL 以稳定方式振荡 (正弦信号的振幅为高) 等待 yyy 微秒;

[0093] 5. $n = K$ (SAR 的比特数) 直至 1;

[0094] 1. 计数方信号 Vs 第一上升沿和下一上升沿之间 (即 PLL 的 1 个周期 Tn) 的时钟信号 REF 的周期数 Nref;

[0095] 2. 对于下一上升沿, 如果 $Nref > Napp$, 则 $S_MOTbits[n] = 1$;

[0096] 3. $S_MOTbits[n-1] = 1$;

[0097] 6. 设置信号 SHORT 为零 (S1 开启);

[0098] 7. (为 PLL 重新稳定) 等待 zzz 微秒;

[0099] 8. 设置校准结束信号 CALDONE 为 1 (校准结束, 返回工作模式)。

[0100] 在第三阶段 3), 当校准即固有振荡频率 Fn 的校正结束时, 已经使用了字 S_MOT 的所有比特 (它们已经利用内部计数器 (未示出) 计数), 停止信号 CALDONE 由逻辑电路 LOGIC 发送给集成电路 IC 的控制系统。然后校准停止。第一中断信号 SHORT 不再发送, 被设置为低状态。第二开关 S1 因此重新开启, 并且集成电路 IC 回到工作模式。为此, 比较器 COMP 不起作用, 即关闭。比较器 COMP 因此在不使用时没有任何电流消耗, 使得能够节省能量。

[0101] 要说明的是, 通过包含集成电路 IC 的接收机的每次初始化或“开电复位”来执行校正期是有利的。这允许在开电复位期间重新初始化从逻辑电路 SAR 的存储器删除了的字 S_MOT。

[0102] 此外, 要说明的是, 该校准期优选地大约是一分钟地循环重复 (可以编程的周期), 每次接收机停止即不与基站通信。这些不通信期在移动电话的通信控制器 (未示出) 的接收机中已知。这允许随时间自适应并且考虑电路 DEVICE 的偏置电压的变化, 所述电压以所述电路元件随时间的演变的函数、温度的函数... 变化。

[0103] 一个校准的示例在图 2 和 3 中说明。在该示例中, PLL 用 1.8V 的供电电压工作。

[0104] 在图 2 中, 在时间 t_0 之前, 即工作模式中的校准期之前, 滤波器 FILT 的输入电压 V_{filt} 在该示例中恒定并等于 0.9V。

[0105] 在时间 T_0 , 校准的开始信号 STARTCAL 被集成电路 IC 触发, 并且信号 SHORT 和 DISCH 由逻辑电路 LOGIC 发出。第一开关 S1 闭合, 使得 PLL 不稳定。第二开关 S2 也闭合, 滤波电压 V_{filt} 接地, 直到其中第二中断信号 DISCH 再次设置为低状态的时间 T_1 为止。电容器 C1 和 C2 在第二开关 S2 中放电。

[0106] 在几微秒以后, 此时是 5 微秒, 第二开关 S2 开启。在其开启时刻, PLL 开始振荡并产生正弦信号 V_{filt} , 其振幅与恒定 0.9V 相比高, 所述信号在约 0.2V 和 1.5V 之间振荡。如可看到的, 高振幅迅速稳定。在所示示例中, 滤波电压 V_{filt} 的最大和最小值分别是 0V 和 1.8V。正弦曲线电压在约 $40\mu s$ 结束时变稳定 (然而如果第一开关 S1 首先闭合, 将在 1ms 以后得到稳定信号), 并且因此在 0.4V 和 1.4V 之间振荡。

[0107] 随后, 比较器 COMP 切换为使用。从而产生对应正弦信号 V_{filt} 的方信号 V_s 。方信号 V_s 在端值 0V 和 1.8V 之间变化。所述方信号 V_s 然后发送到逻辑电路 LOGIC 中, LOGIC 在随后的步骤中利用字 S_MOT 确定要对方信号 V_s 的频率 F_s 进行的达到希望频率 F_{no} 的校正。

[0108] 要再次说明的是, 第二中断信号 DISCH 具有与整个校准期相比可忽略的一段时间, 即百分之几, 其间滤波器 FILT 被放电。

[0109] 字 S_MOT 的每个比特表示电流 I_p 的加权。在该示例中, 字由 6 比特形成。因此, 在该示例中, 6 比特具有各加权 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ 、 $1/64$, 第 6 比特, 最高有效位 MSB, 具有最大加权 $1/2$ 。在校准开始以前, 第 6 比特设置为 1, 并且所有其它比特为 0。在第一振荡周期 T_{n1} 期间, 方信号 V_s 的周期数 N_{ref} 低于希望周期数 N_{app} 。第 6 比特设置为 0, 第 5 比特设置为 1, 并且电荷泵 CP 的电流 I_p 被修改。PLL 的振荡频率 F_n 以电荷泵 CP 电流的新值的函数变化, 并且比较器 COMP 留下对应频率 F_s 的方信号 V_s 。

[0110] 在第二振荡周期 T_{n2} 期间, 方信号 V_s 的周期数 N_{ref} 再一次低于希望的周期数 N_{app} 。第 5 比特设置为 0, 第 4 比特设置为 1 并且电荷泵 CP 的电流 I_p 被修改。PLL 的振荡频率 F_n 以电荷泵 CP 电流的新值的函数变化, 比较器 COMP 留下对应方信号 V_s 的新频率 F_s ... 等等直到第六振荡周期 T_{n6} , 其中所有 6 个比特都被正确地确定, 并且其中 PLL 以希望的频率 F_{no} 振荡。

[0111] 下表是字 S_MOT 的 6 个比特确定的示例。

[0112]

迭代	Nref-Napp	S_MOT	比特	加权	值
开始		100000	5	1/2	0
1	< 0	010000	4	1/4	0
2	< 0	001000	3	1/8	1
3	> 0	001100	2	1/16	0
4	< 0	001010	1	1/32	1
5	> 0	001011	0	1/64	0
6	< 0	001010			

[0113] 要说明的是,字 S_MOT 中的比特数 K 越高,校准的步幅越小并因此越精确。

[0114] 在图 3 中示出了相对时间绘制的 PLL 的振荡频率 F_n 。在该示例中,已经考虑了以下值。 $F_{ref} = 24\text{MHz}$, $N_{ref} = 197$, 希望 $F_{no} = 24 \cdot 10^6 / 197 = 121.83\text{kHz}$ 。在点 A 的振荡稳定(信号 DISCH 复位为 0)以后,逐次近似计算开始了。可以看到, $150 \mu\text{s}$ 以后,在对应逐次近似计算逻辑装置 SAR 的 K 次迭代的点 B, PLL 的振荡频率 F_n 逐渐收敛到希望频率 F_{no} 而达到 121.69kHz 的值。

[0115] 当校准结束时,在时间 T2,逻辑电路 LOGIC 设置信号 SHORT 为低状态,并发送校准结束信号 CALDONE 至集成电路 IC 的控制系统。当该信号 SHORT 复位为低状态时,第一开关 S1 再次开启,并且滤波器的电阻器 R1 再次担任环路 PLL 的稳定器的角色。为此,校准结束信号告知 PLL 它可以回到工作模式。但是,可以看到,比较器 COMP 不再起作用,并且滤波器电压 V_{filt} 再次变稳定即恒定。

[0116] 按照锁相环 PLL 的第二实施例,在图 7 中说明了 PLL 不再在其滤波环路 FILT 中包括电阻器 R1。电阻器 R1 由附加电荷泵 CPA 代替。为此,锁相环 PLL 的压控振荡器 VCO 包括电压电流转换器 VTOI 和流控振荡器 CCO。

[0117] 附加电荷泵 CPA 具有和先前所见第一实施例的电阻器 R1 相同的稳定功能。为了稳定环路 PLL,该附加电荷泵 CPA 在压控振荡器 VCO 的节点直接注入电流 I_{pA} 。附加电流 I_{pA} 发送给位于电压电流转换器 VTOI 和流控振荡器 CCO 之间的连接点,如可在图 7 中看到的。

[0118] 此时,为了使锁相环 PLL 不稳定,需要从该附加电荷泵 CPA 切断电流 I_{pA} 。为此,逻辑电路 LOGIC 发送中断信号 SHORT 给附加电荷泵 CPA。后者包括内部电流中断电路(未示出),在接收到中断信号 SHORT 时,它中断所述电荷泵 CPA 的电流 I_{pA} 。用于使锁相环 PLL 不稳定的第一装置因此是中断信号 SHORT 和附加电荷泵 CPA 的内部电流中断电路。此时,第二开关 S2 并联第一电容器 C1,并且校准装置 CAL 不再包括第一开关 S1。

[0119] 显然,发明的范围不仅限于上述实施例,而是不离开发明的宗旨和范围来应用变化和修改。因此,如图 5 所示,按照二阶滤波器上的校准装置 CAL 的第二配置,第一开关 S1 串联在第一电容器 C1 和电阻器 R1 之间。

[0120] 此外,要说明的是,包括在 PLL 中的二阶滤波器现在被图 4 中表示的一阶滤波器乃至图 6 中表示的三阶滤波器代替。

[0121] 因此,在图 4 中,第一开关 S1 并联电阻器 R,而第二开关 S2 并联相对第一开关 S1 的滤波器的电容器 C。

[0122] 在图 5 中可以看到第二开关 S2 并联第三电容器 C3,在第一开关 S1 中并联电阻器 R1 或并联第二电阻器 R2。

[0123] 要说明的是,实际中,可以利用包括具有 $0.18\mu\text{m}$ CMOS 技术的环路 PLL 的集成电路。开关 S1 和 S2 则是模拟 CMOS 互补开关,而比较器 COMP 是跟随着差分转换单输出级的 NMOS 对。

[0124] 这样,发明提供大量下文列出的优点。

[0125] 首先,按照发明的校准方法简单。它不是基于锁相环的每个元件参数的精确测量,并且不是要补偿每个元件的变化,后者呈现一定的难度。

[0126] 此外,该方法在仅对通常存在的电路的外部时钟信号进行参考的同时,不需要附加外部参考电流或电压的提供。因此,一方面,避免了产生外部电路来产生这样的电流和电压的需要,并且另一方面,避免了利用复杂计算来进行这样的电流和电压的精确测量。

[0127] 第二,集成电路的校准装置易于使用,因为它们仅简单地利用了模拟元件,例如开关和比较器,此外它们还很小,因此不会在集成电路的硅片上占据多少地方。

[0128] 此外,这些校准装置在它们不工作时即校准期不起作用时没有电流消耗。

[0129] 最后,校准方法灵活,并且可容易地适应各种滤波器配置和各种工作频率,如上所见。

[0130] 显然,发明不仅限于移动电话领域,它可以扩展到其它领域,特别是所有那些利用锁相环是必须的集成电路的领域、涉及利用例如蓝牙标准或通信协议 LAN 的电信领域、成像领域、电视领域……

[0131] 本文中参考符号不应解释为限制所述文字。

[0132] 动词“包括”和其变形不必以限制的方式解释,即不排除不仅在所述动词之后列出的元件之外的元件的存在,而且也不排除已经在所述动词之后列出并且之前加上冠词“一个”的多个元件的存在。

[0133] 虽然描述了 IC 电路,但是发明涉及可以不是集成电路的任何电路的情况。

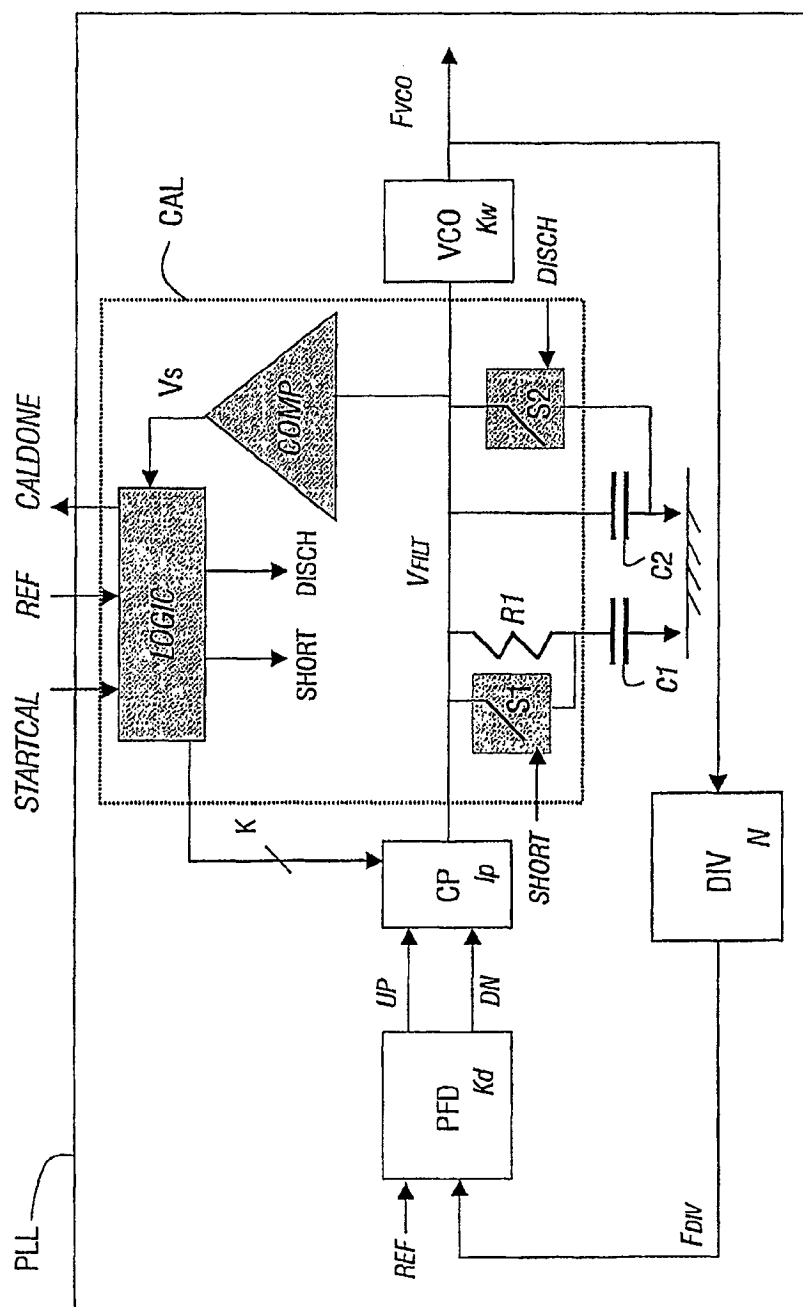


图 1

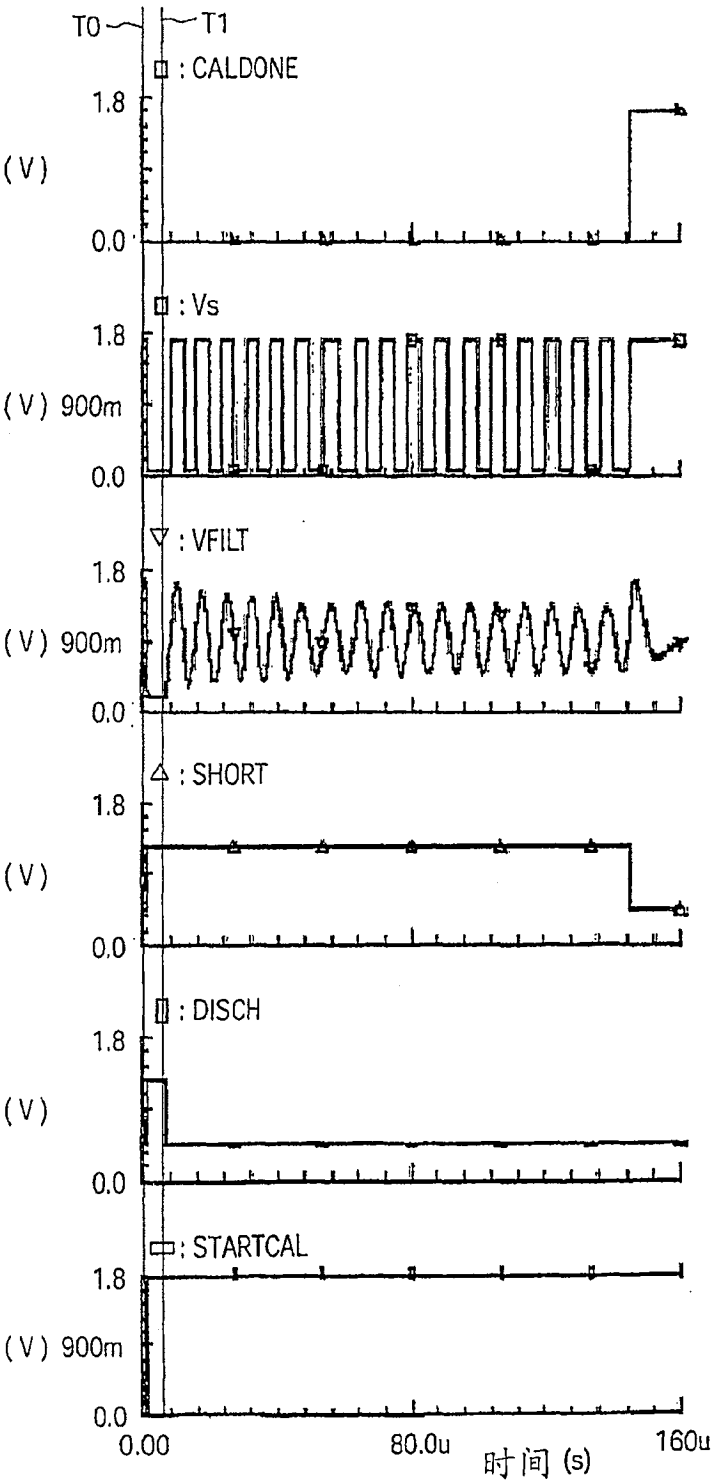


图 2

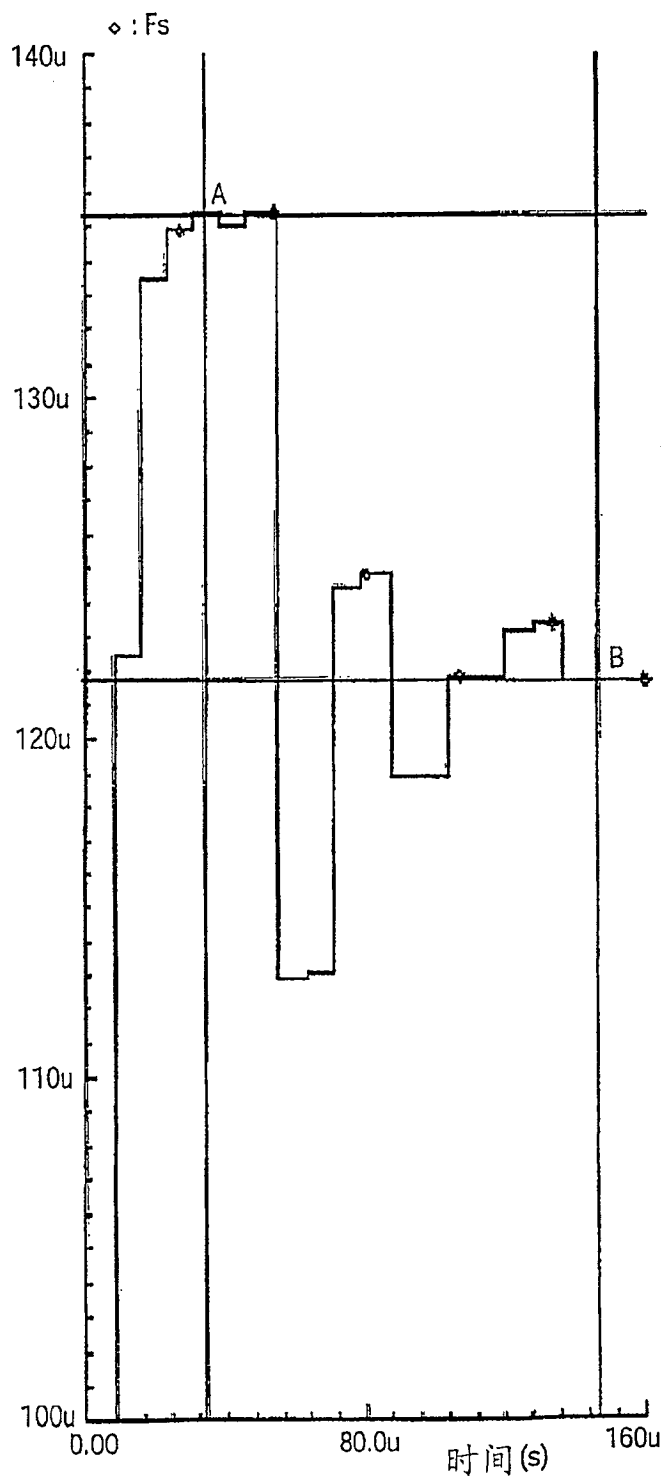


图 3

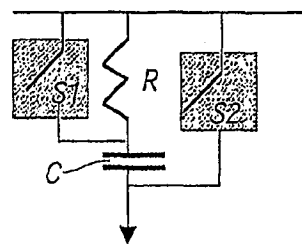


图 4

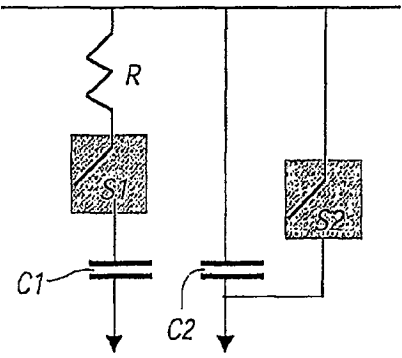


图 5

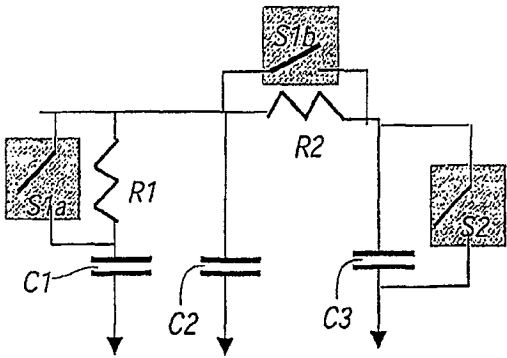


图 6

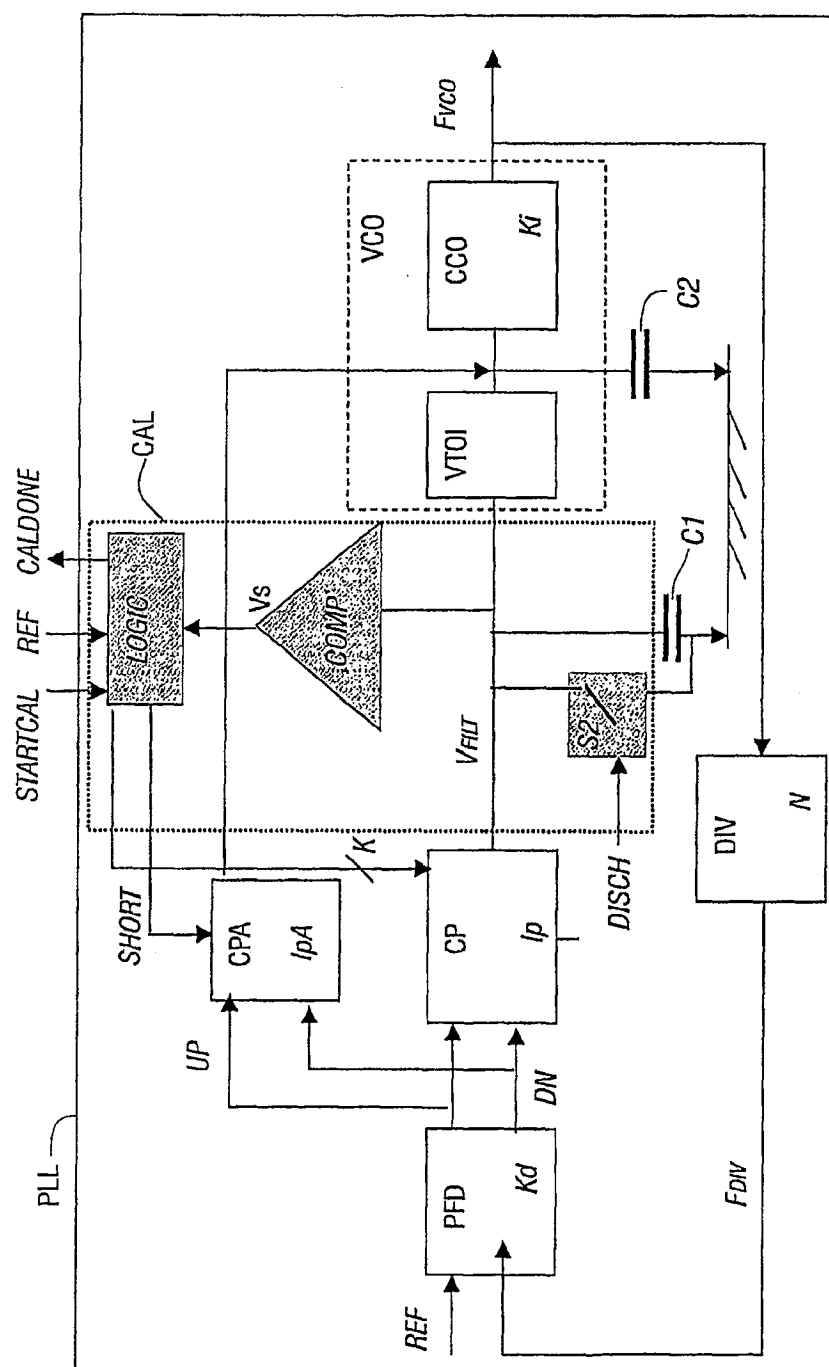


图 7