

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2012 年 2 月 9 日 (09.02.2012)

PCT

(10) 国际公布号
WO 2012/016401 A1

- (51) 国际专利分类号:
H02M 3/07 (2006.01) H02M 3/155 (2006.01)
- (21) 国际申请号: PCT/CN2010/078103
- (22) 国际申请日: 2010 年 10 月 26 日 (26.10.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010248404.4 2010 年 8 月 6 日 (06.08.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 东南大学 (SOUTHEAST UNIVERSITY) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 徐申 (XU, Shen) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 孙伟锋 (SUN, Weifeng) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 杨淼 (YANG, Miao) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 刘思超 (LIU, Sichao) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 金友山 (JIN, Youshan) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 陆生礼 (LU, Shengli) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。 时龙

兴 (SHI, Longxing) [CN/CN]; 中国江苏省南京市四牌楼 2 号, Jiangsu 210096 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SWITCH LEVEL CIRCUIT WITH DEAD TIME SELF-ADAPTING CONTROL

(54) 发明名称: 死区时间自适应控制的开关级电路

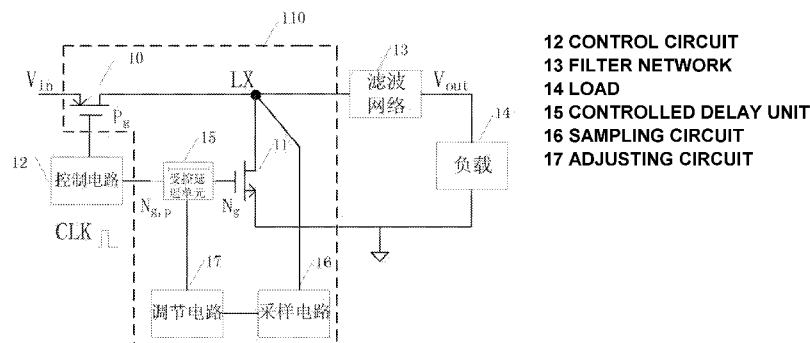


图 4 / Fig. 4

(57) Abstract: A switch level circuit (110) with dead time self-adapting control, which minimizes the switching loss in a switching power supply converter with synchronous rectification by changing a dead time between a high-side control transistor (10) and a low-side synchronous rectifying transistor (11). The switch level circuit (110) includes the high-side control transistor (10) and the low-side synchronous rectifying transistor (11) which are controlled to be on and off by external control signals, and a waveform with a given duty cycle is outputted at a node (LX) between the two transistors. The switch level circuit (110) also includes a control module for adjusting the dead time. The control module comprises a sampling circuit (16) for detecting the current dead time at the node (LX), an adjusting circuit (17) for buffering and converting the sampling voltage sampled by the sampling circuit (16), and a controlled delay unit (15) equipped with an external control input terminal, wherein the controlled delay unit (15) delays an external control signal and outputs the delayed signal to a controlled terminal of the low-side synchronous rectifying transistor (11) as a control signal. The switch level circuit (110) has simple structure, better performance and wide application range.

[见续页]



WO 2012/016401 A1



(57) 摘要:

一种死区时间自适应控制的开关级电路(110)，其通过改变高边控制晶体管(10)与低边同步整流晶体管(11)之间的死区时间，而使带有同步整流的开关电源转换器中的开关损耗最小化。该开关级电路(110)包括高边控制晶体管(10)和低边同步整流晶体管(11)，由外部控制信号控制它们的开启和关断，并且在两个晶体管之间的节点(LX)上输出具有设定占空比的波形。该开关级电路(110)还包括用于调整死区时间的控制模块。该控制模块包括用于在节点(LX)上检测当前死区时间的采样电路(16)，用于对由采样电路(16)采集的采样电压进行缓冲和转换的调节电路(17)，以及设有外部控制输入端的受控延迟单元(15)，其中受控延迟单元(15)延迟外部控制信号，并将延迟后的信号输出到低边同步整流晶体管(11)的受控端作为控制信号。该开关级电路(110)具有简单的结构、良好的性能和广泛的适用范围。

死区时间自适应控制的开关级电路

技术领域

本发明涉及自适应死区时间控制的开关级电路，更具体地涉及用于减少带有同步整流的开关电源转换器中开关损耗，提高电源转换效率的死区时间自适应控制的开关级电路。

背景技术

开关电源转换器中，同步整流器尽管控制相对复杂，但可用于降低开关损耗。在带有同步整流器的开关电源转换电路中，造成功率损耗的主要因素之一是高边控制晶体管与低边同步整流管的死区时间不佳。

图 1 示出了典型的带有同步整流器的降压开关电源转换电路 100。所述电路 100 包括功率开关级，该开关级具有在开关节点处耦合的高边控制功率管 10 和低边同步整流管 11。所述开关级接收输入直流电压 V_{in} ，并在输出节点处提供可控的输出直流电压 V_{out} 。所述电路 100 具有控制开关电源转换的调制器 12、与所述开关级串联的滤波网络 13、连接于输出节点的负载 14、以及提供死区时间的延迟单元 15，确认连接于所述开关节点为 LX、高边控制功率管 10 的栅信号 P_g 、低边同步整流管 11 的栅信号 N_g 。

所述高边控制管 10 和低边同步整流管 11 通常采用以下调制方式控制开关，当整流管 11 关闭时，控制管 10 在一段给定时间内处于开启状态，当控制管 10 关闭后，整流管 11 处于开启状态。必须谨防控制管 10 和整流管 11 的同时开启，这将会造成由功率级高边管到低边管的电流溃通。因此需要在控制管 10 和整流管 11 的关断/导通之间提供某一死区时间 DT 。

死区时间 DT 限制了控制管 10 和整流管 11 不能同时导通，受滤波网络影响。对于较长的死区时间，会使开关节点 LX 出现负电压，如图 2 中所示，这将导致整流管 11 体二极管导通，引入损耗；如图 3 中所示，对于较短的死区时间，开关节点 LX 的电压值未下降到零电压时整流管 11 开启，使整流管 11 产生正向导通电流。死区时间过长和过短都不利于电源转换效率，最佳死区时间为功率控制管 10 的关断时间、整流管 11 的开启时间与节点 LX 处寄生电容的放电时间 T_a 之和，记为最优时间 T_{opt} 。

特别地，在电源转换输出负载变化范围很大，或者功率管 10 和 11 尺寸动态变化等应用下，节点 LX 处寄生电容放电时间 T_a 变化较大，引起最优时间 T_{opt} 跟随变化。对于固定的死区时间控制，会导致死区时间过长或者过短，引起整流管 11 的体

二极管导通或者所述的低边同步整流管正向导通。更好的设计是控制死区时间随最优时间 T_{opt} 的改变动态调整，从而使电源具有更高的转换效率。

发明内容

本发明的一个目的在于提供一种死区时间自适应控制的开关级电路，具有优化的死区时间，以减小开关电源转换器中低边同步整流管的体二极管导通时间和低边同步整流管的正向导通时间，提高开关电源转换效率。本发明的更进一步目的在于避免特定检测电路，自适应负载、功率管尺寸等影响死区时间的因素，可应用于各种控制方式的开关电源转换电路中。

本发明采用如下技术方案：

本发明包含开关电源转换器的功率开关管和同步整流管；连接到开关节点的采样管；收集采样信号的采样电容；对采样电容进行充放电的充电电流和放电电流；用于缓冲和保持采样电压、对采样电压进行一定处理的调节电路；用于收集缓冲和调节后的采样电压的保持电容；将保持电容电压转换成延迟单元的控制信号的转换电路；以及提供死区时间的控制可调延迟单元。

具体地，本发明通过检测开关电源转换器中低边整流管的体二极管导通时间，反映在采样电容的电压值，并对采样电压进行缓冲和保持，作用于控制可调的延迟单元，决定以后的死区时间，从而实现自适应的死区时间。

本发明的优点及显著效果

本发明可动态调节死区时间，减少或消除任何类型的整流器、功率设备的高边晶体管和低边晶体管的直通损耗、体二极管导通损耗，实现最佳死区时间以降低功率损耗。自适应的死区时间控制电路在很多方面优于目前常用的死区时间控制电路：

- 1、 自适应速度较快，检测到死区时间不佳后第二个工作周期即可对死区时间进行调整，并在 3~4 个周期后调整到设置的最佳值。
- 2、 自适应控制精度高，由于避免了对影响最佳死区时间因素的间接检测，直接通过体二极管导通时间调整死区时间，使电路在各种工作环境、制造工艺下都可以保证较高精度。
- 3、 本发明结构简单，具有很小的功耗、版图面积和控制复杂程度等优点，以低成本实现自适应死区时间控制。
- 4、 使用场合广泛，本发明检测同步整流管体二极管导通时间，不需要对具体控制方式的开关转换器进行设计调整，可适用于任何带有同步整流管的开关转换器。

附图说明

图 1 是带有同步整流的开关电源转换器开关级电路结构图;

图 2 是调节图 1 中的开关级 MOS 管在调制过程中的死区时间控制, 以及由于死区时间过长导致低边同步整流管体二极管导通, 使 LX 节点电压为负的信号图形;

图 3 是调节图 1 中的开关级 MOS 管在调制过程中的死区时间控制, 以及由于死区时间过短导致高边功率管与低边同步整流管电流溃通, 使 LX 节点电压突降的信号图形;

图 4 是本发明的原理图, 通过采样电路检测开关节点 LX 出现负压的时间, 改变采样电压, 通过调节电路的缓冲和调节, 改变受控延迟单元产生自适应的死区时间;

图 5 是连接到开关节点 LX 的采样电路原理图;

图 6 是在开关电源转换周期中采样电路工作的时序图;

图 7 是缓冲和调节采样电压的调节电路以及受控延迟单元原理图;

图 8 是在开关电源转换周期中调节电路以及受控延迟单元工作的时序图;

图 9 是采样电路的具体实施例;

图 10 是采样电路中产生 K_{dch} 信号的具体实施例;

图 11 是调节电路和受控延迟单元的具体实施例;

图 12 是调节电路中产生 K_{buf} 信号的具体实施例;

图 13 是上述实施例的具体实现时序图。

具体实施方式

图 1 示了具有同步整流 NMOS 管 11 的开关级电路 100, 调制信号控制高边 PMOS 管 10, 信号被确认为 Pg; 同时经过延迟控制电路 15 延迟一定时间到低边 NMOS 管, 信号被确认为 Ng, 图 2 显示了信号 Pg 和 Ng 的波形。所述高边 PMOS 管和低边 NMOS 管在开关节点 LX 处连接。

图 2 示出了与开关节点处的电压 LX 的波形, 以及其与信号 Pg 和信号 Ng 延迟时间的关系。其中 Ta 时间表征了由于高边 PMOS 管关断时间、节点 LX 处的寄生电容和输出电流共同决定的 LX 节点电压下降时间, Tb 时间表征了由于死区时间过长导致低边 NMOS 管 11 的体二极管导通, 使 LX 节点电压值为一个负的 PN 结压降。

图 3 示出了由于死区时间过短, LX 节点在未下降至低电压时, 低边同步整流管导通, 导致低边同步整流管的正向导通。对于特殊应用如输出电流变化较大, 或高低边 MOS 管 Mp 尺寸动态调整或工作温度变化的应用场合, 所述 T_{opt} 时间在一定范

围内变化,如果采用固定死区时间,将会引起开关级 MOS 管的体二极管导通,或低边同步整流管的正向导通,使开关级的导通损耗变大。

图 4 示出了死区时间自适应控制的开关级电路 110 原理图,由高边控制管 10 和低边整流管 11 组成开关电源的功率级开关,开关节点为 LX;死区时间自适应的控制原理如下:

通过连接在开关节点 LX 的采样电路 16 检测低边同步整流管的体二极管导通,控制采样电容的充放电,通过调节电路 17 将采样电容的电压值进行缓冲和一定调节,缓冲后的电压信号保持在保持电容上,电压值决定控制可调延迟单元 15 的下一个周期死区时间,从而实现死区时间的自适应调整。

图 5 示出了采样电路 16 的原理图以及连接关系。图中采样管 161 源极连接在所述节点 LX 上,栅极接地,漏极连接负载并作为采样的输出信号。当 LX 节点出现负电压时所述整流管 11 体二极管导通,采样管 161 导通并使信号 K_{ch} 变低,使开关 162 导通对采样电容 164 进行充电,充电电流为 I_1 。图中电流漏 I2 为放电回路,控制电流漏 I2 在开关电源每个工作周期导通固定的时间,对采样电容泄放固定电荷。

图 6 示出了采样电路 16 工作的时序图,在开关电源正常工作周期中,死区时间设置较长以防止低边同步整流管出现正向电流,因此会在控制管 10 关断之后、整流管 11 开启之前,由于整流管 11 体二极管到体导通在 LX 节点出现负电压,持续 T_b 时间,此时开关 162 导通,采样管 164 充电;充电结束后控制开关 162 关断,通过电流漏 I2 对采样电容 164 进行放电,放电量为 Q_{dch} 。采样电容电压值 V_{smp} 在一个工作周期后电压变化量为:

$$\Delta V_{smp} = \frac{I_{ch} \Delta T_b - Q_{dch}}{C_{smp}} = A \Delta T_b$$

其中 A 为采样系数,与采样电容容值、采样电路的充放电电流有关,图 6 示出了采样电容电压值 V_{smp} 的变化。

图 7 示出了调节电路 17 和控制延迟单元 15 的原理图以及连接关系,图中采样电容 164 的电压值经过缓冲器 171,被复制和保持在保持电容 173,如图 8 所示,记保持电容的电压值信号为 V_{dey} 。缓冲器 17 还包含一个调节转换器 172,将电压值 V_{dey} 转换成控制延迟单元延迟时间的信号 S_{dey} ,设置转换比例为:

$$\Delta S_{dey} = B \Delta V_{dey} = A \Delta T_b$$

其中 B 为转换系数。图 7 中示出了典型的电流控制延迟单元 15,通过调节电路

17 产生的控制信号 S_{dey} 对延迟单元充电，延迟单元输出信号与输入信号的延迟时间取决于充电信号的大小，一般地：

$$DT = \frac{C}{S_{\text{dey}}}$$

其中 C 为延迟系数，延迟时间 DT 与控制信号成反比，由于控制信号 S_{dey} 变化，死区时间改变量：

$$\Delta DT = \frac{C}{S_{\text{dey}} + \Delta S_{\text{dey}}} - \frac{C}{S_{\text{dey}}} = -\frac{C \Delta S_{\text{dey}}}{S_{\text{dey}} (S_{\text{dey}} + \Delta S_{\text{dey}})}$$

由于 $S_{\text{dey}} \gg \Delta S_{\text{dey}}$ ，且 S_{dey} 在较少的周期内可认为是固定值，因此死区时间改变量与控制信号 S_{dey} 的关系近似为：

$$\Delta DT = -C' \Delta S_{\text{dey}}$$

其中 C' 近似为常数，图 8 中示出了由于充电电流增大，延迟单元延迟时间由 DT_1 减小为 DT_2 ，即充电电流与下周期的死区时间成反比例关系。

综上，由于开关电源转换器由于某种原因，体二极管导通时间改变了 ΔT_b ，采样电容的电压值将变化经过所述的自适应死区时间控制，下一工作周期死区时间将改变：

$$\Delta DT = -ABC' \Delta T_b$$

调整系数 ABC' 的乘积为合适值，即可根据电源转换器工作情况自适应地调整死区时间。典型地设置 ABC' 的乘积为 $1/2$ ，即在体二极管导通时间改变 ΔT_b ，下一个周期，死区时间将跟随体二极管导通时间的改变减少 $-1/2 \Delta T_b$ ，经过 3、4 个周期后，死区时间 DT 逐渐逼近所述最优时间 T_{opt} 。

实施例

图 9 示出了自适应死区时间控制的一个实施例，采样电路采用图中虚线框 16 为所示的结构。其中栅极接地的 NMOS 管 161 源极接入所述节点 LX ，作为采样管，漏端接二极管连接的 PMOS 管 165，作为采样管的负载；PMOS 管 166 和 167 的栅极接固定电位的偏置电压 V_{bias} ，167 的漏电流作为采样充电电流源，166 的漏电流经过 NMOS 电流镜后，提供采样放电电流源；开关管 162 为充电开关，当开关节点 LX 出现负电压使采样管 161 导通时，采样充电开关 162 使能 K_{ch} 有效，对采样电容 164 进行充电，充电结束后开关管 163 的使能 K_{dch} 信号有效固定时间，此时放电回路通

过放电电流源 I2 对采样电容 164 进行每周期的固定电荷放电；采样电容 164 一端接地，另一端接在开关 162 和开关 163 的连结节点。

图 10 示出了产生放电开关管 163 的使能信号的一个实施例，采样充电开关 162 使能 K_{ch} 经过一个脉冲产生电路，使 K_{dch} 信号有效，并持续两个延迟单元时长。

图 11 中虚线框 17 为所述的调节电路。其中放大器 1711 连接成单位增益缓冲器，将采样电容 164 的电压值 V_{smp} 保持在电容 173 上；开关 1712 受外部信号 K_{buf} 控制，打开时使保持电容 173 更新采样信息，断开时保持电容 173 电压值保持不变；所述的调节电路 172 采用电阻 1721 和 NMOS 管 1722 组成的源极负反馈的共源放大器，作用是将保持电容 173 的电压值 V_{dey} 转换成电流控制的延迟单元 15 的延迟电流 S_{dey} 。

图 11 示出了受控延迟单元的实施例，其中反相器延迟链 156 为延迟通路，输入信号为所述第二外部控制信号 N_{gp} ，输出为同步整流管 11 的控制信号 N_g 。PMOS 管 152~155 的栅极接 PMOS 管 151 的漏极构成电流镜，152~155 源极接电源，漏极作为反相器延迟链的充电电流端，电流镜输入电流为调节电路部分的输出信号，把所述的延迟电流 I_{dey} 复制为反相器延迟链的充电电流，以控制延迟单元的延迟时间。

图 12 示出了一种产生缓冲开关信号 K_{buf} 的电路，时钟信号 CLK 经过脉冲产生电路，产生用于调节电路中控制保持电容复制采样电压的缓冲开关信号 K_{buf} 。

图 13 示出了充电开关信号 K_{ch} 、放电开关信号 K_{dch} 、缓冲开关信号 K_{buf} 的时序图，以及采样电容 164 和保持电容 173 的电压时序图。

调整电路中电容值、电压/电流转换系数等参数，可实现所述的系数 ABC 的乘积为 $1/2$ ，死区时间将随着整流管的体二极管导通时间调整，始终保持设定的体二极管导通时间，实现自适应的死区时间控制，使死区时间跟随开关电源转换器的开关损耗大大减小。

尽管本发明结合特定实施方案进行描述，但许多其它的变化和改进以及其它的使用对于本领域技术人员来说是显而易见的，因此本发明并不局限于此处特定公开的内容。

权利要求书

1、一种死区时间自适应控制的开关级电路，包括：高边控制管（10）和低边同步整流管（11），高边控制管（10）的源端接输入电压，低边同步整流管（11）的源端接地，高边控制管（10）的漏端与低边同步整流管（11）的漏端连接并构成开关节点（LX），高边控制管（10）的栅端作为高边控制管（10）的受控端，用于第一外部控制信号（ P_g ）的输入，低边同步整流管（11）的栅端作为低边同步整流管（11）的受控端，控制高边控制管（10）和低边同步整流管（11）的导通和关断，可以在节点（LX）产生占空比可控的波形，通过外部滤波网络（13）在负载（14）上产生所需输出电压，其特征在于，所述开关级电路还包括用于调整高边控制管（10）与低边同步整流管（11）之间死区时间的控制模块，所述死区时间的控制模块包括用于在节点（LX）上检测当前死区时间的采样电路（16）、用于对由采样电路（16）采集得到的采样电压进行缓冲和转换的调节电路（17）及设有外部控制输入端的受控延迟单元（15）且所述的受控延迟单元（15）用于延迟第二外部控制信号（ $N_{g,p}$ ），并将延迟后的第二外部控制信号作为低边同步整流管（11）受控端的控制信号（ N_g ）。

2、根据权利要求1所述的死区时间自适应控制的开关级电路，其特征在于，采样电路（16）由采样管（161）、采样输出负载（165）、采样充电开关（162）、采样充电电流源（I1）、采样放电电流源（I2）以及采样电容（164）组成，采样管（161）的栅端接地，源端接所述开关节点（LX），漏端接采样输出负载（165）并作为采样管（161）的输出连接采样充电开关（162）的使能端，当节点（LX）由于死区时间过长出现负电压时采样管（161）漏端输出采样信号，打开采样充电开关（162），采样充电开关（162）连接在充电电流源（I1）与采样电容（164）的一端之间，对采样电容（164）进行充电，采样电容（164）的另一端接地，同时采样电容（164）的一端连接放电电流源（I2），用于对采样电容（164）进行每周周期固定电荷放电，所述采样电容（164）的一端同时作为所述采样电路（16）的采样信号（ V_{smp} ）输出端。

3、根据权利要求2所述的死区时间自适应控制的开关级电路，其特征在于，调节电路（17）由缓冲电路（171）、保持电容（173）和转换电路（172）组成，缓冲电路（171）的输入端连接所述采样电路（16）的采样信号（ V_{smp} ）输出端，缓冲电路（171）的输出端连接保持电容（173）的一端，用于将缓冲后的采样信号（ V_{smp} ）保持在保

持电容（173）上并产生采样保持信号（ V_{dey} ），保持电容（173）的另一端接地，转换电路（172）的输入端与所述保持电容（173）的一端连接，用于将保持信号（ V_{dey} ）进行放大、电流-电压转换或模数转换处理，转换电路（172）的输出端作为调节电路（17）的输出端，输出调节后的延迟控制信号（ S_{dey} ）并用于控制下功率级一个开关周期的死区延迟时间。

4、根据权利要求 3 所述的死区时间自适应控制的开关级电路，其特征在于，受控延迟电路（15）的输入端用于第二外部控制信号（ $N_{g, p}$ ）的输入，受控延迟电路（15）的输出端接所述低边同步整流管（11）的受控端提供控制信号（ N_g ），受控延迟电路（15）的外部控制输入端接所述调节电路（17）的输出端。

5、根据权利要求 2 所述的死区时间自适应控制的开关级电路，其特征在于，所述采样管（161）采用 NMOS 采样管，NMOS 采样管（161）栅端接地，源端连接在所述节点（LX），所述采样输出负载（165）采用二极管方式连接的 PMOS 管，与 NMOS 采样管（161）漏端连接，NMOS 采样管（161）的漏端同时作为采样输出，控制充电开关（163）的使能信号（ K_{ch} ），充电电流源（I1）和放电电流源（I2）通过外部偏置电压（ V_{bias} ）产生，外部偏置电压（ V_{bias} ）连接 PMOS 管（167）、（166）的栅端，PMOS 管（167）、（166）的源端接电源，由 PMOS 管（167）漏电流作为所述充电电流源（I1），PMOS 管（166）的漏端连接由 NMOS 管（167）、（168）组成的电流镜，镜像复制 PMOS 管（166）的漏电流，所述电流镜的输出电流作为所述放电电流源（I2），采样电容（164）每周期固定电荷放电采用在放电电流源（I2）与采样电容（164）之间加入 NMOS 开关管作为放电开关（163），放电开关（163）的使能产生电路采用由延迟单元和与非门组成的脉冲产生电路（166），在所述充电使能信号（ K_{ch} ）关断后所述脉冲产生电路（166）产生固定时间的脉冲信号（ K_{dch} ），控制放电开关（163）对采样电容固定电荷放电。

6、根据权利要求 3、4 所述的死区时间自适应控制的开关级电路，其特征在于，所述缓冲电路（171）采用一个放大器（1711）和一个保持开关管（1712）组成，所述放大器（1711）的正向端作为缓冲电路（171）的输入端，所述放大器（1711）的反向端与所述缓冲电路（171）的输出端连接，保持开关管（1712）的一端与放大器（1711）

的输出端连接，保持开关管（1712）的另一端作为缓冲电路（171）的输出端，保持开关管（1712）受控端接受使能信号（ K_{buf} ），控制保持电容（173）的电压值进行保持/更新，使能信号（ K_{buf} ）由延迟单元和与非门组成的脉冲产生电路（177）产生，脉冲产生电路的输入端连接外部时钟；所述转换电路（172）采用 NMOS 管（1721）和电阻（1722）组成的带源极负反馈的共源放大器结构，NMOS 管（1721）的栅端作为转换电路（172）的输入端并与保持电容（173）连接，电阻（1722）连接在 NMOS 管（1721）的源端与地之间，NMOS 管（1721）的漏端作为转换电路（172）的输出端，输出信号（ S_{dey} ）。

7、根据权利要求 3、4 所述的死区时间自适应控制的开关级电路，其特征在于，所述受控延迟电路（15）采用充电电流可变反相器延迟链（156）结构，反相器延迟链（156）的输入端接收第二外部控制信号（ N_{gp} ），反相器延迟链（156）的输出端产生所述低边同步整流管（11）的控制信号（ N_g ），反相器延迟链（156）的受控延迟采用由 PMOS 管（151）~（155）组成的电流镜结构，PMOS 管（151）的栅端与漏端连接同时作为电流镜的输入端，接收所述缓冲电路（17）的输出信号（ S_{dey} ），PMOS 管（152）~（155）的栅端与 PMOS 管（151）的栅端连接，漏端作为电流镜的输出端，连接所述反相器延迟链（156）中高边 PMOS 管的源端，电流镜输出电流大小决定反相器延迟链（156）的延迟时间。

附图

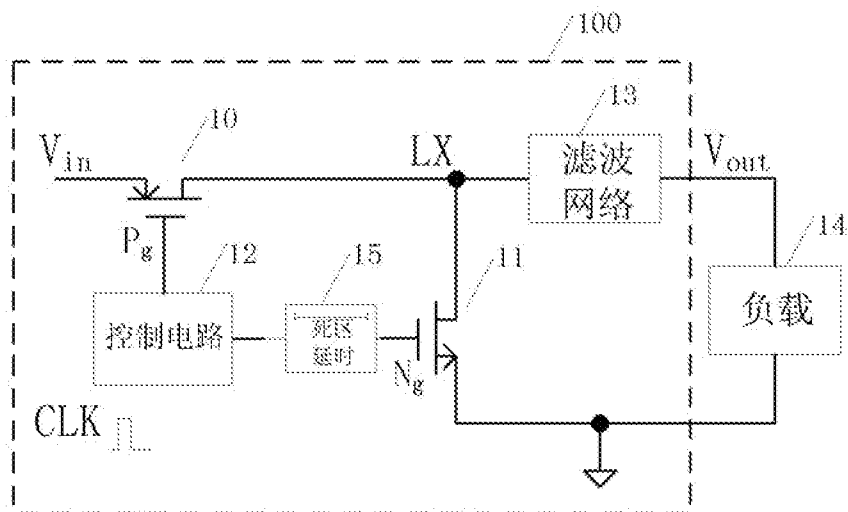


图 1

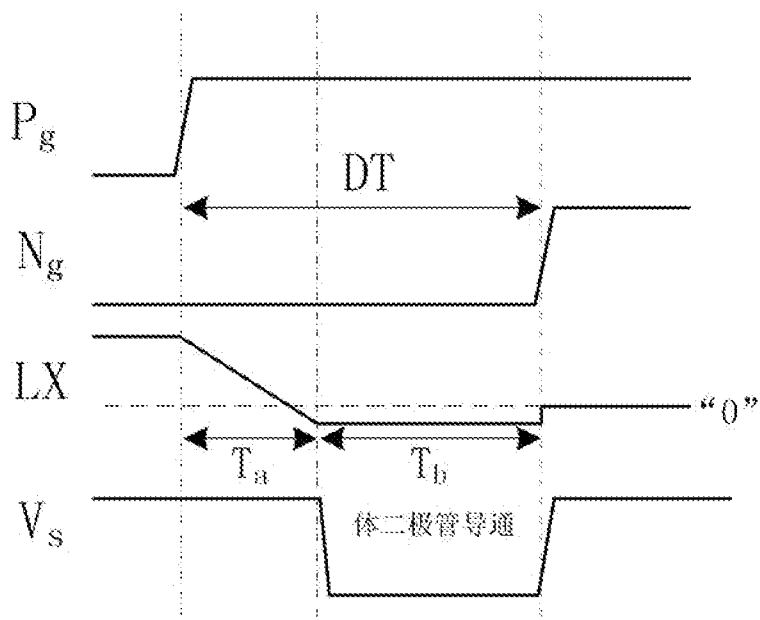


Fig. 2

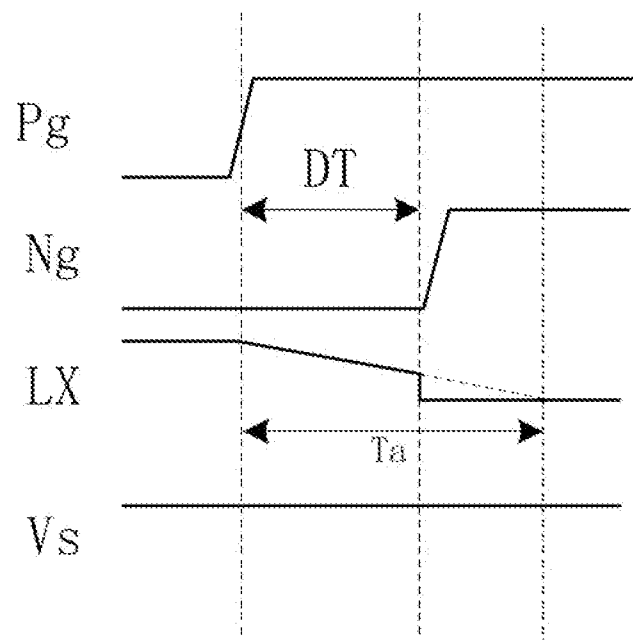


图 3

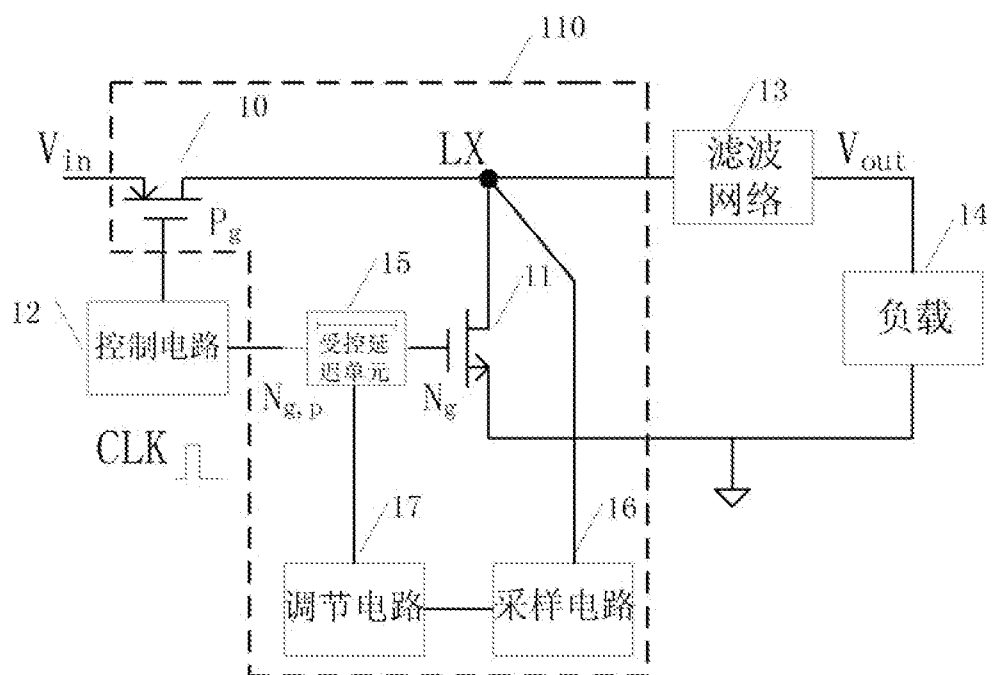


图 4

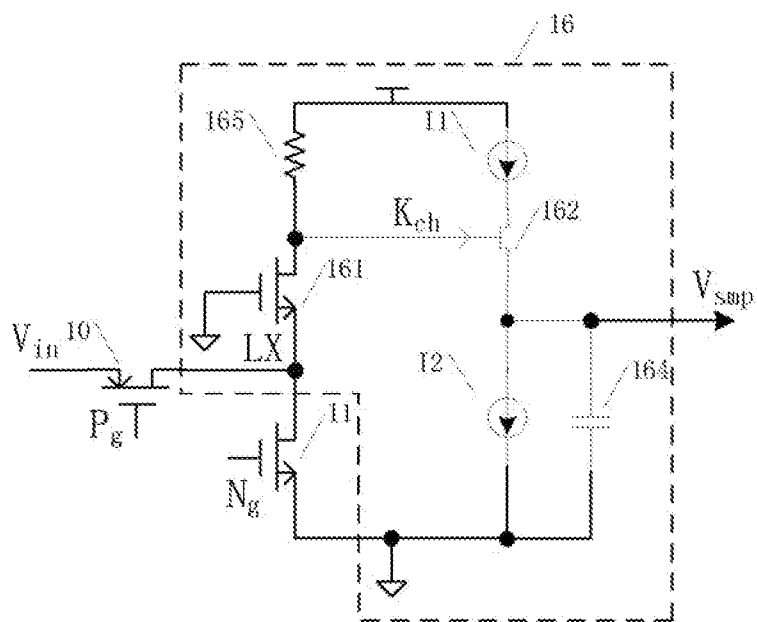


图 5

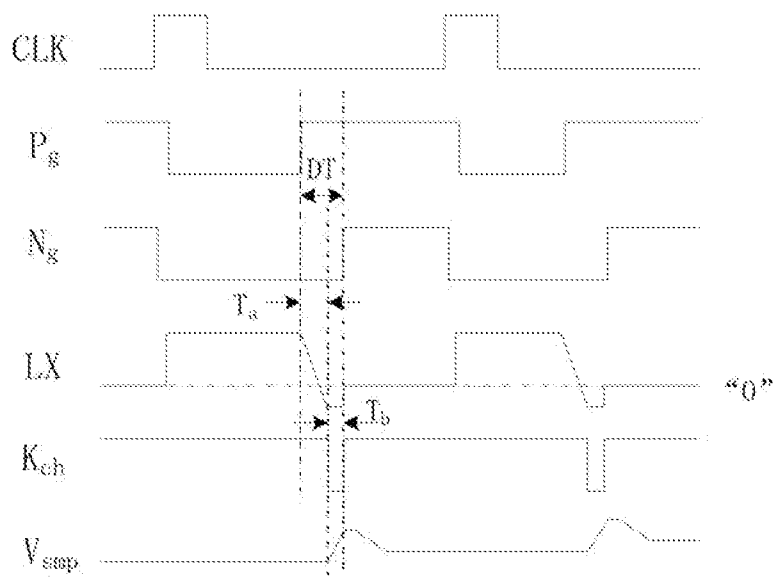


图 6

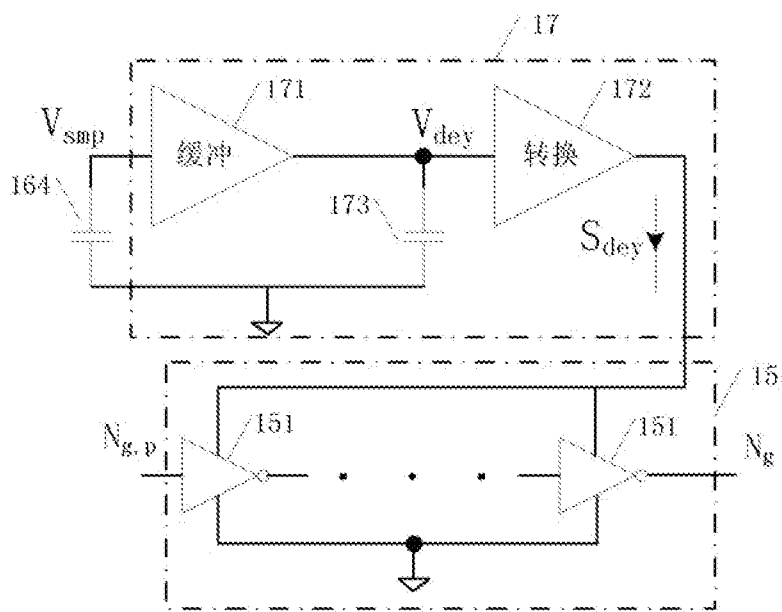


图 7

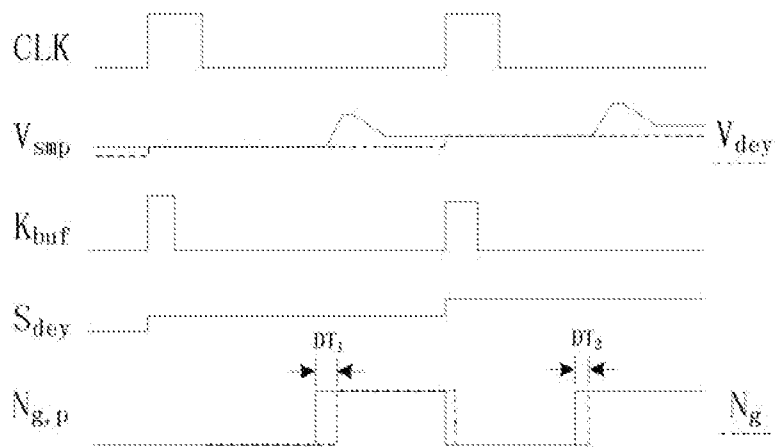
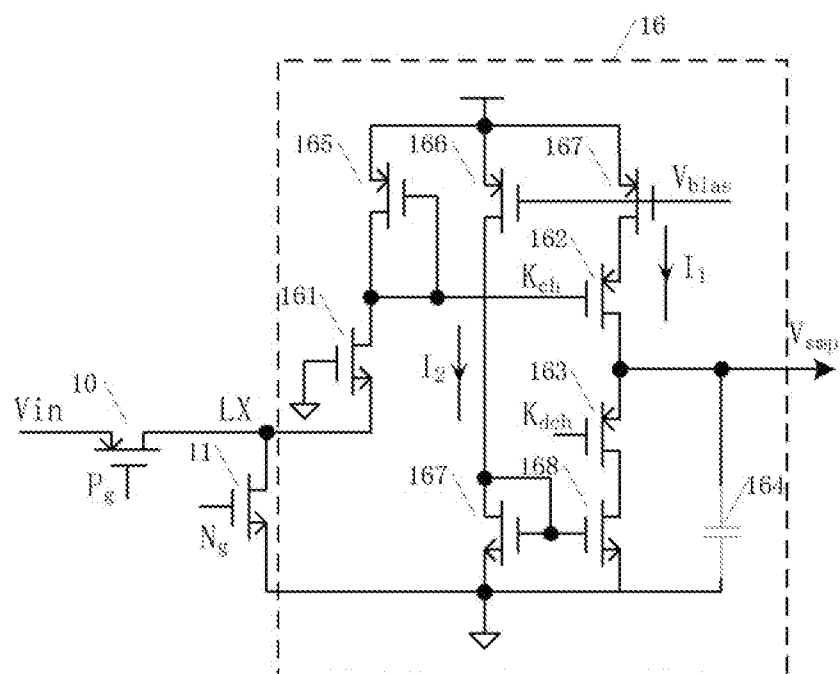


图 8



149

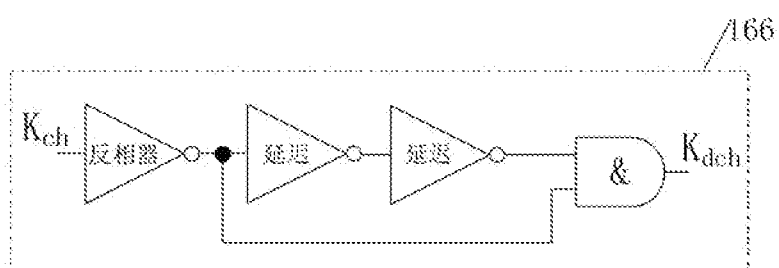


图 10

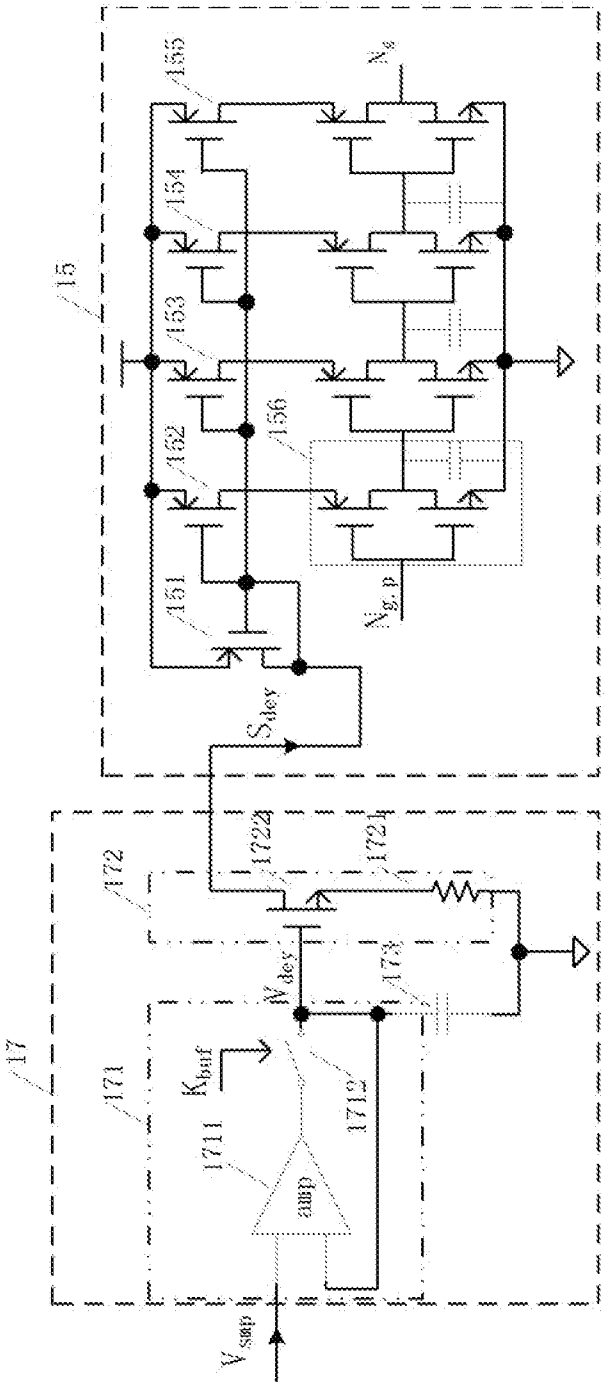


图11

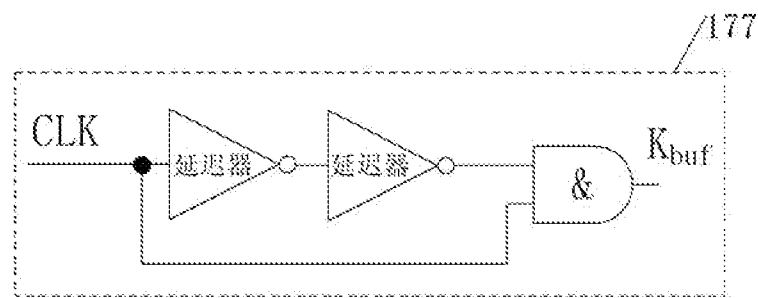


图 12

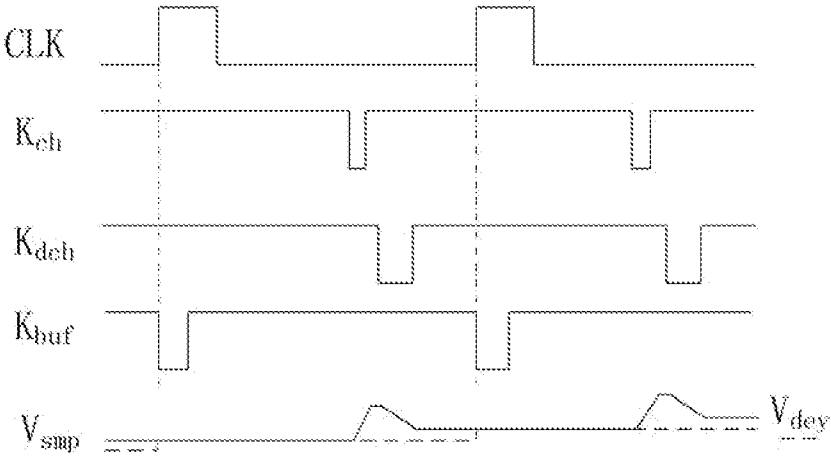


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/078103

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, TXTWO1, CNPAT, CNTXT, CNKI: dead time, self adapting, switch, high-side, low-side, main, rectify

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP2007151271A (MATSUSHITA ELECTRIC IND CO LTD) 14 Jun. 2007 (14.06.2007) see paragraphs [0066]-[0077] in the description, and Fig. 3	1
A		2-7
X	JP2007329748A (TOYOTA JIDOSHA KK) 20 Dec. 2007 (20.12.2007) see paragraphs [0033]-[0035], [0052]-[0056] in the description, and Figs. 1, 3	1
A		2-7
A	CN2554861Y(ZHOU, Shixiang) 04 Jun. 2003 (04.06.2003) see the whole document	1-7
A	CN101345474A (INT RECTIFIER CORP) 14 Jan. 2009 (14.01.2009) see the whole document	1-7
A	CN101501976A (TOYOTA JIDOSHA KK) 05 Aug. 2009 (05.08.2009) see the whole document	1-7
A	US20100060254A1 (DENSO CORP) 11 Mar. 2010 (11.03.2010) see the whole document	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 Apr. 2011 (21.04.2011)	Date of mailing of the international search report 05 May 2011 (05.05.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer HAN, Beibei Telephone No. (86-10)62411809

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/078103

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP2007151271A	14.06.2007	None	
JP2007329748A	20.12.2007	None	
CN2554861Y	04.06.2003	None	
CN101345474A	14.01.2009	US2008298101A1	04.12.2008
		US7683594B2	23.03.2010
		JP2009290812A	10.12.2009
		KR20080106137A	04.12.2008
CN101501976A	05.08.2009	WO2008018523A1	14.02.2008
		JP2008048472A	28.02.2008
		US2009001925A1	01.01.2009
		KR20090029828A	23.03.2009
		EP2051363A1	22.04.2009
		US7782037B2	24.08.2010
		KR100990212B1	29.10.2010
US20100060254A1	11.03.2010	JP2010088291A	15.04.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/078103

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/07 (2006.01) i

H02M 3/155 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/078103

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H02M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

WPI, EPODOC, TXTWO1, CNPAT, CNTXT, CNKI: 死区时间, 自适应, 控制/调节, 开关, 电源, 高边, 低边, 主, 整流, 控制管, 整流管, 延迟/延时 dead time, self adapting, switch, high-side, low-side, main, rectify

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP2007151271A (松下电器产业株式会社) 14.6 月 2007 (14.06.2007) 见说明书第[0066]-[0077]段, 图 3	1
A		2-7
X	JP2007329748A (丰田自动车株式会社) 20.12 月 2007 (20.12.2007) 见说明书第[0033]-[0035]、[0052]-[0056]段, 图 1、3	1
A		2-7
A	CN2554861Y(周仕祥) 04.6 月 2003 (04.06.2003) 见全文	1-7
A	CN101345474A (国际整流器公司) 14.1 月 2009 (14.01.2009) 见全文	1-7
A	CN101501976A (丰田自动车株式会社) 05.8 月 2009 (05.08.2009) 见全文	1-7
A	US20100060254A1 (DENSO CORP) 11.3 月 2010 (11.03.2010) 见全文	1-7

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
21.4 月 2011 (21.04.2011)

国际检索报告邮寄日期
05.5 月 2011 (05.05.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员
韩蓓蓓
电话号码: (86-10) **62411809**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/078103

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
JP2007151271A	14.06.2007	无	
JP2007329748A	20.12.2007	无	
CN2554861Y	04.06.2003	无	
CN101345474A	14.01.2009	US2008298101A1	04.12.2008
		US7683594B2	23.03.2010
		JP2009290812A	10.12.2009
		KR20080106137A	04.12.2008
CN101501976A	05.08.2009	WO2008018523A1	14.02.2008
		JP2008048472A	28.02.2008
		US2009001925A1	01.01.2009
		KR20090029828A	23.03.2009
		EP2051363A1	22.04.2009
		US7782037B2	24.08.2010
		KR100990212B1	29.10.2010
US20100060254A1	11.03.2010	JP2010088291A	15.04.2010

A. 主题的分类

H02M 3/07 (2006.01) i

H02M 3/155 (2006.01) i