(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5659708号
(P5659708)
(45)発行日　平成27年1月28日(2015.1.28)　(24)登録日　平成26年12月12日(2014.12.12)

(51)Int.Cl.　F I
G02F 1/1343 (2006.01)　G02F 1/1343

請求項の数 10　(全 14 頁)

(21)出願番号　特願2010-249887(P2010-249887)
(22)出願日　平成22年11月8日(2010.11.8)
(65)公開番号　特開2012-103343(P2012-103343A)
(43)公開日　平成24年5月31日(2012.5.31)
審査請求日　平成25年10月15日(2013.10.15)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100112210
弁理士　稲葉　忠彦
(74)代理人　100108431
弁理士　村上　加奈子
(74)代理人　100153176
弁理士　松井　重明
(74)代理人　100109612
弁理士　倉谷　泰孝
(72)発明者　永野　慎吾
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】液晶表示パネル、及び液晶表示装置

(57)【特許請求の範囲】
【請求項１】
基板上に、複数の画素がマトリクス状に配置された表示領域と、走査配線と、該走査配線に交差する信号配線と、前記画素は、スイッチング素子と、下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成され、前記下部電極との間でフリンジ電界を発生させる複数のスリットを有する上部電極と、
前記絶縁膜よりも下層に、前記走査配線と同一層からなり、該走査配線方向に設けられて所定の共通電位を供給する共通信号配線と、
を備えたアレイ基板と、該アレイ基板と液晶を介して対向配置され、ブラックマトリクスが形成された対向基板とを備え、
前記下部電極と前記上部電極は、一方が前記スイッチング素子と接続された画素電極であり、他方が所定の前記共通電位の共通電極であり、
前記信号配線は、前記走査配線方向に隣接する２個の前記画素毎に１本のみ配置され、
前記ブラックマトリクス領域下で、前記信号配線が配置されない隣接する前記画素の境界領域において、
前記共通電極と前記共通信号配線との接続に、隣接する前記画素で共用されるコンタクトホールを備えている液晶表示パネル。
【請求項２】
前記信号配線が配置されない隣接する２個の前記画素の境界領域において、前記共通電極は、該共通電極と同一層で接続されている請求項１に記載の液晶表示パネル。

【請求項３】
前記共通電極は、前記信号配線方向に隣接する前記画素の前記共通電極と、前記走査配線を超えて接続されている請求項１または請求項２に記載の液晶表示パネル。
【請求項４】
前記上部電極の前記スリットは、前記走査配線方向に対して所定の同一角度で対称的な２方向に設けられている請求項１乃至３のいずれか１項に記載の液晶表示パネル。
【請求項５】
前記上部電極の前記スリットは、前記信号配線方向に平行に設けられている請求項１乃至４のいずれか１項に記載の液晶表示パネル。
【請求項６】
前記共通電極は、前記走査配線方向に隣接する前記画素の前記共通電極と、前記信号配線を超えて接続されている請求項１乃至５のいずれか１項に記載の液晶表示パネル。
【請求項７】
前記信号配線は屈曲して設けられている請求項１乃至６のいずれか１項に記載の液晶表示パネル。
【請求項８】
前記共通信号配線は、前記信号配線が屈曲している部分で交差している請求項７項に記載の液晶表示パネル。
【請求項９】
前記下部電極は、前記画素電極であり、前記上部電極は、前記共通電極である請求項１乃至８のいずれか１項に記載の液晶表示パネル。
【請求項１０】
請求項１乃至９のいずれか１項に記載の液晶表示パネルを備えた液晶表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、液晶表示パネル、及び液晶表示装置に関するものである。特に、フリンジフィールド型（ＦＦＳ：Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）の液晶表示パネル、及び液晶表示装置の画素構成に関するものである。
【背景技術】
【０００２】
近年、従来のブラウン管に代わって、液晶、エレクトロルミネセンス等の原理を利用した薄型で平面形状の新しい表示装置が多く使用されるようになった。これらの新しい表示装置の代表である液晶表示装置は、薄型、軽量だけでなく、低電圧駆動できる特徴を有している。液晶表示装置は、主要部である２枚の基板の間に液晶を封入した液晶表示パネル等から構成される。片方の基板は、複数の画素がマトリクス状に配置されて表示領域を構成するアレイ基板である。もう片方の基板は、各画素に対応したカラーフィルタやブラックマトリクス（遮光膜）が、アレイ基板に対向して設けられた対向基板（カラーフィルタ基板）である。
【０００３】
特に、薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）型液晶表示装置は、アレイ基板上の各画素に、スイッチング素子であるＴＦＴが設けられ、各画素が独立して液晶を駆動する電圧を保持できるので、クロストークの少ない高画質な表示が可能である。また、各画素は、ＴＦＴのＯＮ、ＯＦＦを制御する走査配線（ゲート配線）と、画像信号入力用の信号配線（ソース配線）を有する。そして、通常は、各画素は走査配線と、これに交差する信号配線によって囲まれた領域が対応する。
【０００４】
走査配線及び信号配線は、一般に比抵抗の小さな不透明な金属膜で形成されるので、開口率（光透過率）を大きくするには、画素の面積に対して、不透明な金属膜が占める比率が小さい方が望ましい。また、対向基板に形成され、画素からの不要な光漏れを遮光する

ブラックマトリクス（遮光膜）の面積は小さい方が望ましい。
【０００５】
通常、ＴＦＴ型液晶表示装置では、画素毎に各１本の走査信号線と信号配線が必要であるが、信号配線数が多い場合、これを駆動する信号配線用駆動回路は高価なので、液晶表示装置のコストが高くなる。
【０００６】
そこで、特許文献１、２には、１本の信号配線で、隣接する信号配線両側の隣接する２個の画素を駆動することで、信号配線数を半分にした構成が開示されている。
【０００７】
そのかわり、走査配線数は２倍となっている。しかし、走査配線を駆動する走査配線用駆動回路は、ＴＦＴのＯＮ、ＯＦＦを順次に行うだけの単純なシフトレジスタ回路程度である。一方、信号配線用駆動回路は、画像のデジタル信号をアナログ電圧信号に変換して、一時保持する回路を有する。このため、走査配線用駆動回路は、信号配線用駆動回路よりも低コストであり、この信号配線数を半分にした構成の方が、液晶表示装置のコストを下げることができる。
【０００８】
また、広視野角特性を実現するために、特許文献３には、横電界方式の一種類であるＦＦＳ型の液晶表示装置が開示されている。ＦＦＳ型の液晶表示装置は、液晶を駆動する電界を形成する画素電極と共通電極は、アレイ基板上に形成され、画素電極と共通電極は絶縁層を介して積層される。そして、上部電極に複数の開口部であるスリットが設けられ、上部電極とスリットを経由して下部電極との間に生じるフリンジ電界によって、液晶を駆動する方式ある。画素電極と共通電極は、一方を上部電極、他方を下部電極とすることができる。ＦＦＳ型の液晶表示装置は、通常は、画素電極と共通電極は、ＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）等の透明導電膜で形成され、フリンジ電界により、画素電極や共通電極の膜部分も光透過することができる利点がある。
【先行技術文献】
【特許文献】
【０００９】
【特許文献１】特開２０００－０３５５８９号公報
【特許文献２】特開２００６－１７８４６１号公報
【特許文献３】特開２０１０－１９１４１０号公報
【発明の概要】
【発明が解決しようとする課題】
【００１０】
しかしながら、液晶表示装置に、信号配線数を半分にした構成を適用する場合、隣接する２個の画素間の信号配線がない領域にも、画素間の光漏れを遮光するために、信号配線がある領域と同様に、対向基板にブラックマトリクスを設ける必要があった。その結果、走査配線数は２倍となるので、画素の開口率は、通常構成よりも小さくなるという課題があった。特に、ＦＦＳ型の液晶表示パネル、及び液晶表示装置に、信号配線数を半分にした構成を適用する場合、開口率が大きくできる画素構成についての検討は殆どなされていなかった。
【００１１】
本発明は、上記の様な課題を解決するためになされたものであり、特に、ＦＦＳ型の液晶表示パネル、及び液晶表示装置に、信号配線数を半分にした構成を適用する場合、開口率の低下を抑制し、従来の画素構成に、単純に信号配線数を半分にした構成を適用する場合よりも、開口率が大きくできる液晶表示パネル、及び液晶表示装置を提供することを目的としている。
【課題を解決するための手段】
【００１２】
本発明の液晶表示パネル、及び液晶表示装置は、基板上に、複数の画素がマトリクス状

に配置された表示領域と、走査配線と、走査配線に交差する信号配線と、画素は、スイッチング素子と、下部電極と、下部電極上に形成された絶縁膜と、絶縁膜上に形成され、下部電極との間でフリンジ電界を発生させる複数のスリットを有する上部電極と、絶縁膜よりも下層に、走査配線と同一層からなり、走査配線方向に設けられて所定の共通電位を供給する共通信号配線とを備えたアレイ基板と、アレイ基板と液晶を介して対向配置され、ブラックマトリクスが形成された対向基板とを備え、下部電極と上部電極は、一方がスイッチング素子と接続された画素電極であり、他方が所定の共通電位の共通電極であり、信号配線は、走査配線方向に隣接する２個の画素毎に１本のみ配置され、ブラックマトリクス領域下で、信号配線が配置されない隣接する画素の境界領域において、共通電極と共通信号配線との接続に、隣接する画素で共用されるコンタクトホールを備えているものである。

【発明の効果】

【００１３】

本発明によれば、ＦＦＳ型の液晶表示パネル、及び液晶表示装置において、従来の画素構成に、単純に信号配線数を半分にした構成を適用する場合よりも、開口率を大きくすることができる。

【図面の簡単な説明】

【００１４】

【図１】本発明の実施の形態１に係る液晶表示装置の構成を模式的に示す平面図である。

【図２】本発明の実施の形態１に係る液晶表示装置の隣接する２個の画素構成を示す等価回路図である。

【図３】本発明の実施の形態１に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【図４】図３のＡ－Ａ断面図である。

【図５】図３のＢ－Ｂ断面図である。

【図６】図３のＣ－Ｃ断面図である。

【図７】参考の形態１に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【図８】本発明の実施の形態２に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【図９】本発明の実施の形態３に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【図１０】本発明の実施の形態４に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【図１１】本発明の実施の形態５に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。

【発明を実施するための形態】

【００１５】

以下、本発明の液晶表示パネル、及び液晶表示装置についての実施の形態を図面に基づいて説明する。なお、以下の実施の形態を説明するための各図において、同一符号は、同一または相当部分を示しているので、適宜、重複する説明は省略する。

【００１６】

実施の形態１.

はじめに、液晶表示装置の構成を簡単に説明する。図１は、本発明の実施の形態１に係る液晶表示装置の構成を模式的に示す平面図である。

【００１７】

ＦＦＳ型の液晶表示装置１００は、主要部である液晶表示パネル９０等から構成される。液晶表示パネル９０を構成するアレイ基板１０と対向基板２０の２枚の基板の間には、液晶が封入されている。アレイ基板１０は、表示領域５０を構成する複数の画素３０がマトリクス状に配置されている。そして、画素３０を構成する走査配線２、信号配線５や、

図示していないが、スイッチング素子のＴＦＴ、共通信号配線、画素電極及び共通電極等が形成されている。対向基板２０は、アレイ基板１０の表示領域５０上に液晶を介して対向配置され、カラーフィルタやブラックマトリクス等が形成されている。

【００１８】

アレイ基板１０は、ガラス、プラスチック等の透明基板１上で、表示領域５０と、表示領域５０の周辺の額縁領域５５に大まかに分けられる。液晶表示装置１００は、額縁領域５５に、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）実装技術により、走査配線用駆動回路６０と、信号配線用駆動回路６５が実装されている。また、アレイ基板１０の端部には、走査配線用駆動回路６０、及び信号配線用駆動回路６５に基準電圧、クロック、画像データ等を供給する外部回路と接続するための複数の接続端子（図示せず）が設けられ、フレキシブル基板７０、７５が接続されている。

【００１９】

さらに、液晶表示装置１００は、図示しないが、液晶表示パネル９０の両面に、偏光板や、必要に応じて位相板が貼付される。また、背面光源（バックライト）、外部回路や筐体等が取り付けられる。

【００２０】

なお、図１では、表示領域５０から、走査配線用駆動回路６０の出力部へ延びる走査配線２、信号配線用駆動回路６５の出力部へ延びる信号配線５や、走査配線用駆動回路６０及び信号配線用駆動回路６５の入力部と複数の接続端子とを接続する入力配線が多数本あるが、図の簡素化のために、一部分のみを図示している。

【００２１】

小型の液晶表示装置１００では、配線の総本数が比較的少ないので、走査配線用駆動回路６０と信号配線用駆動回路６５を一体化した駆動回路が使用されることが多い。また、フレキシブル基板７０、７５も、まとめて１個にすることが多い。

【００２２】

図２は、本発明の実施の形態１に係る液晶表示装置の隣接する２個の画素構成を示す等価回路図である。ここでは、走査配線２（２ａ、２ｂ）方向に、隣接する２個の画素３０毎に1本の信号配線５が交差して配置されている。そのかわりに、２本の走査配線２ａ、２ｂが配置されている。

【００２３】

走査配線２ａ、２ｂは、それぞれ、隣接する２個の画素３０の片方のＴＦＴに接続され、信号線５は、ＴＦＴを介して画素電極６に接続されている。隣接する２個の画素３０のＴＦＴの配置は逆向きになっている。

【００２４】

また、画素電極６に対向して共通電極８が設けられており、液晶を駆動するフリンジ電界を発生する。ここで、共通電極８は、走査配線２（２ａ、２ｂ）方向の所定の共通電位（基準電位）を供給する共通信号配線８２と接続されている。

【００２５】

さらに、実施の形態1では、詳細は後述するが、信号配線５方向に、走査配線２（２ａ、２ｂ）を超えて、隣接する画素３０の共通電極８と、共通電極８と同一層からなる共通電極接続部８４で接続されている。

【００２６】

その結果、各画素３０の共通電極８は、上下、左右の隣接する画素３０の共通電極８と電気的に接続され、所定の共通電位となっている。

【００２７】

図３は、本発明の実施の形態１に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。図４は、図３のＡ－Ａ断面図である。図５は、図３のＢ－Ｂ断面図である。図６は、図３のＣ－Ｃ断面図である。

【００２８】

以下に、図３の平面図を、図４、５、６の断面図を適宜参照して、実施の形態１の構成

を詳述する。

【００２９】

ＦＦＳ型の液晶表示装置１００の特徴であるフリンジ電界を形成する画素電極６と共通電極８は、実施の形態１では、図４より、下部電極が画素電極６であり、ドレイン電極５ｄに直接接続されている。そして、信号配線５や画素電極６等の上に保護膜７が形成されている。保護膜７上の上部電極が共通電極８である。共通電極８には、開口部である複数のスリット９が形成されている。

【００３０】

各画素３０において、共通電極８に設けられた複数のスリット９は、走査配線２方向に対して、所定の同一角度で対称的に少し傾いた２方向を有している。スリット９を２方向にすることで、マルチドメイン化（配向分割）がなされている。これにより、任意の方向において、色変化が少なくなり、視野角特性が向上する。

【００３１】

さらに、ここでは、走査配線２方向に隣接する２個の画素３０の形状は、コンタクトホール１２を回転中心とした略回転対称形となっている。

【００３２】

次に、図４より、ＴＦＴは、走査配線２（２ａ、２ｂ）の一部分からなるゲート電極と、ゲート絶縁膜３上に形成された半導体膜４（４ｉ、４ｎ）、ソース電極５ｓ、ドレイン電極５ｄ等から構成される。半導体膜４は、Ｓｉ等からなる不純物が添加されない半導体膜４ｉと、Ｐ等の不純物が添加された半導体膜４ｎの積層膜である。ソース電極５ｓとドレイン電極５ｄの間のＴＦＴのチャネル部の半導体膜４ｎは除去されている。

【００３３】

また、図３より、信号配線５の下にも半導体膜４を配置している。半導体膜４は、信号配線５が、走査配線２（２ａ、２ｂ）や、走査配線２と同一層からなる共通信号配線８２を跨ぐ段差部分での断線や短絡を抑制する効果がある。

【００３４】

図３において、太線で示す２個の矩形領域は、対向基板２０に設けられた２個の画素３０のブラックマトリクスＢＭの境界であり、それぞれの内側がブラックマトリクスＢＭの開口部であり、画素３０の開口率を決定する。その他の領域は、対向基板２０のブラックマトリクスＢＭ領域である。

【００３５】

次に、図３、５より、走査配線２方向に隣接する２個の画素３０は、信号配線５がない境界領域において、隣接する２個の画素３０の共通電極８は分離しておらず、同一層で連続的に繋がっている。

【００３６】

さらに、ブラックマトリクスＢＭ領域下で、隣接する２個の画素３０の信号配線５がない境界領域の中央近傍に、ゲート絶縁膜３及び保護膜７の２層の絶縁膜にコンタクトホール１２を設け、共通信号配線８２と共通電極８の電気的接続を行っている。これにより、光透過に対して無効領域であるコンタクトホール１２の数を、２個の画素３０で１個に削減することができる。

【００３７】

また、コンタクトホール１２を、ブラックマトリクスＢＭ領域下で、信号配線５がない領域に配置できるので、実質的に、コンタクトホール１２による開口率の低下をなくすことができる。以上の構成により、信号配線５を半分にした構成の場合でも、走査配線２が２倍になることによる画素３０の開口率の低下を抑制することができる。

【００３８】

また、図３、６より、共通電極８は、信号配線５方向に隣接する２個の画素３０の共通電極８にも、共通電極８を延在した同一層からなる共通電極接続部８４により、走査配線２（２ａ、２ｂ）を跨いで接続されている。

【００３９】

ただし、ここでは、共通電極接続部８４は、ＴＦＴ上には配置していない。この理由は、ＴＦＴ上に共通電極接続部８４を配置した場合、共通電極接続部８４の共通電位が、ＴＦＴ特性に影響を与えることを避けるためである。

【００４０】

走査配線２（２ａ、２ｂ）と共通電極接続部８４の間には、ゲート絶縁膜３及び保護膜７の２層の絶縁膜が形成されているので、片方の絶縁膜にピンホール等の不良があっても短絡することは殆どない。このように、信号配線５方向の画素３０間の共通電極８を、共通電極接続部８４により接続することにより、共通電極８の低抵抗化が図れると共に、走査配線２と同一層からなる共通信号配線８２の一部が断線した場合でも、所定の共通電位を、信号配線５方向の共通電極接続部８４を介して、共通電極８に供給することができる。

【００４１】

また、実施の形態１の構成は、新たな製造工程を追加する必要がないので、製造コストの増加はない。この結果、信号配線５数を半分にしているので、信号配線用駆動回路６５のコストを下げることができ、液晶表示パネル９０、及び液晶表示装置１００のコストを下げることができる。

【００４２】

なお、コンタクトホール１２は、隣接する２個の画素で共用される１個を設けて共通信号配線８２と接続しているが、実施の形態１のように、共通電極８が、信号配線５方向に隣接する画素３０の共通電極８と、共通電極接続部８４により接続されている場合は、必ずしも隣接する２個の画素３０に１個のコンタクトホール１２を設ける必要はない。信号配線５方向に隣接する４個以上の画素３０毎に１個のコンタクトホール１２とすることもできる。この場合も、コンタクトホール１２は、ブラックマトリクスＢＭ領域下で、隣接する画素３０の信号配線５がない境界領域に配置する。

【００４３】

また、隣接する画素３０で共用されるコンタクトホール１２は、ブラックマトリクスＢＭ領域下で、隣接する画素３０の信号配線５がない境界領域であれば、開口率に影響しないので、複数個を設けてもよい。

【００４４】

参考の形態１.

次に、実施の形態１の開口率を、従来の画素構成に、単純に信号配線５数を半分にした構成の場合である参考の形態１と比較する。図７は、参考の形態１に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。参考の形態１では、従来のＦＦＳ型の液晶表示装置１００の画素３０の構成を基に、単純に信号配線５数を半分にした構成である。光透過に対して無効領域であるコンタクトホール１２は、各画素３０に１個が必要である。光透過領域は、太線で示すブラックマトリクスＢＭの境界の内側の領域である。

【００４５】

図３と図７の比較より、実施の形態１は、各画素３０にコンタクトホール１２を設ける必要はなく、また、コンタクトホール１２は、ブラックマトリクスＢＭ領域下の信号配線５がない領域に配置できるので、参考の形態１のように、各画素３０にコンタクトホール１２を設け、コンタクトホール１２近傍で、ブラックマトリクスＢＭ領域を拡げる必要がないので、開口率が大きくできる。

【００４６】

また、参考の形態１では、単純に信号配線５数を半分にした構成なので、２個の画素３０の共通電極８は分離している。また、共通信号配線接続部８４は設けていない。

【００４７】

参考の形態１も、隣接する２個の画素３０の共通電極８を延在して同一層で繋げることや、共通信号配線接続部８４を設けることはできる。しかし、開口率を大きくする効果は有していない。

【００４８】
実施の形態２.
図８は、本発明の実施の形態２に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。実施の形態１と同様に、ブラックマトリクスＢＭ領域下で、信号配線５がない隣接する２個の画素３０の境界領域に１個のコンタクトホール１２を設け、共通信号配線８２と共通電極８の電気的接続を行っている。これにより、共通電極８を低抵抗化することができると共に、開口率の低下を抑制している。
【００４９】
さらに、実施の形態２では、実施の形態１の構成に加えて、信号配線５上にも共通電極８を延在して配置している。そして、信号配線５を跨いで走査配線２方向に隣接する画素３０の共通電極８と接続している。従って、最上層にある共通電極８は、上下、左右の隣接画素３０の共通電極８と接続される格子（メッシュ）形状の構成となっている。これにより、実施の形態１よりも。共通電極８の抵抗をさらに下げることができる。
【００５０】
また、実施の形態２では、スリット９は、信号配線５方向に配置している。スリット９は、信号配線５方向に配置した方が、実施の形態１に比較して、スリット９の本数を少なくできる。
【００５１】
ここで、スリット９の両端部では、フリンジ電界の方向が変化する為、液晶配向が変化しない領域が発生する。よって、スリット９の両端部では暗部となり、光透過に寄与しない。よって、スリット９の両端部の数が少なくなるように、スリット９の本数が少ない本構成の方が、光透過率を大きくすることができる。
【００５２】
なお、スリット９を、実施の形態１と異なり、信号配線５方向に配置できるのは、信号配線５上にも共通電極８を配置することにより、信号配線５から液晶への漏れ電界を効率的に遮蔽（シールド）できるためである。平面視において、信号配線５からの漏れ電界の方向は走査配線２方向であるが、液晶がポジ型の場合、液晶の初期配向方向は、通常、スリット９方向である。スリット９が信号配線５方向は、信号配線５からの漏れ電界の方向と異なるため、液晶の配向が信号配線５からの漏れ電界の影響を受けやすい問題がある。すなわち、表示特性は、信号配線５からの漏れ電界の影響を受けやすいので、信号配線５上に共通電極８を配置する本構成は、表示特性の観点でも有効である。
【００５３】
実施の形態３.
図９は、本発明の実施の形態３に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。実施の形態３では、実施の形態２の構成に加えて、スリット９を２方向に設けて、画素３０をマルチドメイン（配向分割）化している。これにより、視野角方向による色変化が少なくなるように、視野角特性の改善が図ることができる。なお、スリット９は、屈曲部で分離している。
【００５４】
また、信号配線５も、スリット９と平行に配置することで、画素３０を屈曲形状として、光透過に対して無効領域が増えないようにしている。
【００５５】
共通信号配線８２は、屈曲部に配置するとよい。この理由は、光透過に対して無効領域となる共通信号配線８２を、スリット９のない屈曲部に重ねて配置することで、共通信号配線８２による光透過率の低下を実質的になくすることができるからである。
【００５６】
また、スリット９を屈曲部で分離しない場合でも、屈曲部で発生しやすい液晶の配向乱れ領域（ドメイン領域）である光透過しない領域と、共通信号配線８２を屈曲部に重ねて配置することで、共通信号配線８２による光透過率の低下を実質的になくすることができる。

【００５７】
また、ブラックマトリクスＢＭは、屈曲部に配置する必要がない。これにより、ブラックマトリクスＢＭによる開口率の低下がなく、マルチドメイン化することができる。
【００５８】
また、コンタクトホール１２については、実施の形態３も、実施の形態１～２と同様であり、開口率を参考の形態１よりも大きくすることができる。
【００５９】
実施の形態４.
図１０は、本発明の実施の形態４に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。
【００６０】
実施の形態４は、実施の形態１～３と同様に、ブラックマトリクスＢＭ領域下で、共通電極８と共通信号配線５２を接続するコンタクトホール１２を、信号配線５がない隣接する２個の画素３０の境界領域に形成する。従って、実施の形態１～３と同様に、開口率を参考の形態１よりも大きくすることができる。
【００６１】
なお、実施の形態４は、共通信号配線５２は、ブラックマトリクスＢＭ領域下で、信号配線５がない隣接する２個の画素３０の境界領域に、信号配線５方向に形成している。この場合、共通信号配線５２は、信号配線５と同一層で形成される。実施の形態１～３と異なり、開口部の走査信号線２方向に、光透過に対して無効領域である共通信号配線５２がないので、実施の形態１～３よりも、さらに開口率を大きくすることができる。
【００６２】
また、共通信号配線５２が、走査配線２（２ａ、２ｂ）を跨ぐ領域には、信号配線５と同様に、共通信号配線５２の下に半導体膜４２を形成する。これにより、共通信号配線５２は、信号配線５と同様に、走査配線２（２ａ、２ｂ）を跨ぐ部分での断線や短絡を抑制することができる。
【００６３】
なお、実施の形態４では、信号配線５上にも共通電極８を延在して、信号配線５を跨いで走査配線２方向に隣接する画素３０の共通電極８と接続している。このため、実施の形態２と同様に、スリット９を信号配線５方向に配置したが、実施の形態１と同様に、スリット９を走査配線２方向とすることもできる。
【００６４】
実施の形態５.
図１１は、本発明の実施の形態５に係る液晶表示装置の隣接する２個の画素構成を拡大して示す平面図である。実施の形態５は、実施の形態３と同様に、画素３０の形状を屈曲形状として、マルチドメイン化すると共に、実施の形態４と同様に、共通信号配線５２を、ブラックマトリクスＢＭ領域下で、信号配線５がない隣接する２個の画素の境界領域に、信号配線５方向に形成している。従って、実施の形態３、４の両方の効果を有することができる。
【００６５】
また、コンタクトホール１２については、実施の形態５も、実施の形態１～４と同様であり、開口率を参考の形態１よりも大きくすることができる。
【００６６】
以上のように、本発明の画素構成は、実施の形態１～５を、様々に組み合わせた構成とすることができる。
【００６７】
また、以上の実施の形態では、下部電極が画素電極６であり、上部電極が共通電極８としたＦＦＳ構成の場合を示したが、下部電極が共通電極８であり、上部電極が画素電極６とした構成にも適用でき、共通電極８と共通信号配線８２との接続に、走査配線２方向に隣接する画素３０で共有されるコンタクトホール１２とすることができる。この場合も、

コンタクトホール１２は、ブラックマトリクスＢＭ領域下で、信号配線５がない隣接する画素３０の境界領域に形成する。

【００６８】

また、以上の実施の形態では、ＴＦＴは、チャネルエッチ逆スタガ型の場合を示したが、エッチストッパ逆スタガ型、トップゲート型等とすることもできる。

【００６９】

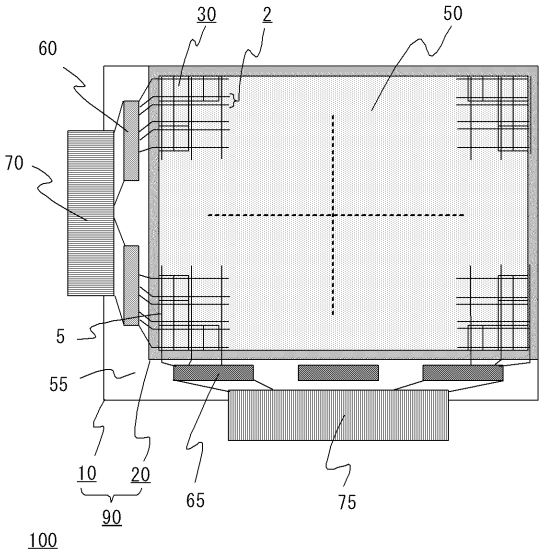
また、以上の実施の形態では、駆動回路がＣＯＧ実装の場合を示したが、ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）実装や、画素のＴＦＴ形成と同時にアレイ基板上に駆動回路をポリシリコン等のＴＦＴで形成した液晶表示パネル、及び液晶表示装置にも適用できる。

【符号の説明】

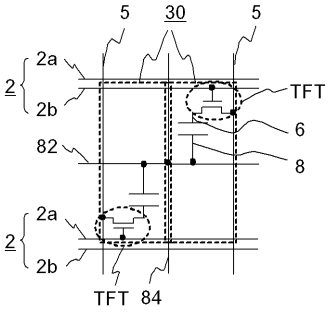
【００７０】

１　透明基板
２　走査配線
３　ゲート絶縁膜
４　半導体膜
５　信号配線
６　画素電極
７　保護膜
８　共通電極
９　スリット
１０　アレイ基板
１２　コンタクトホール
２０　対向基板
３０　画素
５０　表示領域
５２　共通信号配線
８２　共通信号配線
８４　共通電極接続部
９０　液晶表示パネル
１００　液晶表示装置

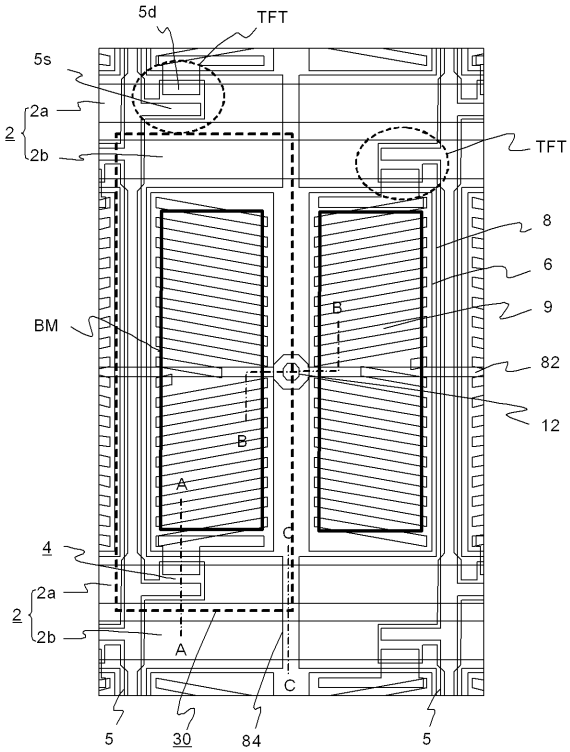
【図１】



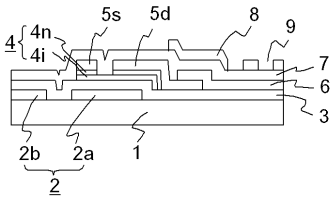
【図２】



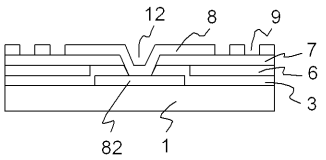
【図３】



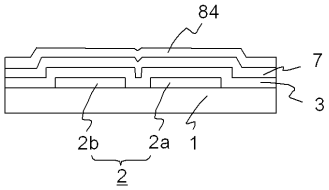
【図４】



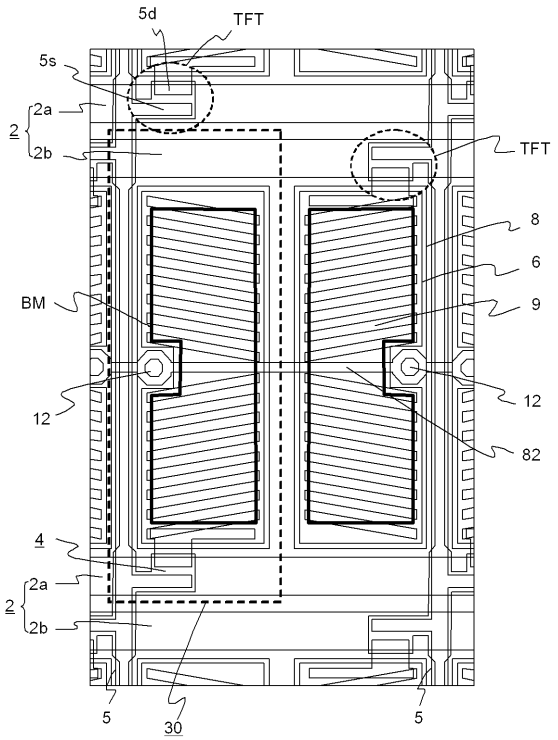
【図５】



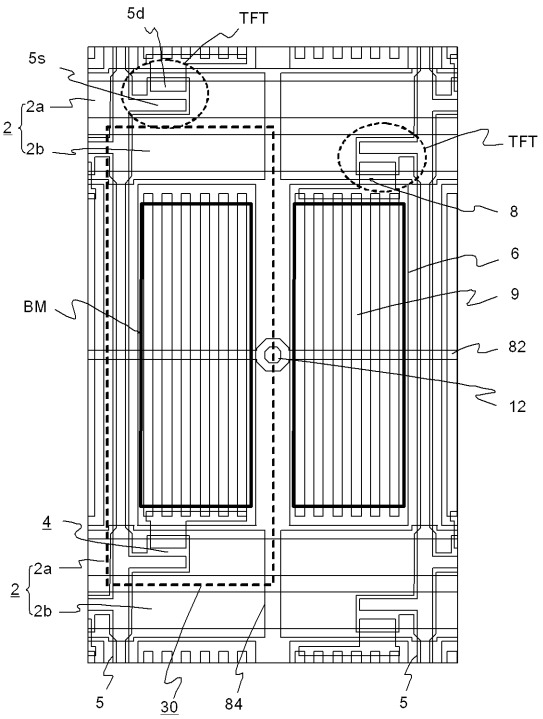
【図６】



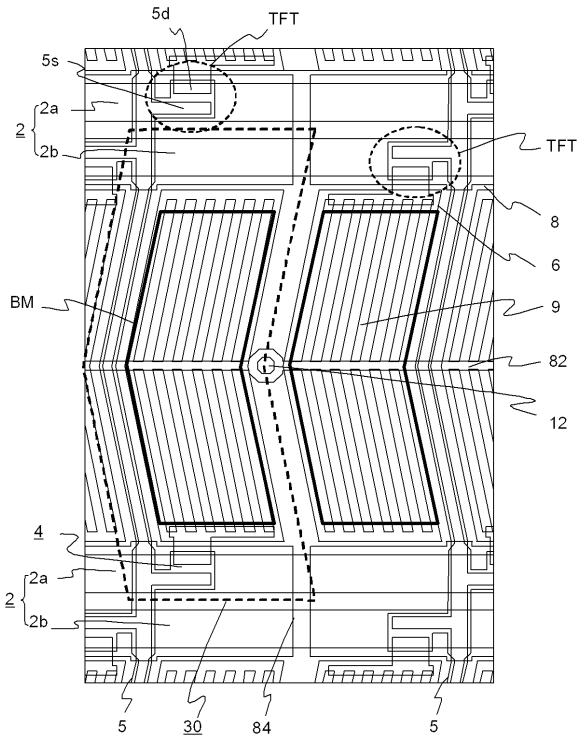
【図７】


5d
TFT
5s
2a
2
2b
TFT
8
6
BM
9
12
82
12
4
2a
2
2b
5
30
5

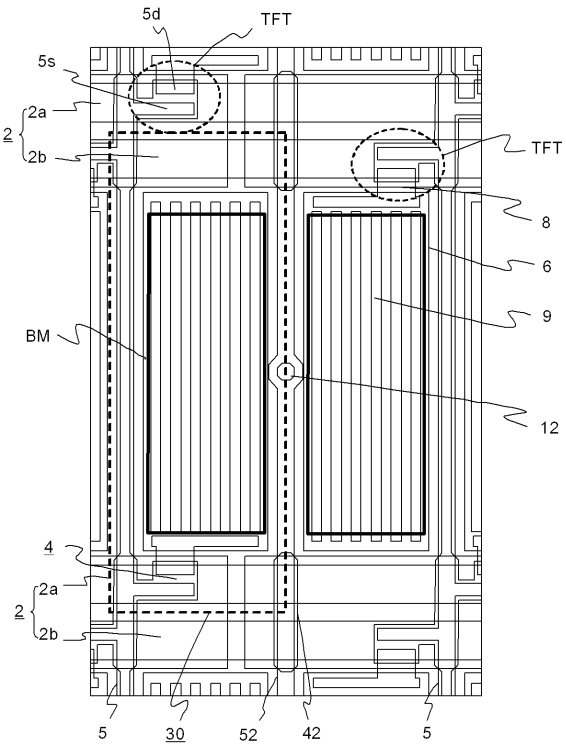
【図８】


5d
TFT
5s
2a
2
2b
TFT
8
6
BM
9
82
12
4
2a
2
2b
5
30
84
5

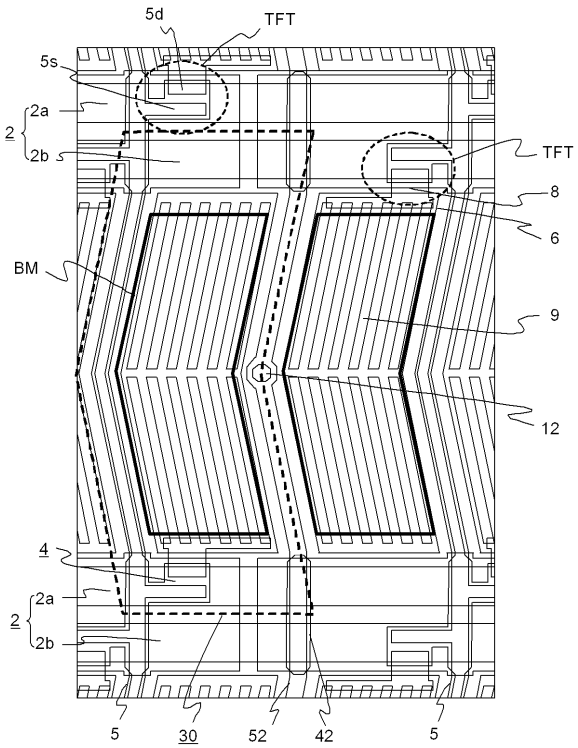
【図９】


5d
TFT
5s
2a
2
2b
TFT
8
6
BM
9
82
12
4
2a
2
2b
5
30
84
5

【図１０】


5d
TFT
5s
2a
2
2b
TFT
8
6
BM
9
12
4
2a
2
2b
5
30
52
42
5

【図１１】



フロントページの続き

審査官　福村　拓

(56)参考文献　特開２００５－１９６１９０（ＪＰ，Ａ）
特開２００８－０７０７６３（ＪＰ，Ａ）
特開２０１０－１９１４１０（ＪＰ，Ａ）
特開２００５－１４８６０２（ＪＰ，Ａ）
特開２００９－１９２９３２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０２Ｆ　　１／１３４３