

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成29年1月26日(2017.1.26)

【公開番号】特開2015-99146(P2015-99146A)

【公開日】平成27年5月28日(2015.5.28)

【年通号数】公開・登録公報2015-035

【出願番号】特願2014-228018(P2014-228018)

【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 V

H 0 1 L 27/04 T

【誤訳訂正書】

【提出日】平成28年12月9日(2016.12.9)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

1つまたは複数のクロックゲーティングセルを含む実動作速度遅延故障構造テストのスキヤン回路のクロックシステムに適用される方法であって、

実動作速度遅延故障構造テストのキャプチャサイクルの間に、一連のクロックパルスを生成するステップと、

前記一連のクロックパルスを1つのクロックゲーティングセルの1つの入力に入力するステップと、

前記クロックゲーティングセルを停止状態にすることで、前記クロックゲーティングセルの各出力において前記一連のクロックパルスから望ましくないクロックパルスを除去して、前記クロックゲーティングセルの前記出力においてクロック信号の複数のクロックパルスを制御するステップと、

を含む、方法。

【請求項2】

前記部分的イネーブルクロック信号の可能性は、前記実動作速度遅延故障構造テストのテスト網羅率を向上させるために除去される、請求項1に記載の方法。

【請求項3】

機能上の(非テスト)動作の間の前記1つまたは複数のクロックゲーティングセルは、クロック信号に完全にトランスペアレントである、請求項1に記載の方法。

【請求項4】

前記実動作速度遅延故障構造テストの間の電力消費量を低減するためにスキヤンフリップフロップを使用してクロックゲーティングセルを制御するステップをさらに含む、請求項1に記載の方法。

【請求項5】

前記スキヤン回路は、部分的に制御可能なまたは/および制御不可能な論理を備える、請求項1に記載の方法。

【請求項6】

前記クロックシステムは、いくつかのクロックドメインを備える、請求項1に記載の方法。

【請求項7】

自動テストパターン生成(ATE)ツールによって事前に定義された形式で前記クロック信号を生成するステップをさらに含む、請求項1に記載の方法。

【請求項8】

クロックゲーティングセルであって、

実動作速度遅延故障構造テストのキャプチャサイクルの間に、一連のクロックパルスを生成し、

前記一連のクロックパルスを前記クロックゲーティングセルの1つの入力に入力し、

前記クロックゲーティングセルを停止状態にすることで、前記クロックゲーティングセルの各出力において前記一連のクロックパルスから望ましくないクロックパルスを除去して、前記クロックゲーティングセルの前記出力においてクロック信号の複数のクロックパルスを制御する

ように構成される、クロックゲーティングセル。

【請求項9】

前記実動作速度遅延故障構造テストの間の電力消費量をスキャンフリップフロップを使用することにより低減するように構成された電力消費量制御手段をさらに備える、請求項8に記載のクロックゲーティングセル。

【請求項10】

出力クロック信号を入力クロック信号から導出するように構成された論理をさらに備えるクロックゲーティングセルであって、前記出力クロック信号は、前記入力クロック信号とは異なる、請求項8に記載のクロックゲーティングセル。

【請求項11】

マルチプレクサをさらに備える、請求項8に記載のクロックゲーティングセル。

【請求項12】

機能上の(非テスト)動作の間、クロック信号に完全にトランスペアレントになるようにさらに構成された、請求項8に記載のクロックゲーティングセル。

【請求項13】

自動テストパターン生成(ATE)ツールによって事前に定義された形式で前記クロック信号を生成するようにさらに構成された、請求項8に記載のクロックゲーティングセル。

【請求項14】

1つまたは複数のクロックゲーティングセルを備えるスキャン回路であって、実動作速度遅延故障構造テストのために使用されるように構成され、

前記1つまたは複数のクロックゲーティングセルは、実動作速度遅延故障構造テストのキャプチャサイクルの間に、一連のクロックパルスを生成し、

前記一連のクロックパルスを1つのクロックゲーティングセルの1つの入力に入力し、

前記クロックゲーティングセルを停止状態にすることで、前記クロックゲーティングセルの各出力において前記一連のクロックパルスから望ましくないクロックパルスを除去して、前記クロックゲーティングセルの前記出力においてクロック信号の複数のクロックパルスを制御するように構成される、

スキャン回路。

【請求項15】

前記実動作速度遅延故障構造テストの間の電力消費量をスキャンフリップフロップを使用することにより低減するように構成された電力消費量制御手段をさらに備える、請求項14に記載のスキャン回路。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0017

【訂正方法】変更

【訂正の内容】

【0017】

図4aに示される更新されたクロックゲーティングセル12aは、クロックゲーティングセル102a(CG(従来))、スキャンDフリップフロップ102b(スキャンFF)および組合せ論理102cから構成される。クロックゲーティングセルCG(従来)の最も簡単な実現形態は、ANDゲートによって提供される。ここで考慮される場合、1つのイネーブル信号は、クロック信号c1k_iを制御する。図4aの特定の例では、クロックゲーティングセル102a(CG(従来))は、入力として、第1のクロック信号(c1k_i)、機能イネーブル信号(FE)およびシフトイネーブル信号(SE)を使用する。クロックゲーティングセル102a(CG(従来))の出力信号は、c1k_oで示される。例えば、信号c1k_iは、これらに限定されないが、機能上の(非テスト)動作の間の高速/マスタクロック信号、スキャンテストのキャプチャサイクルの間の高速/マスタクロック信号、または、スキャンテストの初期化サイクルの間のスキャンシフトクロック信号(シフトイン、シフトアウト)であり得る。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0018

【訂正方法】変更

【訂正の内容】

【0018】

以下では、以前に説明されたクロックゲーティングセル102a(CG(従来))は、「従来のクロックゲーティングセルの一例」で示される。それは、例えば、以下の真理値表によって特徴付けられる(表1では、xは、0または1を示す)。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0021

【訂正方法】変更

【訂正の内容】

【0021】

本開示では、特定の従来のクロックゲーティングセルは例示として考慮されているが、従来のクロックゲーティングセルCG(従来)をテスト設計で頻繁に使用される他の任意のタイプのクロックゲーティングセルに置き換えるかまたは適合させることは当業者にとって造作もないことであるはずである。この意味で、図4bのラッチを、例えば、フリップフロップに置き換えることも、従来のクロックゲーティングセルの別の実現形態では、ORゲートをラッチの後方に配置することもできる。従来のクロックゲーティングセルの提示された実現形態(図4b)の多くの小規模な変更形態は、本開示で使用することができ、当業者にはよく知られている。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0025

【訂正方法】変更

【訂正の内容】

【0025】

【表 2】

FE	DT	SE	スキャン FF	clk_o	注
0	0	0	x	OFF	機能上の動作/低速テストのためのキャプチャサイクル（例えば、縮退）
1	0	0	x	clk_i	機能上の動作/低速テストのためのキャプチャサイクル（例えば、縮退）
x	x	1	x	clk_i	テスト動作(スキャンシフト)
x	1	0	0	OFF	テスト動作(実動作速度キャプチャ)
x	1	0	1	clk_i	テスト動作(実動作速度キャプチャ)

表 2：更新されたクロックゲーティングセル CG_1 の真理値表

【誤訳訂正 6】

【訂正対象書類名】明細書

【訂正対象項目名】0027

【訂正方法】変更

【訂正の内容】

【0027】

図 5 に示される第 2 の例示的な実施形態は、図 4 a の更新されたクロックゲーティングセル CG_1 の文脈で導入された入力信号 clk_i、FE、SE、DT、SI、リセットに加えて、入力信号 slow_ck_en_i（これに限定されないが、デジタル回路の低速クロックイネーブル信号であり得る）を含む。更新されたクロックゲーティングセル 1012a (CG_2) は、更新されたクロックゲーティングセル 12a (CG_1) の文脈で説明されるような、第 1 および第 2 の従来のクロックゲーティングセル 1102d、1102a (CG (従来))、例えば、図 4 b に示されるような）、マルチプレクサ 1102e、スキャン D フリップフロップ 1102b (スキャン FF)、ならびに、組合せ論理 1102c から構成される。システムマルチプレクサ / クロックゲーティングセルは、「マルチプレクサタイプのクロックゲーティングセル」で一般的に示される。更新されたクロックゲーティングセル CG_2 は、出力クロック信号 clk_o およびスキャンシフト出力信号 SO を出力する。

【誤訳訂正 7】

【訂正対象書類名】明細書

【訂正対象項目名】0028

【訂正方法】変更

【訂正の内容】

【0028】

更新されたクロックゲーティングセル CG_2 は、例えば、slow_ck_en_i 信号（例えば、図 3 の CCU.slow_ck_en）の使用によって、第 2 のクロック信号が高速 / マスタクロック信号（例えば、図 3 の CCU.fast_ck_o）から導出される場合に使用することができる。clk_i 入力が clk_i 信号と接続され、FE 入力が slow_ck_en_i 信号と接続される、図 5 の第 1 の従来のクロックゲーティングセル 1102d (CG (従来)) は、所望のクロック信号を生成する。マルチプレクサ 1102e の出力は、第 2 の従来のクロックゲーティングセル 1102

a (C G (従来)) の入力 F E に接続される。マルチプレクサの入力信号 (0 または 1) に応じて、マルチプレクサの出力信号は、マルチプレクサの「 0 」入力での信号またはマルチプレクサの「 1 」入力での信号のそれぞれによって得られる。スキャンフリップフロップ 1 1 0 2 b (スキャン F F) は、図 4 a の更新されたクロックゲーティングセル C G _ 1 の文脈で説明されるようなものである。

【誤訳訂正 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 0

【訂正方法】変更

【訂正の内容】

【0 0 3 0】

【表 3】

FE	DT	SE	slow_clk_en	スキャン FF	clk_o	注
0	0	0	x	x	OFF	機能上の動作/低速テストのためのキャプチャサイクル(例えば、縮退)
1	0	0	x	x	clk_i	機能上の動作/低速テストのためのキャプチャサイクル(例えば、縮退)
x	x	1	x	x	clk_i	テスト動作(スキャンシフト)
x	1	0	0	x	OFF	テスト動作(実動作速度キャプチャ)
x	1	0	1	0	OFF	テスト動作(実動作速度キャプチャ)
x	1	0	1	1	clk_i	テスト動作(実動作速度キャプチャ)

表 3 : 更新されたクロックゲーティングセル C G _ 2 の真理値表

【誤訳訂正 9】

【訂正対象書類名】図面

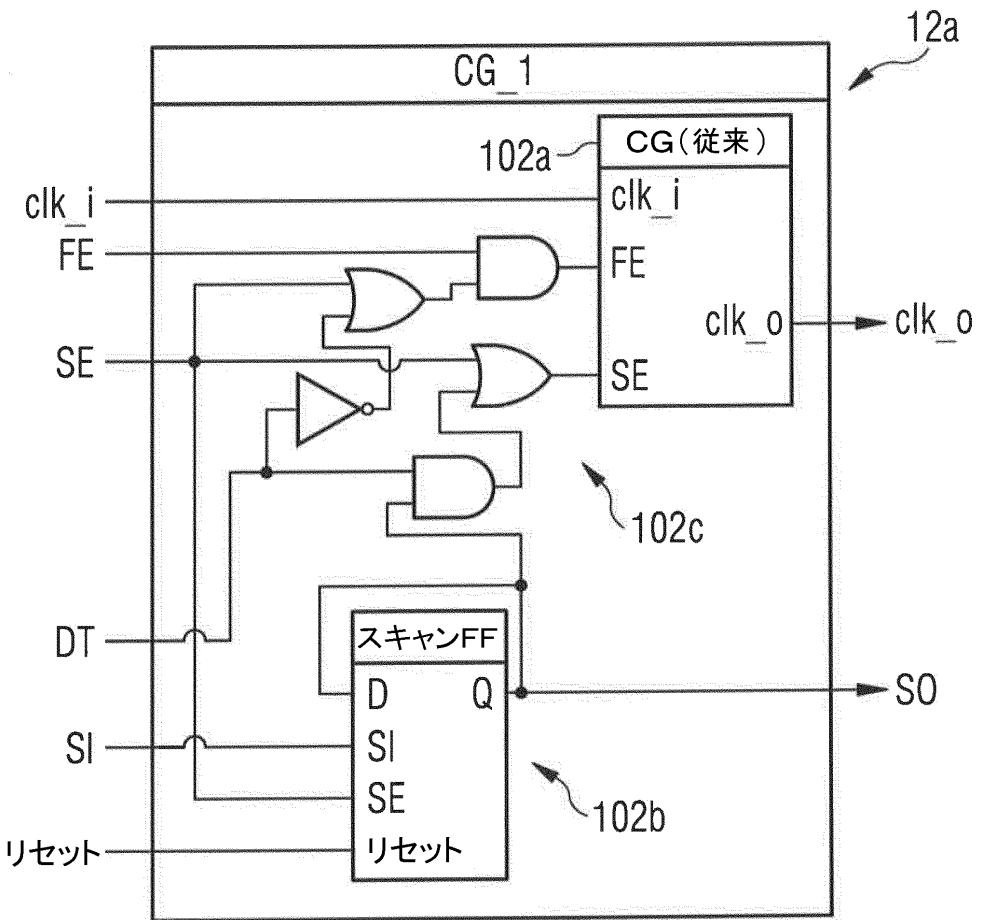
【訂正対象項目名】図 4 a

【訂正方法】変更

【訂正の内容】

【図 4 a】

図4A



【誤訳訂正 10】

【訂正対象書類名】図面

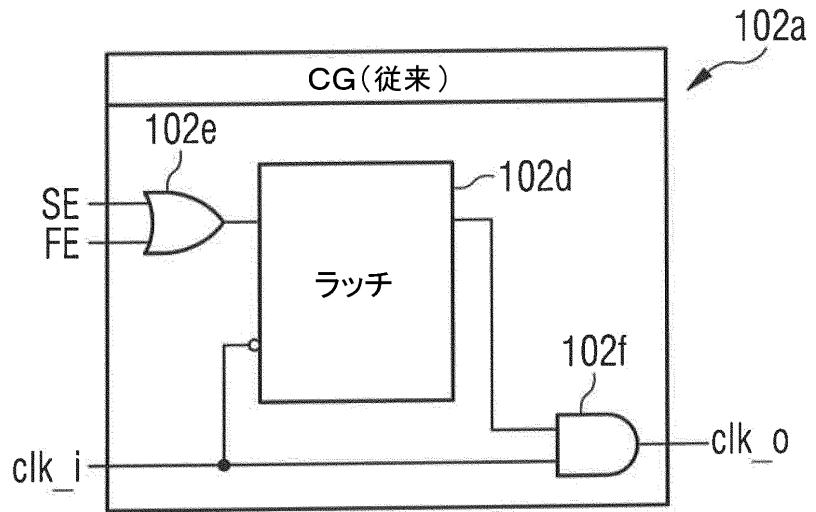
【訂正対象項目名】図 4 b

【訂正方法】変更

【訂正の内容】

【図 4 b】

図4B



【誤訳訂正 1 1】

【訂正対象書類名】図面

【訂正対象項目名】図 5

【訂正方法】変更

【訂正の内容】

【図 5】

図5

