

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月28日(28.03.2024)



(10) 国際公開番号

WO 2024/062753 A1

(51) 国際特許分類:
H01G 4/30 (2006.01)

(21) 国際出願番号: PCT/JP2023/026360

(22) 国際出願日: 2023年7月19日(19.07.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-150525 2022年9月21日(21.09.2022) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 三嶋 泰弘 (MISHIMA Yasuhiro);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP).

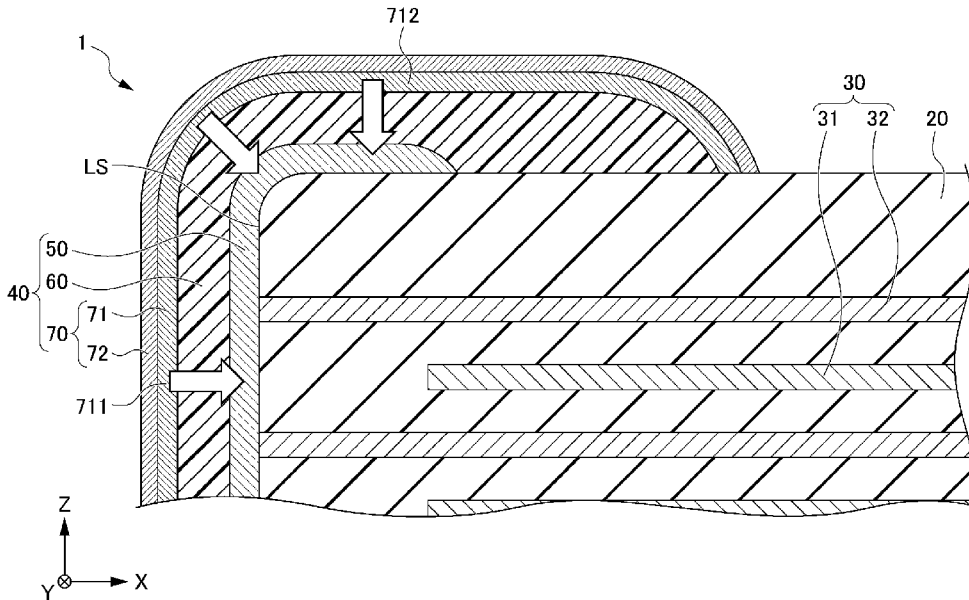
(74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.);
〒1000005 東京都千代田区丸の内 1 - 7 -
12 サピアタワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: 積層セラミック電子部品

図 5



(57) Abstract: The purpose of the present invention is to provide a multilayer ceramic electronic component capable of reducing ESR. A multilayer ceramic capacitor 1 has a first external electrode 40A and a second external electrode 40B. The first external electrode 40A has a first base electrode layer 50A, a first conductive resin layer 60A including a thermosetting resin and a metal component disposed on the first base electrode layer 50A, and a first Ni plating layer 71A disposed on the first conductive resin layer 60A. The second external electrode 40B has a second base electrode layer

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

50B, a second conductive resin layer 60B including a thermosetting resin and a metal component disposed on the second base electrode layer 50B, and a second Ni plating layer 71B disposed on the second conductive resin layer 60B. Tensile stress remains as internal stress inside the first Ni plating layer 71A and the second Ni plating layer 71B.

(57) 要約: ESRを低減可能な積層セラミック電子部品を提供すること。積層セラミックコンデンサ1は、第1の外部電極40Aと、第2の外部電極40Bと、を有し、第1の外部電極40Aは、第1の下地電極層50Aと、第1の下地電極層50A上に配置される熱硬化性樹脂および金属成分を含む第1の導電性樹脂層60Aと、第1の導電性樹脂層60A上に配置される第1のNiめっき層71Aと、を有し、第2の外部電極40Bは、第2の下地電極層50Bと、第2の下地電極層50B上に配置される熱硬化性樹脂および金属成分を含む第2の導電性樹脂層60Bと、第2の導電性樹脂層60B上に配置される第2のNiめっき層71Bと、を有し、第1のNiめっき層71Aおよび第2のNiめっき層71Bの内部には、内部応力として引張応力が残留している。

明 細 書

発明の名称： 積層セラミック電子部品

技術分野

[0001] 本発明は、積層セラミック電子部品に関する。

背景技術

[0002] 近年、積層セラミックコンデンサに代表される積層セラミック電子部品は、熱膨張によるたわみ応力等の過酷な環境下への耐久性が要求され、その対応として積層セラミック電子部品の外部電極に熱硬化性導電樹脂ペーストを用いる技術が知られている。この種の技術を示すものとして特許文献1が挙げられる。特許文献1では、導電ペーストをディッピングして塗布し、それを焼き付けた電極層と、導電性のエポキシ系熱硬化性樹脂層と、ニッケルメッキ層と、スズ系層とが順次積層された層構成の外部電極を有する積層セラミックコンデンサが記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開平11-162771号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、積層セラミック電子部品は、過酷な環境下に対する耐久性の確保しつつ、要求される性能を満たすためにESRの低減等の様々な対策が行われており、更なる性能の向上が求められている。

[0005] 本発明は、ESRを低減可能な積層セラミック電子部品を提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る積層セラミック電子部品は、積層された複数のセラミック層を含み、高さ方向に相對する第1の主面および第2の主面と、高さ方向に直交する幅方向に相對する第1の側面および第2の側面と、高さ方向および幅

方向に直交する長さ方向に相対する第1の端面および第2の端面と、を有する積層体と、前記複数のセラミック層上に配置され、前記第1の端面に露出する第1の内部導体層と、前記複数のセラミック層上に配置され、前記第2の端面に露出する第2の内部導体層と、前記第1の端面上に配置された第1の外部電極と、前記第2の端面上に配置された第2の外部電極と、を有する積層セラミック電子部品において、前記第1の外部電極は、金属成分を含む第1の下地電極層と、前記第1の下地電極層上に配置される熱硬化性樹脂および金属成分を含む第1の導電性樹脂層と、前記第1の導電性樹脂層上に配置される第1のNiめっき層と、を有し、前記第2の外部電極は、金属成分を含む第2の下地電極層と、前記第2の下地電極層上に配置される熱硬化性樹脂および金属成分を含む第2の導電性樹脂層と、前記第2の導電性樹脂層上に配置される第2のNiめっき層と、を有し、前記第1のNiめっき層の内部には、内部応力として引張応力が残留しており、前記第2のNiめっき層の内部には、内部応力として引張応力が残留している。

発明の効果

[0007] 本発明によれば、ESRを低減可能な積層セラミック電子部品を提供することができる。

図面の簡単な説明

[0008] [図1]本実施形態の積層セラミックコンデンサの外観斜視図である。

[図2]図1に示す積層セラミックコンデンサのI-I'線に沿った断面図である。

[図3]図2に示す積層セラミックコンデンサのII-II'線に沿った断面図である。

[図4]図2に示す積層セラミックコンデンサのV-V'線に沿った断面図である。

[図5]図2に示す積層セラミックコンデンサのV部の拡大図であり、積層セラミックコンデンサの端面側で生じる力の状態を説明するための模式図である。

[図6] 2 連構造の積層セラミックコンデンサの構成の一例を示す模式図である。

。

[図7] 3 連構造の積層セラミックコンデンサの構成の一例を示す模式図である。

。

[図8] 4 連構造の積層セラミックコンデンサの構成の一例を示す模式図である。

。

発明を実施するための形態

[0009] <実施形態>

以下、本開示の第 1 実施形態に係る積層セラミック電子部品としての積層セラミックコンデンサ 1 について、図 1 ～図 4 を用いて説明する。図 1 は、本実施形態の積層セラミックコンデンサ 1 の外観斜視図である。図 2 は、図 1 の積層セラミックコンデンサ 1 の I-I 線に沿った断面図である。図 3 は、図 2 の積層セラミックコンデンサ 1 の III-III 線に沿った断面図である。図 4 は、図 2 の積層セラミックコンデンサ 1 の V-V 線に沿った断面図である。

[0010] 積層セラミックコンデンサ 1 は、積層体 10 と、外部電極 40 と、を有する。

[0011] 図 1 ～図 4 には、XYZ 直交座標系が示されている。積層セラミックコンデンサ 1 および積層体 10 の長さ方向 L は、X 方向と対応している。積層セラミックコンデンサ 1 および積層体 10 の幅方向 W は、Y 方向と対応している。積層セラミックコンデンサ 1 および積層体 10 の高さ方向としての積層方向 T は、Z 方向と対応している。ここで、図 2 に示す断面は LT 断面とも称される。図 3 に示す断面は WT 断面とも称される。図 4 に示す断面は LW 断面とも称される。

[0012] 図 1 ～図 4 に示すように、積層体 10 は、積層方向 T に相対する第 1 の主面 TS1 および第 2 の主面 TS2 と、積層方向 T に直交する幅方向 W に相対する第 1 の側面 WS1 および第 2 の側面 WS2 と、積層方向 T および幅方向 W に直交する長さ方向 L に相対する第 1 の端面 LS1 および第 2 の端面 LS

2と、を含む。

[0013] 図1に示すように、積層体10は、略直方体形状を有している。なお、積層体10の長さ方向Lの寸法は、幅方向Wの寸法よりも必ずしも長いとは限らない。積層体10の角部および稜線部には、丸みがつけられていることが好ましい。角部は、積層体の3面が交わる部分であり、稜線部は、積層体の2面が交わる部分である。なお、積層体10を構成する表面の一部または全部に凹凸等が形成されていてもよい。

[0014] 積層体10の寸法は、特に限定されないが、積層体10の長さ方向Lの寸法をL寸法とすると、L寸法は、0.2mm以上10mm以下であることが好ましい。また、積層体10の積層方向Tの寸法をT寸法とすると、T寸法は、0.1mm以上10mm以下であることが好ましい。また、積層体10の幅方向Wの寸法をW寸法とすると、W寸法は、0.1mm以上10mm以下であることが好ましい。

[0015] 図2および図3に示すように、積層体10は、内層部11と、積層方向Tにおいて内層部11を挟み込むように配置された第1の外層部としての第1の主面側外層部12Aおよび第2の外層部としての第2の主面側外層部12Bと、を有する。

[0016] 内層部11は、複数のセラミック層としての複数の誘電体層20と、複数の内部導体層としての複数の内部電極層30と、を含む。内層部11は、積層方向Tにおいて、最も第1の主面TS1側に位置する内部電極層30から最も第2の主面TS2側に位置する内部電極層30までを含む。内層部11では、複数の内部電極層30が誘電体層20を介して対向して配置されている。内層部11は、静電容量を発生させ実質的にコンデンサとして機能する部分である。

[0017] 複数の誘電体層20は、誘電体材料により構成される。誘電体材料は、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、または CaZrO_3 等の成分を含む誘電体セラミックであってもよい。また、誘電体材料は、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等

の副成分を添加したものであってもよい。

[0018] 誘電体層 20 の厚みは、 $0.5\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であることが好ましい。積層される誘電体層 20 の枚数は、10 枚以上 700 枚以下であることが好ましい。なお、この誘電体層 20 の枚数は、内層部 11 の誘電体層の枚数と第 1 の主面側外層部 12 A および第 2 の主面側外層部 12 B の誘電体層の枚数との総数である。

[0019] 複数の内部電極層 30 は、複数の第 1 の内部導体層としての第 1 の内部電極層 31 および複数の第 2 の内部導体層としての第 2 の内部電極層 32 を有する。複数の第 1 の内部電極層 31 は、複数の誘電体層 20 上に配置されている。複数の第 2 の内部電極層 32 は、複数の誘電体層 20 上に配置されている。複数の第 1 の内部電極層 31 および複数の第 2 の内部電極層 32 は、積層体 10 の積層方向 T に誘電体層 20 を介して交互に配置されている。第 1 の内部電極層 31 および第 2 の内部電極層 32 は、誘電体層 20 を挟むようにして配置されている。

[0020] 第 1 の内部電極層 31 は、第 2 の内部電極層 32 に対向する第 1 の対向部 31 A と、第 1 の対向部 31 A から第 1 の端面 L S 1 に引き出される第 1 の引き出し部 31 B とを有している。第 1 の引き出し部 31 B は、第 1 の端面 L S 1 に露出している。

[0021] 第 2 の内部電極層 32 は、第 1 の内部電極層 31 に対向する第 2 の対向部 32 A と、第 2 の対向部 32 A から第 2 の端面 L S 2 に引き出される第 2 の引き出し部 32 B とを有している。第 2 の引き出し部 32 B は、第 2 の端面 L S 2 に露出している。

[0022] 本実施形態では、第 1 の対向部 31 A と第 2 の対向部 32 A が誘電体層 20 を介して対向することにより容量が形成され、コンデンサの特性が発現する。

[0023] 第 1 の対向部 31 A および第 2 の対向部 32 A の形状は、特に限定されないが、矩形状であることが好ましい。もっとも、矩形状のコーナ一部が丸められていてもよいし、矩形状のコーナ一部が斜めに形成されていてもよ

い。第1の引き出し部31Bおよび第2の引き出し部32Bの形状は、特に限定されないが、矩形状であることが好ましい。もっとも、矩形状のコーナ一部が丸められていてもよいし、矩形状のコーナ一部が斜めに形成されていてもよい。

[0024] 第1の対向部31Aの幅方向Wの寸法と第1の引き出し部31Bの幅方向Wの寸法は、同じ寸法で形成されていてもよく、どちらか一方の寸法が小さく形成されていてもよい。第2の対向部32Aの幅方向Wの寸法と第2の引き出し部32Bの幅方向Wの寸法は、同じ寸法で形成されていてもよく、どちらか一方の寸法が狭く形成されていてもよい。

[0025] 第1の内部電極層31および第2の内部電極層32は、例えば、Ni、Cu、Ag、Pd、Au等の金属や、これらの金属の少なくとも一種を含む合金等の適宜の導電材料により構成される。合金を用いる場合、第1の内部電極層31および第2の内部電極層32は、例えばAg-Pd合金等により構成されてもよい。

[0026] 第1の内部電極層31および第2の内部電極層32のそれぞれの厚みは、例えば、 $0.2\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下程度であることが好ましい。第1の内部電極層31および第2の内部電極層32の枚数は、合わせて10枚以上700枚以下であることが好ましい。

[0027] 第1の主面側外層部12Aは、積層体10の第1の主面TS1側に位置する。第1の主面側外層部12Aは、第1の主面TS1と最も第1の主面TS1に近い内部電極層30との間に位置する複数の誘電体層20の集合体である。第1の主面側外層部12Aで用いられる誘電体層20は、内層部11で用いられる誘電体層20と同じものであってもよいし、違う材料により構成された誘電体層であっても良い。

[0028] 第2の主面側外層部12Bは、積層体10の第2の主面TS2側に位置する。第2の主面側外層部12Bは、第2の主面TS2と最も第2の主面TS2に近い内部電極層30との間に位置する複数の誘電体層20の集合体である。第2の主面側外層部12Bで用いられる誘電体層20は、内層部11で

用いられる誘電体層20と同じものであってもよいし、違う材料により構成された誘電体層であっても良い。

[0029] なお、積層体10は、対向電極部11Eを有する。対向電極部11Eは、第1の内部電極層31の第1の対向部31Aと第2の内部電極層32の第2の対向部32Aが対向する部分である。対向電極部11Eは、内層部11の一部として構成されている。図4には、対向電極部11Eの幅方向Wおよび長さ方向Lの範囲が示されている。なお、対向電極部11Eは、コンデンサ有効部ともいう。

[0030] なお、積層体10は、側面側外層部を有する。側面側外層部は、第1の側面側外層部WG1と、第2の側面側外層部WG2を有する。第1の側面側外層部WG1は、対向電極部11Eと第1の側面WS1との間に位置する誘電体層20を含む部分である。第2の側面側外層部WG2は、対向電極部11Eと第2の側面WS2との間に位置する誘電体層20を含む部分である。図3および図4には、第1の側面側外層部WG1および第2の側面側外層部WG2の幅方向Wの範囲が示されている。なお、側面側外層部は、Wギャップまたはサイドギャップともいう。

[0031] なお、積層体10は、端面側外層部を有する。端面側外層部は、第1の端面側外層部LG1と、第2の端面側外層部LG2を有する。第1の端面側外層部LG1は、対向電極部11Eと第1の端面LS1との間に位置する誘電体層20を含む部分である。第2の端面側外層部LG2は、対向電極部11Eと第2の端面LS2との間に位置する誘電体層20を含む部分である。図2および図4には、第1の端面側外層部LG1および第2の端面側外層部LG2の長さ方向Lの範囲が示されている。なお、端面側外層部は、Lギャップまたはエンドギャップともいう。

[0032] 外部電極40は、第1の端面LS1側に配置された第1の外部電極40Aと、第2の端面LS2側に配置された第2の外部電極40Bと、を有する。

[0033] 第1の外部電極40Aは、第1の端面LS1上に配置されている。第1の外部電極40Aは、第1の内部電極層31に接続されている。第1の外部電

極40Aは、第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にも配置されていてもよい。本実施形態では、第1の外部電極40Aは、第1の端面LS1上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びて形成されている。

[0034] 第2の外部電極40Bは、第2の端面LS2上に配置されている。第2の外部電極40Bは、第2の内部電極層32に接続されている。第2の外部電極40Bは、第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にも配置されていてもよい。本実施形態では、第2の外部電極40Bは、第2の端面LS2上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びて形成されている。

[0035] 前述のとおり、積層体10内においては、第1の内部電極層31の第1の対向部31Aと第2の内部電極層32の第2の対向部32Aとが誘電体層20を介して対向することにより容量が形成されている。そのため、第1の内部電極層31が接続された第1の外部電極40Aと第2の内部電極層32が接続された第2の外部電極40Bとの間でコンデンサの特性が発現する。

[0036] 第1の外部電極40Aは、金属成分を含む第1の下地電極層50Aと、第1の下地電極層50A上に配置される第1の導電性樹脂層60Aと、第1の導電性樹脂層60A上に配置される第1のめっき層70Aと、を有する。第1のめっき層70Aは、下層めっき層としての第1のNiめっき層71Aおよび上層めっき層としての第1のSnめっき層72Aを有する。

[0037] 第2の外部電極40Bは、金属成分を含む第2の下地電極層50Bと、第2の下地電極層50B上に配置される第2の導電性樹脂層60Bと、第2の導電性樹脂層60B上に配置される第2のめっき層70Bと、を有する。第2のめっき層70Bは、下層めっき層としての第2のNiめっき層71Bお

よび上層めっき層としての第2のS_nめっき層72Bを有する。

[0038] 第1のN_iめっき層71Aは、図2、4に示すように第1の端面側N_iめっき層71A1と、第1の側面側N_iめっき層71A2と、を有する。第1のN_iめっき層71Aの第1の端部は、第1のN_iめっき層71Aのうち長さ方向Lにおいて第1の導電性樹脂層60Aよりも第2の端面LS2側にある部分を示す。

[0039] 第2のN_iめっき層71Bは、図2、4に示すように第2の端面側N_iめっき層71B1と、第2の側面側N_iめっき層71B2と、を有する。第2のN_iめっき層71Bの第2の端部は、第2のN_iめっき層71Bのうち長さ方向Lにおいて第2の導電性樹脂層60Bよりも第1の端面LS1側にある部分を示す。

[0040] ここで、第1の外部電極40Aおよび第2の外部電極40Bを構成する各層の基本的な構成は同じである。また、第1の外部電極40Aおよび第2の外部電極40Bは、積層セラミックコンデンサ1の長さ方向Lの中央のLW断面に対して概ね面对称である。よって、第1の外部電極40Aと第2の外部電極40Bとを特に区別して説明する必要の無い場合は、第1の外部電極40Aおよび第2の外部電極40Bは、まとめて外部電極40と呼ばれる場合がある。また、第1の下地電極層50Aと第2の下地電極層50Bとを特に区別して説明する必要の無い場合は、第1の下地電極層50Aおよび第2の下地電極層50Bは、まとめて下地電極層50と呼ばれる場合がある。また、第1の導電性樹脂層60Aと第2の導電性樹脂層60Bとを特に区別して説明する必要の無い場合は、第1の導電性樹脂層60Aおよび第2の導電性樹脂層60Bは、まとめて導電性樹脂層60と呼ばれる場合がある。また、第1のめっき層70Aと第2のめっき層70Bとを特に区別して説明する必要の無い場合は、第1のめっき層70Aおよび第2のめっき層70Bは、まとめてめっき層70と呼ばれる場合がある。また、第1のN_iめっき層71Aと第2のN_iめっき層71Bとを特に区別して説明する必要の無い場合は、第1のN_iめっき層71Aおよび第2のN_iめっき層71Bは、まとめ

てN i めっき層7 1 と呼ばれる場合がある。また、第1のS n めっき層7 2 Aと第2のS n めっき層7 2 Bとを特に区別して説明する必要の無い場合は、第1のS n めっき層7 2 Aおよび第2のS n めっき層7 2 Bは、まとめてS n めっき層7 2 と呼ばれる場合がある。第1の端面側N i めっき層7 1 A 1と第2の端面側N i めっき層7 1 B 1とを特に区別して説明する必要の無い場合は、第1の端面側N i めっき層7 1 A 1および第2の端面側N i めっき層7 1 B 1は、まとめて端面側N i めっき層7 1 1 と呼ばれる場合がある。第1の側面側N i めっき層7 1 A 2と第2の側面側N i めっき層7 1 B 2とを特に区別して説明する必要の無い場合は、第1の側面側N i めっき層7 1 A 2および第2の側面側N i めっき層7 1 B 2は、まとめて側面側N i めっき層7 1 2 と呼ばれる場合がある。また、第1の端面L S 1と第2の端面L S 2とを特に区別して説明する必要の無い場合は、第1の端面L S 1および第2の端面L S 2はまとめて端面L S と呼ばれる場合がある。

[0041] 下地電極層5 0 は、第1の下地電極層5 0 Aおよび第2の下地電極層5 0 Bを有する。

[0042] 第1の下地電極層5 0 Aは、第1の端面L S 1上に配置されている。第1の下地電極層5 0 Aは、第1の内部電極層3 1に接続されている。また、第1の下地電極層5 0 Aは、第1の主面T S 1の一部および第2の主面T S 2の一部、第1の側面W S 1の一部および第2の側面W S 2の一部にも配置されていてもよい。本実施形態においては、第1の下地電極層5 0 Aは、第1の端面L S 1上から第1の主面T S 1の一部および第2の主面T S 2の一部、ならびに第1の側面W S 1の一部および第2の側面W S 2の一部にまで延びて形成されている。

[0043] 第2の下地電極層5 0 Bは、第2の端面L S 2上に配置されている。第2の下地電極層5 0 Bは、第2の内部電極層3 2に接続されている。また、第2の下地電極層5 0 Bは、第1の主面T S 1の一部および第2の主面T S 2の一部、第1の側面W S 1の一部および第2の側面W S 2の一部にも配置されていてもよい。本実施形態においては、第2の下地電極層5 0 Bは、第2

の端面LS2上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びて形成されている。

[0044] 本実施形態の第1の下地電極層50Aおよび第2の下地電極層50Bは、焼き付け層である。焼き付け層は、金属成分と、ガラス成分もしくはセラミック成分のどちらか一方を含んでいるか、その両方を含んでいることが好ましい。これにより、積層体10と下地電極層との密着性を向上させることができる。金属成分は、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。ガラス成分は、例えば、B、Si、Ba、Mg、Al、Li等から選ばれる少なくとも1つを含む。ガラス成分がある場合、下地電極層中の金属成分の焼結を助け、焼結を進めることができる。セラミック成分は、誘電体層20と同種のセラミック材料を用いてもよいし、異なる種のセラミック材料を用いてもよい。セラミック成分は、例えば、BaTiO₃、CaTiO₃、(Ba, Ca)TiO₃、SrTiO₃、CaZrO₃等から選ばれる少なくとも1つを含む。

[0045] 焼き付け層は、例えば、ガラスおよび金属を含む導電性ペーストを積層体に塗布して焼き付けたものである。焼き付け層は、内部電極および誘電体層を有する積層チップと積層チップに塗布した導電性ペーストとを同時焼成したものでもよく、内部電極および誘電体層を有する積層チップを焼成して積層体を得た後に積層体に導電性ペーストを塗布して焼き付けたものでもよい。なお、内部電極および誘電体層を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、焼き付け層は、ガラス成分の代わりにセラミック材料を添加したものを焼き付けて形成することが好ましい。この場合、添加するセラミック材料として、誘電体層20と同種のセラミック材料を用いることが特に好ましい。焼き付け層は、複数層であってもよい。

[0046] 第1の端面LS1に位置する第1の下地電極層50Aの長さ方向の厚みは、第1の下地電極層50Aの積層方向Tおよび幅方向Wの中央部において、

例えば、 $2\ \mu\text{m}$ 以上 $220\ \mu\text{m}$ 以下程度であることが好ましい。

[0047] 第2の端面LS2に位置する第2の下地電極層50Bの長さ方向の厚みは、第2の下地電極層50Bの積層方向Tおよび幅方向Wの中央部において、例えば、 $2\ \mu\text{m}$ 以上 $220\ \mu\text{m}$ 以下程度であることが好ましい。

[0048] 第1の主面TS1または第2の主面TS2の少なくとも一方の面の一部にも第1の下地電極層50Aを設ける場合には、この部分に設けられた第1の下地電極層50Aの積層方向の厚みは、この部分に設けられた第1の下地電極層50Aの長さ方向Lおよび幅方向Wの中央部において、例えば、 $4\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下程度であることが好ましい。

[0049] 第1の側面WS1または第2の側面WS2の少なくとも一方の面の一部にも第1の下地電極層50Aを設ける場合には、この部分に設けられた第1の下地電極層50Aの幅方向の厚みは、この部分に設けられた第1の下地電極層50Aの長さ方向Lおよび積層方向Tの中央部において、例えば、 $4\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下程度であることが好ましい。

[0050] 第1の主面TS1または第2の主面TS2の少なくとも一方の面の一部にも第2の下地電極層50Bを設ける場合には、この部分に設けられた第2の下地電極層50Bの積層方向の厚みは、この部分に設けられた第2の下地電極層50Bの長さ方向Lおよび幅方向Wの中央部において、例えば、 $4\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下程度であることが好ましい。

[0051] 第1の側面WS1または第2の側面WS2の少なくとも一方の面の一部にも第2の下地電極層50Bを設ける場合には、この部分に設けられた第2の下地電極層50Bの幅方向の厚みは、この部分に設けられた第2の下地電極層50Bの長さ方向Lおよび積層方向Tの中央部において、例えば、 $4\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下程度であることが好ましい。

[0052] 外部電極40は、下地電極層50上に配置される樹脂成分および金属成分を含む導電性樹脂層60を有している。導電性樹脂層60は、第1の導電性樹脂層60Aと、第2の導電性樹脂層60Bを有する。

[0053] 第1の導電性樹脂層60Aは、第1の下地電極層50Aを覆うように配置

されている。また、第1の導電性樹脂層60Aの端部は積層体10に接触していることが好ましい。第1の導電性樹脂層60Aの端部とは、第1の導電性樹脂層60Aのうち長さ方向Lにおいて第1の下地電極層50Aよりも第2の端面LS2側の部分を示す。第2の導電性樹脂層60Bは、第2の下地電極層50Bを覆うように配置されている。また、第2の導電性樹脂層60Bの端部は積層体10に接触していることが好ましい。第2の導電性樹脂層60Bの端部とは、第2の導電性樹脂層60Bのうち長さ方向Lにおいて第2の下地電極層50Bよりも第1の端面LS1側の部分を示す。

[0054] 第1の端面LS1側に位置する第1の導電性樹脂層60Aの長さ方向の厚みは、第1の導電性樹脂層60Aの積層方向Tおよび幅方向Wの中央部において、例えば、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下程度であることが好ましい。

[0055] 第2の端面LS2側に位置する第2の導電性樹脂層60Bの長さ方向の厚みは、第2の導電性樹脂層60Bの積層方向Tおよび幅方向Wの中央部において、例えば、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下程度であることが好ましい。

[0056] 第1の主面TS1側の一部および第2の主面TS2側の一部にも第1の導電性樹脂層60Aを設ける場合には、この部分に設けられた第1の導電性樹脂層60Aの積層方向Tの厚みは、この部分に設けられた第1の導電性樹脂層60Aの長さ方向Lおよび幅方向Wの中央部において、例えば、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下程度であることが好ましい。

[0057] 第1の側面WS1側の一部および第2の側面WS2側の一部にも第1の導電性樹脂層60Aを設ける場合には、この部分に設けられた第1の導電性樹脂層60Aの幅方向Wの厚みは、この部分に設けられた第1の導電性樹脂層60Aの長さ方向Lおよび積層方向Tの中央部において、例えば、 $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下程度であることが好ましい。

[0058] 第1の主面TS1側の一部および第2の主面TS2側の一部にも第2の導電性樹脂層60Bを設ける場合には、この部分に設けられた第2の導電性樹脂層60Bの積層方向Tの厚みは、この部分に設けられた第2の導電性樹脂層60Bの長さ方向Lおよび幅方向Wの中央部において、例えば、 $10\mu\text{m}$

以上 $200\ \mu\text{m}$ 以下程度であることが好ましい。

[0059] 第1の側面WS1側の一部および第2の側面WS2側の一部にも第2の導電性樹脂層60Bを設ける場合には、この部分に設けられた第2の導電性樹脂層60Bの幅方向Wの厚みは、この部分に設けられた第2の導電性樹脂層60Bの長さ方向Lおよび積層方向Tの中央部において、例えば、 $10\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下程度であることが好ましい。

[0060] 導電性樹脂層60は、下地電極層50上に配置されている。そして、導電性樹脂層60を覆うように、めっき層70が配置されている。めっき層70は、Niめっき層71およびSnめっき層72を有する。

[0061] 導電性樹脂層60は、樹脂部と、樹脂部内に分散された導電性フィラーとを有する。

[0062] 導電性樹脂層60の樹脂部は、例えば、エポキシ樹脂、フェノキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコン樹脂、ポリイミド樹脂等の公知の種々の熱硬化性樹脂から選ばれる少なくとも1つを含んでいてもよい。その中でも、耐熱性、耐湿性、密着性等に優れたエポキシ樹脂は、最も適切な樹脂の1つである。また、導電性樹脂層60の樹脂部は、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤は、フェノール系、アミン系、酸無水物系、イミダゾール系、活性エステル系、アミドイミド系等公知の種々の化合物であってもよい。

[0063] 導電性樹脂層60は、このような樹脂部を含むため、例えば、めっき膜や金属成分とガラス成分の焼成物からなる下地電極層50よりも柔軟性に富んでいる。このため、積層セラミックコンデンサ1に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導電性樹脂層60は、緩衝層として機能する。よって、導電性樹脂層60は、積層セラミックコンデンサ1のクラック発生を抑制する。

[0064] 導電性フィラーは、樹脂部内に略一様な分布で分散されて存在している。導電性フィラーは、主に導電性樹脂層60の通電性を担う。具体的には、複

数の導電性フィラー同士が接触することにより、導電性樹脂層60内部に通電経路が形成され、下地電極層50とめっき層70の間は導通する。

[0065] 導電性フィラーを構成する金属は、Ag単体であってもよいし、Agを含む合金や、金属粉の表面にAgコーティングされた金属粉を使用することもできる。Agは、金属の中でもっとも比抵抗が低いため、電極材料に適している。また、Agは貴金属であるため、酸化しにくく、対候性が高い。よって、Agの金属粉は、導電性フィラーとして好適である。また、金属粉の表面にAgコーティングされたものを使用する際には金属粉としてCu、Ni、Sn、Biまたは、それらを含む合金粉を用いることが好ましい。

[0066] さらに、導電性フィラーは、Cu、Niに酸化防止処理を施したものであってもよい。また、導電性フィラーは、金属粉の表面にSn、Ni、Cuをコーティングした金属粉であってもよい。金属粉の表面にSn、Ni、Cuをコーティングされたものを使用する際には、金属粉は、Ag、Cu、Ni、Sn、Biまたはそれらの合金粉であることが好ましい。

[0067] 導電性フィラーの形状は、特に限定されない。導電性フィラーは、球形状、扁平状等のものを用いることができるが、球形状金属粉と扁平状金属粉とを混合して用いることが好ましい。

[0068] 導電性フィラーの平均粒子径は、例えば、0.3 μm 以上10 μm 以下であってもよい。

[0069] なお、導電性樹脂層60に含まれる導電性フィラーの平均粒径の測定方法は、導電性フィラーの形状によらず、ISO 13320に基づきレーザ回折粒度測定法を用いることで算出する。

[0070] めっき層70は、第1のめっき層70Aおよび第2のめっき層70Bを有する。

[0071] 第1のめっき層70Aは、第1の導電性樹脂層60Aを覆うように配置されている。本実施形態においては、第1のめっき層70Aは、第1の端面LS1上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びるよう

に配置されている。より具体的には、第1のめっき層70Aは、上述した第1の端面側Niめっき層71A1が第1の端面LS1上に配置され、上述した第1の側面側Niめっき層71A2が第1の端面LS1上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びるように配置されている。

[0072] 第2のめっき層70Bは、第2の導電性樹脂層60Bを覆うように配置されている。本実施形態においては、第2のめっき層70Bは、第1の端面LS1上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びるように配置されている。より具体的には、第2のめっき層70Bは、上述した第2の端面側Niめっき層71B1が第2の端面LS2上に配置され、上述した第2の側面側Niめっき層71B2が第2の端面LS2上から第1の主面TS1の一部および第2の主面TS2の一部、ならびに第1の側面WS1の一部および第2の側面WS2の一部にまで延びるように配置されている。

[0073] めっき層70は、好ましくは、Niめっき層71、Snめっき層72の2層構造である。第1のNiめっき層71A上には、第1のSnめっき層72Aが配置されていることが好ましく、第2のNiめっき層71B上には、第2のSnめっき層72Bが配置されていることが好ましい。Niめっき層71は、下地電極層50や導電性樹脂層60が、積層セラミックコンデンサ1を実装する際にはんだによって侵食されることを防止する。Snめっき層72は、積層セラミックコンデンサ1を実装する際にはんだの濡れ性を向上させる。これにより、積層セラミックコンデンサ1の実装を容易にする。

[0074] 第1のNiめっき層71Aと、第1のSnめっき層72Aそれぞれの厚みは、 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。

[0075] 第2のNiめっき層71Bと、第2のSnめっき層72Bそれぞれの厚みは、 $1\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であることが好ましい。

[0076] 図5は、図2に示す積層セラミックコンデンサ1のV部の拡大図であり、積層セラミックコンデンサ1の端面LS側で生じる力の状態を説明するため

の模式図である。前述のとおり、第1のNiめっき71Aと第2のNiめっき71Bの基本的な構成は同じであるため、図5を用いて、これらをまとめてNiめっき71として説明する。なお、第1の外部電極40Aおよび第2の外部電極40Bを構成する他の層についても同様である。図5に示すように、導電性樹脂層60は、下地電極層50上に配置されている。そして、導電性樹脂層60を覆うように、後述のめっき層70が配置されている。めっき層70は、Niめっき層71およびSnめっき層72を有する。Niめっき層71は、端面側Niめっき層711と、側面側Niめっき層712と、を有する。

[0077] Niめっき層71は、めっき層70の厚み方向と交わる方向に全体として均等に引張応力が生じるように成膜される。言い換えると、Niめっき層71の内部には、内部応力として引張応力が残留している。端面側Niめっき層711は、めっき層70の厚み方向と交わる方向に引張応力が生じており、端面側Niめっき層711がめっき層70の厚み方向と交わる方向に縮もうとする。図5に示されるように端面側Niめっき層711を挟んで両端側に形成される側面側Niめっき層712は、それぞれ端面側Niめっき層711の中央側に向かって引張られる。即ち、端面側Niめっき層711を挟んだ両側に形成される側面側Niめっき層712は、それぞれ導電性樹脂層60を下地電極層50に押し付ける方向に力を受ける。これにより、導電性樹脂層60は、導通性が向上し、ESR（等価直列抵抗：Equivalent Series Resistance）が低減する効果が生じる。

[0078] また、側面側Niめっき層712は、めっき層70の厚み方向と交わる方向に引張応力が生じることで、側面側Niめっき層712がめっき層70の厚み方向と交わる方向に縮もうとする。このため、側面側Niめっき層712は、側面側Niめっき層712の周方向において導電性樹脂層60に締め付いた状態で、長さ方向Lにおいて端面側Niめっき層711を引っ張って導電性樹脂層60を下地電極層50に押し付けさせる。これにより、導電性樹脂層60の導通性が向上し、ESRが低減する効果が生じる。

- [0079] また、引張応力は50MPa以上であることが好ましい。これにより、ESR低減効果をさらに高めることができる。
- [0080] なお、Niめっき層71の応力が、206MPaよりも大きくなった場合には、製造上積層セラミックコンデンサ1を作製することが難しくなるため、引張応力は206MPa以下であることが好ましい。これにより、ESR低減効果をさらに高めつつ容易に積層セラミックコンデンサ1を製作することができる。
- [0081] なお、積層体10と外部電極40を含む積層セラミックコンデンサ1の長さ方向の寸法をL寸法とすると、L寸法は、0.2mm以上10mm以下であることが好ましい。また、積層セラミックコンデンサ1の積層方向の寸法をT寸法とすると、T寸法は、0.1mm以上10mm以下であることが好ましい。また、積層セラミックコンデンサ1の幅方向の寸法をW寸法とする。W寸法は、0.1mm以上10mm以下であることが好ましい。
- [0082] 次に、本実施形態の積層セラミックコンデンサ1の製造方法について説明する。
- [0083] 誘電体層20用の誘電体シートおよび内部電極層30用の導電性ペーストが準備される。誘電体シートおよび内部電極用の導電性ペーストは、バインダおよび溶剤を含む。バインダおよび溶剤は、公知のものであってもよい。
- [0084] 誘電体シート上に、内部電極層30用の導電性ペーストが、例えば、スクリーン印刷やグラビア印刷等により所定のパターンで印刷される。これにより、第1の内部電極層31のパターンが形成された誘電体シートおよび、第2の内部電極層32のパターンが形成された誘電体シートが準備される。
- [0085] 内部電極層のパターンが印刷されていない誘電体シートが所定枚数積層されることにより、第1の主面TS1側の第1の主面側外層部12Aとなる部分が形成される。その上に、第1の内部電極層31のパターンが印刷された誘電体シートおよび第2の内部電極層32のパターンが印刷された誘電体シートが順次積層されることにより、内層部11となる部分が形成される。この内層部11となる部分の上に、内部電極層のパターンが印刷されていない

誘電体シートが所定枚数積層されることにより、第2の主面TS2側の第2の主面側外層部12Bとなる部分が形成される。これにより、積層シートが作製される。

[0086] 積層シートが静水圧プレス等の手段により積層方向にプレスされることにより、積層ブロックが作製される。

[0087] 積層ブロックが所定のサイズにカットされることにより、積層チップが切り出される。このとき、バレル研磨等により積層チップの角部および稜線部に丸みがつけられてもよい。

[0088] 積層チップが焼成されることにより、積層体10が作製される。焼成温度は、誘電体層20や内部電極層30の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0089] 積層体10の両端面に下地電極層50となる導電性ペーストが塗布される。本実施形態においては、下地電極層50は、焼き付け層である。ガラス成分と金属とを含む導電性ペーストが、例えばディッピング等の方法により、積層体10に塗布される。その後、焼き付け処理が行われ、下地電極層50が形成される。この時の焼き付け処理の温度は、700℃以上950℃以下であることが好ましい。

[0090] 次に、導電性樹脂層60が形成される。なお、導電性樹脂層60は、下地電極層50の表面に形成されてもよく、積層体10上に直接形成されてもよい。本実施形態においては、導電性樹脂層60は、下地電極層50の表面に形成される。

[0091] まず、樹脂部となるベース樹脂としての熱硬化性樹脂中に導電性フィラーを分散させた導電性樹脂ペーストが準備される。この導電性樹脂ペーストは、熱硬化性樹脂および導電性フィラーが攪拌混合されることにより生成される。よって、導電性フィラーは、導電性樹脂ペースト内において一様な分布で分散して存在している。ここで、熱硬化性樹脂は、例えばエポキシ樹脂である。導電性フィラーは、例えばAgの金属粉である。

[0092] その後、導電性樹脂ペーストが、下地電極層50上にディッピング工法を

用いて塗布され、200℃以上550℃以下の温度の熱処理が行われる。これにより、樹脂部が熱硬化し、導電性樹脂層60が形成される。この時の熱処理時の雰囲気は、N₂雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は100ppm以下に抑えられていることが好ましい。

[0093] その後、導電性樹脂層60の表面に、めっき層70が形成される。本実施形態では、導電性樹脂層60上に、Niめっき層71およびSnめっき層72が形成される。Niめっき層71およびSnめっき層72は、電界めっき法を用いて順次形成される。めっき工法として、例えばバレルめっきを用いることが好ましい。

[0094] なお、本発明の第1のNiめっき層71Aおよび第2のNiめっき層71B全体に生じる応力は、以下の方法でコントロールすることができる。

[0095] なお、めっきに生じる応力は、成膜時にかかる電流密度によって変動することが分かっている。積層セラミックコンデンサ1にかかる電流密度はランダムである。第1の主面TS1上または第2の主面TS2上もしくは第1の側面WS1上または第2の側面WS2上に位置するNiめっき層の先端部では、Niめっきの成膜初期から、例えば3μmの厚みとなるまでにそれぞれの先端部にかかる平均の電流密度は、第1の主面TS1上または第2の主面TS2上もしくは第1の側面WS1上または第2の側面WS2上に位置するNiめっき層の先端部のいずれの面でも同一である。このため、第1の主面TS1上、第2の主面TS2上、第1の側面WS1上、第2の側面WS2上のNiめっき層70のいずれの面でも同一の応力がかかっている。

[0096] 第1のNi層71Aおよび第2のNiめっき層71Bの成膜は、例えば硫酸Niとスルファミン酸Niの投入量を調整して作製されためっき液によるめっき浴を行うことができる。当該めっき液の硫酸Niとスルファミン酸Niとの比率を調整することで成膜されるNiめっき層71の内部の残留応力の値を調整することができる。

[0097] 本実施形態では、Niめっき層71上にさらにSnめっき層72を形成し

、第1のNiめっき層71A上には第1のSnめっき層72A、第2のNiめっき層71B上には第2のSnめっき層72Bを形成した。Snめっき層72を形成する方法としては電解めっき法を用いる。めっき工法としてはバレルめっきを用いることが好ましい。これにより、積層セラミックコンデンサ1を実装する際に、実装に用いられるはんだの濡れ性を向上させ、容易に実装することができる。以上の製造方法により、積層セラミックコンデンサ1が製造される。

[0098] 本実施形態の積層セラミックコンデンサ1によれば、以下の効果を奏する。

[0099] 近年、積層セラミックコンデンサに代表されるセラミック電子部品は、従来に比べてより過酷な環境下で使用されるようになってきている。例えば、携帯電話、携帯音楽プレーヤー等のモバイル機器に用いられる電子部品については、落下時の衝撃に耐えることが求められている。具体的には、落下衝撃を受けても、実装基板から電子部品が脱落しない、または電子部品にクラックが生じないようにする必要がある。

[0100] また、ECU (Electronic Control Unit) 等の車載機器に用いられる電子部品については、熱サイクルの衝撃に耐えることが求められている。具体的には、熱サイクルを受けて実装基板が熱膨張収縮することにより発生するたわみ応力を受けても、電子部品にクラックが生じないようにする必要がある。

[0101] これを受けて、厳しい環境下でもセラミック電子部品本体にクラックが入らないような対策として、セラミック電子部品の外部電極に熱硬化性導電樹脂ペーストを用いることが提案されている。例えば、従来の電極層とNiめっき層との間に、エポキシ系熱硬化性樹脂層を形成する。

[0102] このような構成においては、落下時の衝撃による応力や、熱サイクルを受けて実装基板が熱膨張収縮することにより発生するたわみ応力が発生した際、実装基板のゆがみにより実装基板に伝わる応力を、エポキシ系熱硬化性樹脂層が逃がし、セラミック電子部品本体にクラックが入ることを抑制してい

る。

[0103] しかしながら、特許文献1のような積層セラミック電子部品においては、導電性樹脂層の上に配置されたNiめっき層における応力については規定されていない。

[0104] 本発明では、Niめっき層の内部に引張応力が残留することで、Niめっき層が導電性樹脂層を下地電極層側に押し付け、導電性樹脂層が圧縮され、導電性樹脂層中の導電性フィラー同士の接触量が増加し、導電性樹脂層の導通性を向上させることができる。それゆえに、積層セラミック電子部品のESRを低減し、初期特性を改善した積層セラミック電子部品を提供できる。

[0105] (1) 本実施形態に係る積層セラミックコンデンサ1(積層セラミック電子部品1)は、積層された複数の誘電体層20(セラミック層20)を含み、積層方向Tに相対する第1の主面TS1および第2の主面TS2と、積層方向Tに直交する幅方向Wに相対する第1の側面WS1および第2の側面WS2と、積層方向Tおよび幅方向Wに直交する長さ方向Lに相対する第1の端面LS1および第2の端面LS2と、を有する積層体10と、複数の誘電体層20上に配置され、第1の端面LS1に露出する第1の内部電極層31(第1の内部導体層31)と、複数の誘電体層20上に配置され、第2の端面LS2に露出する第2の内部電極層32(第2の内部導体層32)と、第1の端面LS1上に配置された第1の外部電極40Aと、第2の端面LS2上に配置された第2の外部電極40Bと、を有する積層セラミックコンデンサ1において、第1の外部電極40Aは、金属成分を含む第1の下地電極層50Aと、第1の下地電極層50A上に配置される熱硬化性樹脂および金属成分を含む第1の導電性樹脂層60Aと、第1の導電性樹脂層60A上に配置される第1のNiめっき層71Aと、を有し、第2の外部電極40Bは、金属成分を含む第2の下地電極層50Bと、第2の下地電極層50B上に配置される熱硬化性樹脂および金属成分を含む第2の導電性樹脂層60Bと、第2の導電性樹脂層60B上に配置される第2のNiめっき層71Bと、を有し、第1のNiめっき層71Aの内部には、内部応力として引張応力が残

留しており、第2のNiめっき層71Bの内部には、内部応力として引張応力が残留している。

[0106] これにより、ESRを低減可能な積層セラミック電子部品を提供することができる。

[0107] (2) 本実施形態の積層セラミックコンデンサ1において、第1のNiめっき層71Aおよび第2のNiめっき層71Bに生じる引張応力は、50MPa以上である。

[0108] これにより、さらにESRを低減できる。

[0109] (3) 本実施形態の積層セラミックコンデンサ1は、第1のNiめっき層71A上に配置された第1のSnめっき層72Aと、第2のNiめっき層71B上に配置された第2のSnめっき層72Bと、を有する。

[0110] これにより、はんだ濡れ性を向上させつつ、ESRを低減できる。

[0111] (4) 本実施形態の積層セラミックコンデンサ1は、第1の下地電極層50Aは、ガラス成分もしくはセラミック成分を含み、第2の下地電極層50Bは、ガラス成分もしくはセラミック成分を含む。

[0112] これにより、積層体と下地電極層との密着性を向上させつつ、ESRを低減できる。

[0113] <実施例>

上記実施形態に係る製造方法を用いて、図1～図4の構造の積層セラミックコンデンサを実施例および比較例のサンプルとして作製した。なお、サンプルに関しては、表1に記載の応力となるように上記の製造方法に記載の方法でNiめっき層の応力をコントロールしてサンプルを作製し、それぞれの応力の条件ごとに22個ずつサンプルを作製した。積層セラミックコンデンサの仕様は、以下のとおりである。

・積層セラミックコンデンサの寸法：3.2mm（長さ方向L）×2.5mm（幅方向W）×2.5mm（積層方向T）

・セラミック材料：BaTiO₃

・静電容量：0.01μF

・定格電圧：50V

・外部電極の構造

(1) 下地電極層：導電性金属 (Cu) とガラス成分を含む電極

第1の端面および第2の端面に位置する下地電極層の高さ方向中央部における下地電極層の厚み：15 μm

第1の主面および第2の主面、第1の側面および第2の側面上に位置する下地電極層の長さ方向の中央部における下地電極層の厚み：4 μm

(2) 導電性樹脂層

導電性樹脂層部：導電性フィラー：Ag

樹脂：エポキシ系

熱硬化温度：200℃

第1の端面および第2の端面に位置する第1の導電性樹脂層部の高さ方向中央部における厚み：20 μm

第1の主面および第2の主面、第1の側面および第2の側面上に位置する下地電極層の長さ方向の中央部における下地電極層の厚み：20 μm

(3) Niめっき層

Niめっき層厚み：第1の端面および第2の端面に位置するNiめっき層の高さ方向中央部におけるNiめっき層の厚み：2 μm

第1の主面および第2の主面、第1の側面および第2の側面上に位置するNiめっき層の長さ方向の中央部におけるNiめっき層の厚み：2.0 μm

(4) Snめっき層

Snめっき層厚み：第1の端面および第2の端面に位置するSnめっき層の高さ方向中央部におけるSnめっき層の厚み：1.5 μm

第1の主面および第2の主面、第1の側面および第2の側面上に位置するSnめっき層の長さ方向の中央部におけるSnめっき層の厚み：1.0 μm

[0114] 次に、実施例および比較例のサンプルについて、Niめっきの応力測定と、ESR測定を行った。Niめっきの応力測定と、ESR測定は、同一ロットで製造した積層セラミックコンデンサのうちの異なる積層セラミックコンデンサを用いて行った。Niめっき層の応力測定は、 $n = 2$ のデータの平均値を測定結果とした。実施例および比較例それぞれのESRは、測定周波数1MHzにおける $n = 20$ のデータの平均値を測定結果とした。そして、判定基準として、ESRが $8\text{ m}\Omega$ 以下の数値を「○」、 $10\text{ m}\Omega$ 以下の数値を「△」、 $10\text{ m}\Omega$ より大きい数値を「×」と判定した。

[表1]

	Niめっき応力 (Mpa)	チップのESR [mΩ]	判定
比較例1	-9	12.7	×
実施例1	10	10.0	△
実施例2	35	9.8	△
実施例3	50	7.1	○
実施例4	66	6.6	○
実施例5	113	6.2	○
実施例6	113	5.2	○
実施例7	120	4.0	○
実施例8	160	4.8	○
実施例9	173	5.1	○
実施例10	206	5.0	○

[0115] <Niめっきの応力測定>

以下、本実施例におけるNiめっきの応力測定について説明する。Niめっき層の応力は、以下の方法で測定した。

[0116] まず、金属剥離剤（メルストリップ（登録商標）HN980Mメルテックス株式会社製）液を用い、液中へ積層セラミックコンデンサ1を5分間浸漬した後、水洗しSnめっき層を剥離した。積層セラミックコンデンサ1の第1の端面LS1側及び第2の端面LS2側のNiめっき層それぞれについて第1の主面TS1上および第2の主面TS2上および第1の側面WS1上お

よび第2の側面WS2上に位置するNiめっき層のそれぞれの表面の略真ん中において、それぞれ $\phi 100\mu\text{m}$ の範囲でX線回折法($\mu\text{-XRD}$ (X-ray Diffraction))を用いて測定した。

[0117] より詳細には、第1の主面TS1上のNiめっき層の応力は、第1の主面TS1上の第1のNiめっき層71A及び第2のNiめっき層71Bそれぞれの長さ方向Lの中央かつ幅方向Wの中央の位置を対象にして測定した。また、第2の主面TS2上のNiめっき層の応力は、第2の主面TS2上の第1のNiめっき層71A及び第2のNiめっき層71Bそれぞれの長さ方向Lの中央かつ幅方向Wの中央の位置を対象にして測定した。また、第1の側面WS1上のNiめっき層の応力は、第1の側面WS1上の第1のNiめっき層71A及び第2のNiめっき層71Bそれぞれの長さ方向Lの中央かつ積層方向Tの中央の位置を対象にして測定した。また、第2の側面WS2上のNiめっき層の応力は、第2の側面WS2上の第1のNiめっき層71A及び第2のNiめっき層71Bそれぞれの長さ方向Lの中央かつ積層方向Tの中央の位置を対象にして測定した。作製した2個のサンプルを測定し、上記の8箇所の測定値の平均値を応力の測定値とした。

[0118] <積層セラミックコンデンサのESRの測定>

以下、本実施例におけるESRの測定について説明する。積層セラミックコンデンサ1のESRの測定は、測定前に積層セラミックコンデンサ1を空気雰囲気中で 150°C にて1時間の熱処理を行い、その後、測定用基板に実装し、熱処理完了後 24 ± 2 時間後に、測定周波数を 1MHz とし、ネットワークアナライザを用いて測定した。作製した20個のサンプルを測定し、その平均値を上記表1の値とした。

[0119] 以上の結果から、本発明では、導電性樹脂層上に配置されているNiめっき層の応力を引張応力にすることで、Niめっきが導電性樹脂層を下地電極層側に押し付け、導電性樹脂層が圧縮され、導電性樹脂層中の導電性フィラ一同士の接触量が増加し、導電性樹脂層の導通性を向上させる効果があることが示された。

[0120] また、Niめっき層の応力を50MPa以上とすることで、本発明の効果をより顕著なものにすることができ、初期特性が改善した積層セラミックコンデンサを提供することができた。

[0121] なお、積層セラミックコンデンサ1の構成は、図1～4に示す構成に限定されない。例えば、積層セラミックコンデンサ1は、図6、図7、図8に示すような、2連構造、3連構造、4連構造の積層セラミックコンデンサであってもよい。

[0122] 図6に示す積層セラミックコンデンサ1は、2連構造の積層セラミックコンデンサ1であり、内部電極層30として、第1の内部電極層33および第2の内部電極層34に加えて、第1の端面LS1および第2の端面LS2のどちらにも引き出されない浮き内部電極層35を備える。図7に示す積層セラミックコンデンサ1は、浮き内部電極層35として、第1の浮き内部電極層35Aおよび第2の浮き内部電極層35Bを備えた、3連構造の積層セラミックコンデンサ1である。図8に示す積層セラミックコンデンサ1は、浮き内部電極層35として、第1の浮き内部電極層35A、第2の浮き内部電極層35Bおよび第3の浮き内部電極層35Cを備えた、4連構造の積層セラミックコンデンサ1である。このように、内部電極層30として、浮き内部電極層35を設けることにより、積層セラミックコンデンサ1は、対向電極部が複数に分割された構造となる。これにより、対向する内部電極層30間において複数のコンデンサ成分が形成され、これらのコンデンサ成分が直列に接続された構成となる。よって、それぞれのコンデンサ成分に印加される電圧が低くなり、積層セラミックコンデンサ1の高耐圧化を図ることができる。なお、本実施形態の積層セラミックコンデンサ1は、4連以上の多連構造であってもよいことはいうまでもない。

[0123] なお、積層セラミックコンデンサ1は、2個の外部電極を備える2端子型のものであってもよいし、多数の外部電極を備える多端子型のものであってもよい。

[0124] なお、上述した実施形態では、積層セラミック電子部品として、誘電体セ

ラミックにより構成される誘電体層 20 がセラミック層として用いられている積層セラミックコンデンサを例示した。しかしながら、本開示の積層セラミック電子部品はこれに限定されない。例えば、本開示のセラミック電子部品は、セラミック層として圧電体セラミックを用いた圧電部品、セラミック層として半導体セラミックを用いたサーミスタ、およびセラミック層として磁性体セラミックを用いたインダクタ等の種々の積層セラミック電子部品にも適用可能である。圧電体セラミックとしては PZT（チタン酸ジルコン酸鉛）系セラミック等が挙げられ、半導体セラミックとしてはスピネル系セラミック等が挙げられ、磁性体セラミックとしてはフェライト等セラミックが挙げられる。

[0125] 本発明は、上記実施形態の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。なお、上記実施形態において記載する個々の望ましい構成を 2 つ以上組み合わせたものもまた本発明である。

[0126] < 1 >

積層された複数のセラミック層を含み、高さ方向に相対する第 1 の主面および第 2 の主面と、高さ方向に直交する幅方向に相対する第 1 の側面および第 2 の側面と、高さ方向および幅方向に直交する長さ方向に相対する第 1 の端面および第 2 の端面と、を有する積層体と、

前記複数のセラミック層上に配置され、前記第 1 の端面に露出する第 1 の内部導体層と、

前記複数のセラミック層上に配置され、前記第 2 の端面に露出する第 2 の内部導体層と、

前記第 1 の端面上に配置された第 1 の外部電極と、

前記第 2 の端面上に配置された第 2 の外部電極と、

を有する積層セラミック電子部品において、

前記第 1 の外部電極は、金属成分を含む第 1 の下地電極層と、前記第 1 の下地電極層上に配置される熱硬化性樹脂および金属成分を含む第 1 の導電性

樹脂層と、前記第 1 の導電性樹脂層上に配置される第 1 の N i めっき層と、
を有し、

前記第 2 の外部電極は、金属成分を含む第 2 の下地電極層と、前記第 2 の
下地電極層上に配置される熱硬化性樹脂および金属成分を含む第 2 の導電性
樹脂層と、前記第 2 の導電性樹脂層上に配置される第 2 の N i めっき層と、
を有し、

前記第 1 の N i めっき層の内部には、内部応力として引張応力が残留して
おり、

前記第 2 の N i めっき層の内部には、内部応力として引張応力が残留して
いる、

積層セラミック電子部品。

< 2 >

前記引張応力は、50MPa 以上である、< 1 >に記載の積層セラミック
電子部品。

< 3 >

前記第 1 の N i めっき層上には、第 1 の S n めっき層が配置され、

前記第 2 の N i めっき層上には、第 2 の S n めっき層が配置されている、

< 1 >または< 2 >に記載の積層セラミック電子部品。

< 4 >

前記第 1 の下地電極層は、ガラス成分もしくはセラミック成分を含み、

前記第 2 の下地電極層は、ガラス成分もしくはセラミック成分を含む、<
1 >～< 3 >のいずれか 1 つに記載の積層セラミック電子部品。

符号の説明

[0127] 1 積層セラミックコンデンサ（積層セラミック電子部品）

10 積層体

20 誘電体層（セラミック層）

31 第 1 の内部電極層（第 1 の内部導体層）

32 第 2 の内部電極層（第 2 の内部導体層）

4 0 A 第 1 の外部電極
4 0 B 第 2 の外部電極
5 0 A 第 1 の下地電極層
5 0 B 第 2 の下地電極層
6 0 A 第 1 の導電性樹脂層
6 0 B 第 2 の導電性樹脂層
7 1 A 第 1 の N i めっき層
7 1 B 第 2 の N i めっき層
T 高さ方向
T S 1 第 1 の主面
T S 2 第 2 の主面
W 幅方向
W S 1 第 1 の側面
W S 2 第 2 の側面
L 長さ方向
L S 1 第 1 の端面
L S 2 第 2 の端面

請求の範囲

- [請求項1] 積層された複数のセラミック層を含み、高さ方向に相対する第1の主面および第2の主面と、高さ方向に直交する幅方向に相対する第1の側面および第2の側面と、高さ方向および幅方向に直交する長さ方向に相対する第1の端面および第2の端面と、を有する積層体と、
- 前記複数のセラミック層上に配置され、前記第1の端面に露出する第1の内部導体層と、
- 前記複数のセラミック層上に配置され、前記第2の端面に露出する第2の内部導体層と、
- 前記第1の端面上に配置された第1の外部電極と、
- 前記第2の端面上に配置された第2の外部電極と、
- を有する積層セラミック電子部品において、
- 前記第1の外部電極は、金属成分を含む第1の下地電極層と、前記第1の下地電極層上に配置される熱硬化性樹脂および金属成分を含む第1の導電性樹脂層と、前記第1の導電性樹脂層上に配置される第1のNiめっき層と、を有し、
- 前記第2の外部電極は、金属成分を含む第2の下地電極層と、前記第2の下地電極層上に配置される熱硬化性樹脂および金属成分を含む第2の導電性樹脂層と、前記第2の導電性樹脂層上に配置される第2のNiめっき層と、を有し、
- 前記第1のNiめっき層の内部には、内部応力として引張応力が残留しており、
- 前記第2のNiめっき層の内部には、内部応力として引張応力が残留している、
- 積層セラミック電子部品。
- [請求項2] 前記引張応力は、50MPa以上である、請求項1に記載の積層セラミック電子部品。
- [請求項3] 前記第1のNiめっき層上には、第1のSnめっき層が配置され、

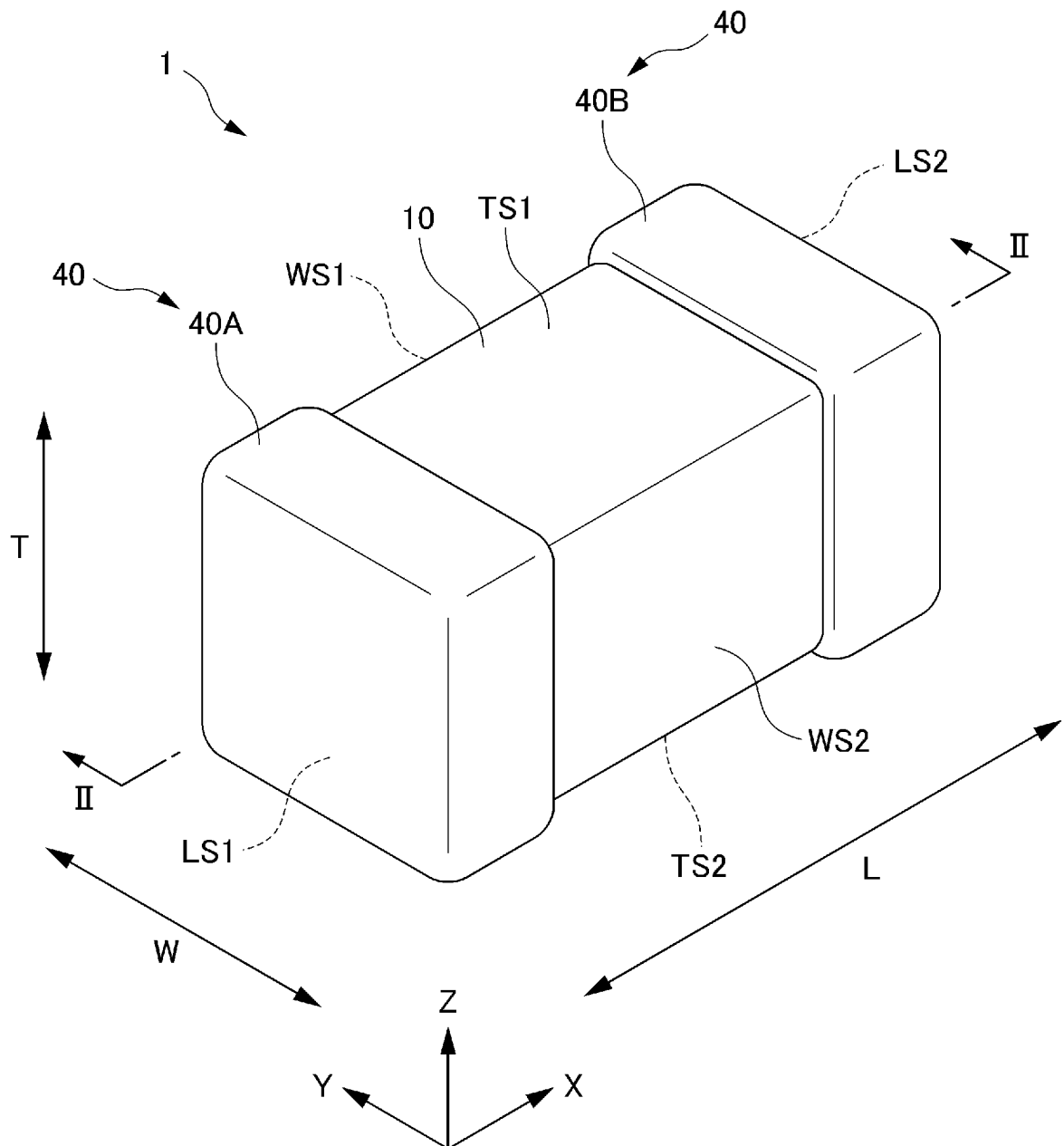
前記第2のNiめっき層上には、第2のSnめっき層が配置されている、請求項1または2に記載の積層セラミック電子部品。

[請求項4] 前記第1の下地電極層は、ガラス成分もしくはセラミック成分を含み、

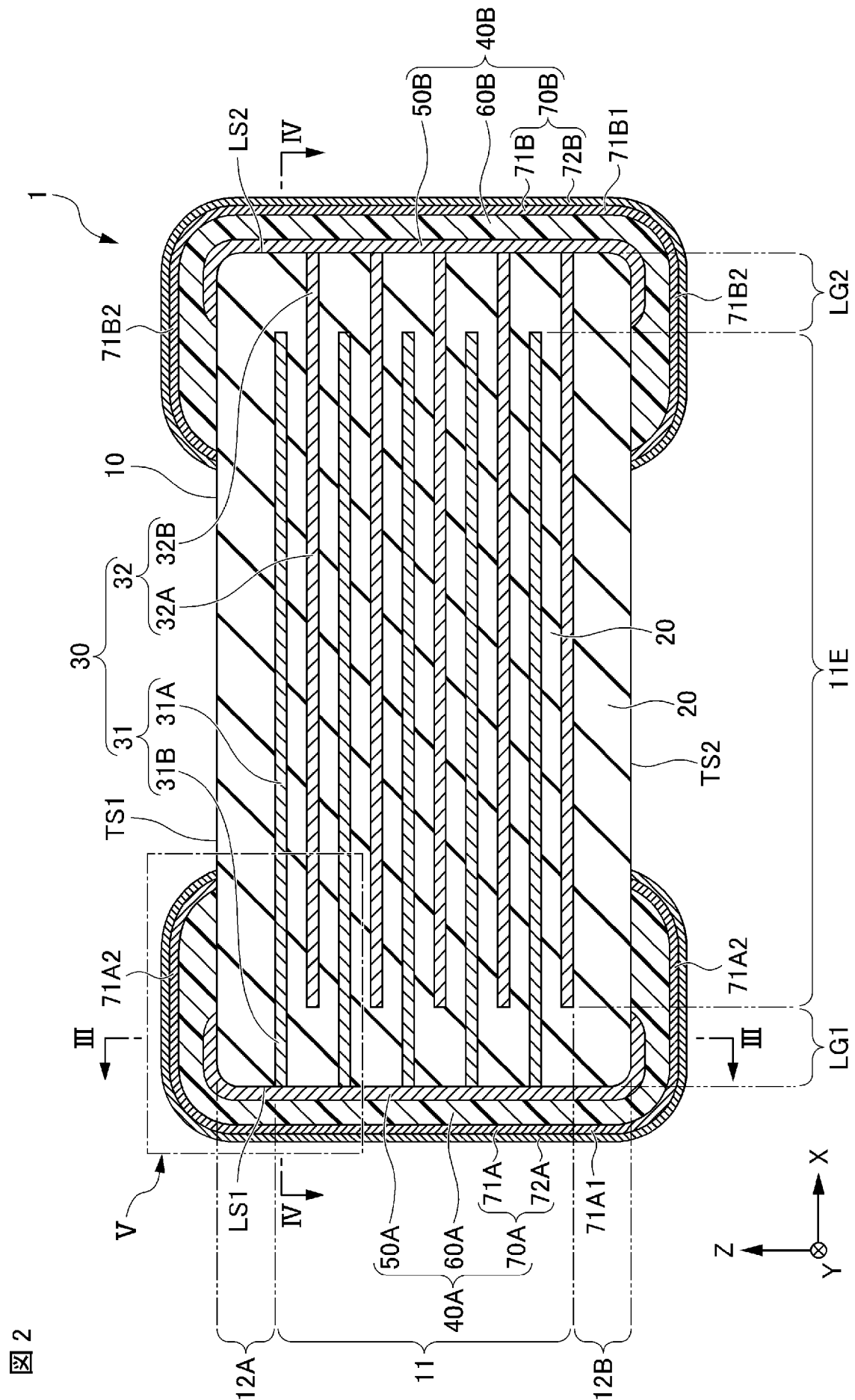
前記第2の下地電極層は、ガラス成分もしくはセラミック成分を含む、請求項1～3のいずれか1項に記載の積層セラミック電子部品。

[図1]

図 1

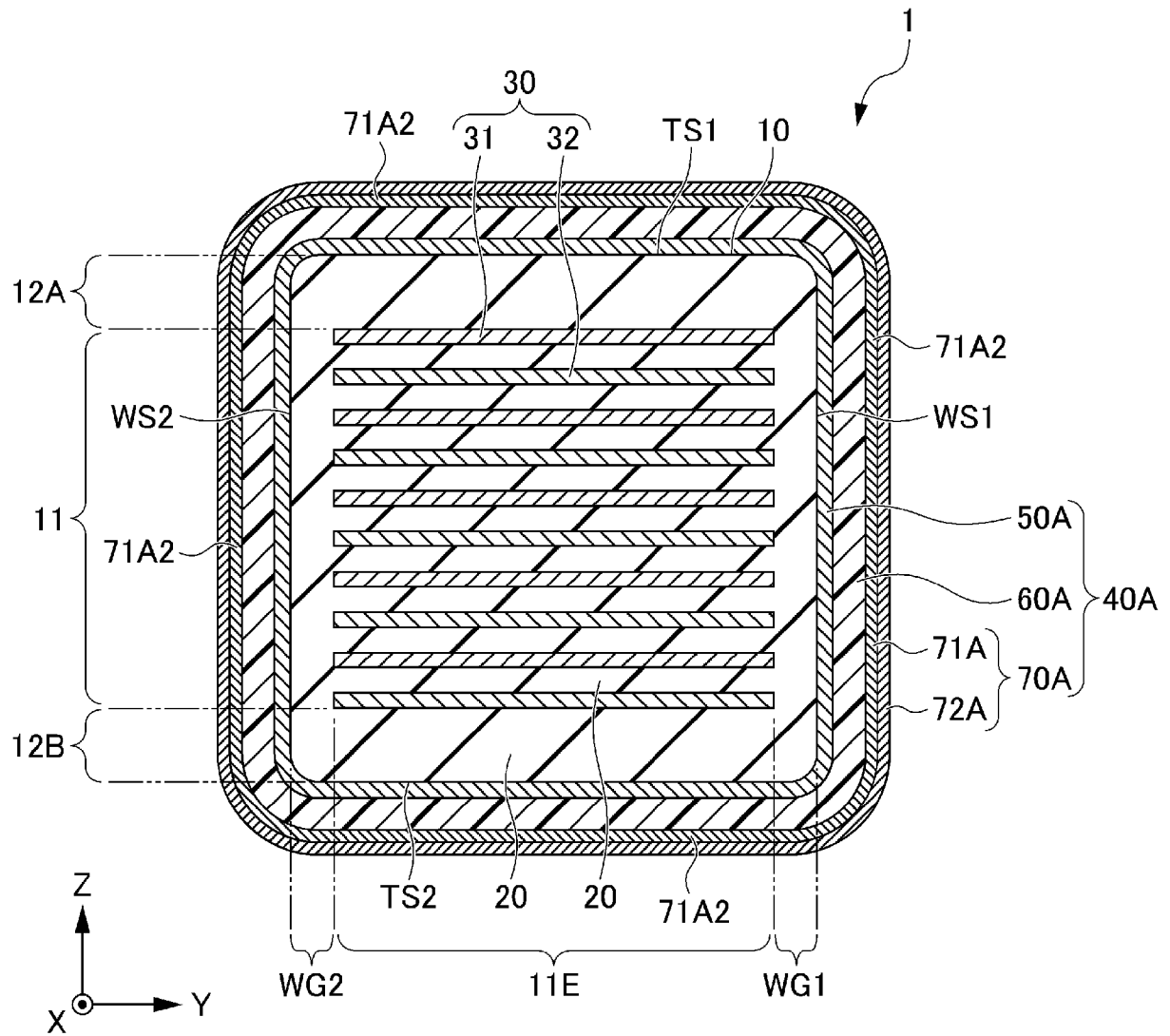


[図2]

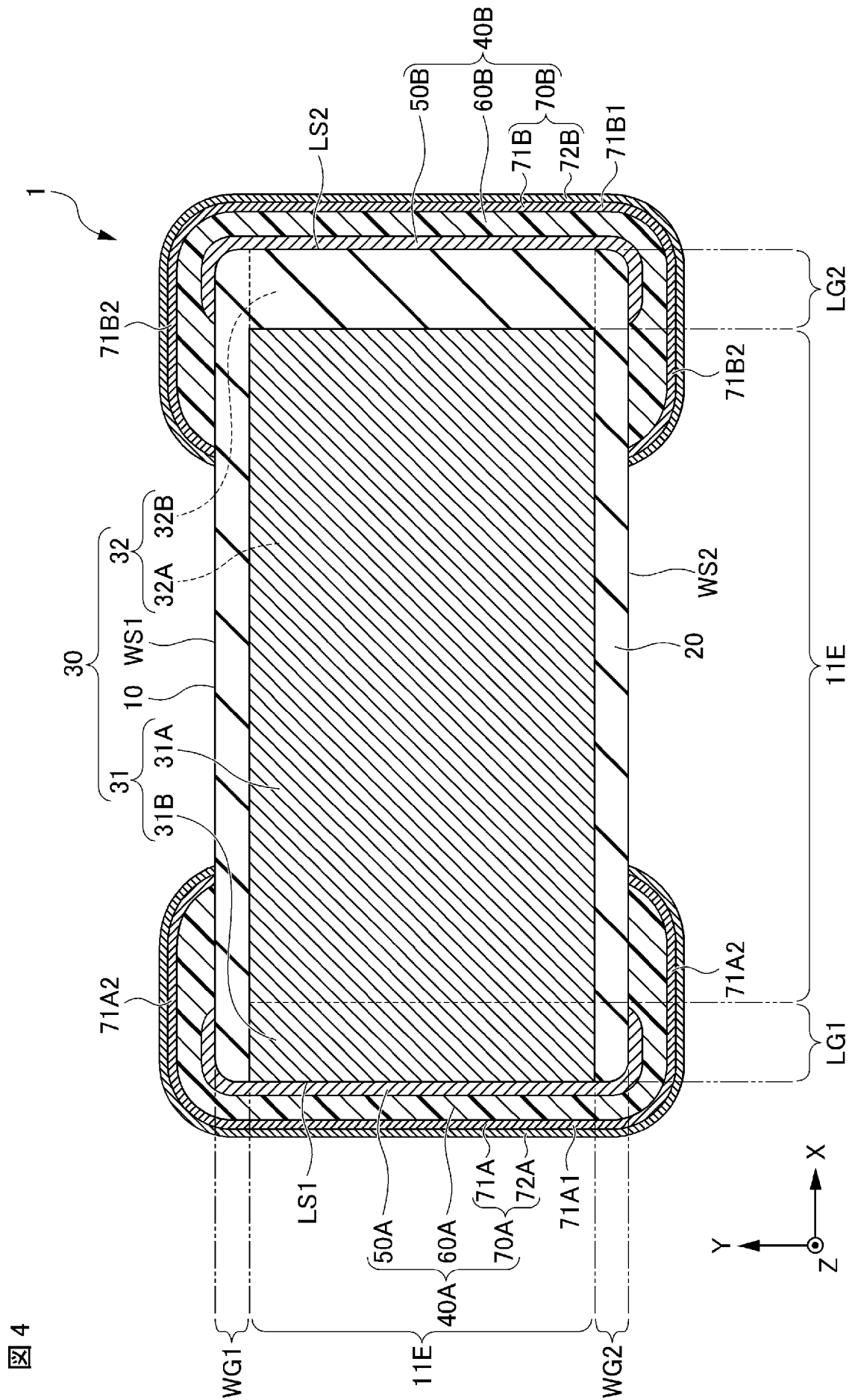


[図3]

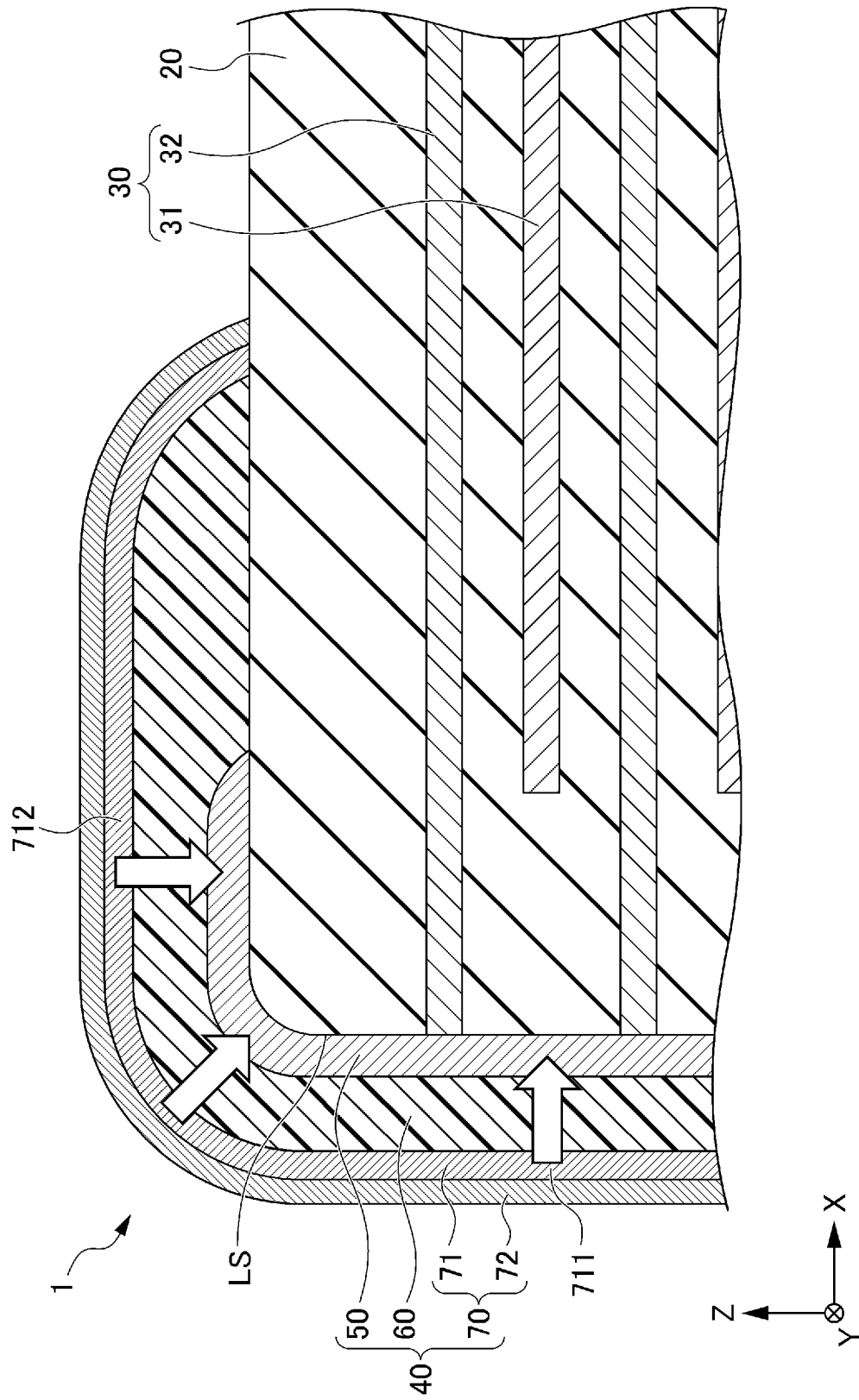
図 3



[図4]

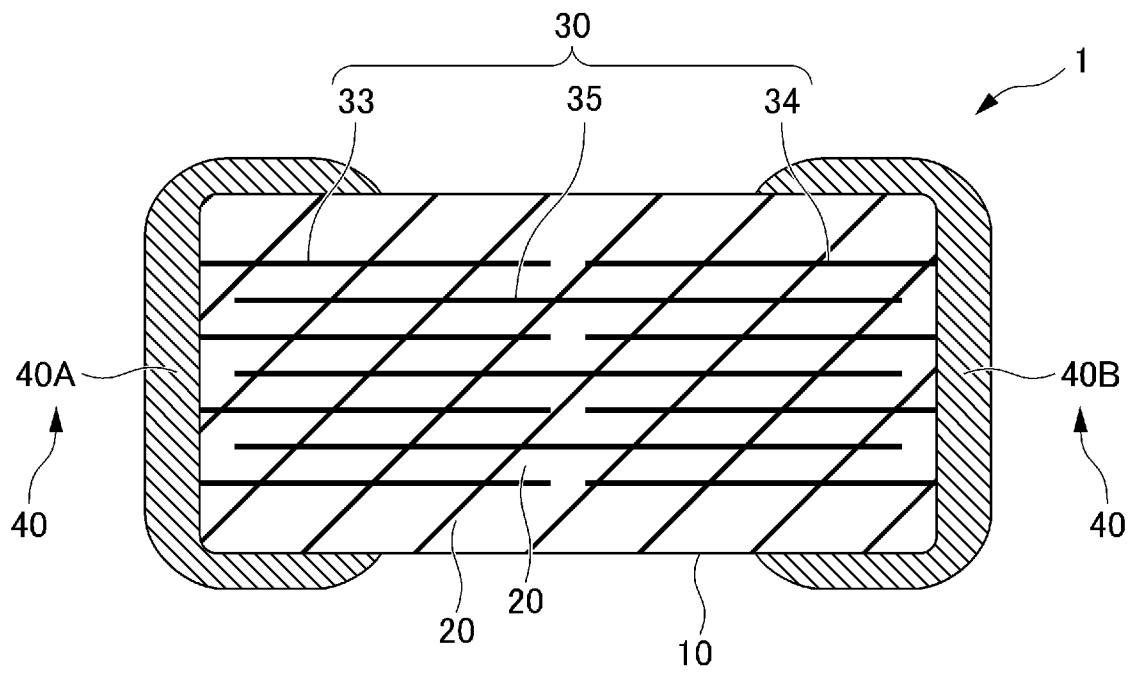


[図5]



[図6]

図 6



[図7]

図 7

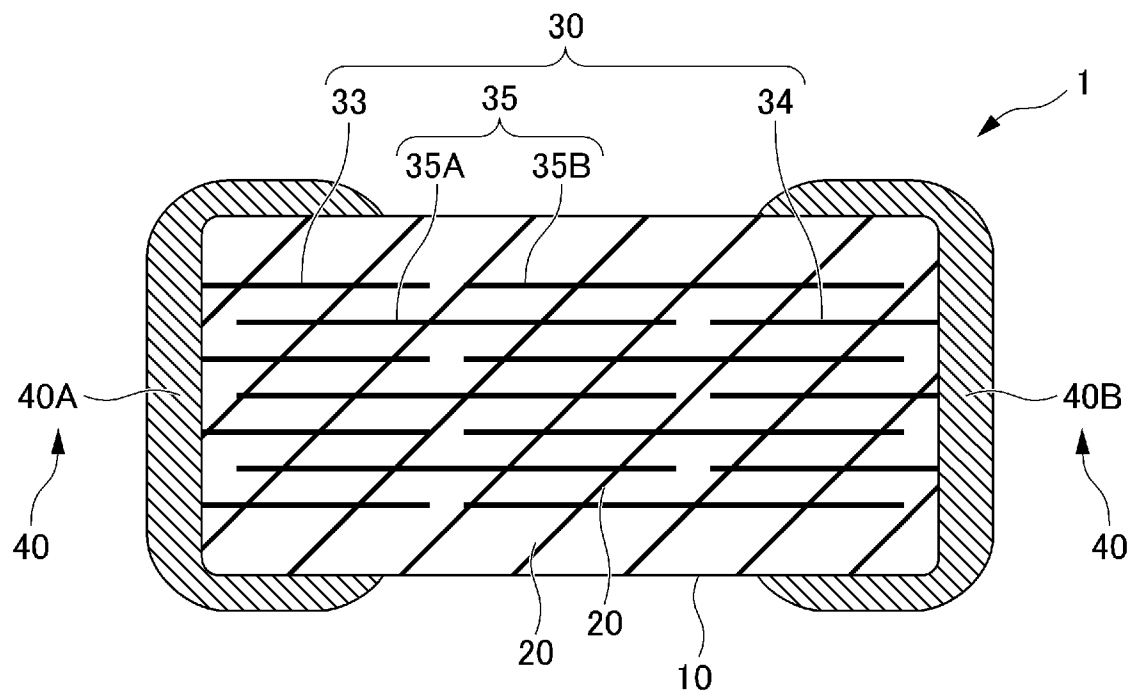
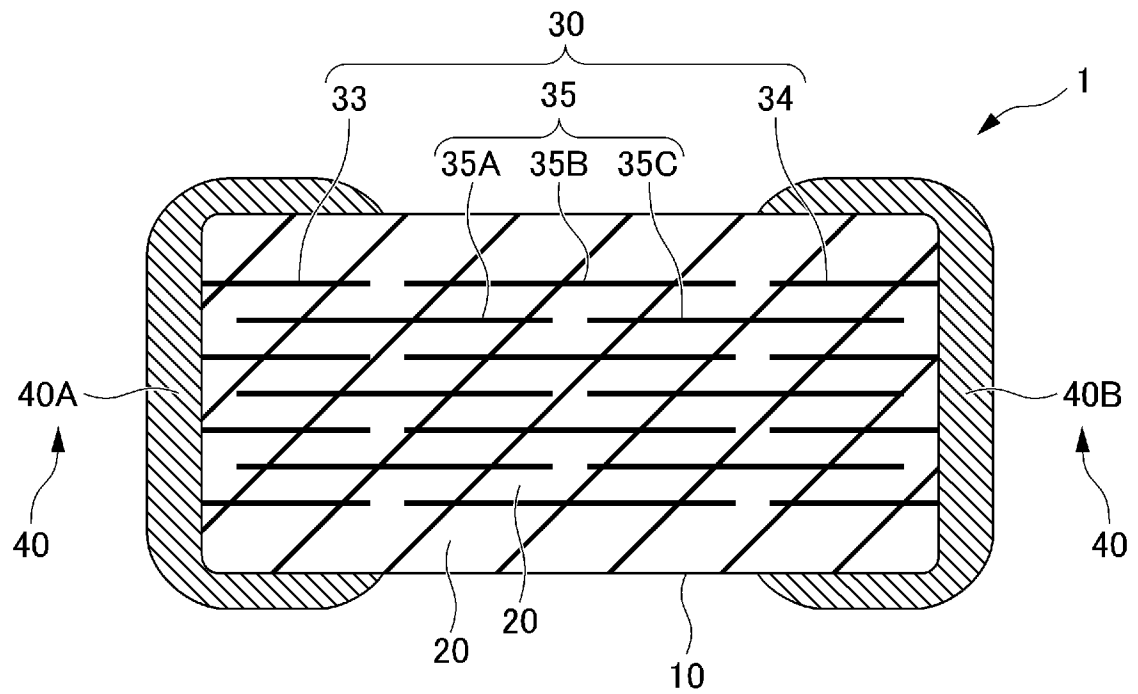


图 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/026360

A. CLASSIFICATION OF SUBJECT MATTER**H01G 4/30**(2006.01)i

FI: H01G4/30 201F; H01G4/30 201G; H01G4/30 513; H01G4/30 516

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2021-125673 A (MURATA MFG. CO., LTD.) 30 August 2021 (2021-08-30) paragraphs [0011], [0035]-[0043], [0053]-[0056]	1-4
Y	JP 2000-357627 A (MITSUBISHI MATERIALS CORP.) 26 December 2000 (2000-12-26) paragraphs [0022]-[0024], [0030]	1-4
A	JP 2009-267146 A (MURATA MFG. CO., LTD.) 12 November 2009 (2009-11-12) entire text, all drawings	1-4
A	JP 2016-009836 A (MURATA MFG. CO., LTD.) 18 January 2016 (2016-01-18) entire text, all drawings	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 October 2023

Date of mailing of the international search report

10 October 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/026360

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-125673	A	30 August 2021	(Family: none)	
JP	2000-357627	A	26 December 2000	(Family: none)	
JP	2009-267146	A	12 November 2009	US 2009/0268374 A1 entire text, all drawings	
JP	2016-009836	A	18 January 2016	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i FI: H01G4/30 201F; H01G4/30 201G; H01G4/30 513; H01G4/30 516										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	JP 2021-125673 A（株式会社村田製作所）30.08.2021（2021 - 08 - 30） 段落[0011], [0035]-[0043], [0053]-[0056]	1-4								
Y	JP 2000-357627 A（三菱マテリアル株式会社）26.12.2000（2000 - 12 - 26） 段落[0022]-[0024], [0030]	1-4								
A	JP 2009-267146 A（株式会社村田製作所）12.11.2009（2009 - 11 - 12） 全文, 全図	1-4								
A	JP 2016-009836 A（株式会社村田製作所）18.01.2016（2016 - 01 - 18） 全文, 全図	1-4								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 03.10.2023		国際調査報告の発送日 10.10.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 田中 晃洋 5D 3800 電話番号 03-3581-1101 内線 3551								

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/026360

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-125673	A	30.08.2021	(ファミリーなし)	
JP	2000-357627	A	26.12.2000	(ファミリーなし)	
JP	2009-267146	A	12.11.2009	US 2009/0268374 A1 全文, 全図	
JP	2016-009836	A	18.01.2016	(ファミリーなし)	