



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201711169 A

(43) 公開日：中華民國 106 (2017) 年 03 月 16 日

(21) 申請案號：104130371

(22) 申請日：中華民國 104 (2015) 年 09 月 15 日

(51) Int. Cl. : *H01L27/108 (2006.01)*

(71) 申請人：華亞科技股份有限公司 (中華民國) INOTERA MEMORIES, INC. (TW)

桃園市龜山區華亞科技園區復興三路六六七號

(72) 發明人：吳鐵將 WU, TIEH-CHIANG (TW)；施能泰 SHIH, NENG-TAI (TW)；胡耀文 HU, YAW-WEN (US)

(74) 代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：11 項 圖式數：8 共 20 頁

(54) 名稱

晶胞接觸結構

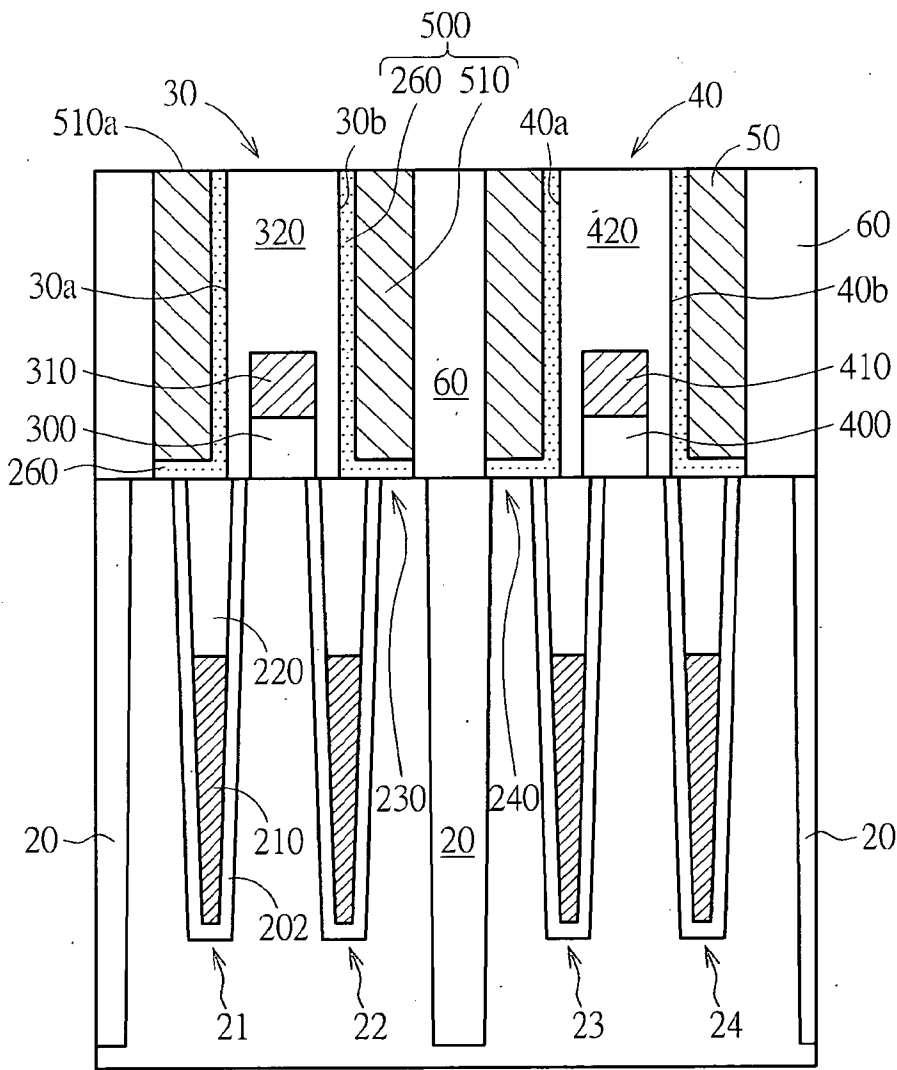
CELL CONTACT STRUCTURE

(57) 摘要

一種晶胞接觸結構，包含有一半導體基底，具有一主表面；一向上凸出結構，位於該主表面上；一晶胞接觸區域，位於該主表面且鄰近該向上凸出結構；一介面薄膜，順形的覆蓋在該向上凸出結構的側壁上以及該晶胞接觸區域上；以及一接觸插塞，位於該晶胞接觸區域上，其中該介面薄膜介於該接觸插塞與該晶胞接觸區域之間。

A cell contact structure includes a semiconductor substrate having a main surface, an upwardly protruding structure disposed on the main surface, a cell contact region on the main surface and adjacent to the upwardly protruding structure, an interfacial thin film conformally covering the upwardly protruding structure and the cell contact region, and a contact plug on the cell contact region. The interfacial thin film is disposed between the contact plug and the cell contact region.

指定代表圖：



- 符號簡單說明：
- 10 . . . 半導體基底
  - 10a . . . 主表面
  - 20 . . . 淺溝渠絕緣結構
  - 21/22/23/24 . . . 溝渠式閘極結構
  - 30/40 . . . 向上凸出結構
  - 30a/30b/40a/40b . . . 側壁
  - 60 . . . 介電層
  - 202 . . . 閘極介電層
  - 210 . . . 導電層
  - 220 . . . 蓋層
  - 230/240 . . . 晶胞接觸區域
  - 260 . . . 介面薄膜
  - 300/400 . . . 矽質較低部位
  - 310/410 . . . 金屬部位
  - 320/420 . . . 絕緣層
  - 500 . . . 晶胞接觸結構
  - 510 . . . 多晶矽接觸插塞
  - 510a . . . 頂面

第8圖

201711169

專利案號: 104130371



申請日: 104. 9. 15

201711169

【發明摘要】

IPC分類: H01L 27/108 (2006.01)

【中文發明名稱】 晶胞接觸結構

【英文發明名稱】 CELL CONTACT STRUCTURE

【中文】

一種晶胞接觸結構，包含有一半導體基底，具有一主表面；一向上凸出結構，位於該主表面上；一晶胞接觸區域，位於該主表面且鄰近該向上凸出結構；一介面薄膜，順形的覆蓋在該向上凸出結構的側壁上以及該晶胞接觸區域上；以及一接觸插塞，位於該晶胞接觸區域上，其中該介面薄膜介於該接觸插塞與該晶胞接觸區域之間。

【英文】

A cell contact structure includes a semiconductor substrate having a main surface, an upwardly protruding structure disposed on the main surface, a cell contact region on the main surface and adjacent to the upwardly protruding structure, an interfacial thin film conformally covering the upwardly protruding structure and the cell contact region, and a contact plug on the cell contact region. The interfacial thin film is disposed between the contact plug and the cell contact region.

【指定代表圖】第 ( 8 ) 圖。

【代表圖之符號簡單說明】

10 半導體基底

10a 主表面

20 淺溝渠絕緣結構

21/22/23/24 溝渠式閘極結構

30/40 向上凸出結構

30a/30b/40a/40b 側壁

60 介電層

202 閘極介電層

210 導電層

220 蓋層

230/240 晶胞接觸區域

260 介面薄膜

300/400 矽質較低部位

310/410 金屬部位

320/420 絕緣層

500 晶胞接觸結構

510 多晶矽接觸插塞

510a 頂面

【特徵化學式】

(無)

## 【發明說明書】

【中文發明名稱】晶胞接觸結構

【英文發明名稱】 CELL CONTACT STRUCTURE

【技術領域】

【0001】 本發明概括而言係關於一半導體元件與其製作方法，特別是一種動態隨機存取記憶體(DRAM)的晶胞接觸(cell contact)結構及其製作方法。

【先前技術】

● 【0002】 半導體領域中，動態隨機存取記憶體(DRAM)為一種整合於積體電路中，將個別位元數據存儲於個別電容且可隨機讀取的電容式存儲元件。DRAM通常由許多排列成陣列的電荷存儲晶胞所構成，其中每個電荷存儲晶胞通常包含一電容與一電晶體。

【0003】 一般而言，DRAM中的每個電晶體包含有一閘極、一位於半導體基底中的汲極，以及一與汲極分隔開的源極。閘極通常與一字元線電性連接，源極通常與一數位線(digit line)電性連接，汲極則通常藉由一晶胞接觸(cell contact)結構，與一電容電性連接。

● 【0004】 持續微縮元件的需求加速了DRAM晶胞設計的演進，使之具有更小的特徵尺寸、晶胞面積以及單位密度。然而，由於接觸面積縮小，晶胞接觸結構的尺寸也跟著微縮，導致較高的接觸電阻以及較緊的製程餘裕(process window)。

【0005】 因此，該技術領域中仍需要一個改良的DRAM晶胞接觸結構，可以在不增加製程複雜度的情況下，避免上述先前技術面臨的問題。

【發明內容】

【0006】 本發明的主要目的在提供一改良的晶胞接觸結構與其製作方法，可以降低接觸電阻增加並且改善製程餘裕。

【0007】 根據本發明所提供的一種晶胞接觸結構，包含有一半導體基底，具有一主表面；一向上凸出結構，位於該主表面上；一晶胞接觸區域，位於該主表面且鄰近該向上凸出結構；一介面薄膜，順形的覆蓋在該向上凸出結構的側壁上以及該晶胞接觸區域上；以及一接觸插塞，位於該晶胞接觸區域上，其中該介面薄膜介於該接觸插塞與該晶胞接觸區域之間。

【0008】 根據本發明一實施例，該介面薄膜包含金屬氧化物。該金屬氧化物包含氧化鋁、氧化鈮、氧化釧、或氧化鋇。其中該介面薄膜厚度小於10奈米。

【0009】 無庸置疑的，該領域的技術人士讀完接下來本發明較佳實施例的詳細描述與圖式後，均可了解本發明的目的。

#### 【圖式簡單說明】

#### 【0010】

藉由本發明實施例的詳細描述與所附圖式，可清楚說明本發明的目的與限定特徵。

第1圖至第8圖為示意性剖面圖，說明依據本發明一實施例製作一動態隨機存取記憶體(DRAM)元件的晶胞接觸結構的方法。

須注意的是所有圖式均為示意圖，以說明和製圖方便為目的，相對尺寸及比例都經過調整。相同的符號在不同的實施例中代表相對應或類似的特徵。

#### 【實施方式】

【0011】 在下面的描述中，已提供許多具體細節以便徹底理解本發明。然而，很明顯，對本領域技術人員而言，本發明還是可以在沒有這些具體細節的情況

下實施。此外，一些公知的系統配置和製程步驟沒有被鉅細靡遺的披露出來，因為這些應是本領域技術人員所熟知的

【0012】 同樣地，例示的裝置的實施例的附圖是半示意且未按比例繪製，並且，附圖中為了清楚呈現，某些尺寸可能被放大。此外，公開和描述多個實施例中具有通用的某些特徵時，相同或類似的特徵通常以相同的附圖標記描述，以方便於說明和描述。

【0013】 在電晶體與積體電路的製程領域中，專有名詞“主表面”普遍認為是例如在半導體的平面製程中，形成複數個電晶體的那一面。同樣地，在本發明說明書中，專有名詞“垂直”普遍認為是與該主表面大致上呈直角。通常主表面與單晶矽層的<100>晶格面同面，為場效電晶體形成的地方。

【0014】 第1圖至第8圖為依據本發明一實施例所繪示的製作動態隨機存取記憶體(DRAM)元件的晶胞接觸結構的方法。首先，如第1圖所示，提供一半導體基底10，例如，矽基底。需了解的是半導體基底10也可以由其它的半導體材料或晶圓所構成。半導體基底10具有一主表面10a。根據本發明實施例，於半導體基底10的主表面10a下形成有淺溝渠絕緣(STI)結構20和複數個溝渠式閘極結構21、22、23和24。每一溝渠式閘極結構21、22、23和24包含有一閘極介電層202、一導電層210與一蓋層220。其中，導電層210可以包含氮化鈦或鎢，但不限於此。蓋層220可以包含氧化矽或氮化矽等。

【0015】 根據本發明實施例，半導體基底10的主表面10a上，設有至少兩個相鄰的向上凸出結構30與40。根據本發明的實施例，向上凸出結構30與40兩者緊密靠近。由上方俯瞰時，向上凸出結構30與40沿著一第一方向延伸且互相平行。由上方俯瞰時，向上凸出結構30與40均具有一波浪狀或鋸齒狀圖案。須了解的是，為了方便說明和描述，該實施例僅例示兩個向上凸出結構。

【0016】 根據本發明的實施例，向上凸出結構30包含有一矽質較低部位300、

一直接位於矽質較低部位300上方的金屬部位310，與一位於金屬部位310上方且覆蓋其側壁的絕緣層320，例如，氮化矽層。在絕緣層320上方設有一圖案化的接觸氧化(contact oxide)層330，例如，氧化矽層。所述向上凸出結構30具有兩相對的側壁30a與30b。

【0017】 根據本發明的實施例，向上凸出結構40包含有一矽質較低部位400、一直接位於該矽質較低部位400上方的金屬部位410，與一位於金屬部位410上方且覆蓋該金屬部位側壁的絕緣層420，例如，氮化矽層。在絕緣層420上方設有一圖案化的接觸氧化層430，例如，氧化矽層。向上凸出結構40具有兩相對的側壁40a與40b。其中，側壁40a接近並且直接面對側壁30a。

【0018】 需了解的是向上凸出結構30與40僅為說明與描述目的。根據本發明實施例，直接位於矽質較低部位300與400上方的金屬部位310與410可以作為DRAM元件中的數位線(digit line)，但並不限於此。

【0019】 由上方俯瞰時，圖案化的接觸氧化層330與430沿著一第二方向延伸且互相平行。根據本發明實施例，所述第一方向與第二方向呈直角正交，但並不限於此。根據本發明實施例，圖案化的接觸氧化層330與430可由旋塗式(SOD)介電材料組成，但並不限於此。圖案化的接觸氧化層330與430可以是直線圖案，但並不限於此。

【0020】 根據本發明實施例，在半導體基底10上另有一晶胞接觸區域230鄰接溝渠式閘極結構22，以及一晶胞接觸區域240鄰接溝渠式閘極結構23。須了解的是淺溝渠絕緣(STI)結構20與該複數個溝渠式閘極結構21、22、23和24的佈局配置僅為例示說明，並非限制本發明範疇。

【0021】 如第2圖所示，根據本發明實施例，利用化學氣相沉積(CVD)製程或其它合適製程，在半導體基底10上以及向上凸出結構30與40上，順形的沉積一介面薄膜(interfacial thin film)260。根據本發明實施例，介面薄膜260順形的覆蓋

在接觸氧化層330與430的表面上、向上凸出結構30與40的側壁30a、30b、40a、40b上，以及晶胞接觸區域230、240上。

【0022】 根據本發明實施例，介面薄膜260可以是金屬氧化物薄膜，例如，氧化鋁( $Al_xO_y$ )、氧化釷( $Y_xO_y$ )、氧化鑷( $LaO_x$ )、氧化鋇( $SrO_x$ )等，但不限於此。在其它實施例中，介面薄膜260也可以是金屬氮化物薄膜，例如，氮化鈦。根據本發明實施例，介面薄膜260的厚度較佳小於10奈米。根據本發明實施例，在沉積介面薄膜260之前，可以先進行一離子佈植製程，於晶胞接觸區域230、240內形成摻雜區(圖未示)，例如，N型摻雜區。

【0023】 如第3圖所示，根據本發明實施例，接著利用化學氣相沉積製程，於介面薄膜260上沉積一多晶矽層50。多晶矽層50覆蓋向上凸出結構30與40和圖案化的接觸氧化層330與430。然後，回蝕刻多晶矽層50使圖案化的接觸氧化層330與430凸出於多晶矽層50的一頂面50a。在圖案化的接觸氧化層330與430上的部分介面薄膜260此時被顯露出來。

【0024】 如第4圖所示，根據本發明實施例，藉由另一次化學氣相沉積(CVD)製程，在多晶矽層50的頂面50a和凸出的圖案化的接觸氧化層330與430上沉積一共形的側壁子層，例如氮化矽層。接著進行一非等向性的乾蝕刻製程，蝕刻側壁子層，直到多晶矽層50的頂面50a暴露出來，如此在圖案化的接觸氧化層330與430的相對側壁上形成側壁子52a。側壁子52a直接接觸介面薄膜260。上述側壁子層可以是氮化矽、氮氧化矽、氧化矽，但並不限於此。

【0025】 如第5圖所示，根據本發明實施例，進行一乾蝕刻製程，以側壁子52a為硬遮罩的自我對準的蝕刻方式，蝕刻未被側壁子52a覆蓋的多晶矽層50，直到半導體基底10的主表面10a上的介面薄膜260被顯露出來，如此在多晶矽層50形成凹陷溝槽54。在此蝕刻步驟中，介面薄膜260可以作為蝕刻停止層。上述自我對準的乾蝕刻製程，將向上凸出結構30與40之間的多晶矽層50一分為二，形成

分離的多晶矽接觸插塞510。

【0026】 如第6圖所示，接著進行一蝕刻製程，選擇性的將凹陷溝槽54底部顯露出來的介面薄膜260蝕刻掉，顯露出半導體基底10的主表面10a。此時，凹陷溝槽54底部顯露出來的表面，可能包括淺溝渠絕緣結構20的表面以及部分晶胞接觸區域230、240的表面。上述蝕刻製程具有高蝕刻選擇比，使得半導體基底10的主表面10a被侵蝕的程度可被大幅降低，藉此改善了過去多晶矽/矽基材蝕刻選擇製程餘裕不足的問題，並解決了過去主動區域修剪(AA clipping)問題。

【0027】 如第7圖所示，隨後再進行一化學氣相沉積製程，於半導體基底10上沉積一介電層60，例如，矽氧層。根據本發明實施例，介電層60可以填滿凹陷溝槽54，並覆蓋側壁子52a以及圖案化的接觸氧化層330與430。

【0028】 最漏，如第8圖所示，進行一化學機械研磨(CMP)製程，研磨介電層60、介面薄膜260、側壁子52a以及圖案化的接觸氧化層330與430，直到多晶矽接觸插塞510的頂面510a被顯露出來。此時，側壁子52a以及圖案化的接觸氧化層330與430已被研磨去除，且位於圖案化的接觸氧化層330與430表面上的介面薄膜260也被去除掉。

【0029】 在結構上的特徵，如第8圖所示，本發明的晶胞接觸結構500是由多晶矽接觸插塞510以及介於多晶矽接觸插塞510與向上凸出結構30與40的側壁30a、30b、40a、40b之間的介面薄膜260所構成的。介面薄膜260具有L型剖面輪廓，並且介於多晶矽接觸插塞510與晶胞接觸區域230、240之間。換言之，多晶矽接觸插塞510不是直接接觸到晶胞接觸區域230、240。

【0030】 介面薄膜260可以是金屬氧化物薄膜，例如，氧化鋁( $Al_xO_y$ )、氧化釷( $Y_xO_y$ )、氧化鏷( $LaO_x$ )、氧化鋇( $SrO_x$ )等，但不限於此。在其它實施例中，介面薄膜260也可以是金屬氮化物薄膜，例如，氮化鈦。根據本發明實施例，介面薄膜260的厚度較佳小於10奈米。藉由提供多晶矽接觸插塞510與晶胞接觸區域

230、240之間的介面薄膜260，可以降低此介面的能障(energy barrier)，因而能達到降低接觸阻值的目的。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【符號說明】

#### 【0031】

10 半導體基底

10a 主表面

20 淺溝渠絕緣結構

21/22/23/24 溝渠式閘極結構

30/40 向上凸出結構

30a/30b/40a/40b 側壁

50 多晶矽層

52a 側壁子

54 凹陷溝槽

60 介電層

202 閘極介電層

210 導電層

220 蓋層

230/240 晶胞接觸區域

260 介面薄膜

300/400 矽質較低部位

310/410 金屬部位

320/420 絕緣層

330/430 圖案化的接觸氧化層

500 晶胞接觸結構

510 多晶矽接觸插塞

510a 頂面

## 【發明申請專利範圍】

【第1項】 一種晶胞接觸結構，包含有：

一半導體基底，具有一主表面；

一向上凸出結構，位於該主表面上；

一晶胞接觸區域，位於該主表面且鄰近該向上凸出結構；

一介面薄膜，順形的覆蓋在該向上凸出結構的側壁上以及該晶胞接觸區域上；以及

一接觸插塞，位於該晶胞接觸區域上，其中該介面薄膜介於該接觸插塞與該晶胞接觸區域之間。

【第2項】 如申請專利範圍第1項所述的晶胞接觸結構，其中該介面薄膜包含金屬氧化物。

【第3項】 如申請專利範圍第2項所述的晶胞接觸結構，其中該金屬氧化物包含氧化鋁、氧化鈮、氧化釧、或氧化鋇。

【第4項】 如申請專利範圍第2項所述的晶胞接觸結構，其中該介面薄膜厚度小於10奈米。

【第5項】 如申請專利範圍第1項所述的晶胞接觸結構，其中該介面薄膜包含金屬氮化物。

【第6項】 如申請專利範圍第5項所述的晶胞接觸結構，其中該金屬氮化物包含氮化鈦。

【第7項】 如申請專利範圍第1項所述的晶胞接觸結構，其中於該半導體基底內另設有至少一溝渠式閘極結構，且該晶胞接觸區域緊鄰於該溝渠式閘極結構。

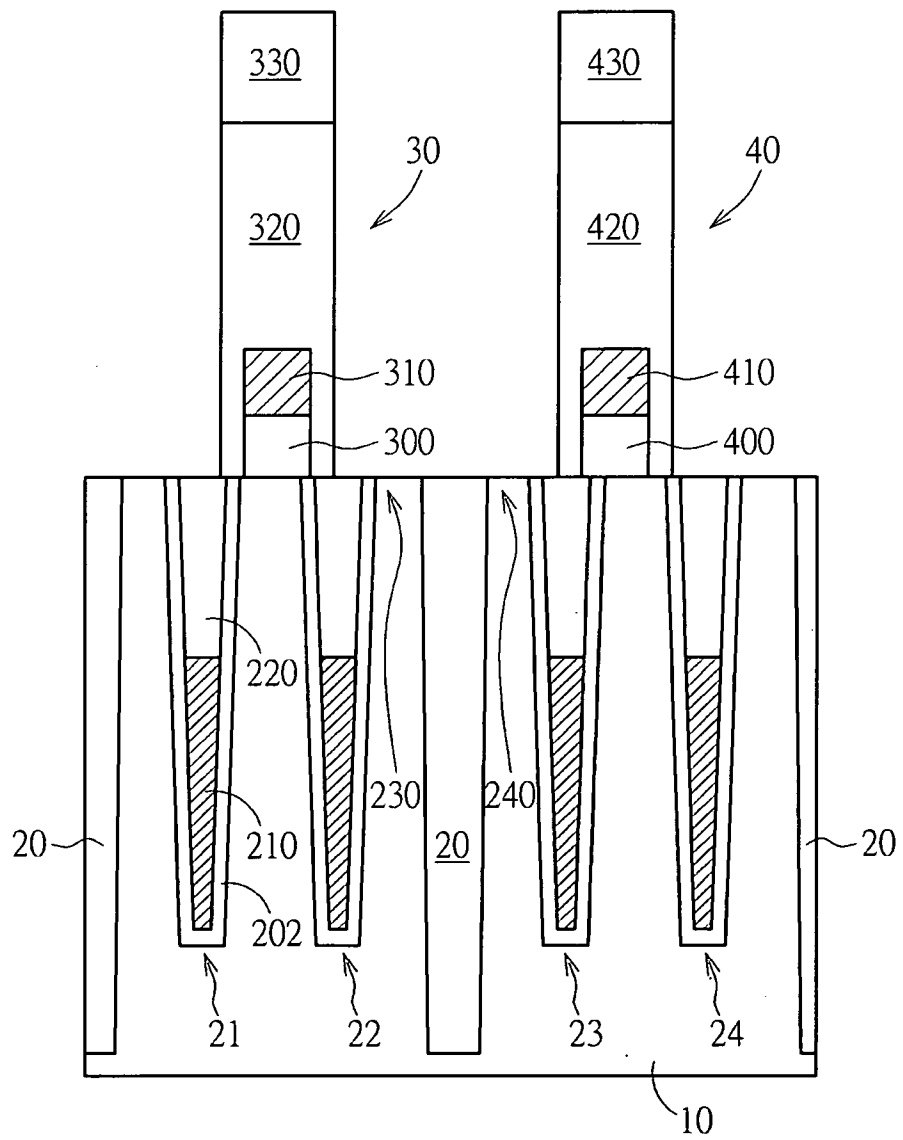
【第8項】 如申請專利範圍第7項所述的晶胞接觸結構，其中於該半導體基底內另設有一淺溝渠絕緣結構，且該晶胞接觸區域位於該溝渠式閘極結構與該淺溝渠絕緣結構之間。

【第9項】 如申請專利範圍第1項所述的晶胞接觸結構，其中該向上凸出結構包含有一矽質較低部位、一直接位於該矽質較低部位上的金屬部位，與一位於該金屬部位上的絕緣層。

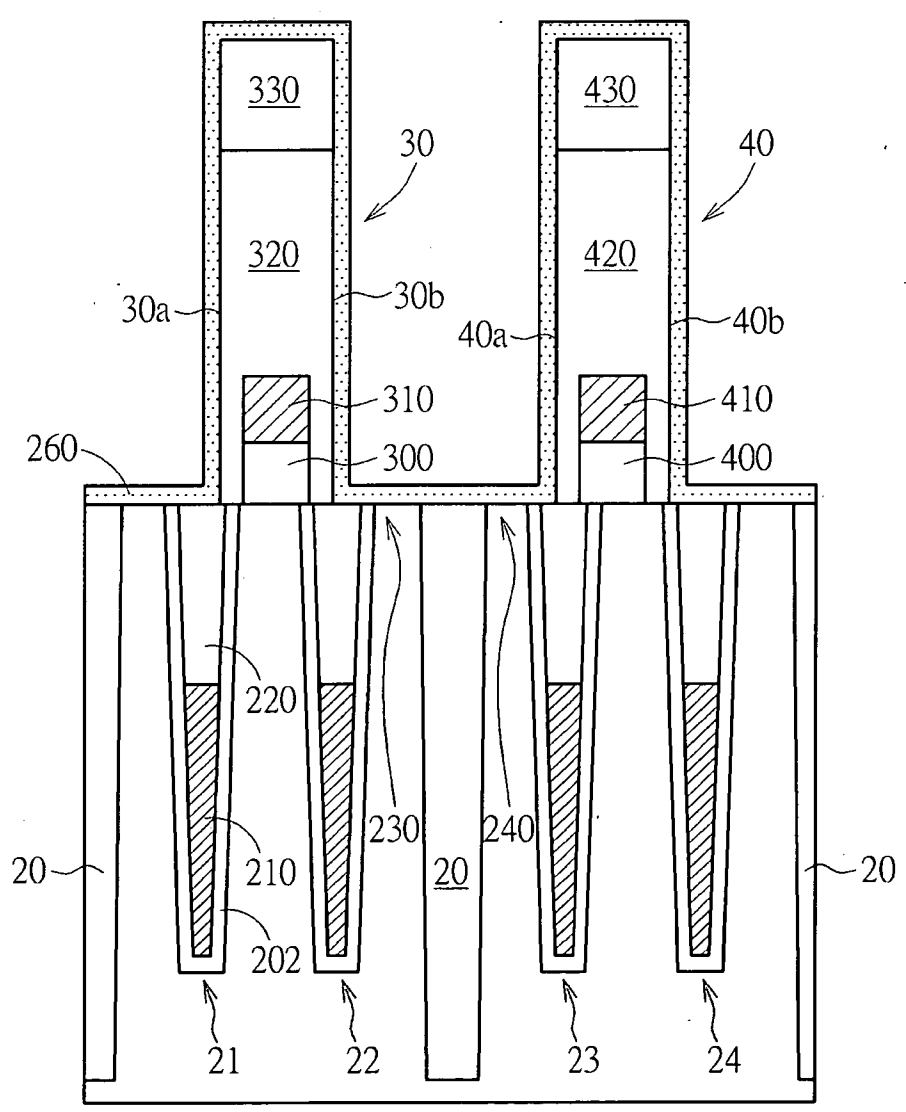
【第10項】 如申請專利範圍第9項所述的晶胞接觸結構，其中該金屬部位係作為一動態隨機存取記憶體元件的數位線。

【第11項】 如申請專利範圍第1項所述的晶胞接觸結構，其中該接觸插塞係為一多晶矽接觸插塞。

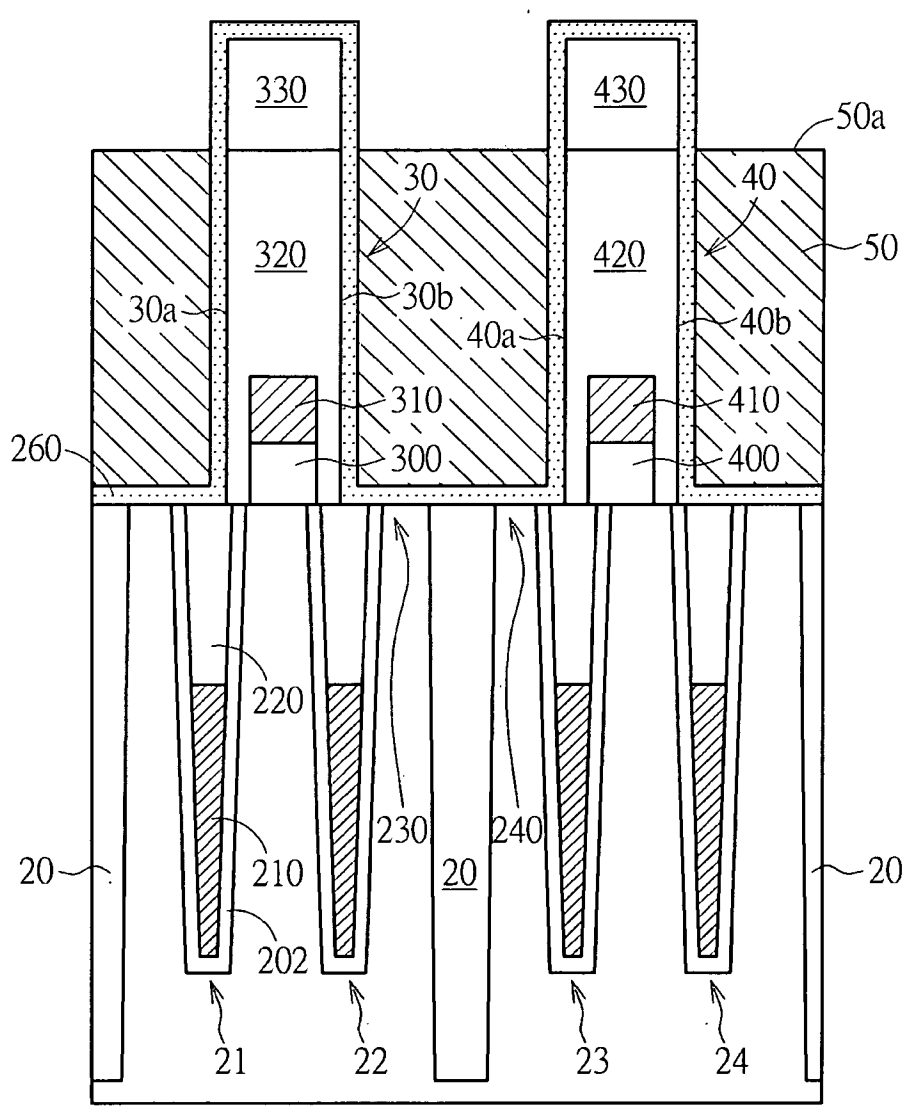
【發明圖式】



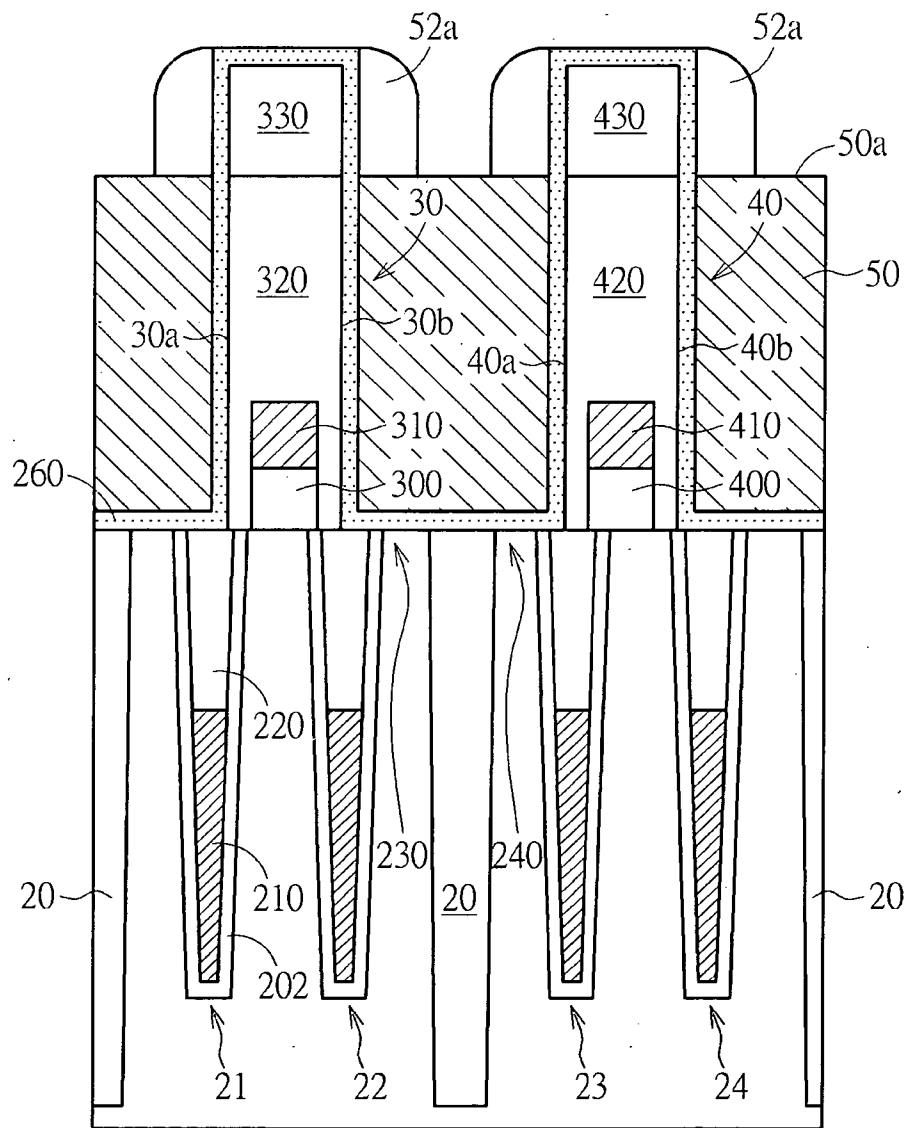
第1圖



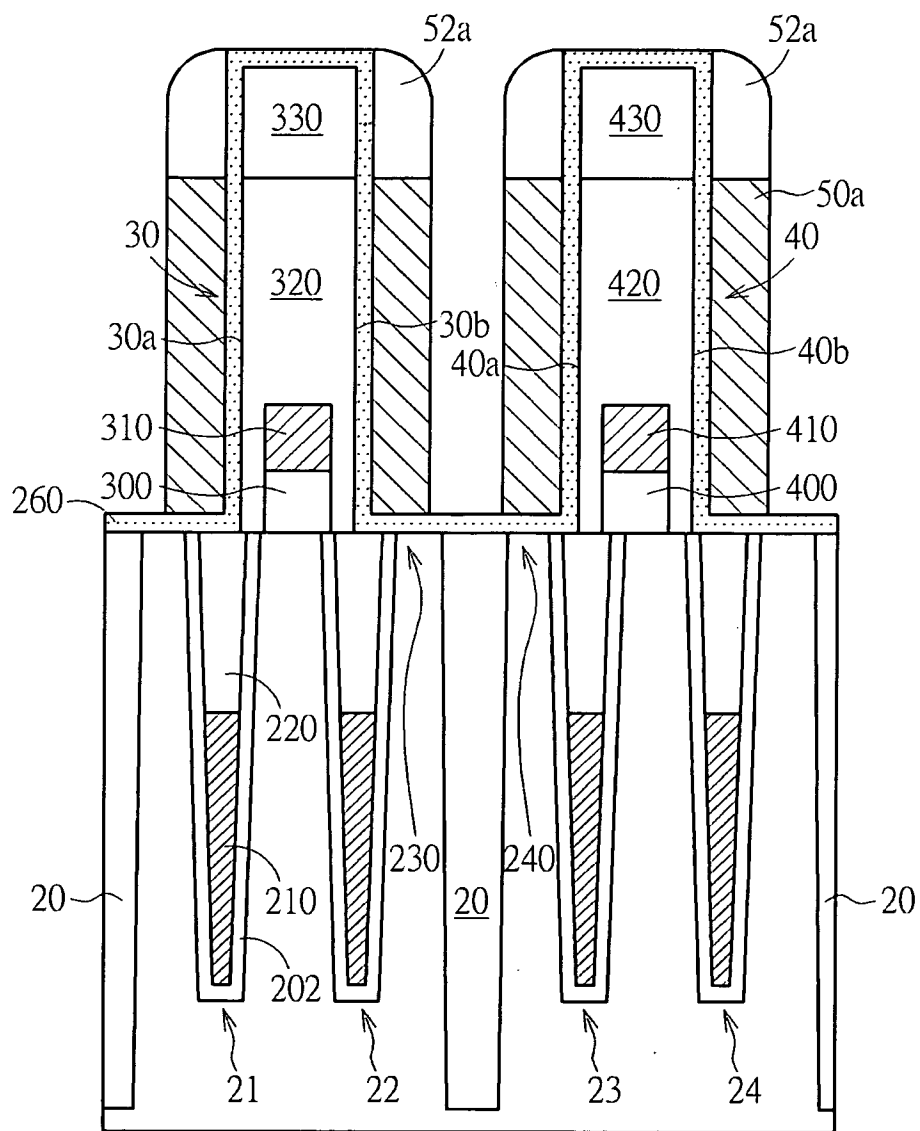
第2圖



第3圖

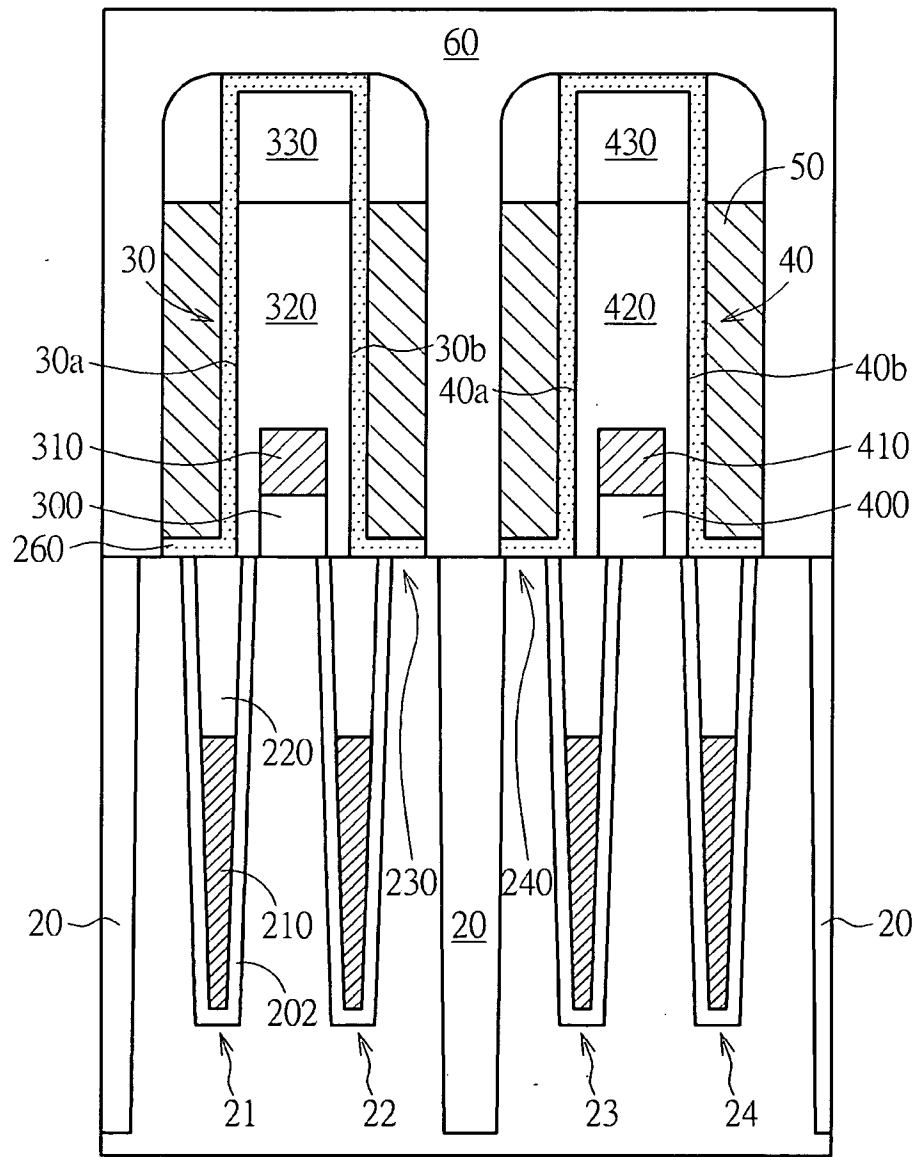


第4圖

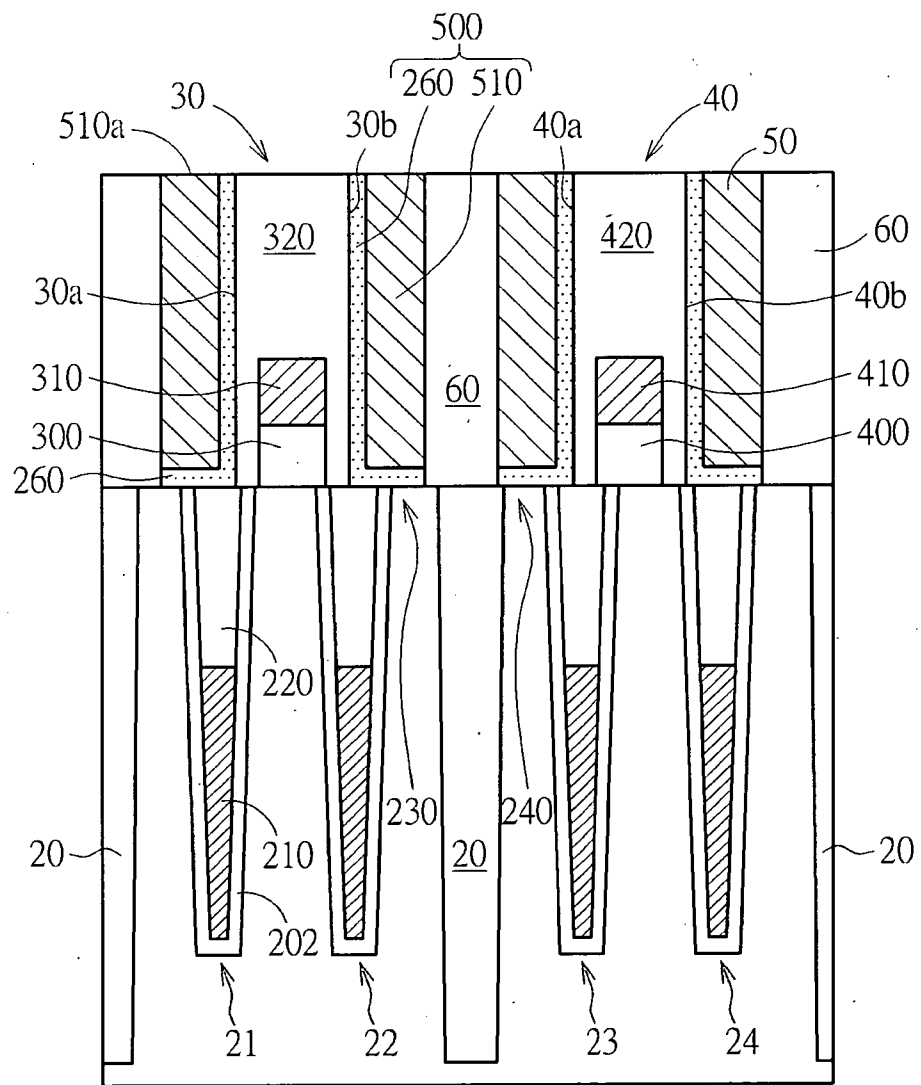


第5圖





第7圖



第8圖