



(12) 发明专利申请

(10) 申请公布号 CN 119856581 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202380062673.7

(22) 申请日 2023.08.25

(30) 优先权数据

2022-139451 2022.09.01 JP

2022-160393 2022.10.04 JP

(85) PCT国际申请进入国家阶段日

2025.02.27

(86) PCT国际申请的申请数据

PCT/IB2023/058422 2023.08.25

(87) PCT国际申请的公布数据

W02024/047487 JA 2024.03.07

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 国武宽司 松崎隆德

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 童春媛 蔡晓菡

(51) Int.Cl.

H10B 12/00 (2023.01)

H10B 41/70 (2023.01)

H01L 25/07 (2006.01)

H10B 80/00 (2023.01)

H10D 84/03 (2025.01)

H10D 84/00 (2025.01)

H10D 84/40 (2025.01)

H10D 84/83 (2025.01)

H10D 30/68 (2025.01)

H10D 30/69 (2025.01)

H10D 30/67 (2025.01)

H10D 30/01 (2025.01)

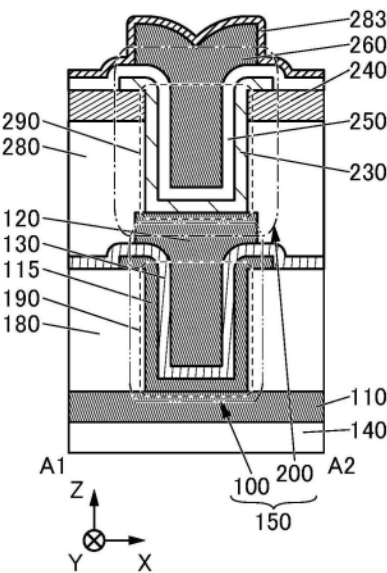
权利要求书2页 说明书69页 附图69页

(54) 发明名称

存储装置

(57) 摘要

提供一种能够实现微型化或高集成化的存储装置。存储装置包括存储单元、第一绝缘体及第二绝缘体。存储单元包括电容元件及电容元件上的晶体管。电容元件包括第二导电体、第二导电体上的第三绝缘体及第三绝缘体上的第三导电体。设置在第一绝缘体中的开口部配置有第二导电体、第三绝缘体及第三导电体各自的一部分。晶体管包括第三导电体、第二绝缘体上的第四导电体、氧化物半导体、氧化物半导体上的第四绝缘体及第四绝缘体上的第五导电体。设置在第二绝缘体及第四导电体中的开口部配置有氧化物半导体的一部分。氧化物半导体具有与第三导电体的顶面接触的区域、与第四导电体的侧面接触的区域及与第四导电体的顶面的一部分接触的区域。氧化物半导体具有叠层结构。



1. 一种存储装置,包括:
第一导电体;
所述第一导电体上的存储单元;
所述第一导电体上的第一绝缘体;以及
第二绝缘体,
其中,所述存储单元包括电容元件及所述电容元件上的晶体管,
所述电容元件包括第二导电体、所述第二导电体上的第三绝缘体及所述第三绝缘体上的第三导电体,
所述第一绝缘体中设置有到达所述第一导电体的第一开口部,
所述第二导电体的至少一部分、所述第三绝缘体的至少一部分以及所述第三导电体的至少一部分配置在所述第一开口部中,
所述第二导电体、所述第三绝缘体及所述第三导电体上配置有所述第二绝缘体,
所述晶体管包括所述第三导电体、所述第二绝缘体上的第四导电体、氧化物半导体、第四绝缘体及第五导电体,
所述第二绝缘体及所述第四导电体中设置有到达所述第三导电体的第二开口部,
所述氧化物半导体的至少一部分配置在所述第二开口部中,
所述氧化物半导体具有所述第二开口部中的与所述第三导电体的顶面接触的区域、所述第二开口部中的与所述第四导电体的侧面接触的区域以及与所述第四导电体的顶面的至少一部分接触的区域,
所述第四绝缘体以其至少一部分位于所述第二开口部的方式配置在所述氧化物半导体上,
所述第五导电体以其至少一部分位于所述第二开口部的方式配置在所述第四绝缘体上,
并且,所述氧化物半导体具有第一氧化物半导体和所述第一氧化物半导体上的第二氧化物半导体的叠层结构。
2. 根据权利要求1所述的存储装置,
其中在所述第一氧化物半导体与所述第二氧化物半导体之间,所述第四导电体的顶面为被形成面的部分的厚度与所述第二绝缘体的侧面为被形成面的部分的厚度的比例不同。
3. 根据权利要求1所述的存储装置,
其中所述第二开口部具有与所述第一开口部重叠的区域。
4. 根据权利要求1所述的存储装置,
其中所述晶体管的沟道长度小于所述晶体管的沟道宽度。
5. 根据权利要求1所述的存储装置,
其中所述第三绝缘体包含可具有铁电性的材料。
6. 根据权利要求1所述的存储装置,
其中所述第三绝缘体包含第一氧化锆、所述第一氧化锆上的氧化铝及所述氧化铝上的第二氧化锆。
7. 根据权利要求1所述的存储装置,
其中所述第一氧化物半导体及所述第二氧化物半导体各自包含选自In、Ga和Zn中的任

一个或多个。

8. 根据权利要求1所述的存储装置，
其中所述第一绝缘体包括叠层体，
所述叠层体包括第一层及所述第一层上的第二层，
所述第一层包含硅及氮，
并且所述第二层包含硅及氧。

9. 根据权利要求1所述的存储装置，
其中所述第一开口部中的所述第一绝缘体的侧面与所述第二导电体之间设置有第五绝缘体，
并且所述第五绝缘体包含硅及氮。

10. 根据权利要求1至9中任一项所述的存储装置，
其中所述第五导电体在第一方向上延伸，
所述第四导电体在第二方向上延伸，
并且所述第五导电体与所述第四导电体正交。

11. 根据权利要求10所述的存储装置，包括多个具有所述存储单元的层，
其中多个所述层为叠层。

存储装置

技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置、存储装置以及电子设备。此外，本发明的一个方式涉及一种存储装置或半导体装置的制造方法。此外，本发明的一个方式涉及一种半导体晶片及模块。

[0002] 注意，在本说明书等中，半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外，半导体电路、运算装置、存储装置也是半导体装置的一个方式。显示装置（液晶显示装置、发光显示装置等）、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

[0003] 注意，本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外，本发明的一个方式涉及一种工序 (process)、机器 (machine)、产品 (manufacture) 或者组合物 (composition of matter)。

背景技术

[0004] 近年来，已对半导体装置进行开发，LSI (Large Scale Integration)、CPU (Central Processing Unit)、存储器等主要用于半导体装置。CPU是包括将半导体晶片加工来形成芯片而成的半导体集成电路（至少包括晶体管及存储器）且形成有作为连接端子的电极的半导体元件的集合体。

[0005] LSI、CPU、存储器等的半导体电路 (IC芯片) 被安装在电路板上，例如安装在印刷电路板上，并被用作各种电子设备的构件之一。

[0006] 此外，通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到关注。该晶体管被广泛地应用于集成电路 (IC)、图像显示装置（简单地记载为显示装置）等电子器件。作为可以应用于晶体管的半导体薄膜，硅类半导体材料被广泛地周知作为其他材料，氧化物半导体受到关注。

[0007] 另外，已知使用氧化物半导体的晶体管的泄漏电流在非导通状态下极小。例如，专利文献1公开了利用使用氧化物半导体的晶体管的泄漏电流小的特性的低功耗CPU等。另外，例如，专利文献2公开了利用使用氧化物半导体的晶体管的泄漏电流小的特性实现存储内容的长期保持的存储装置等。

[0008] 另外，近年来，随着电子设备的小型化和轻量化，对集成电路的进一步高密度化的要求提高。此外，有提高包括集成电路的半导体装置的生产率的需求。例如，专利文献3及非专利文献1公开了一种技术，其中通过层叠使用氧化物半导体膜的第一晶体管和使用氧化物半导体膜的第二晶体管，重叠地设置多个存储单元，由此提高集成电路的密度。

[0009] 并且，如果能够实现纵向晶体管，则可以实现集成电路的高密度化。例如，专利文献4公开了一种纵向晶体管，其中氧化物半导体的侧面隔着栅极绝缘体被栅电极覆盖。

[先行技术文献]

[专利文献]

[0010] [专利文献1] 日本专利申请公开第2012-257187号公报

[专利文献2]日本专利申请公开第2011-151383号公报

[专利文献3]国际专利申请公开第2021/053473号

[专利文献4]日本专利申请公开第2013-211537号公报

[非专利文献]

[0011] [非专利文献1]M.Oota et al., “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech.Dig., 2019, pp.50-53

发明内容

发明所要解决的技术问题

[0012] 本发明的一个方式的目的之一是提供一种可以实现微型化或高集成化的存储装置。另外,本发明的一个方式的目的之一是提供一种工作速度高的存储装置。另外,本发明的一个方式的目的之一是提供一种具有良好的电特性的存储装置。另外,本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的存储装置。另外,本发明的一个方式的目的之一是提供一种可靠性高的存储装置。另外,本发明的一个方式的目的之一是提供一种通态电流大的存储装置。另外,本发明的一个方式的目的之一是提供一种功耗低的存储装置。另外,本发明的一个方式的目的之一是提供一种新颖存储装置。另外,本发明的一个方式的目的之一是提供一种新颖存储装置的制造方法。

[0013] 注意,这些目的的记载并不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的目的。

解决技术问题的手段

[0014] 本发明的一个方式是一种包括第一导电体、第一导电体上的存储单元、第一导电体上的第一绝缘体以及第二绝缘体的存储装置。存储单元包括电容元件及电容元件上的晶体管。电容元件包括第二导电体、第二导电体上的第三绝缘体及第三绝缘体上的第三导电体。第一绝缘体中设置有到达第一导电体的第一开口部。第二导电体的至少一部分、第三绝缘体的至少一部分以及第三导电体的至少一部分配置在第一开口部中。第二导电体、第三绝缘体及第三导电体上配置有第二绝缘体。晶体管包括第三导电体、第二绝缘体上的第四导电体、氧化物半导体、第四绝缘体及第五导电体。第二绝缘体及第四导电体中设置有到达第三导电体的第二开口部。氧化物半导体的至少一部分配置在第二开口部中。氧化物半导体具有第二开口部中的与第三导电体的顶面接触的区域、第二开口部中的与第四导电体的侧面接触的区域以及与第四导电体的顶面的至少一部分接触的区域。第四绝缘体以其至少一部分位于第二开口部的方式配置在氧化物半导体上。第五导电体以其至少一部分位于第二开口部的方式配置在第四绝缘体上。氧化物半导体具有第一氧化物半导体和第一氧化物半导体上的第二氧化物半导体的叠层结构。

[0015] 在上述存储装置中,优选的是,在第一氧化物半导体与第二氧化物半导体之间,第四导电体的顶面为被形成面的部分的厚度与第二绝缘体的侧面为被形成面的部分的厚度的比例不同。

[0016] 在上述存储装置中,第二开口部优选具有与第一开口部重叠的区域。

[0017] 在上述存储装置中,晶体管的沟道长度优选小于晶体管的沟道宽度。

[0018] 在上述存储装置中,第三绝缘体优选包含可具有铁电性的材料。

[0019] 在上述存储装置中,第三绝缘体优选包含第一氧化锆、第一氧化锆上的氧化铝及氧化铝上的第二氧化锆。

[0020] 在上述存储装置中,第一氧化物半导体及第二氧化物半导体优选各自包含选自In、Ga和Zn中的任一个或多个。

[0021] 在上述存储装置中,优选的是,第一绝缘体包括叠层体,叠层体包括第一层及第一层上的第二层,第一层包含硅及氮,并且第二层包含硅及氧。

[0022] 在上述存储装置中,优选的是,第一开口部中的第一绝缘体的侧面与第二导电体之间设置有第五绝缘体,并且第五绝缘体包含硅及氮。

[0023] 在上述存储装置中,优选的是,第五导电体在第一方向上延伸,第四导电体在第二方向上延伸,并且第五导电体与第四导电体正交。

[0024] 优选的是,上述存储装置包括多个具有存储单元的层,多个层为叠层。

发明效果

[0025] 根据本发明的一个方式可以提供一种可以实现微型化或高集成化的存储装置。另外,可以提供一种工作速度高的存储装置。另外,可以提供一种可靠性高的存储装置。另外,可以提供一种晶体管的电特性不均匀小的存储装置。另外,可以提供一种具有良好的电特性的存储装置。另外,可以提供一种通态电流大的存储装置。另外,可以提供一种功耗低的存储装置。另外,可以提供一种新颖存储装置。另外,可以提供一种新颖存储装置的制造方法。

[0026] 注意,这些效果的记载并不妨碍其他效果的存在。注意,本发明的一个方式并不需要具有所有上述效果。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的效果。

附图简要说明

[0027] 图1A是示出存储装置的一个例子的平面图。图1B及图1C是示出存储装置的一个例子的截面图。图1D是用来说明存储装置的结构的一个例子的电路图。

图2A及图2B是示出存储装置的一个例子的平面图。

图3A至图3D是示出存储装置的一个例子的截面图。

图4A至图4D是示出存储装置的一个例子的截面图。

图5A是示出存储装置的一个例子的截面图。图5B是示出存储装置的一个例子的截面图。

图6A至图6D是示出存储装置的一个例子的截面图。

图7A是示出存储装置的一个例子的平面图。图7B及图7C是示出存储装置的一个例子的截面图。

图8A至图8C是示出存储装置的一个例子的截面图。

图9A至图9D是示出存储装置的一个例子的截面图。

图10A及图10B是示出存储装置的一个例子的截面图。

图11A是示出存储装置的一个例子的平面图。图11B及图11C是示出存储装置的一个例子的截面图。

图12A是示出存储装置的制造方法的一个例子的平面图。图12B及图12C是示出存

储装置的制造方法的一个例子的截面图。

图13A是示出存储装置的制造方法的一个例子的平面图。图13B及图13C是示出存储装置的制造方法的一个例子的截面图。

图14A是示出存储装置的制造方法的一个例子的平面图。图14B及图14C是示出存储装置的制造方法的一个例子的截面图。

图15A是示出存储装置的制造方法的一个例子的平面图。图15B及图15C是示出存储装置的制造方法的一个例子的截面图。

图16A是示出存储装置的制造方法的一个例子的平面图。图16B及图16C是示出存储装置的制造方法的一个例子的截面图。

图17A是示出存储装置的制造方法的一个例子的平面图。图17B及图17C是示出存储装置的制造方法的一个例子的截面图。

图18A是示出存储装置的制造方法的一个例子的平面图。图18B及图18C是示出存储装置的制造方法的一个例子的截面图。

图19A是示出存储装置的制造方法的一个例子的平面图。图19B及图19C是示出存储装置的制造方法的一个例子的截面图。

图20A是示出存储装置的制造方法的一个例子的平面图。图20B及图20C是示出存储装置的制造方法的一个例子的截面图。

图21A是示出存储装置的制造方法的一个例子的平面图。图21B及图21C是示出存储装置的制造方法的一个例子的截面图。

图22A是示出存储装置的制造方法的一个例子的平面图。图22B及图22C是示出存储装置的制造方法的一个例子的截面图。

图23A是示出存储装置的一个例子的平面图。图23B是示出存储装置的一个例子的截面图。

图24A是示出存储装置的一个例子的平面图。图24B是示出存储装置的一个例子的截面图。

图25A是示出存储装置的一个例子的平面图。图25B是示出存储装置的一个例子的截面图。

图26A至图26C是示出存储装置的一个例子的平面布局。

图27A至图27C是示出存储装置的一个例子的平面布局。

图28A至图28E是说明根据本发明的一个方式的金属氧化物的沉积方法的截面图。

图29A至图29D是根据本发明的一个方式的金属氧化物的截面图。

图30A至图30D是说明根据本发明的一个方式的金属氧化物的沉积方法的截面图。

图31A至图31C是说明根据本发明的一个方式的金属氧化物的沉积方法的截面图。

图32是说明存储装置的结构例子的方框图。

图33A是说明存储装置的结构例子的示意图。图33B是说明存储装置的结构例子的电路图。

图34A及图34B是说明存储装置的结构例子的示意图。

图35是说明存储装置的结构例子的电路图。

图36A及图36B是根据本发明的一个方式的半导体装置的示意图。

图37A及图37B是说明电子构件的一个例子的图。

图38A至图38E是根据本发明的一个方式的存储装置的示意图。

图39A至图39H是示出根据本发明的一个方式的电子设备的图。

图40是示出太空设备的一个例子的图。

图41A及图41B是说明所制造的样品中的晶体管的截面图。

图42示出晶体管的 I_d - V_g 特性。

实施发明的方式

[0028] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0029] 另外,在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻等处理而层或抗蚀剂掩模等非意图性地被减薄,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。

[0030] 另外,尤其在平面图(也称为“俯视图”)或立体图等中,为了便于对发明的理解,有时省略部分构成要素的记载。另外,有时省略部分隐藏线的记载。

[0031] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0032] 此外,在本说明书等中,为了方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书所说明的词句,根据情况可以适当地换词句。

[0033] 例如,在本说明书等中,X与Y连接是指X与Y电连接。在此,X与Y电连接是指在X和Y之间存在对象物(开关、晶体管或二极管等的元件或者包含该元件及布线的电路等)时可以在X和Y之间传送电信号的连接。注意,X与Y电连接的情况包括X与Y直接连接的情况。在此,X与Y直接连接是指X和Y能够不经过上述对象物而在X和Y之间通过布线(或者电极)等传送电信号的连接。换言之,直接连接是指在使用等效电路表示时可以看作相同的电路图的连接。

[0034] 另外,在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。再者,晶体管在漏极(漏极端子、漏极区域或漏电极)与源极(源极端子、源极区域或源电极)之间具有形成沟道的区域(以下,也称为沟道形成区域),并且通过沟道形成区域电流能够流过源极与漏极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0035] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极或漏极的功能有时互相调换。因此,在本说明书等中,有时源极或漏极可以相互调换。

[0036] 注意,半导体的杂质例如是指构成半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。在包含杂质时,例如有时发生半导体的缺陷态密度的增

高、结晶性的降低等。当半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分之外的过渡金属等。例如,有氢、锂、钠、硅、硼、磷、碳、氮等。此外,有时水也作为杂质起作用。此外,例如有时杂质的混入导致氧化物半导体中的氧空位(也称为 V_o : oxygen vacancy)的形成。

[0037] 注意,在本说明书等中,氧氮化物是指在其组成中含氧量多于含氮量的物质。作为氧氮化物,可以举出氧氮化硅、氧氮化铝及氧氮化镓等。另外,氮氧化物是指在其组成中含氮量多于含氧量的物质。作为氮氧化物,可以举出氮氧化硅、氮氧化铝及氮氧化镓等。

[0038] 另外,在本说明书等中,可以将“绝缘体”换称为绝缘膜或绝缘层。另外,可以将“导电体”换称为导电膜或导电层。另外,可以将“半导体”换称为半导体膜或半导体层。

[0039] 此外,在本说明书等中,“平行”是指两条直线形成的角度为-10度以上且10度以下的状态。因此,也包括该角度为-5度以上且5度以下的状态。此外,“大致平行”是指两条直线形成的角度为-30度以上且30度以下的状态。另外,“垂直”是指两条直线形成的角度为80度以上且100度以下的状态。因此,也包括该角度为85度以上且95度以下的状态。此外,“大致垂直”是指两条直线形成的角度为60度以上且120度以下的状态。

[0040] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。注意,地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0041] 在本说明书等中,在多个构成要素使用同一符号并且需要区分它们时,有时对符号附加“_1”、“[n]”或“[m,n]”等用于识别的符号。

[0042] 注意,在本说明书等中,“高度一致”是指在截面中距作为基准的面(例如,衬底表面等平坦的面)的高度相等的结构。例如,在存储装置的制造工艺中,有时进行平坦化处理(典型的是CMP(Chemical Mechanical Polishing)处理)使单层或多个层的表面露出。在这种情况下,CMP处理的被处理面距作为基准的面的高度相等。注意,根据进行CMP处理时的处理装置、处理方法或被处理面的材料,有时多个层的高度不同。在本说明书等中,“高度一致”也包括上述情况。例如,在包括对基准面具有两个高度的层(在此称为第一层和第二层)的情况下,当第一层的顶面的高度与第二层的顶面的高度之差为20nm以下时,也将其称为“高度一致”。

[0043] 注意,在本说明书等中,“端部一致”是指从平面看时层叠的层与层之间轮廓的至少一部分重叠的情况。例如,包括上层及下层通过使用同一掩模图案或其一部分通过使用同一掩模图案被加工的情况。但是,严格地说,有时轮廓不重叠且上层的轮廓位于下层的轮廓的内侧或者上层的轮廓位于下层的轮廓的外侧,这些情况也可以说“端部一致”。

[0044] 注意,一般而言,很难明确区别“完全一致”和“大致一致”。因此,在本说明书等中,“一致”包括完全一致的情况以及大致一致的情况的双方。

[0045] 注意,在本说明书等中,常开启特性是指即使不对栅极施加电位也存在沟道,而电流流过晶体管的状态。此外,常关闭特性是指在不对栅极施加电压或者对栅极供应接地电位时电流不流过晶体管的状态。

[0046] 另外,在本说明书等中,有时将关态电流(off-state current)记作泄漏电流。此

外,在本说明书等中,关态电流例如有时是指当晶体管处于关闭状态时流在源极与漏极间的电流。

[0047] (实施方式1)

在本实施方式中,参照图1A至图27C说明本发明的一个方式的存储装置的一个例子及其制造方法。本发明的一个方式的存储装置包括存储单元。此外,该存储单元包括晶体管及电容元件。

[0048] <存储装置的结构例子>

参照图1A至图1C说明包括晶体管及电容元件的存储装置的结构。图1A至图1C是包括晶体管200及电容元件100的存储装置的平面图及截面图。图1A是该存储装置的平面图。另外,图1B及图1C是该存储装置的截面图。在此,图1B是沿着图1A中的点划线A1-A2的部分的截面图。此外,图1C是沿着图1A中的点划线A3-A4的部分的截面图。注意,在图1A的平面图中,为了明确起见,省略一部分构成要素。

[0049] 注意,有时在本说明书的附图等中附上表示X方向、Y方向以及Z方向的箭头。注意,在本说明书等中,“X方向”是指沿着X轴的方向,除了明确指出的情况以外,有时不区别其顺向及逆向。“Y方向”及“Z方向”也是同样的。另外,X方向、Y方向以及Z方向是彼此交叉的方向。例如,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向或Z方向称为“第一方向”。此外,有时将其他另一个称为“第二方向”。此外,有时将剩下的一个称为“第三方向”。

[0050] 图1A至图1C所示的存储装置包括:衬底(未图示)上的绝缘体140;绝缘体140上的导电体110;导电体110上的存储单元150;导电体110上的绝缘体180;绝缘体280;以及存储单元150上的绝缘体283。绝缘体140、绝缘体180、绝缘体280及绝缘体283被用作层间膜。导电体110被用作布线。

[0051] 存储单元150包括导电体110上的电容元件100以及电容元件100上的晶体管200。

[0052] 电容元件100包括导电体110上的导电体115、导电体115上的绝缘体130以及绝缘体130上的导电体120。导电体120被用作一对电极中的一个(有时称为上部电极),导电体115被用作一对电极中的另一个(有时称为下部电极),绝缘体130被用作介电质。也就是说,电容元件100构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容。

[0053] 如图1B及图1C所示,绝缘体180设置有到达导电体110的开口部190。导电体115的至少一部分配置在开口部190中。注意,导电体115具有在开口部190中接触于导电体110的顶面的区域、在开口部190中接触于绝缘体180的侧面的区域、以及接触于绝缘体180的顶面的至少一部分的区域。绝缘体130以其至少一部分位于开口部190中的方式配置。导电体120以其至少一部分位于开口部190中的方式配置。另外,如图1B及图1C所示,导电体120优选以嵌入开口部190的方式设置。

[0054] 图2A是摘要示出导电体110、导电体115、导电体120及开口部190的平面图。注意,以虚线示出设置在绝缘体180中的开口部190。如图2A所示,导电体115在与导电体110重叠的区域中包括开口部190。

[0055] 电容元件100具有在开口部190中不仅在底面上而且在侧面上上部电极与下部电极隔着介电体对置的结构,因此可以增加单位面积的静电电容。由此,开口部190的深度越深,电容元件100的静电电容可以越大。如此,通过增加电容元件100的单位面积的静电电

容,可以将存储装置的读出工作变得稳定。此外,可以推进存储装置的微型化或高集成化。

[0056] 开口部190的侧壁优选垂直于导电体110的顶面。此时,开口部190具有圆筒形状。通过采用这种结构,可以实现存储装置的微型化或高集成化。

[0057] 沿着开口部190的侧壁及导电体110的顶面层叠设置有导电体115和绝缘体130。另外,绝缘体130上以嵌入开口部190中的方式设置有导电体120。具有这种结构的电容元件100可以被称为沟槽型电容或沟槽电容。

[0058] 电容元件100上配置有绝缘体280。就是说,导电体115、绝缘体130以及导电体120上配置有绝缘体280。换言之,绝缘体280下配置有导电体120。

[0059] 晶体管200包括导电体120、绝缘体280上的导电体240、氧化物半导体230、氧化物半导体230上的绝缘体250以及绝缘体250上的导电体260。氧化物半导体230被用作半导体层,导电体260被用作栅电极,绝缘体250被用作栅极绝缘体,导电体120被用作源电极和漏电极中的一个,导电体240被用作源电极和漏电极中的另一个。

[0060] 如图1B及图1C所示,绝缘体280及导电体240中设置有到达导电体120的开口部290。氧化物半导体230的至少一部分配置在开口部290中。另外,氧化物半导体230具有在开口部290中接触于导电体120的顶面的区域、在开口部290中接触于导电体240的侧面的区域、以及接触于导电体240的顶面的至少一部分的区域。绝缘体250以其至少一部分位于开口部290中的方式配置。导电体260以其至少一部分位于开口部290中的方式配置。另外,如图1B及图1C所示,导电体260优选以嵌入开口部290的方式设置。

[0061] 图2B是摘要示出导电体120、氧化物半导体230、导电体240、导电体260及开口部290的平面图。注意,以虚线示出设置在绝缘体280及导电体240中的开口部290。如图2B所示,导电体240在与导电体120重叠的区域中包括开口部290。另外,导电体240优选不设置在开口部290内部。就是说,导电体240优选不具有接触于绝缘体280的开口部290一侧的侧面的区域。

[0062] 氧化物半导体230具有在开口部290中接触于导电体240的侧面的区域以及接触于导电体240的顶面的一部分的区域。如此,通过氧化物半导体230除了导电体240的侧面之外还接触于其顶面,可以增大氧化物半导体230与导电体240的接触面积。

[0063] 如图1A至图1C所示,晶体管200重叠于电容元件100。另外,设置有晶体管200的结构的一部分的开口部290具有与设置有电容元件100的结构的一部分的开口部190重叠的区域。尤其是,导电体120被用作晶体管200的源电极和漏电极中的一个且被用作电容元件100的上部电极,所以晶体管200及电容元件100共用部分结构。通过采用这种结构,在从平面看时可以以不大幅度地增大占有面积的方式设置晶体管200及电容元件100。由此,可以减小存储单元150的占有面积,所以可以以高密度配置存储单元150而增大存储装置的存储容量。换言之,可以实现存储装置的高集成化。

[0064] 图1D示出本实施方式所示的存储装置的电路图。如图1D所示,图1A至图1C所示的结构被用作存储装置的存储单元。存储单元包括晶体管Tr及电容元件C。在此,晶体管Tr对应于晶体管200,电容元件C对应于电容元件100。

[0065] 晶体管Tr的源极和漏极中的一个与电容元件C的一对电极中的一个连接。晶体管Tr的源极和漏极中的另一个与布线BL连接。晶体管Tr的栅极与布线WL连接。电容元件C的一对电极中的另一个与布线PL连接。

[0066] 在此,布线BL对应于导电体240,布线WL对应于导电体260,布线PL对应于导电体110。如图1A至图1C所示,优选的是,导电体260延伸在Y方向上,导电体240延伸在X方向上。通过采用这种结构,布线BL与布线WL彼此交叉。通过布线BL与布线WL彼此交叉,布线BL与布线WL重叠的区域的面积变小,可以降低产生在布线BL与布线WL之间的寄生电容。另外,在图1A中布线PL(导电体110)以平面状设置,但是本发明不局限于此。例如,布线PL也可以平行于布线WL(导电体260)或者布线BL(导电体240)。

[0067] 注意,将在后面的实施方式中详细地说明存储单元。

[0068] [电容元件100]

电容元件100包括导电体115、绝缘体130、导电体120。另外,导电体115的下方设置有导电体110。导电体115具有接触于导电体110的区域。

[0069] 导电体110设置在绝缘体140上。导电体110被用作布线PL,例如可以以平面状设置。作为导电体110,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体110,例如可以使用钨等导电性高的导电材料。通过如此使用导电性高的导电材料,可以提高导电体110的导电性而使导电体110充分发挥作为布线PL的功能。

[0070] 另外,作为导电体110,优选以单层或叠层使用不容易被氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,也可以使用氮化钛或添加有硅的钨锡氧化物等。或者,例如也可以具有在钨上层叠氮化钛的结构。或者,例如也可以具有在第一氮化钛上层叠钨且在该钨上层叠第二氮化钛的结构。通过采用这种结构,可以抑制在绝缘体180使用氧化物绝缘体时因绝缘体180而导电体110被氧化。

[0071] 作为导电体115,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体115,优选使用不容易被氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,可以使用氮化钛或氮化钽等。或者,例如也可以具有在氮化钛上层叠氮化钽的结构。通过采用这种结构,可以抑制在绝缘体130使用氧化物绝缘体时因绝缘体130而导电体115被氧化。另外,可以抑制在作为绝缘体180使用氧化物绝缘体时导电体115因绝缘体180而被氧化。

[0072] 绝缘体130设置在导电体115上。绝缘体130以接触于导电体115的顶面及侧面的方式设置。也就是说,绝缘体130优选覆盖导电体115的侧端部。由此,可以防止导电体115及导电体120短路。

[0073] 另外,也可以采用绝缘体130的侧端部与导电体115的侧端部一致的结构。通过采用这种结构,可以使用相同掩模形成绝缘体130及导电体115,由此可以简化存储装置的制造工序。

[0074] 作为绝缘体130优选使用将在后面说明的[绝缘体]中记载的相对介电常数高的材料,即所谓的high-k材料。通过绝缘体130使用high-k材料,可以将绝缘体130的厚度增加到能够抑制泄漏电流的程度且可以充分确保电容元件100的静电电容。

[0075] 另外,作为绝缘体130,优选层叠由high-k材料构成的绝缘层而使用,优选使用相对介电常数高的(high-k)材料与介电强度大于该high-k材料的材料的叠层结构。例如,作为绝缘体130,可以使用依次层叠有氧化锆、氧化铝及氧化锆的绝缘膜。另外,例如,可以使用依次层叠有氧化锆、氧化铝、氧化锆及氧化铝的绝缘膜。另外,例如,可以使用依次层叠有钪锆氧化物、氧化铝、钪锆氧化物、氧化铝的绝缘膜。通过层叠氧化铝等介电强度较大的绝

缘体而使用,可以提高介电强度而可以抑制电容元件100的静电破坏。

[0076] 此外,作为绝缘体130,也可以使用可具有铁电性的材料。作为可具有铁电性的材料,可以举出氧化铪、氧化锆、 HfZrO_x (x 为大于0的实数)等金属氧化物。此外,作为可具有铁电性的材料,可以举出对氧化铪添加元素J1(在此,元素J1为选自锆、硅、铝、钽、铋、镧、铈等中的一个或多个)的材料。在此,可以适当地设定铪的原子个数与元素J1的原子个数之比,例如,可以将铪的原子个数与元素J1的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,可以举出对氧化锆添加元素J2(在此,元素J2为选自铪、硅、铝、钽、铋、镧、铈等中的一个或多个)的材料等。此外,可以适当地设定锆的原子个数与元素J2的原子个数之比,例如,可以将锆的原子个数与元素J2的原子个数之比设定为1:1或其附近。此外,作为可具有铁电性的材料,也可以使用钛酸铅(PbTiO_x)、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。

[0077] 此外,作为可具有铁电性的材料,可以举出包含元素M1、元素M2及氮的金属氮化物。在此,元素M1为选自铝、镓、铟等中的一个或多个。此外,元素M2为选自硼、钪、钇、镧、铈、铊、铋、铊、铋、铊、铋等中的一个或多个。此外,可以适当地设定元素M1与元素M2的原子个数比。另外,包含元素M1及氮的金属氧化物即便不包含元素M2也有时具有铁电性。此外,作为可具有铁电性的材料,可以举出对上述金属氮化物添加元素M3的材料。注意,元素M3为选自镁、钙、锶、铈、镧、铈、镧、铈等中的一个或多个。在此,可以适当地设定元素M1、元素M2与元素M3的原子个数比。

[0078] 此外,作为可具有铁电性的材料,可以举出 SrTaO_2N 、 BaTaO_2N 等钙钛矿型氧氮化物、 κ 型氧化铝的 GaFeO_3 等。

[0079] 注意,在上述说明中,虽然示出金属氧化物及金属氮化物的例子,但是不局限于此。例如,也可以使用对上述金属氧化物添加氮的金属氧氮化物或者对上述金属氮化物添加氧的金属氮氧化物等。

[0080] 此外,作为可具有铁电性的材料,例如,可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外,绝缘体130可以具有由选自上述材料中的多个材料构成的叠层结构。注意,上述所列举的材料等的晶体结构(特性)可能不仅根据沉积条件而且还根据各种工序等而发生变化,由此在本说明书等中,呈现铁电性的材料不仅被称为铁电体,而且还被称为可具有铁电性的材料。

[0081] 包含铪和锆中的一方或双方的金属氧化物即使被加工为几nm的薄膜也可具有铁电性,所以是优选的。在此,绝缘体130的厚度可以为100nm以下,优选为50nm以下,更优选为20nm以下,进一步优选为10nm以下(典型的是,2nm以上且9nm以下)。例如,厚度优选为8nm以上且12nm以下。通过使用可以被薄膜化的铁电层,可以将电容元件100与被微型化了的晶体管等半导体元件组合来形成半导体装置。注意,在本说明书等中,形成为层状的可具有铁电性的材料有时被称为铁电层、金属氧化物膜或金属氮化物膜。此外,在本说明书等中,有时将包括铁电层、金属氧化物膜或金属氮化物膜的装置称为铁电体器件。

[0082] 此外,包含铪和锆中的一方或双方的金属氧化物即使在其面积微小时也可具有铁电性,所以是优选的。例如,铁电层即使在从平面看时的面积(占有面积)为 $100\mu\text{m}^2$ 以下, $10\mu\text{m}^2$ 以下, $1\mu\text{m}^2$ 以下或 $0.1\mu\text{m}^2$ 以下也可以具有铁电性。此外,有时铁电层即使在从平面看时的面积(占有面积)为 10000nm^2 以下或 1000nm^2 以下也具有铁电性。通过使铁电层的面积小,可

以缩小电容元件100的占有面积。

[0083] 铁电体为绝缘体,具有受到外加电场的作用而在内部发生极化,并在该电场为0时也保持极化的性质。因此,通过使用将该材料用作介电质的电容元件(以下,有时称为铁电电容器),可以形成非易失性存储元件。使用铁电电容器的非易失性存储元件有时被称为FeRAM(Ferroelectric Random Access Memory:铁电随机存取存储器)、铁电存储器等。例如,铁电存储器包括晶体管及铁电电容器,晶体管的源极和漏极中的一个与铁电电容器的一个端子电连接。由此,在作为电容元件100使用铁电电容器的情况下,本实施方式所示的存储装置被用作铁电存储器。

[0084] 此外,铁电性被认为是因为包含在铁电层中的晶体的氧或氮受到外加电场的作用发生位移而呈现的。此外,呈现铁电性被推定为依赖于包含在铁电层中的晶体的晶体结构。因此,为了使绝缘体130呈现铁电性,绝缘体130需要包含晶体。尤其是,绝缘体130优选包含具有正交晶系晶体结构的晶体,由此呈现铁电性。另外,包含在绝缘体130中的晶体的晶体结构为选自立方晶系、四方晶系、正交晶系、单斜晶系以及六方晶系中的任何一个或多个即可。此外,绝缘体130也可以具有非晶结构。此时,绝缘体130也可以具有非晶结构和晶体结构的复合结构。

[0085] 导电体120以接触于绝缘体130的顶面的一部分的方式设置。另外,如图2A所示,导电体120的侧端部优选在X方向及Y方向上都位于导电体115的侧端部的内侧。注意,在绝缘体130覆盖导电体115的侧端部的结构中,导电体120的侧端部也可以位于导电体115的侧端部的外侧。

[0086] 作为导电体120,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体120,优选使用不容易被氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,可以使用氮化钛或氮化钽等。另外,例如,也可以具有氮化钛上层叠有氮化钽的结构。在此情况下,氮化钛接触于绝缘体130且氮化钽接触于氧化物半导体230。通过采用这种结构,可以抑制因氧化物半导体230而导电体120被过度氧化。另外,在将氧化物绝缘体用于绝缘体130的情况下,可以抑制因绝缘体130而导电体120被过度氧化。或者,作为导电体120,例如可以具有氮化钛上层叠有钨的结构。

[0087] 另外,导电体120具有接触于氧化物半导体230的区域,因此优选使用后述[导电体]中的包含氧的导电材料。通过作为导电体120使用包含氧的导电材料,导电体120即使吸收氧也可以保持导电性。另外,即使作为绝缘体130使用氧化锆等包含氧的绝缘体,导电体120也可以保持导电性,所以是优选的。作为导电体120,例如可以以单层或叠层使用铟锡氧化物(也称为ITO)、添加有硅的铟锡氧化物(也称为ITSO)、铟锌氧化物(也称为IZO(注册商标))等。

[0088] 此外,导电体120也可以具有三层以上的叠层结构,其中以夹着包含导电性高的材料的导电体的方式层叠包含与该导电体不同的金属元素的导电体。例如,作为导电性高的材料,可以举出以钨、铜或铝为主要成分的导电材料。此外,作为夹着包含导电性高的材料的导电体的导电体,优选使用不容易被氧化的导电材料、具有抑制氧扩散的功能的导电材料或者包含氧的导电材料。具体而言,作为导电性高的材料可以使用钨,作为不容易被氧化的导电材料或具有抑制氧扩散的功能的导电材料可以使用氮化钛,作为包含氧的导电材料可以使用添加有硅的铟锡氧化物。此时,导电体120具有氮化钛、氮化钛上的钨以及钨上的

添加有硅的铟锡氧化物的叠层结构。

[0089] 绝缘体180被用作层间膜,所以其相对介电常数优选低。通过将相对介电常数低材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体180,可以使用将在后面说明的[绝缘体]中记载的包含相对介电常数低材料的绝缘体的单层或叠层。氧化硅及氮化硅具有热稳定性,所以是优选的。此时,绝缘体180至少包含硅及氧。

[0090] 注意,在图1B及图1C示出绝缘体180为单层的结构,但是本发明不局限于此。绝缘体180也可以具有叠层结构。

[0091] 例如,如图3A及图3B所示,绝缘体180也可以具有绝缘体180a和绝缘体180a上的绝缘体180b的叠层结构。

[0092] 作为绝缘体180b可以使用上述可用作绝缘体180的绝缘材料。

[0093] 作为绝缘体180a优选使用后述[绝缘体]中的具有氧阻挡性的绝缘体。另外,由于绝缘体180b中的氧而导电体110被氧化,有时电阻变高。通过在绝缘体180b与导电体110之间设置绝缘体180a,可以抑制导电体110被氧化而电阻变高。

[0094] 当氢等杂质混入绝缘体130中时,有时增大上部电极与下部电极间产生的泄漏电流。另外,当作为绝缘体130使用可具有铁电性的材料时,有时因氢等杂质混入可具有铁电性的材料中而降低可具有铁电性的材料的结晶性。鉴于此,优选抑制氢等杂质混入绝缘体130中。

[0095] 于是,作为绝缘体180a优选使用后述[绝缘体]中的具有氢阻挡性的绝缘体。由此,可以抑制氢从绝缘体180a的下方通过绝缘体180b及导电体115扩散到绝缘体130。由于氮化硅及氮氧化硅分别具有来自本身的杂质(例如,水及氢)的释放少且氧及氢不容易透过的特征,所以可以适用于绝缘体180a。此时,绝缘体180a至少包含硅及氮。

[0096] 此外,作为绝缘体180a优选使用后述[绝缘体]中的具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以俘获或固定绝缘体130的氢而降低绝缘体130的氢浓度。作为绝缘体180a可以使用氧化镁、氧化铝或氧化铅等。例如,作为绝缘体180a也可以使用氧化铝和该氧化铝上的氮化硅的叠层膜。

[0097] 注意,在图3A及图3B中绝缘体180具有两层的叠层结构,但是本发明的一个方式不局限于此。绝缘体180也可以具有三层以上的叠层结构。

[0098] 例如,当使绝缘体180具有三层叠层结构时,除了绝缘体180a及绝缘体180b之外还设置绝缘体180b与导电体115及绝缘体130之间的绝缘体,即可。作为该绝缘体可以使用可用作绝缘体180a的绝缘体。由此,可以抑制氢通过绝缘体180b扩散到绝缘体130。

[0099] 另外,如图3A及图3B所示,优选在导电体115与绝缘体180之间设置绝缘体185。另外,绝缘体185优选以接触于开口部190中的绝缘体180的侧面的方式设置。也就是说,绝缘体185优选设置在开口部190中的绝缘体180的侧面与导电体115之间。

[0100] 作为绝缘体185优选使用后述[绝缘体]中的具有氢阻挡性的绝缘体。由此,可以抑制氢从电容元件100的外部通过绝缘体180扩散到位于开口部190的绝缘体130。例如,作为绝缘体185可以使用氮化硅或氮氧化硅。此时,绝缘体185至少包含硅及氮。

[0101] 此外,作为绝缘体185优选使用后述[绝缘体]中的具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以俘获或固定绝缘体130的氢而降低绝缘体130的氢浓度。作为绝缘体185可以使用氧化镁、氧化铝或氧化铅等。例如,作为绝缘体185也可以使用氧化铝和

该氧化铝上的氮化硅的叠层膜。

[0102] 注意,在图3A及图3B中,以接触于开口部190中的绝缘体180a的侧面以及开口部190中的绝缘体180b的侧面的方式设置有绝缘体185,但是本发明不局限于此。例如,如图3C及图3D所示,绝缘体185也可以以接触于绝缘体180a的顶面的一部分以及开口部190中的绝缘体180b的侧面的方式设置。

[0103] 注意,在图1B及图1C中,导电体120隔着绝缘体130位于导电体115的内侧,但是本发明不局限于此。例如,导电体120也可以隔着绝缘体130位于导电体115的外侧。

[0104] 例如,如图4A及图4B所示,优选绝缘体130除了接触于导电体115所具有的凹部的内侧的区域及接触于导电体115的顶面的区域之外还具有导电体115的外侧的侧面一侧的区域。

[0105] 此外,导电体120以隔着绝缘体130嵌入导电体115所具有的凹部的方式设置。并且,导电体120具有隔着绝缘体130与导电体115的外侧的侧面的一部分相对的区域。

[0106] 通过采用上述结构,可以进一步增大单位面积的静电电容。

[0107] 注意,如图4A及图4B所示,也可以在导电体115的外侧的侧面与绝缘体130及绝缘体180之间设置绝缘体135。

[0108] 另外,也可以在导电体120及绝缘体130上设置绝缘体182。此外,优选以导电体120的顶面露出的方式进行绝缘体182的平坦化处理。通过进行绝缘体182的平坦化处理,可以在电容元件100上适当地形成晶体管200。

[0109] 绝缘体182被用作层间膜,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体182可以使用可用作绝缘体180的绝缘体。

[0110] 注意,在通过如图4A及图4B所示以与导电体115的内侧及外侧面对的方式设置导电体120而可以确保作为存储单元足够的静电电容的情况下,也可以不设置绝缘体180。

[0111] 图4C及图4D所示的存储装置与图4A及图4B所示的存储装置不同之处在于:前者不设置有绝缘体180b。通过不设置绝缘体180b,可以简化存储装置的制造工序。

[0112] [晶体管200]

如图1A至图1C所示,晶体管200可以包括导电体120、绝缘体280上的导电体240、以及与露出在开口部290的导电体120的顶面、开口部290中的绝缘体280的侧面、开口部290中的导电体240的侧面及导电体240的顶面的至少一部分接触的方式设置的氧化物半导体230、以及与氧化物半导体230的顶面接触的方式设置的绝缘体250、以及与绝缘体250的顶面接触的方式设置的导电体260。

[0113] 晶体管200的构成要素的至少一部分配置在开口部290中。在此,开口部290的底部是导电体120的顶面,开口部290的侧壁是绝缘体280的侧面及导电体240的侧面。

[0114] 开口部290的侧壁优选垂直于导电体110的顶面。此时,开口部290具有圆筒形状。通过采用这种结构,可以实现存储装置的微型化或高集成化。

[0115] 注意,本实施方式示出开口部290的从平面看时的形状为圆形的例子,但是本发明不局限于此。例如,开口部290的从平面看时的形状也可以为椭圆等大致圆形形状、四角形等多角形状、使四角形等多角形的角部带弧形的形状。此时,开口部290的最大宽度根据开口部290的最上部的形状适当地算出即可。例如,在开口部的从平面看时的形状为四角形

时,开口部290的最大宽度优选为开口部290的最上部的对角线长度。

[0116] 氧化物半导体230、绝缘体250及导电体260的配置在开口部290中的部分反映了开口部290的形状。因此,以覆盖开口部290的底部及侧壁的方式设置氧化物半导体230,以覆盖氧化物半导体230的方式设置绝缘体250,并且以嵌入反映了开口部290的形状的绝缘体250的凹部的方式设置导电体260。

[0117] 这里,图5A是图1B中的氧化物半导体230及其附近的放大图。此外,图5B是XY平面上的包括导电体240的截面图。

[0118] 如图5A所示,氧化物半导体230具有区域230i、以夹着区域230i的方式设置的区域230na及区域230nb。

[0119] 区域230na是氧化物半导体230中的与导电体120接触的区域。区域230na的至少一部分被用作晶体管200的源极区域和漏极区域中的一方。区域230nb是氧化物半导体230中的与导电体240接触的区域。区域230nb的至少一部分被用作晶体管200的源极区域和漏极区域中的另一方。如图5B所示,导电体240接触于氧化物半导体230的外周整体。因此,晶体管200的源极区域和漏极区域中的另一方有可能形成在氧化物半导体230的形成在与导电体240相同层中的部分的外周整体。

[0120] 区域230i是氧化物半导体230中的区域230na与区域230nb之间的区域。区域230i的至少一部分被用作晶体管200的沟道形成区域。也就是说,晶体管200的沟道形成区域位于氧化物半导体230的导电体120与导电体240之间的区域。另外,也可以说晶体管200的沟道形成区域位于氧化物半导体230的接触于绝缘体280的区域或其附近的区域。

[0121] 晶体管200的沟道长度为源极区域与漏极区域之间的距离。换言之,可以说晶体管200的沟道长度根据导电体120上的绝缘体280的厚度决定。在图5A中,以虚线的双箭头表示晶体管200的沟道长度L。在从截面看时,沟道长度L为氧化物半导体230和导电体120接触的区域端部与氧化物半导体230和导电体240接触的区域端部的距离。也就是说,沟道长度L相当于从截面看时的绝缘体280的开口部290一侧的侧面的长度。

[0122] 在平面型晶体管中,根据光刻法的曝光极限设定沟道长度,但是在本发明中可以根据绝缘体280的厚度设定沟道长度。因此,可以将晶体管200的沟道长度设定为光刻法的曝光极限以下的非常微细的结构(例如,60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上)。因此,晶体管200的通态电流变大,从而可以提高频率特性。由此,可以提高存储单元150的读出速度及写入速度,所以可以提供一种工作速度高的存储装置。

[0123] 再者,如上所述,可以在开口部290中形成沟道形成区域、源极区域及漏极区域。因此,与在XY平面上分别设置沟道形成区域、源极区域及漏极区域的平面型晶体管相比,可以减小晶体管200的占有面积。由此,可以使存储装置高集成化,所以可以增大单位面积的存储容量。

[0124] 另外,如图5B所示,在包括氧化物半导体230的沟道形成区域的XY平面上,氧化物半导体230、绝缘体250及导电体260以同心圆状设置。因此,设置在中心的导电体260的侧面隔着绝缘体250与氧化物半导体230的侧面相对。换言之,在从平面看时氧化物半导体230的圈整体成为沟道形成区域。此时,例如,根据氧化物半导体230的外周的长度决定晶体管200的沟道宽度。就是说,可以说根据开口部290的最大宽度(在开口部290的从平面看时的形状

为圆形的情况下,直径)的大小决定晶体管200的沟道宽度。在图5A及图5B中,以双点划线的双箭头表示开口部290的最大宽度D。在图5B中,以点划线的双箭头表示晶体管200的沟道宽度W。通过使开口部290的最大宽度D的大小增大,可以增大单位面积的沟道宽度而增大通态电流。

[0125] 在利用光刻法形成开口部290时,根据光刻法的曝光极限设定开口部290的最大宽度D。此外,根据设置在开口部290中的氧化物半导体230、绝缘体250及导电体260的各厚度设定开口部290的最大宽度D。开口部290的最大宽度D例如优选为5nm以上、10nm以上或20nm以上且为100nm以下、60nm以下、50nm以下、40nm以下或30nm以下。注意,在开口部290的从平面看时的形状为圆形的情况下,开口部290的最大宽度D相当于开口部290的直径,沟道宽度W可以被算出为“ $D \times \pi$ ”。

[0126] 另外,在本发明的一个方式的存储装置中,晶体管200的沟道长度L优选至少比晶体管200的沟道宽度W小。本发明的一个方式的晶体管200的沟道长度L为晶体管200的沟道宽度W的0.1倍以上且0.99倍以下,优选为0.5倍以上且0.8倍以下。通过采用这种结构,可以实现具有良好的电特性及高可靠性的晶体管。

[0127] 另外,通过以在从平面看时具有圆形形状的方式形成开口部290,氧化物半导体230、绝缘体250及导电体260以同心圆状设置。由此,导电体260与氧化物半导体230的距离大致均匀,所以可以对氧化物半导体230大致均匀地施加栅极电场。

[0128] 在将氧化物半导体用于半导体层的晶体管的沟道形成区域中,优选的是,与源极区域及漏极区域相比,氧空位少或者氢、氮、金属元素等的杂质浓度低。另外,氧空位附近的氢有时形成氢进入氧空位的缺陷(以下,有时被称为 V_OH)而生成成为载流子的电子,所以在沟道形成区域中 V_OH 也优选得到减少。如此,晶体管的沟道形成区域是载流子浓度低的高电阻区域。由此,晶体管的沟道形成区域可以说是i型(本征)或实质上i型。

[0129] 另外,将氧化物半导体用于半导体层的晶体管的源极区域及漏极区域是如下区域:由于与沟道形成区域相比氧空位多、 V_OH 多或者氢、氮、金属元素等的杂质浓度高而载流子浓度增加,由此被低电阻化。就是说,与沟道形成区域相比,晶体管的源极区域及漏极区域是载流子浓度更高且电阻更低的n型区域。

[0130] 注意,在图1B及图1C中以开口部290的侧壁垂直于导电体110的顶面的方式设置开口部290,但是本发明不局限于此。例如,开口部290的侧壁也可以具有锥形形状。

[0131] 在图6A及图6B所示的存储装置中,开口部290的侧壁具有反锥形形状。另外,图6A及图6B所示的存储装置的平面图可以参照图1A。

[0132] 通过使开口部290的侧壁具有锥形形状,可以提高氧化物半导体230或绝缘体250等的覆盖性,由此可以减少空洞等缺陷。例如,开口部290中的绝缘体280的侧面与导电体120的顶面所形成的角度(图6A所示的角度 θ_1)优选为45度以上且小于90度。或者,优选为45度以上且75度以下。或者,优选为45度以上且65度以下。

[0133] 注意,在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,具有倾斜的侧面和衬底面所形成的角度(以下,有时称为锥角)小于90°的区域。注意,构成要素的侧面及衬底面不一定必须完全平坦,也可以是具有微细曲率的近似平面状或具有微细凹凸的近似平面状。

[0134] 图6A及图6B所示的开口部290的形状为圆台形状。在此情况下,开口部290的从平

面看时的形状为圆形,开口部290的从截面看时的形状为梯形。另外,圆台形状的上底面(例如,设置在导电体240中的开口部)的面积比圆台形状的下底面(露出在开口部290的导电体120的顶面)的面积大。此时,开口部290的最大径根据圆台形状的上底面算出即可。

[0135] 当开口部290的侧壁具有锥形形状时,可以使用绝缘体280的厚度以及开口部290中的绝缘体280的侧面与导电体120的顶面所形成的角度 θ_1 设定沟道长度。另外,在从平面看时,氧化物半导体230的外周的长度例如根据与导电体240相对的区域或者绝缘体280的厚度的一半的位置算出即可。注意,根据需要,可以将开口部290的任意的位置(深度)的周长设定为晶体管200的沟道宽度。例如,可以将开口部290的最下部的周长设定为沟道宽度,也可以将开口部290的最上部的周长设定为沟道宽度。

[0136] 虽然在图6A及图6B中示出开口部290中的导电体240的侧面与开口部290中的绝缘体280的侧面对齐的结构,但是本发明不局限于此。例如,开口部290中的导电体240的侧面与开口部290中的绝缘体280的侧面也可以不连续。另外,开口部290中的导电体240的侧面的倾斜度与开口部290中的绝缘体280的侧面的倾斜度也可以彼此不同。此外,例如,开口部290中的导电体240的侧面与导电体120的顶面所形成的角度优选小于角度 θ_1 。通过采用这种结构,氧化物半导体230对开口部290中的导电体240的侧面的覆盖性得到提高,而可以减少空洞等缺陷。

[0137] 如图6A及图6B所示,位于开口部290中的导电体260的底部具有平坦的区域。注意,根据开口部290的最大宽度(在开口部290的从平面看时的形状为圆形的情况下,直径)的大小、绝缘体280的厚度(相当于开口部290的深度)、氧化物半导体230的厚度及绝缘体250的厚度等,有时位于开口部290中的导电体260的底部不具有平坦的区域。例如,如图6C及图6D所示,有时位于开口部290中的导电体260的底部的形状为针状。注意,图6C及图6D所示的存储装置的平面图可以参照图1A。

[0138] 在此,针状是指越靠近顶端(靠近位于开口部290中的导电体260的底部)越细的形状。另外,针状的顶端可以为锐角,也可以为向下凸起的曲面形状。另外,也可以将针状中的顶端为锐角的形状称为V字形状。

[0139] 位于开口部290中的导电体260的隔着绝缘体250相对于氧化物半导体230的区域被用作栅电极。由此,也可以将嵌入开口部290且底部的形状为针状的导电体260称为针状栅极。此外,如图6A及图6B所示,即使导电体260的底部为具有平坦的区域的形状,有时也可以将导电体260称为针状栅极。

[0140] 注意,在图1B及图1C中以开口部190的侧壁垂直于导电体110的顶面的方式设置开口部190,但是本发明不局限于此。例如,与开口部290同样,开口部190的侧壁也可以具有锥形形状。

[0141] 通过使开口部190的侧壁具有锥形形状,可以提高导电体115或绝缘体130等的覆盖性,由此可以减少空洞等缺陷。例如,开口部190中的绝缘体180的侧面与导电体110的顶面所形成的角度(图6A所示的角度 θ_2)优选为45度以上且小于90度。或者,优选为45度以上且75度以下。或者,优选为45度以上且65度以下。

[0142] 如图6A及图6B所示,位于开口部190中的导电体120的底部具有平坦的区域。注意,根据开口部190的最大宽度(在开口部190的从平面看时的形状为圆形的情况下,直径)的大小、绝缘体180的厚度(相当于开口部190的深度)、导电体115的厚度及绝缘体130的厚度等,

有时位于开口部190中的导电体120的底部不具有平坦的区域。例如,如图6C及图6D所示,有时位于开口部190中的导电体120的底部的形状为针状。注意,图6C及图6D所示的存储装置的平面图可以参照图1A。

[0143] 另外,当绝缘体180和绝缘体280使用相同材料时,角度 $\theta 1$ 和角度 $\theta 2$ 一致或大致一致。注意,角度 $\theta 1$ 和角度 $\theta 2$ 根据用于绝缘体180和绝缘体280的每一个的材料、开口部190和开口部290的每一个的形成方法等也可以不同。例如,角度 $\theta 1$ 可以大于或小于角度 $\theta 2$ 。此外,角度 $\theta 1$ 和角度 $\theta 2$ 中的一方也可以为90度或其附近值。

[0144] 另外,在本说明书等中,某个数值A的附近值是指 $0.9 \times A$ 以上且 $1.1 \times A$ 以下的值。

[0145] 或者,例如,开口部290的侧壁也可以具有反锥形状。换言之,开口部290中的绝缘体280的侧面与导电体120的顶面所形成的角度(图6A所示的角度 $\theta 1$)也可以大于90度。

[0146] 在此,反锥形形状是指具有在平行于衬底的方向上比底部突出的侧部或上部的形状。此时,开口部290的形状为圆台形状。在此情况下,在从平面看时的开口部290具有圆形,从截面看时的开口部290具有梯形。另外,圆台形状的上底面(例如,设置在导电体240中的开口部)的面积比圆台形状的下底面(露出在开口部290的导电体120的顶面)的面积大。通过采用这种结构,可以使氧化物半导体230与导电体120接触的面积扩大。同样地,开口部190的侧壁也可以具有反锥形状。

[0147] 如图1B及图1C所示,氧化物半导体230的一部分位于开口部290之外,即导电体240上。注意,在图1B中示出氧化物半导体230在X方向上被分开的结构,但是本发明不局限于此。例如,如图7A及图7B所示,氧化物半导体230也可以延伸在X方向上。另外,氧化物半导体230在图7A及图7B所示的结构中也在Y方向上被分开(参照图7C)。

[0148] 此外,图1C示出氧化物半导体230的侧端部位于导电体240的侧端部的内侧的结构。注意,本发明不局限于此。例如,也可以采用在Y方向上氧化物半导体230的侧端部与导电体240的侧端部一致的结构。或者,也可以采用氧化物半导体230的侧端部位于导电体240的侧端部的外侧的结构。

[0149] 用作氧化物半导体230的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过作为氧化物半导体230使用带隙大的金属氧化物,可以减小晶体管的关态电流。通过将关态电流小的晶体管用于存储单元,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频率极低,所以可以充分降低存储装置的功耗。另外,一般的DRAM所需要的刷新工作的频率约为1次/60msec,本发明的一个方式的存储装置的刷新工作的频率可以约为1次/10sec,即可以实现10倍以上或100倍以上的刷新工作的频率。另外,通过使用本发明的一个方式的存储装置,可以将刷新工作的频率设定为1次/1sec以上且1次/100sec以下,优选为1次/5sec以上且1次/50sec以下。

[0150] 另外,作为氧化物半导体230,可以使用后述[金属氧化物]中记载的金属氧化物的单层或叠层。

[0151] 作为氧化物半导体230,具体而言,可以使用如下组成的金属氧化物:In:M:Zn=1:3:2[原子个数比]或其附近的组成、In:M:Zn=1:3:4[原子个数比]或其附近的组成、In:M:Zn=1:1:0.5[原子个数比]或其附近的组成、In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成。注意,附近的组成包括所

希望的原子个数比的 $\pm 30\%$ 的范围。另外,作为元素M优选使用镓。

[0152] 另外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0153] 作为用于氧化物半导体230的金属氧化物的组成的分析,例如可以利用能量分散型X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectrometry)、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或者电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响,实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0154] 金属氧化物可以适当地利用溅射法或原子层沉积(ALD:Atomic Layer Deposition)法形成。注意,在利用溅射法形成金属氧化物的情况下,形成后的金属氧化物的组成有时与溅射靶材的组成不同。尤其是,形成后的金属氧化物中的锌的含有率有时减少到溅射靶材中的锌的含有率的50%左右。

[0155] 氧化物半导体230优选具有结晶性。作为具有结晶性的氧化物半导体,可以举出CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向晶体氧化物半导体)、nc-OS(nanocrystalline oxide semiconductor:纳米晶氧化物半导体)、多晶氧化物半导体、单晶氧化物半导体等。作为氧化物半导体230优选使用CAAC-OS或nc-OS,特别优选使用CAAC-OS。

[0156] CAAC-OS优选具有多个层状结晶区域且其c轴在被形成面的法线方向上取向。例如,氧化物半导体230优选具有大致平行于开口部290的侧壁的层状晶体,尤其是大致平行于绝缘体280的侧面的层状晶体。通过采用这种结构,氧化物半导体230的层状晶体大致平行于晶体管200的沟道长度方向,所以可以增大晶体管的通态电流。

[0157] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行加热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0158] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,具有CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0159] 此外,当作为氧化物半导体230使用CAAC-OS等具有结晶性的氧化物时,可以抑制氧被源电极或漏电极从氧化物半导体230抽出。因此,即使进行加热处理也可以抑制氧从氧化物半导体230抽出,所以晶体管200对制造工序中的高温(所谓热积存:thermal budget)很稳定。

[0160] 氧化物半导体230的结晶性例如可以通过X射线衍射(XRD:X-Ray Diffraction)、透射电子显微镜(TEM:Transmission Electron Microscope)或电子衍射(ED:Electron Diffraction)分析。或者,也可以组合多个上述方法而分析。

[0161] 注意,在图1B及图1C中示出氧化物半导体230为单层的结构,本发明不局限于此。

氧化物半导体230也可以具有化学组成互不相同的多个氧化物层的叠层结构。例如,也可以采用适当地层叠选自后述[金属氧化物]中记载的金属氧化物中的多种的结构。

[0162] 例如,如图8A及图8B所示,氧化物半导体230可以具有氧化物半导体230a和氧化物半导体230a上的氧化物半导体230b的叠层结构。

[0163] 用于氧化物半导体230a的材料的导电率优选与用于氧化物半导体230b的材料的导电率不同。

[0164] 例如,氧化物半导体230a可以使用与氧化物半导体230b相比导电率高的材料。通过将导电率高的材料用于用作源电极或漏电极的导电体120及与导电体240接触的氧化物半导体230a,可以降低氧化物半导体230与导电体120的接触电阻以及氧化物半导体230与导电体240的接触电阻,由此可以实现通态电流大的晶体管。

[0165] 在此,在将导电率高的材料用于设置在用作栅电极的导电体260一侧的氧化物半导体230b的情况下,有时导致晶体管的阈值电压的漂移,从而栅电压为0V时流过的漏极电流(以下,也记载为截止电流)变大。具体而言,在晶体管200为n沟道型晶体管的情况下,有时阈值电压降低。因此,氧化物半导体230b优选使用与氧化物半导体230a相比导电率低的材料。由此,在晶体管200为n沟道型晶体管的情况下可以增大阈值电压,可以实现截止电流小的晶体管。注意,有时将截止电流小记载为常关闭。

[0166] 通过如上所述使氧化物半导体230具有叠层结构且将与氧化物半导体230b相比导电率高的材料用于氧化物半导体230a,可以实现常关闭且通态电流大的晶体管。由此,可以实现兼具低功耗及高性能的存储装置。

[0167] 另外,氧化物半导体230a的载流子浓度优选比氧化物半导体230b的载流子浓度高。通过提高氧化物半导体230a的载流子浓度,导电率变高,可以降低氧化物半导体230与导电体120的接触电阻以及氧化物半导体230与导电体240的接触电阻,由此可以实现通态电流大的晶体管。通过降低氧化物半导体230b的载流子浓度,导电率变低,由此可以实现常关闭晶体管。

[0168] 在此,虽然示出将与氧化物半导体230b相比导电率高的材料用于氧化物半导体230a的例子,但是本发明的一个方式不局限于此。氧化物半导体230a也可以使用与氧化物半导体230b相比导电率低的材料。氧化物半导体230a的载流子浓度可以比氧化物半导体230b的载流子浓度低。

[0169] 用于氧化物半导体230a的第一金属氧化物的带隙优选与用于氧化物半导体230b的第二金属氧化物的带隙不同。例如,第一金属氧化物的带隙与第二金属氧化物的带隙之差优选为0.1eV以上,更优选为0.2eV以上,进一步优选为0.3eV以上。

[0170] 用于氧化物半导体230a的第一金属氧化物的带隙可以比用于氧化物半导体230b的第二金属氧化物的带隙小。由此,可以降低氧化物半导体230与导电体120的接触电阻以及氧化物半导体230与导电体240的接触电阻,由此可以实现通态电流大的晶体管。另外,在晶体管200为n沟道型晶体管的情况下,可以增大阈值电压,由此可以实现常关闭晶体管。

[0171] 在此,虽然示出第一金属氧化物的带隙比第二金属氧化物的带隙小的例子,但是本发明的一个方式不局限于此。第一金属氧化物的带隙可以比第二金属氧化物的带隙大。

[0172] 如上所述,用于氧化物半导体230a的第一金属氧化物的带隙可以比用于氧化物半导体230b的第二金属氧化物的带隙小。第一金属氧化物的组成优选与第二金属氧化物的组

成不同。通过使第一金属氧化物的组成与第二金属氧化物的组成不同,可以控制带隙。例如,第一金属氧化物的元素M的含有率优选低于第二金属氧化物的元素M的含有率。具体而言,在第一金属氧化物及第二金属氧化物使用In-M-Zn氧化物的情况下,可以将第一金属氧化物的组成设定为In:M:Zn=1:1:1[原子个数比]或其附近,可以将第二金属氧化物的组成设定为In:M:Zn=1:3:2[原子个数比]或其附近。作为元素M,尤其优选使用镓、铝和锡中的一个或多个。

[0173] 第一金属氧化物也可以不包含元素M。例如,用于氧化物半导体230a的第一金属氧化物可以为In-Zn氧化物,用于氧化物半导体230b的第二金属氧化物可以为In-M-Zn氧化物。具体而言,第一金属氧化物可以为In-Zn氧化物,第二金属氧化物可以为In-Ga-Zn氧化物。更具体地说,可以将第一金属氧化物的组成设定为In:Zn=1:1[原子个数比]或其附近或者In:Zn=4:1[原子个数比]或其附近,可以将第二金属氧化物的组成设定为In:Ga:Zn=1:1:1[原子个数比]或其附近。

[0174] 在此,虽然示出第一金属氧化物的元素M的含有率低于第二金属氧化物的元素M的含有率的情况的例子,但是本发明的一个方式不局限于此。第一金属氧化物的元素M的含有率也可以比第二金属氧化物的元素M的含有率高。另外,只要第一金属氧化物与第二金属氧化物的组成不同即可,第一金属氧化物和第二金属氧化物的元素M之外的元素的含有率也可以不同。

[0175] 氧化物半导体230的厚度优选为1nm以上、3nm以上或5nm以上且为20nm以下、15nm以下、12nm以下或10nm以下。

[0176] 构成氧化物半导体230的各层(在此,氧化物半导体230a及氧化物半导体230b)的厚度以氧化物半导体230的厚度在上述范围内的方式决定即可。氧化物半导体230a的厚度可以以氧化物半导体230a与导电体120的接触电阻和氧化物半导体230a与导电体240的接触电阻在被要求的范围内的方式决定。此外,氧化物半导体230b的厚度可以以晶体管的阈值电压在被要求的范围内的方式决定。注意,氧化物半导体230a的厚度既可以与氧化物半导体230b的厚度相同,又可以与氧化物半导体230b的厚度不同。

[0177] 此外,如图8C所示,在氧化物半导体230a与氧化物半导体230b之间,有时导电体240的顶面为被形成面的部分的厚度与导电体240的侧面及绝缘体280的侧面为被形成面的部分的厚度的比例不同。注意,在下述<存储装置的制造方法例子1>中进行详细的说明。

[0178] 图8A及图8B示出氧化物半导体230具有氧化物半导体230a和氧化物半导体230b这两层的叠层结构的例子,但本发明不局限于此。氧化物半导体230也可以具有三层以上的叠层结构。

[0179] 当使氧化物半导体230具有三层叠层结构时,例如也可以采用如下结构:从导电体120一侧依次设置具有In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物、具有In:Zn=1:1[原子个数比]或其附近的组成或者具有In:Zn=4:1[原子个数比]或其附近的组成的金属氧化物和具有In:Ga:Zn=1:1:1[原子个数比]或其附近的组成的金属氧化物。通过采用这种结构,可以提高晶体管200的通态电流,并可以实现不均匀少的高可靠性晶体管结构。

[0180] 作为绝缘体250,可以使用将在后面说明的[绝缘体]中记载的绝缘体的单层或叠层。作为绝缘体250,例如可以使用氧化硅或氮化硅。氧化硅及氮化硅具有热稳定性,所

以是优选的。

[0181] 另外,作为绝缘体250,也可以使用将在后面说明的[绝缘体]中记载的相对介电常数高的材料,即所谓的high-k材料。例如,也可以使用氧化铪或氧化铝等。

[0182] 绝缘体250的厚度优选为0.5nm以上且15nm以下,更优选为0.5nm以上且12nm以下,进一步优选为0.5nm以上且10nm以下。绝缘体250的至少一部分为上述厚度的区域即可。

[0183] 绝缘体250中的水、氢等的杂质浓度优选得到降低。由此,可以抑制水、氢等杂质混入氧化物半导体230的沟道形成区域中。

[0184] 如图1B及图1C所示,绝缘体250的一部分位于开口部290之外,即导电体240及绝缘体280上。此时,绝缘体250优选覆盖氧化物半导体230的侧端部。由此,可以防止导电体260与氧化物半导体230短路。此外,绝缘体250优选覆盖导电体240的侧端部。由此,可以防止导电体260与导电体240短路。

[0185] 注意,在图1B及图1C示出单层的绝缘体250,但是本发明不局限于此。绝缘体250也可以具有叠层结构。

[0186] 例如,如图8A及图8B所示,绝缘体250也可以具有绝缘体250a、绝缘体250a上的绝缘体250b和绝缘体250b上的绝缘体250c的叠层结构。

[0187] 绝缘体250b优选使用将在后面说明的[绝缘体]中记载的相对介电常数低的材料。尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。在此情况下,绝缘体250b至少包含氧及硅。通过采用这种结构,可以减少产生在导电体260与导电体240之间的寄生电容。此外,优选绝缘体250b中的水、氢等的杂质浓度得到降低。

[0188] 绝缘体250a优选使用将在后面说明的[绝缘体]中记载的具有氧阻挡性的绝缘体。绝缘体250a具有与氧化物半导体230接触的区域。当绝缘体250a具有氧阻挡性时,可以抑制在进行加热处理等时氧从氧化物半导体230脱离。因此,可以抑制在氧化物半导体230中形成氧空位。由此,可以提高晶体管200的电特性,并可以提高可靠性。作为绝缘体250a,例如优选使用氧化铝。在此情况下,绝缘体250a至少包含氧及铝。

[0189] 绝缘体250c优选使用将在后面说明的[绝缘体]中记载的具有氢阻挡性的绝缘体。由此,可以抑制包含在导电体260中的杂质扩散到氧化物半导体230。氮化硅的氢阻挡性高,所以优选用于绝缘体250c。在此情况下,绝缘体250c至少包含氮及硅。

[0190] 绝缘体250c还可以具有氧阻挡性。绝缘体250c设置在绝缘体250b与导电体260间。由此,可以防止包含在绝缘体250b中的氧扩散到导电体260且抑制导电体260被氧化。此外,可以抑制对区域230i供应的氧量的减少。

[0191] 另外,也可以在绝缘体250b与绝缘体250c之间设置绝缘体。该绝缘体优选使用将在后面说明的[绝缘体]中记载的具有俘获或固定氢的功能的绝缘体。通过设置该绝缘体,可以更高效地俘获或固定包含在氧化物半导体230中的氢。因此,可以降低氧化物半导体230中的氢浓度。作为该绝缘体,例如优选使用氧化铪。此时,该绝缘体至少包含氧及铪。此外,该绝缘体也可以具有非晶结构。

[0192] 为了实现晶体管200的微型化,绝缘体250a至绝缘体250c的厚度优选薄,优选将它们的厚度设定在上述范围内。典型的是,将绝缘体250a、绝缘体250b、具有俘获或固定氢的功能的绝缘体以及绝缘体250c的厚度分别设定为1nm、2nm、2nm以及1nm。通过采用这种结构,即便使晶体管200微型化或高集成化也可以具有良好的电特性。

[0193] 在图8A及图8B中绝缘体250具有绝缘体250a至绝缘体250c这三层的叠层结构,但是本发明不局限于此。绝缘体250也可以具有两层或四层以上的叠层结构。此时,包括在绝缘体250的各层优选适当地选自绝缘体250a至绝缘体250c和具有俘获或固定氢的功能的绝缘体。

[0194] 作为导电体260,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体260,例如可以使用钨等导电性高的导电材料。

[0195] 另外,作为导电体260,优选使用不容易被氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。作为该导电材料,可以举出包含氮的导电材料(例如,氮化钛或氮化钽等)及包含氧的导电材料(例如,氧化钨等)等。由此,可以抑制导电体260的导电率的下降。

[0196] 注意,在图1B及图1C中示出单层的导电体260,但是本发明不局限于此。导电体260也可以具有叠层结构。例如,如图8A及图8B所示,导电体260也可以具有导电体260a和导电体260a上的导电体260b的叠层结构。此时,例如,作为导电体260a可以使用氮化钛,作为导电体260b可以使用钨。通过如此设置包含钨的层,可以提高导电体260的导电性而使导电体260充分发挥作为布线WL的功能。

[0197] 在图8A及图8B中导电体260具有导电体260a和导电体260b这两层的叠层结构,但是本发明不局限于此。导电体260也可以具有三层以上的叠层结构。

[0198] 在图1B及图1C中导电体260以嵌入开口部290的方式设置,但是本发明不局限于此。例如,导电体260的中央部有时形成有反映了开口部290的形状的凹部,该凹部的一部分位于开口部290中。此时,也可以用无机绝缘材料等填充该凹部。

[0199] 另外,如图1B及图1C所示,导电体260的一部分优选位于开口部290之外,即导电体240及绝缘体280上。此时,如图1B所示,导电体260的侧端部优选位于氧化物半导体230的侧端部的内侧。由此,可以防止导电体260与氧化物半导体230短路。另外,导电体260的侧端部既可以与氧化物半导体230的侧端部一致,又可以位于氧化物半导体230的侧端部的外侧。

[0200] 导电体120以将在[电容元件100]中说明的方式设置即可。

[0201] 另外,图1B及图1C示出导电体120的顶面为平坦的结构,但是本发明不局限于此。例如,也可以采用导电体120的顶面形成有重叠于开口部290的凹部的结构。通过采用以嵌入该凹部的方式形成氧化物半导体230、绝缘体250及导电体260的至少一部分的结构,可以容易将导电体260的栅极电场施加到氧化物半导体230的导电体120附近。

[0202] 作为导电体240,可以使用将在后面说明的[导电体]中记载的导电体的单层或叠层。作为导电体240,例如可以使用钨等导电性高的导电材料。

[0203] 与导电体260同样,导电体240也优选使用不容易被氧化的导电材料或者具有抑制氧扩散的功能的导电材料等。例如,可以使用氮化钛或氮化钽等。通过采用这种结构,可以抑制因氧化物半导体230而导电体240被过度氧化。

[0204] 另外,例如,也可以具有氮化钛上层叠有钨的结构。通过如此设置包含钨的层,可以提高导电体240的导电性而使导电体240充分发挥作为布线BL的功能。

[0205] 此外,在使导电体240具有第一导电体和第二导电体的叠层结构时,例如也可以使用导电性高的导电材料形成第一导电体并使用包含氧的导电材料形成第二导电体。通过作为接触于绝缘体250的导电体240的第二导电体使用包含氧的导电材料,可以抑制绝缘体250中的氧扩散到导电体240的第一导电体。例如,作为导电体240的第一导电体使用钨并作

为导电体240的第二导电体使用添加有硅的铟锡氧化物,即可。

[0206] 在氧化物半导体230与导电体120接触时形成金属化合物或氧空位,氧化物半导体230的区域230na被低电阻化。通过与导电体120接触的氧化物半导体230被低电阻化,可以降低氧化物半导体230与导电体120的接触电阻。同样地,在氧化物半导体230与导电体240接触时,氧化物半导体230的区域230nb被低电阻化。由此,可以降低氧化物半导体230与导电体240的接触电阻。

[0207] 绝缘体140及绝缘体280被用作层间膜,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体140及绝缘体280,可以使用将在后面说明的[绝缘体]中记载的包含相对介电常数低的材料的绝缘体的单层或叠层。氧化硅及氧氮化硅具有热稳定性,所以是优选的。

[0208] 另外,绝缘体140及绝缘体280中的水、氢等的杂质浓度优选得到降低。由此,可以抑制水、氢等杂质混入氧化物半导体230的沟道形成区域中。

[0209] 另外,作为配置在沟道形成区域附近的绝缘体280,优选使用包含通过加热脱离的氧(以下,有时被称为过剩氧)的绝缘体。通过对包含过剩氧的绝缘体280进行加热处理,可以从绝缘体280向氧化物半导体230的沟道形成区域供应氧而可以减少氧空位及 V_0H 。由此,可以使晶体管200的电特性稳定而提高可靠性。

[0210] 此外,作为绝缘体280也可以使用后述[绝缘体]中的具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以俘获或固定氧化物半导体230的氢而降低氧化物半导体230的氢浓度。作为绝缘体280可以使用氧化镁或氧化铝等。

[0211] 注意,在图1B及图1C示出绝缘体280为单层的结构,但是本发明不局限于此。绝缘体280也可以具有叠层结构。

[0212] 例如,如图9A及图9B所示,绝缘体280也可以具有绝缘体280a、绝缘体280a上的绝缘体280b和绝缘体280b上的绝缘体280c的叠层结构。

[0213] 绝缘体280b优选使用包含氧的绝缘体。绝缘体280b优选具有与绝缘体280a和绝缘体280c中的至少一个相比含氧量大的区域。尤其是,绝缘体280b优选具有分别与绝缘体280a及绝缘体280c相比含氧量大的区域。当绝缘体280b的含氧量大时,在氧化物半导体230中的与绝缘体280b接触的区域和其附近容易形成i型区域。

[0214] 绝缘体280b更优选使用通过加热释放氧的膜。由于在晶体管200的制造工序中施加的热而绝缘体280b释放氧,因此可以将氧供应到氧化物半导体230。通过将氧从绝缘体280b供应到氧化物半导体230,尤其是供应到氧化物半导体230的沟道形成区域,可以减少氧化物半导体230中的氧空位及 V_0H ,可以实现具有良好的电特性及高可靠性的晶体管。

[0215] 例如,通过在含氧气氛下进行加热处理或者在含氧气氛下进行等离子体处理,可以将氧供应到绝缘体280b。另外,也可以在氧气氛下利用溅射法在绝缘体280b的顶面上沉积氧化物膜来供应氧。然后,也可以去除该氧化物膜。

[0216] 绝缘体280b优选利用溅射法或等离子体增强化学气相沉积(PECVD:Plasma Enhanced Chemical Vapor Deposition)法等沉积方法形成。尤其是,当利用溅射法时,通过作为沉积气体不使用氢气体的沉积方法可以沉积含氢量极少的膜。因此,可以抑制半导体230被供应氢而实现晶体管200的电特性的稳定化。

[0217] 在晶体管200的沟道长度短时,沟道形成区域的氧空位及 V_0H 的给电特性及可靠性

带来的影响特别大。通过从绝缘体280b向氧化物半导体230供应氧,可以抑制至少在氧化物半导体230的与绝缘体280b接触的区域中氧空位及 V_{O} H增加。因此,可以实现具有良好的电特性及高可靠性的沟道长度短的晶体管。

[0218] 绝缘体280a及绝缘体280c优选使用将在后面说明的[绝缘体]中记载的具有氧阻挡性的绝缘体。由此,可以抑制绝缘体280b中的氧因加热经过绝缘体280a扩散到衬底一侧以及经过绝缘体280c扩散到绝缘体250一侧。换言之,通过使用不容易扩散氧的绝缘体280a和绝缘体280c夹持绝缘体280b的上下,绝缘体280b中的氧可以被封闭。由此,可以有效地对氧化物半导体230供应氧。

[0219] 另外,由于绝缘体280b中的氧而导电体120及导电体240被氧化,有时电阻变高。通过在绝缘体280b与导电体120之间设置绝缘体280a,可以抑制导电体120被氧化而电阻变高。此外,通过在绝缘体280b与导电体240之间设置绝缘体280c,可以抑制导电体240被氧化而电阻变高。与此同时,从绝缘体280b向氧化物半导体230供应的氧量增加,可以减少氧化物半导体230中的氧空位。

[0220] 另外,在氧化物半导体230中,与接触于绝缘体280b的区域相比,供应到与绝缘体280a接触的区域以及与绝缘体280c接触的区域中的氧量少。由此,有时氧化物半导体230的与绝缘体280a接触的区域以及与绝缘体280c接触的区域被低电阻化。就是说,通过调整绝缘体280a的厚度,可以控制用作源极区域和漏极区域中的一个的区域230na的范围。同样地,通过调整绝缘体280c的厚度,可以控制用作源极区域和漏极区域中的另一个的区域230nb的范围。

[0221] 如上所述,由于源极区域及漏极区域可以由绝缘体280a及绝缘体280c的厚度控制,所以根据晶体管200所需的特性适当地设定绝缘体280a及绝缘体280c的厚度即可。

[0222] 例如,如图9A及图9B所示,绝缘体280a的厚度与绝缘体280c的厚度也可以大致相同。或者,如图9C及图9D所示,绝缘体280c的厚度也可以小于绝缘体280a的厚度。通过采用图9C及图9D所示的结构,可以使区域230na靠近于开口部290中的导电体260的底部。此时,也可以说缩小区域230i的范围。由此,可以提高晶体管200的通态电流。

[0223] 另外,在图9C及图9D中示出在被平坦化的绝缘体280b上设置绝缘体280c的结构,本发明不局限于此。例如,也可以不进行绝缘体280b的平坦化处理而沉积绝缘体280c。通过不进行平坦化处理,可以在能够降低制造成本的同时提高成品率。另外,可以在不暴露于大气环境的情况下连续地沉积绝缘体280a、绝缘体280b及绝缘体280c。通过在不暴露于大气环境的情况下沉积,可以防止来自大气环境的杂质或水分附着到绝缘体280a至绝缘体280c上,由此可以保持绝缘体280a与绝缘体280b的界面附近及绝缘体280b与绝缘体280c的界面附近的清洁。

[0224] 绝缘体280a及绝缘体280c优选使用将在后面说明的[绝缘体]中记载的具有氢阻挡性的绝缘体。由此,可以抑制氢从晶体管的外部经过绝缘体280a或绝缘体280c扩散到氧化物半导体230。由于氮化硅膜及氮氧化硅膜分别具有来自本身的杂质(例如,水及氢)的释放少且氧及氢不容易透过的特征,所以可以适用于绝缘体280a及绝缘体280c。注意,绝缘体280a及绝缘体280c可以使用相同的材料或互不相同的材料。

[0225] 另外,作为绝缘体280a优选使用后述[绝缘体]中的具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以抑制氢从绝缘体280a的下方扩散到氧化物半导体230,并且

可以俘获或固定氧化物半导体230中的氢,由此可以降低氧化物半导体230的氢浓度。另外,可以抑制氢从绝缘体280a的上方扩散到绝缘体130,并且可以俘获或固定绝缘体130中的氢,由此可以降低绝缘体130的氢浓度。作为绝缘体280a可以使用氧化镁、氧化铝或氧化铅等。此外,例如,作为绝缘体280a也可以使用氧化铝和该氧化铝上的氮化硅的叠层膜。另外,作为绝缘体280c也可以使用具有俘获或固定氢的功能的绝缘体。

[0226] 绝缘体280a的厚度优选比绝缘体280b的厚度小。另外,绝缘体280c的厚度优选比绝缘体280b的厚度小。绝缘体280a及绝缘体280c的厚度优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下,进一步优选为3nm以上且7nm以下,更进一步优选为3nm以上且5nm以下。绝缘体280b的厚度优选为3nm以上且30nm以下,更优选为5nm以上且20nm以下,进一步优选为7nm以上且15nm以下。通过将绝缘体280a至绝缘体280c的厚度设定在上述范围内,可以降低氧化物半导体230中的氧空位,尤其是沟道形成区域的氧空位。

[0227] 例如,优选的是,绝缘体280a及绝缘体280c使用氮化硅,绝缘体280b使用氧化硅。此时,绝缘体280a及绝缘体280c至少包含硅和氮。另外,绝缘体280b至少包含硅和氧。

[0228] 注意,图9A至图9D示出绝缘体280具有三层的叠层结构,但是本发明的一个方式不局限于此。绝缘体280可以具有两层或四层以上的叠层结构。

[0229] 绝缘体283优选使用将在后面说明的[绝缘体]中记载的具有氢阻挡性的绝缘体。由此,可以抑制氢从晶体管的外部经过绝缘体250扩散到氧化物半导体230。由于氮化硅膜及氮氧化硅膜分别具有来自本身的杂质(例如,水及氢)的释放少且氧及氢不容易透过的特征,所以可以适用于绝缘体283。

[0230] 另外,作为绝缘体283优选使用后述[绝缘体]中的具有俘获或固定氢的功能的绝缘体。通过采用这种结构,可以抑制氢从绝缘体283的上方扩散到氧化物半导体230,并且可以俘获或固定氧化物半导体230中的氢,由此可以降低氧化物半导体230的氢浓度。作为绝缘体283可以使用氧化镁、氧化铝或氧化铅等。例如,作为绝缘体283也可以使用氧化铝和该氧化铝上的氮化硅的叠层膜。

[0231] 虽然图1B及图1C示出导电体120的顶面与氧化物半导体230的底面接触的区域的结构,但是本发明不局限于此。例如,也可以在导电体120与氧化物半导体230之间设置导电体。

[0232] 例如,如图10A及图10B所示,也可以在导电体120与氧化物半导体230之间设置导电体125。作为导电体125优选使用后述[导电体]中的包含氧的导电材料。通过作为导电体125使用包含氧的导电材料,导电体125即使吸收氧也可以保持导电性。另外,可以抑制氧化物半导体230中的氧扩散到导电体120。作为导电体125,例如可以以单层或叠层使用铟锡氧化物、添加有硅的铟锡氧化物、铟锌氧化物等。

[0233] 图1B及图1C示出导电体240设置在绝缘体280上的结构。此外,还示出绝缘体250的不与导电体240重叠的区域中具有与绝缘体280的顶面接触的区域的结构。注意,本发明不局限于此。

[0234] 例如,如图11B及图11C所示,也可以以嵌入在绝缘体281中的方式设置导电体240。此时,导电体240的顶面的高度优选与绝缘体281的顶面的高度一致。通过采用这种结构,可以使从导电体260到导电体240(尤其是导电体240的侧端部)的物理距离增加,可以防止导电体260与导电体240短路。注意,图11A是图11B及图11C所示的存储装置的平面图。

[0235] 绝缘体281被用作层间膜,因此优选使用相对介电常数低的材料。通过将相对介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体281,可以使用将在后面说明的[绝缘体]中记载的包含相对介电常数低的地方的绝缘体的单层或叠层。

[0236] <存储装置的构成材料>

以下,说明可用于存储装置的构成材料。

[0237] [衬底]

作为形成晶体管200及电容元件100的衬底,例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅、锗为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌、氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如SOI(Silicon On Insulator:绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容元件、电阻元件、开关元件、发光元件、存储元件等。

[0238] [绝缘体]

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0239] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。此外,可以减少用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。另一方面,通过将相对介电常数低的材料用于用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。此外,相对介电常数低的材料也是介电强度大的材料。

[0240] 作为相对介电常数高(high-k)的材料,例如可以举出氧化铝、氧化镓、氧化钨、氧化钽、氧化锆、钨钨氧化物、含有铝及钨的氧化物、含有铝及钨的氧氮化物、含有硅及钨的氧化物、含有硅及钨的氧氮化物以及含有硅及钨的氮化物等。

[0241] 作为相对介电常数低的材料,例如可以举出氧化硅、氧氮化硅及氮氧化硅等无机绝缘材料、聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯及丙烯酸树脂等树脂。此外,作为上述以外的相对介电常数低的无机绝缘材料,例如可以举出添加有氟的氧化硅、添加有碳的氧化硅以及添加有碳及氮的氧化硅等。此外,可以举出具有空穴的氧化硅。另外,这些氧化硅也可以包含氮。

[0242] 另外,通过由具有抑制杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕或钽的绝缘体的单层或叠层。具体而言,作为具有抑制杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕等金属氧化物、氮

化铝、氮氧化硅、氮化硅等金属氮化物。

[0243] 另外,栅极绝缘体等的与半导体层接触的绝缘体或者设置在半导体层附近的绝缘体优选为具有包含过剩氧的区域的绝缘体。例如,在具有包含过剩氧的区域的绝缘体与半导体层接触时,或者在具有包含过剩氧的区域的绝缘体设置在半导体层附近时,可以减少半导体层中的氧空位。作为容易形成包含过剩氧的区域的绝缘体,可以举出氧化硅、氧氮化硅或具有空穴的氧化硅等。

[0244] 另外,作为具有氧阻挡性的绝缘体,可以举出包含铝和镓中的一方或双方的氧化物、包含铝及硅的氧化物(硅酸铝)、氧化镁、氧化镓、镓锌氧化物、铟镓锌氧化物、氮化硅以及氮氧化硅等。此外,作为包含铝和镓中的一方或双方的氧化物,可以举出氧化铝、氧化铝、包含铝及镓的氧化物(铝酸铝)等。

[0245] 另外,作为具有氢阻挡性的绝缘体,可以举出氧化铝、氧化镁、氧化铝、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。

[0246] 具有氧阻挡性的绝缘体及具有氢阻挡性的绝缘体可以说是对氧和氢中的一方或双方具有阻挡性的绝缘体。

[0247] 另外,作为具有俘获或者固定氢的功能的绝缘体,可以举出包含镁的氧化物或包含铝和镓中的一方或双方的氧化物。另外,这些氧化物更优选具有非晶结构。具有非晶结构的氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。此外,这些金属氧化物优选采用非晶结构,但其一部分也可以形成有结晶区域。

[0248] 注意,在本说明书等中,阻挡绝缘膜是指具有阻挡性的绝缘膜。此外,阻挡性是指不容易扩散对应物质的性质(也被称为不容易透过对应物质的性质、对应物质的透过性低的性质、或抑制对应物质扩散的功能)。另外,俘获或固定(也称为吸杂)对应物质的功能可以换称为阻挡性。此外,记为对应物质的氢例如是指氢原子、氢分子、水分子及 OH^- 等与氢键合的物质等中的至少一个。此外,除非特别叙述,记为对应物质的杂质是指沟道形成区域中或半导体层中的杂质,例如是指氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等中的至少一个。此外,记为对应物质的氧例如是指氧原子、氧分子等中的至少一个。具体而言,氧阻挡性是指不容易扩散氧原子、氧分子等中的至少一个的性质。

[0249] [导电体]

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。作为以上述金属元素为成分的合金,也可以使用该合金的氮化物或该合金的氧化物。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物等。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0250] 此外,包含钽的氮化物、包含钛的氮化物、包含钼的氮化物,包含钨的氮化物、包含钇的氮化物、包含钽和铝的氮化物或包含钛和铝的氮化物等包含氮的导电材料、氧化钇、包含铈和钇的氧化物或包含镧和镍的氧化物等包含氧的导电材料、包含钛、钽或钇等金属元素的材料是不容易被氧化的导电材料、具有抑制氧扩散的功能的导电材料或者吸收氧也维持导电性的材料,所以是优选的。作为包含氧的导电材料,可以举出含有氧化钨的铟氧化物、含有氧化钛的铟氧化物、铟锡氧化物、含有氧化钛的铟锡氧化物、添加有硅的铟锡氧化

物、铟锌氧化物以及含有氧化钨的铟锌氧化物等。在本说明书等中,有时将使用包含氧的导电材料沉积的导电膜称为氧化物导电膜。

[0251] 此外,以钨、铜或铝为主要成分的导电材料的导电性高,所以是优选的。

[0252] 此外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0253] 此外,在将金属氧化物用于晶体管的沟道形成区域的情况下,用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0254] 尤其是,作为用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,也可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物和添加有硅的铟锡氧化物中的一个或多个。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0255] [金属氧化物]

金属氧化物有时具有晶格缺陷。晶格缺陷是指原子空位及异质原子等点缺陷、位错等线缺陷、晶界等面缺陷,空隙等体积缺陷。此外,作为生成晶格缺陷的主要原因,有构成元素的原子个数的比率的差异(构成原子的过多或不足)以及杂质等。

[0256] 当将金属氧化物用于晶体管的半导体层时,金属氧化物中的晶格缺陷会导致载流子的生成或俘获等。因此,当将晶格缺陷多的金属氧化物用于晶体管的半导体层时,该晶体管的电特性有可能不稳定。因此,用于晶体管的半导体层的金属氧化物中的晶格缺陷优选少。

[0257] 在使用金属氧化物的晶体管中,尤其是,如果在金属氧化物的沟道形成区域中存在氧空位(V_O)及杂质,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(V_OH)而可能会生成成为载流子的电子。由此,在金属氧化物中的沟道形成区域包含氧空位的情况下,晶体管趋于具有常开启特性。由此,在金属氧化物的沟道形成区域中,优选尽量减少氧空位及杂质。换言之,优选的是,金属氧化物的沟道形成区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0258] 容易存在于金属氧化物中的晶格缺陷的种类及晶格缺陷的存在量根据金属氧化物的结构或金属氧化物的沉积方法等而不同。

[0259] 金属氧化物的结构被分为单晶结构与其他结构(非单晶结构)。作为非单晶结构,例如有CAAC结构、多晶(polycrystalline)结构、nc结构、amorphous-like(a-like)结构及非晶结构等。a-like结构具有介于nc结构和非晶结构之间的结构。注意,将在后面说明晶体结构的分类。

[0260] 另外,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中存在空洞

或低密度区域。换言之,具有a-like结构的金属氧化物及具有非晶结构的金属氧化物的结晶性比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物低。另外,具有a-like结构的金属氧化物的金属氧化物中的氢浓度比具有nc结构的金属氧化物及具有CAAC结构的金属氧化物高。因此,在具有a-like结构的金属氧化物及具有非晶结构的金属氧化物中容易生成晶格缺陷。

[0261] 因此,优选将结晶性高的金属氧化物用于晶体管的半导体层。例如,优选使用具有CAAC结构的金属氧化物或单晶结构的金属氧化物。通过将该金属氧化物用于晶体管,可以实现具有良好的电特性的晶体管。此外,可以实现可靠性高的晶体管。

[0262] 另外,晶体管的沟道形成区域优选使用增大该晶体管的通态电流的金属氧化物。为了增大该晶体管的通态电流,提高用于该晶体管的金属氧化物的载流子迁移率即可。为了提高金属氧化物的载流子迁移率,需要提高载流子(n沟道型晶体管时为电子)的传输或者减少给载流子的传输带来影响的散射因素。另外,载流子经过沟道形成区域从源极流至漏极。因此,通过设置载流子在沟道长度方向上容易流过的沟道形成区域,可以增大晶体管的通态电流。

[0263] 在此,具有沟道形成区域的金属氧化物优选采用结晶性高的金属氧化物。再者,该晶体优选具有层叠有多个层(例如,第一层、第二层和第三层)的晶体结构。换言之,该晶体具有层状晶体结构(也称为层状晶体、层状结构)。此时,该晶体的c轴方向为层叠有多个层的方向。具有该晶体的金属氧化物例如包括单晶氧化物半导体、CAAC-OS等。

[0264] 另外,上述晶体的c轴优选在金属氧化物的被形成面或膜表面的法线方向上取向。由此,多个层以平行或大致平行于金属氧化物的被形成面或膜表面的方式配置。就是说,多个层延伸在沟道长度方向上。

[0265] 例如,上述三层的层状晶体结构具有如下结构。第一层具有该第一层所包含的金属存在于中心的氧八面体的原子配位结构。此外,第二层具有该第二层所包含的金属存在于中心的氧三角双锥形或四面体形的原子配位结构。此外,第三层具有该第三层所包含的金属存在于中心的氧三角双锥形或四面体形的原子配位结构。

[0266] 作为上述晶体的晶体结构,例如有 YbFe_2O_4 型结构、 $\text{Yb}_2\text{Fe}_3\text{O}_7$ 型结构、它们的变形结构等。

[0267] 再者,优选的是,第一层至第三层都由一个金属元素或具有相同化合价的多个金属元素以及氧构成。注意,优选的是,构成第一层的一个或多个金属元素的化合价与构成第二层的一个或多个金属元素的化合价相同。另外,第一层及第二层也可以包含相同金属元素。另外,优选的是,构成第一层的一个或多个金属元素的化合价与构成第三层的一个或多个金属元素的化合价不同。

[0268] 通过采用上述结构,可以提高金属氧化物的结晶性而提高该金属氧化物的载流子迁移率。由此,通过将该金属氧化物用于晶体管的沟道形成区域,晶体管的通态电流增大,而可以提高该晶体管的电特性。

[0269] 作为本发明的一个方式的金属氧化物,例如可以举出铟氧化物、镓氧化物及锌氧化物。本发明的一个方式的金属氧化物优选至少包含铟(In)或锌(Zn)。此外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。注意,元素M为与氧的键合能量高的金属元素或半金属元素,例如为与氧的键合能量比铟高的金属元素或半金属元素。作为元素M,具体而

言,可以举出铝、镓、锡、铋、钛、钒、铬、锰、铁、钴、镍、锆、钼、钨、钽、铌、钨、钼、铈、钐、钕、钡、钙、锶、钡、硼、硅、锗及锑等。金属氧化物所包含的元素M优选为上述元素中的任一种或多种,更优选为选自铝、镓、锡和铋中的一种或多种,进一步优选为镓。在金属氧化物所包含的元素M为镓的情况下,本发明的一个方式的金属氧化物优选包含选自铟、镓和锌中的任一个或多个。注意,在本说明书等中,有时将金属元素和半金属元素总称为“金属元素”,本说明书等中记载的“金属元素”有时包括半金属元素。

[0270] 作为本发明的一个方式的金属氧化物半导体,例如可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,也记为GZO)、铝锌氧化物(Al-Zn氧化物,也记为AZO)、铟铝锌氧化物(In-Al-Zn氧化物,也记为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为IGAZO或IAGZO)等。或者,可以举出包含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0271] 通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的铟的原子个数比,可以提高晶体管的场效应迁移率。

[0272] 注意,金属氧化物也可以包含一种或多种元素周期表中的周期数大的金属元素代替铟。或者,金属氧化物也可以除了铟以外还包含一种或多种元素周期表中的周期数大的金属元素。有如下倾向:金属元素的轨道重叠越大,金属氧化物中的载流子传导越大。因此,通过包含元素周期表中的周期数大的金属元素,有时可以提高晶体管的场效应迁移率。作为元素周期表中的周期数大的金属元素,可以举出属于第5周期的金属元素以及属于第6周期的金属元素等。作为该金属元素,具体而言,可以举出钇、锆、银、镉、锡、铋、钡、铅、铋、镧、镨、钆、铈、钐及铕等。注意,镧、铈、钆、铈、钐及铕被称为轻稀土元素。

[0273] 另外,金属氧化物也可以包含一种或多种非金属元素。通过金属氧化物包含非金属元素,有时可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0274] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的锌的原子个数比,可以使金属氧化物具有高结晶性,由此可以抑制金属氧化物中的杂质的扩散。因此,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0275] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的元素M的原子个数比,可以抑制金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,由此可以实现关态电流小的晶体管。此外,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0276] 另外,通过提高相对于金属氧化物中的所有金属元素的原子个数的总和的In的原子个数比,晶体管可以得到大通态电流及高频率特性。

[0277] 在本实施方式中,作为金属氧化物,有时以In-Ga-Zn氧化物为例进行说明。

[0278] 为了形成具有上述层状晶体结构的金属氧化物,优选一层一层沉积原子。在本发明的一个方式的金属氧化物的沉积方法中,由于利用ALD法,所以可以容易形成具有上述层状晶体结构的金属氧化物。

[0279] 作为ALD法,可以举出只利用热能使前驱物及反应物起反应的热ALD (Thermal ALD) 法以及使用被等离子体激发的反应物的等离子体ALD (PEALD: Plasma Enhanced ALD) 法等。

[0280] ALD法可以一层一层沉积原子,从而具有如下效果:能够沉积极薄的膜;能够对纵横比高的结构沉积;能够以针孔等缺陷少的方式沉积;能够以高覆盖性沉积;能够在低温下沉积等。此外,在PEALD法中,通过利用等离子体可以在更低温度下进行沉积,所以有时是优选的。另外,ALD法中使用的前驱物有时包含碳或氯等元素。因此,利用ALD法设置的膜有时与利用其他的沉积方法设置的膜相比包含更多的碳或氯等元素。此外,这些元素的定量可以利用XPS或二次离子质谱分析法 (SIMS: Secondary Ion Mass Spectrometry) 进行。注意,作为本发明的一个方式的金属氧化物的沉积方法利用ALD法,但是由于采用沉积时的衬底温度高的条件和杂质去除处理中的一方或双方,所以与不采用上述条件而利用ALD法的情况相比有时包含在膜中的碳及氯的量少。

[0281] ALD法不同于从靶材等中被释放的粒子沉积的沉积方法,是因被处理物表面的反应而形成膜的成膜方法。因此,ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于覆盖纵横比高的开口部的表面的情况等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的溅射法或CVD法等其他沉积方法组合而使用。例如,可以举出利用溅射法沉积第一金属氧化物并在该第一金属氧化物上利用ALD法沉积第二金属氧化物的方法等。例如,在上述第一金属氧化物具有结晶部的情况下,上述第二金属氧化物有时以该结晶部为核进行结晶生长。

[0282] ALD法可以根据源气体的引入量控制得到的膜的组成。例如,当利用ALD法时,可以通过调整源气体的引入量、引入次数(也称为脉冲次数)以及一个脉冲所需要的时间(也称为脉冲时间)等来沉积任意组成的膜。此外,例如当利用ALD法时,可以通过在进行沉积的同时改变源气体来沉积其组成连续变化的膜。当在改变源气体的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高存储装置的生产率。

[0283] [包括氧化物半导体的晶体管]

接着,说明将金属氧化物(氧化物半导体)用于晶体管的情况。下面,有时将在半导体层中使用氧化物半导体的晶体管记为OS晶体管且将在半导体层中使用硅的晶体管记为Si晶体管。

[0284] 通过将本发明的一个方式的金属氧化物(氧化物半导体)用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。此外,可以实现微型化或高集成化的晶体管。例如,可以制造沟道长度为2nm以上且30nm以下的晶体管。

[0285] 优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域的载流子浓度可以为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,优选为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{15} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{13} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{11} \text{cm}^{-3}$ 以下,进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。注意,在以降低氧化物半导体膜的载流子浓度为目的的情况下,降低氧化物半导体膜中的杂质浓度以降低缺陷态密度即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载

流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0286] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜的缺陷态密度低,所以有时陷阱态密度也低。

[0287] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要长时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0288] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。另外,为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质,可以举出氢、碳、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1atomic%的元素可以说是杂质。

[0289] 另外,氧化物半导体的带隙优选比硅的带隙(典型的为1.1eV)大,优选为2eV以上,更优选为2.5eV以上,进一步优选为3.0eV以上。通过使用其带隙比硅的带隙大的氧化物半导体,可以减小晶体管的关态电流(也称为 I_{off})。

[0290] 此外,在Si晶体管中,随着晶体管的微型化发展出现短沟道效应(也称为Short Channel Effect:SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙小。另一方面,OS晶体管使用作为带隙大的半导体材料的氧化物半导体,由此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或者短沟道效应极少的晶体管。

[0291] 另外,短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的劣化。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0292] 此外,作为对短沟道效应的耐性的指标,广泛地使用特性长度(Characteristic Length)。特性长度是指沟道形成区域的势的弯曲性指标。特性长度越小,势急剧上升,因此可以说抗短沟道效应能力高。

[0293] OS晶体管为积累型晶体管,Si晶体管为反转型晶体管。因此,与Si晶体管相比,OS晶体管的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,与Si晶体管相比,OS晶体管的抗短沟道效应能力高。也就是说,在要制造沟道长度短的晶体管的情况下,与Si晶体管相比,OS晶体管是更优选的。

[0294] 在直到沟道形成区域成为i型或实质上i型为止降低氧化物半导体的载流子浓度的情况下,在短沟道晶体管中,由于Conduction-Band-Lowering(CBL)效应,沟道形成区域的导带下端下降,由此源极区域或漏极区域与沟道形成区域间的导带下端的能量差异可能减少到0.1eV以上且0.2eV以下。由此,OS晶体管也可以被视为沟道形成区域成为 n^- 型区域且源极区域及漏极区域成为 n^+ 型区域的 $n^+/n^-/n^+$ 积累型junction-less晶体管结构或 $n^+/n^-/n^+$ 积累型non-junction晶体管结构。

[0295] 通过OS晶体管具有上述结构,即便使OS晶体管微型化或高集成化也可以具有良好的电特性。例如,即使OS晶体管的沟道长度或栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中出现短沟道效应,由此有时很难将栅极长度设定为20nm以下或15nm以下。因此,

与Si晶体管相比,OS晶体管可以适用于沟道长度短的晶体管。注意,栅极长度是指在晶体管工作时载流子在沟道形成区域内迁移的方向上的栅电极长度。

[0296] 此外,通过使OS晶体管微型化,可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在上述范围内时,例如在室温环境下晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0297] 如以上的说明那样,OS晶体管具有比Si晶体管良好的效果,诸如关态电流小以及可以制造沟道长度短的晶体管。

[0298] [金属氧化物中的杂质]

在此,说明金属氧化物(氧化物半导体)中的各杂质的影响。

[0299] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷态。由此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碳浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 3×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,更优选为 3×10^{18} atoms/cm³以下,进一步优选为 1×10^{18} atoms/cm³以下。此外,将利用SIMS测得的氧化物半导体的沟道形成区域中的硅浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 3×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,更优选为 3×10^{18} atoms/cm³以下,进一步优选为 1×10^{18} atoms/cm³以下。

[0300] 另外,当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果是,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果是,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为 1×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,更优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0301] 另外,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,将利用SIMS测得的氧化物半导体的沟道形成区域中的氢浓度设定小于 1×10^{20} atoms/cm³,优选小于 5×10^{19} atoms/cm³,更优选小于 1×10^{19} atoms/cm³,更优选小于 5×10^{18} atoms/cm³,进一步优选小于 1×10^{18} atoms/cm³。

[0302] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷态而产生载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 1×10^{18} atoms/cm³以下,优选为 2×10^{16} atoms/cm³以下。

[0303] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0304] [其他半导体材料]

氧化物半导体230可以换称为具有晶体管的沟道形成区域的半导体层。可用于半

导体层的半导体材料不局限于上述金属氧化物。作为半导体层,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将单个元素的半导体、化合物半导体或者层状物质(也称为原子层物质、二维材料等)等用于半导体材料。

[0305] 在此,在本说明书等中,层状物质是具有层状晶体结构的材料群的总称。层状晶体结构是由共价键或离子键形成的层通过如范德华力那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0306] 作为可用于半导体材料的单个元素的半导体,可以举出硅及锗等。作为可用于半导体层的硅,可以举出单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅,例如可以举出低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0307] 作为可用于半导体材料的化合物半导体,可以举出碳化硅、硅锗、砷化镓、磷化铟、氮化硼及砷化硼等。可用于半导体层的氮化硼优选具有非晶结构。可用于半导体层的砷化硼优选包含具有立方晶结构的晶体。

[0308] 作为层状物质,有石墨烯、硅烯、碳氮化硼、硫族化物等。在作为层状物质的碳氮化硼中,碳原子、氮原子及硼原子在平面上以六角形晶格结构排列。硫族化物是包含硫族元素的化合物。此外,硫族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、钷。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0309] 作为半导体层,例如优选使用用作半导体的过渡金属硫族化物。作为能够用作半导体层的过渡金属硫族化物,具体地可以举出硫化钼(典型的是 MoS_2)、硒化钼(典型的是 MoSe_2)、碲化钼(典型的是 MoTe_2)、硫化钨(典型的是 WS_2)、硒化钨(典型的是 WSe_2)、碲化钨(典型的是 WTe_2)、硫化铪(典型的是 HfS_2)、硒化铪(典型的是 HfSe_2)、硫化锆(典型的是 ZrS_2)、硒化锆(典型的是 ZrSe_2)等。通过将上述过渡金属硫族化物用于半导体层,可以提供通态电流大的存储装置。

[0310] <存储装置的制造方法的例子1>

接着,使用图12A至图22C说明图1A至图1C所示的本发明的一个方式的存储装置的制造方法。

[0311] 各附图中的A是平面图。另外,各附图中的B是沿着各附图的A中的点划线A1-A2的部分的截面图。各附图中的C是沿着各附图的A中的点划线A3-A4的部分的截面图。注意,为了明确起见,在各附图中的A的平面图中省略部分构成要素。

[0312] 以下,用来形成绝缘体的绝缘材料、用来形成导电体的导电材料或用来形成半导体的半导体材料可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积。

[0313] 另外,作为溅射法,可以举出将高频电源用于溅射电源的RF溅射法、使用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时利用,DC溅射法主要在沉积金属导电膜时利用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物、碳化物等化合物时利用。

[0314] 注意,CVD法可以分为使用等离子体的等离子体CVD(PECVD)法、使用热CVD(TCVD:Thermal CVD)法、使用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法、有机金属CVD(MOCVD:Metal Organic CVD)法。

[0315] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD

法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在存储装置中的布线、电极、元件(晶体管、电容元件等)等有时因从等离子体接收电荷而会产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在存储装置中的布线、电极、元件等受损伤。另一方面,因为在利用不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高存储装置的成品率。此外,在利用热CVD法的情况下不产生沉积时的等离子体损伤,因此能够得到缺陷少的膜。

[0316] 另外,作为ALD法,可以采用只利用热能使前驱物及反应物起反应的热ALD法、使用被等离子体激发的反应物的PEALD法等。

[0317] CVD法及ALD法不同于从靶材等中释放的粒子沉积的溅射法。因此,CVD法及ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于覆盖纵横比高的开口部的表面的情况等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的CVD法等其他沉积方法组合而使用。

[0318] 此外,当利用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高存储装置的生产率。

[0319] 另外,当利用ALD法时,通过引入不同的多种前驱物,可以沉积任意组成的膜。例如,在引入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0320] 此外,在利用ALD法引入不同的多种前驱物时,也可以根据各前驱物改变氧化剂的种类。例如,在至少引入第一前驱物和第二前驱物时,第一前驱物也可以作为氧化剂使用臭氧(O_3),第二前驱物也可以作为氧化剂使用氧(O_2)。

[0321] 此外,在沉积膜之前也可以进行加热处理。该加热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积该膜。通过进行这种处理,可以去除附着于该膜的被形成面的水分及氢,并且减少作为该被形成面的结构体中的水分浓度及氢浓度。加热处理的温度优选为 100°C 以上且 400°C 以下。

[0322] 首先,准备衬底(未图示)而在该衬底上形成绝缘体140(参照图12A至图12C)。作为绝缘体140可以适当地使用上述绝缘材料。在沉积绝缘体140时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。

[0323] 接着,在绝缘体140上形成导电体110。作为导电体110,可以适当地使用上述导电材料。在沉积导电体110时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为导电体110可以利用CVD法形成依次沉积钨、氮化钛的叠层膜。

[0324] 另外,也可以将导电体110加工为延伸在X方向或Y方向上的形状。导电体110的加工可以利用光刻法进行。作为上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。通过进行该加工,导电体110的侧端部被将在后面形成的绝缘体130覆盖。

[0325] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。接着,通过该抗蚀剂掩模进行蚀刻处理来将导电体、半

导体或绝缘体等加工为所希望的形状。例如,使用KrF受激准分子激光、ArF受激准分子激光、EUV(Extreme Ultraviolet:极紫外)光等对抗蚀剂进行曝光来形成抗蚀剂掩模即可。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。此外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。另外,通过进行灰化等干蚀刻处理、进行湿蚀刻处理、在进行干蚀刻处理之后进行湿蚀刻处理或者在进行湿蚀刻处理之后进行干蚀刻处理,可以去除抗蚀剂掩模。

[0326] 另外,作为干蚀刻装置,可以使用包括平行平板型电极的电容耦合等离子体(CCP:Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合等离子体蚀刻装置也可以采用对平行平板型电极中的一个电极施加高频电压的结构。或者,也可以采用对平行平板型电极中的一个电极施加不同的多个高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率相同的高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率不同的高频电压的结构。或者,也可以使用具有高密度等离子体源的干蚀刻装置。例如,作为具有高密度等离子体源的干蚀刻装置,可以使用电感耦合等离子体(ICP:Inductively Coupled Plasma)蚀刻装置等。

[0327] 接着,在导电体110上形成绝缘体180(参照图12A至图12C)。作为绝缘体180可以适当地使用上述绝缘材料。在沉积绝缘体180时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为绝缘体180可以利用溅射法沉积氧化硅膜。另外,绝缘体180优选在沉积之后进行CMP处理而使其顶面平坦化。另外,有时不需要进行CMP处理。此时,绝缘体180的顶面具有向上凸起的曲面形状。通过不进行平坦化处理,可以在能够降低制造成本的同时提高成品率。

[0328] 在此,绝缘体180的厚度对应于电容元件100的静电电容,所以根据电容元件100的静电电容的设计值适当地设定绝缘体180的厚度即可。

[0329] 另外,通过利用不需要使用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体180中的氢浓度。

[0330] 接着,加工绝缘体180的一部分而形成到达导电体110的开口部190(参照图13A至图13C)。开口部190的形成可以利用光刻法进行。注意,开口部190的从平面看时的形状为圆形,但是不局限于此。例如,开口部190的从平面看时的形状也可以为椭圆等大致圆形形状、四角形等多角形状、使四角形等多角形的角部带弧形的形状。

[0331] 如上所述,开口部190的侧壁优选垂直于导电体110的顶面。通过具有这种结构,可以实现存储装置的微型化或高集成化。开口部190的侧壁也可以具有锥形形状。通过使开口部190的侧壁具有锥形形状,将在后面说明的将成为导电体115的导电膜等的覆盖性得到提高,由此可以减少空洞等缺陷。

[0332] 开口部190的最大宽度(在从平面看时的开口部190为圆形的情况下,直径)的大小优选微细。例如,开口部190的最大宽度优选为60nm以下、50nm以下、40nm以下、30nm以下或20nm以下,且为1nm以上或5nm以上。如此,为了对开口部190进行微细加工,优选利用使用EUV光等波长短的光或电子束的光刻法。

[0333] 开口部190的纵横比高,所以优选利用各向异性蚀刻加工绝缘体180的一部分。尤其是,利用干蚀刻法的加工适合于微细加工,所以是优选的。

[0334] 接着,以与开口部190的底部及侧壁以及绝缘体180的顶面的至少一部分接触的方

式沉积将成为导电体115的导电膜。作为该导电膜,可以适当地使用可用作上述导电体115的导电体。在沉积该导电膜时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。在此,该导电膜优选以与纵横比高的开口部190的底部及侧壁接触的方式形成。因此,在沉积该导电膜时优选利用覆盖性良好的沉积方法,更优选利用CVD法或ALD法等。例如,作为该导电膜可以利用CVD法沉积氮化钛膜。

[0335] 接着,将成为导电体115的导电膜利用光刻法进行加工而形成导电体115(参照图14A至图14C)。由此,导电体115的一部分形成在开口部190中。此外,导电体115接触于绝缘体180的侧面及顶面的一部分。

[0336] 接着,在导电体115及绝缘体180上沉积绝缘体130(参照图15A至图15C)。作为绝缘体130,可以适当地使用上述High-k材料或可具有铁电性的材料。在沉积绝缘体130时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为绝缘体130,可以利用ALD法形成依次沉积氧化锆、氧化铝、氧化锆的叠层膜。

[0337] 接着,在绝缘体130上沉积导电膜120A(参照图15A至图15C)。导电膜120A可以使用上述导电材料。在沉积导电膜120A时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为导电膜120A可以利用CVD法形成依次沉积氮化钛、氮化钽的叠层膜。或者,例如,作为导电膜120A可以利用CVD法形成依次沉积氮化钛、钨的叠层膜。

[0338] 接着,加工导电膜120A而形成导电体120(参照图16A至图16C)。导电体120的形成可以利用光刻法进行。作为导电膜120A的加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。

[0339] 通过上述工序,可以形成包括导电体115、绝缘体130及导电体120的电容元件100。

[0340] 接着,在绝缘体130及导电体120上形成绝缘体280(参照图17A至图17C)。作为绝缘体280可以适当地使用上述绝缘材料。在沉积绝缘体280时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为绝缘体280可以利用溅射法沉积氧化硅膜。另外,绝缘体280优选在沉积之后进行CMP处理而使其顶面平坦化。通过进行绝缘体280的平坦化处理,可以适当地形成被用作布线的导电体240。此外,也可以在绝缘体280上例如通过溅射法沉积氧化铝,然后直到到达绝缘体280为止进行CMP处理。通过进行该CMP处理,可以进行绝缘体280表面的平坦化及平滑化。通过将该氧化铝配置于绝缘体280上进行CMP处理,容易检测出CMP处理的终点。

[0341] 另外,有时不需要进行CMP处理。此时,绝缘体280的顶面具有向上凸起的曲面形状。通过不进行平坦化处理,可以在能够降低制造成本的同时提高成品率。

[0342] 注意,在绝缘体280具有叠层结构时,并不一定在沉积所有绝缘体之后进行平坦化处理。例如,在图9A及图9B所示的结构中,也可以在沉积绝缘体280a及绝缘体280b之后进行平坦化处理,接着沉积绝缘体280c。

[0343] 此外,在作为绝缘体280b使用因加热而释放氧的膜的情况下,在沉积绝缘体280c之前,也可以进行如下工序:首先在绝缘体280b等上利用溅射法沉积氧化铝膜,接着进行加热处理,接着进行CMP处理,由此去除该氧化铝膜。通过该工序,可以在绝缘体280b中形成更多的过剩氧区域。注意,在该工序中,有时绝缘体280b的一部分被去除。此外,该工序既可以在绝缘体280b的平坦化处理之前进行,又可以在绝缘体280b的平坦化处理之后进行。

[0344] 在此,导电体120上的绝缘体280的厚度对应于晶体管200的沟道长度,所以根据晶

体管200的沟道长度的设计值适当地设定绝缘体280的厚度即可。

[0345] 另外,通过在含氧气氛下利用溅射法沉积绝缘体280,可以形成包含过剩氧的绝缘体280。另外,通过利用不需要使用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体280中的氢浓度。如此,通过沉积绝缘体280,可以从绝缘体280向氧化物半导体230的沟道形成区域供应氧而可以减少氧空位及 V_OH 。

[0346] 接着,在绝缘体280上沉积导电膜240A(参照图17A至图17C)。作为导电膜240A可以适当地使用上述导电材料。在沉积导电膜240A时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。

[0347] 接着,加工导电膜240A的一部分及绝缘体280的一部分而形成到达导电体120的开口部290(参照图18A至图18C)。开口部290的形成可以利用光刻法进行。注意,在图18A中开口部290的从平面看时的形状为圆形,但是不局限于此。例如,开口部290的从平面看时的形状也可以为椭圆等大致圆形形状、四角形等多角形状、使四角形等多角形的角部带弧形的形状。

[0348] 如上所述,开口部290的侧壁优选垂直于导电体110的顶面。通过具有这种结构,可以实现存储装置的微型化或高集成化。开口部290的侧壁也可以具有锥形形状。通过使开口部290的侧壁具有锥形形状,将在后面说明的将成为氧化物半导体230的氧化物半导体膜等的覆盖性得到提高,由此可以减少空洞等缺陷。

[0349] 开口部290的最大宽度(在从平面看时的开口部290为圆形的情况下,最大径)的大小优选微细。例如,开口部290的最大宽度优选为60nm以下、50nm以下、40nm以下、30nm以下或20nm以下,且为1nm以上或5nm以上。如此,为了对开口部290进行微细加工,优选利用使用EUV光等波长短的光或电子束的光刻法。

[0350] 开口部290的纵横比高,所以优选利用各向异性蚀刻加工导电膜240A的一部分及绝缘体280的一部分。尤其是,利用干蚀刻法的加工适合于微细加工,所以是优选的。此外,该加工也可以以互不相同的条件进行。注意,如上所述,根据加工导电膜240A的一部分及绝缘体280的一部分的条件,有时开口部290中的导电体240的侧面的倾斜度和开口部290中的绝缘体280的侧面的倾斜度彼此不同。

[0351] 接着,也可以进行加热处理。加热处理以250℃以上且650℃以下,优选以300℃以上且500℃以下,更优选以320℃以上且450℃以下进行即可。另外,在氮气体或非活性气体的气氛或包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,氧气体的比率设为20%左右即可。此外,加热处理也可以在减压状态下进行。或者,也可以在氮气体或非活性气体气氛下进行加热处理,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。通过进行上述加热处理,可以在将在后面说明的将成为氧化物半导体230的氧化物半导体膜的沉积之前减少包含在绝缘体280等中的水等杂质。另外,可以向绝缘体280供应氧。

[0352] 另外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使用的气体所包含的水分为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行加热处理,可以尽可能地防止水分等被绝缘体280等吸收。

[0353] 接着,以接触于开口部290的底部及侧壁以及导电膜240A的顶面的至少一部分的

方式沉积将成为氧化物半导体230的氧化物半导体膜。作为该氧化物半导体膜可以适当地使用上述可用于氧化物半导体230的金属氧化物。在沉积该氧化物半导体膜时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。在此,该氧化物半导体膜优选以接触于纵横比较高的开口部290的底部及侧壁的方式形成。因此,在沉积该氧化物半导体膜时优选利用覆盖性良好的沉积方法,更优选利用CVD法或ALD法等。例如,作为该氧化物半导体膜可以利用ALD法沉积In-Ga-Zn氧化物。另外,利用ALD法的金属氧化物的沉积方法将在后面的实施方式中详细地说明。

[0354] 注意,在开口部290的侧壁具有锥形形状的情况下,将成为氧化物半导体230的氧化物半导体膜的沉积方法不局限于CVD法或ALD法。例如,也可以利用溅射法。此外,优选在利用溅射法沉积氧化物半导体膜之后进行在后面的实施方式中说明的微波处理。

[0355] 另外,如图8A及图8B所示,在使氧化物半导体230具有叠层结构的情况下,包括在氧化物半导体230中的各层的沉积方法可以为相同或不同。例如,在使氧化物半导体230具有两层的叠层结构的情况下,也可以作为氧化物半导体膜的下层(图8A及图8B所示的氧化物半导体230a)利用溅射法沉积且作为氧化物半导体膜的上层(图8A及图8B所示的氧化物半导体230b)利用ALD法沉积。利用溅射法沉积的氧化物半导体膜容易具有结晶性。由此,通过设置具有结晶性的氧化物半导体膜作为氧化物半导体膜的下层,可以提高氧化物半导体膜的上层的结晶性。由此,即使通过溅射法沉积的氧化物半导体膜的下层中形成针孔或断开等也可以由通过覆盖性良好的ALD法沉积的氧化物半导体膜的上层堵塞与上述针孔或断开重叠的部分。

[0356] 此外,在利用溅射法沉积氧化物半导体230a且利用ALD法沉积氧化物半导体230b的情况下,在氧化物半导体230a与氧化物半导体230b之间,有时导电体240的顶面为被形成面的部分的厚度(以下,称为第一厚度)与导电体240的侧面及绝缘体280的侧面为被形成面的部分的厚度(以下,称为第二厚度)的比例不同。例如,如图8C所示,在氧化物半导体230b中,相对于第一厚度的第二厚度的比例可以为1或其附近值。另一方面,在氧化物半导体230a中,相对于第一厚度的第二厚度的比例有时小于1、小于0.8或小于0.5。尤其是,有如下倾向:开口部290中的绝缘体280的侧面与导电体120的顶面所形成的角度(图6A所示的角度 θ_1)越接近90度,氧化物半导体230a中的相对于第一厚度的第二厚度的比例越小。

[0357] 此外,氧化物半导体230中的杂质浓度有可能具有浓度梯度。例如,在利用溅射法沉积氧化物半导体230a且利用ALD法沉积氧化物半导体230b时,氧化物半导体230a中的杂质浓度有可能低于氧化物半导体230b中的杂质浓度。因此,氧化物半导体230有可能具有其杂质浓度从导电体260一侧向导电体120一侧变低的浓度梯度。作为氧化物半导体230中的杂质,例如可以举出选自氢、氮和碳中的一个或多个。

[0358] 在此,将成为氧化物半导体230的氧化物半导体膜优选以与开口部290中的导电体120的顶面、开口部290中的绝缘体280的侧面、开口部290中的导电体240的侧面以及导电体240的顶面接触的方式形成。在以接触于导电体120的方式形成该氧化物半导体膜时,导电体120被用作晶体管200的源电极和漏电极中的一个。另外,在以接触于导电体240的方式形成该氧化物半导体膜时,导电体240被用作晶体管200的源电极和漏电极中的另一个。

[0359] 接着,优选进行加热处理。加热处理在上述氧化物半导体膜不发生多晶化的温度范围内进行即可,可以在250℃以上且650℃以下,优选在400℃以上且600℃以下进行。另

外,在氮气体或非活性气体的气氛或包含10ppm以上,1%以上或10%以上的氧化性气体的气氛下进行加热处理。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,氧气体的比率设为20%左右即可。此外,加热处理也可以在减压状态下进行。或者,也可以在氮气体或非活性气体的气氛下进行加热处理,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。

[0360] 另外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使用的气体所包含的水分为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行加热处理,可以尽可能地防止水分等被上述氧化物半导体膜等吸收。

[0361] 在此,优选在使包含过剩氧的绝缘体280接触于上述氧化物半导体膜的状态下进行上述加热处理。通过如此进行加热处理,可以从绝缘体280向氧化物半导体230的沟道形成区域供应氧而可以减少氧空位及VoH。

[0362] 注意,在上述中,在沉积上述氧化物半导体膜之后进行加热处理,但是本发明不局限于此。此外,也可以在其之后的工序中进行加热处理。

[0363] 接着,将成为氧化物半导体230的氧化物半导体膜利用光刻法进行加工而形成氧化物半导体230(参照图19A至图19C)。由此,氧化物半导体230的一部分形成在开口部290中。此外,氧化物半导体230接触于导电体240的侧面及顶面的一部分。因此,可以使氧化物半导体230与导电体240接触的面积扩大。

[0364] 接着,加工导电膜240A而形成导电体240(参照图20A至图20C)。导电体240的形成可以利用光刻法进行。作为导电膜240A的加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。

[0365] 在导电膜240A的加工中,优选使用与绝缘体280的选择比较高的蚀刻法(以绝缘体280为停止膜的蚀刻法)。例如,在图9A及图9B所示的结构中,优选提高导电膜240A与绝缘体280c的蚀刻选择性。或者,优选将与导电膜240A的蚀刻选择性较高的绝缘体设置在导电膜240A与绝缘体280c之间。具体而言,当使用包含钨的导电材料形成导电膜240A且在导电膜240A与绝缘体280c之间设置绝缘体时,作为该绝缘体可以使用氧化硅。此时,绝缘体280具有绝缘体280a、绝缘体280b、绝缘体280c以及绝缘体280c上的包含氧化硅的绝缘体的叠层结构。注意,上述绝缘体的侧端部既可以与绝缘体280的侧端部一致,又可以与导电体240的侧端部一致。

[0366] 在此,说明与上述不同的导电体240及氧化物半导体230的形成方法。

[0367] 到沉积图17A至图17C所示的导电膜240A的方法与上述同样。

[0368] 接着,加工导电膜240A而形成导电体240。导电体240的形成方法等可以参照上述说明。

[0369] 接着,加工导电体240的一部分及绝缘体280的一部分而形成到达导电体120的开口部290。开口部290的形成方法等可以参照上述说明。

[0370] 然后,也可以进行加热处理。加热处理的条件等可以参照上述说明。

[0371] 接着,以与开口部290的底部和侧壁以及导电体240的顶面的至少一部分接触的方式沉积将成为氧化物半导体230的氧化物半导体膜。此时,该氧化物半导体膜具有与绝缘体280的顶面接触的区域。该氧化物半导体膜的沉积方法等可以参照上述说明。

[0372] 接着,优选进行加热处理。加热处理的条件等可以参照上述说明。

[0373] 接着,利用光刻法加工将成为氧化物半导体230的氧化物半导体膜而形成氧化物半导体230(参照图20A至图20C)。

[0374] 后面的存储装置的制造方法都可以利用同样的方法进行。

[0375] 接着,在氧化物半导体230、导电体240及绝缘体280上沉积绝缘体250(参照图21A至图21C)。作为绝缘体250可以适当地使用上述绝缘材料。在沉积绝缘体250时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。在此,绝缘体250优选以与设置在纵横比高的开口部290中的氧化物半导体230接触的方式形成。因此,在沉积绝缘体250时优选利用覆盖性良好的沉积方法,更优选利用CVD法或ALD法等。例如,作为绝缘体250,可以利用ALD法沉积氧化硅。

[0376] 注意,在开口部290的侧壁具有锥形形状的情况下,绝缘体250的沉积方法不局限于CVD法或ALD法。例如,也可以利用溅射法。

[0377] 通过在形成氧化物半导体230之后沉积绝缘体250,氧化物半导体230的侧端部被绝缘体250覆盖。因此,可以防止氧化物半导体230与导电体260短路。此外,通过采用上述结构,导电体240的侧端部被绝缘体250覆盖。因此,可以防止导电体240与导电体260短路。

[0378] 接着,以嵌入绝缘体250的凹部的方式沉积导电膜260A(参照图21A至图21C)。作为导电膜260A,可以适当地使用上述导电材料。在沉积导电膜260A时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。在此,导电膜260A优选以与设置在纵横比高的开口部290中的绝缘体250接触的方式形成。因此,在沉积导电膜260A时优选利用覆盖性或嵌入性良好的沉积方法,更优选利用CVD法或ALD法等。例如,作为导电膜260A可以利用CVD法或ALD法沉积氮化钛。

[0379] 注意,在利用CVD法沉积导电膜260A时,导电膜260A的顶面的平均表面粗糙度有时变大。在此情况下,优选利用CMP法使导电膜260A平坦化。此时,也可以在 CMP处理之前在导电膜260A上沉积氧化硅膜或氮化硅膜且直到去除该氧化硅膜或氮化硅膜为止进行CMP处理。

[0380] 另外,在上述中,导电膜260A以嵌入开口部290的方式设置,但是本发明不局限于此。例如,导电膜260A的中央部有时形成有反映了开口部290的形状的凹部。另外,也可以用无机绝缘材料等填充该凹部。

[0381] 接着,加工导电膜260A而形成导电体260(参照图22A至图22C)。导电体260的形成可以利用光刻法进行。作为上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。

[0382] 在此,如图1A及图1B所示,在从平面看时导电体260的侧端部优选位于氧化物半导体230的侧端部的内侧。由此,可以防止导电体260与氧化物半导体230短路。

[0383] 通过上述工序,可以形成包括导电体120、导电体240、氧化物半导体230、绝缘体250及导电体260的晶体管200。

[0384] 接着,覆盖导电体260及绝缘体250而沉积绝缘体283。作为绝缘体283可以适当地使用上述绝缘材料。在沉积绝缘体283时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。

[0385] 通过上述工序,可以制造包括图1A至图1C所示的存储单元150的存储装置。此外,

可以制造包括图1A至图1C所示的晶体管200及电容元件100的存储装置。

[0386] <存储装置的制造方法的例子2>

接着,说明图11A至图11C所示的本发明的一个方式的存储装置的制造方法。另外,到形成绝缘体280的工序可以参照上述<存储装置的制造方法的例子1>中说明的内容。

[0387] 在绝缘体280上形成绝缘体281。绝缘体281可以适当地使用上述绝缘材料。在沉积绝缘体281时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为绝缘体281可以利用溅射法沉积氧化硅膜。另外,绝缘体281优选在沉积之后进行CMP处理而使其顶面平坦化。

[0388] 接着,在绝缘体281中形成到达绝缘体280的开口。在该开口的内侧形成用作布线的导电体240,所以该开口可以延伸在X方向上。在形成该开口时,可以利用光刻法。另外,在蚀刻该开口时可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。

[0389] 另外,也可以采用绝缘体280具有叠层结构且在绝缘体280的最顶面设置用作蚀刻停止膜的绝缘体的结构。该绝缘体对应于在图9A及图9B所示的结构中的绝缘体280c。例如,在作为形成上述开口的绝缘体281使用氧化硅或氧氮化硅的情况下,作为蚀刻停止膜优选使用氮化硅、氧化铝或氧化钪等。

[0390] 接着,以嵌入形成在绝缘体281中的开口的方式沉积将成为导电体240的导电膜。作为该导电膜,可以适当地使用上述导电材料。在沉积该导电膜时,可以适当地利用溅射法、CVD法、MBE法、PLD法、ALD法等。例如,作为该导电膜可以利用溅射法形成依次沉积氮化钽、钨的叠层膜。

[0391] 接着,去除绝缘体281上的将成为导电体240的导电膜的一部分而在绝缘体281的开口的内侧形成导电体240。在形成导电体240时,直到绝缘体281的顶面露出为止对该导电膜进行CMP处理即可。

[0392] 另外,形成导电体240之后的工序(开口部290的形成工序之后)可以参照上述<存储装置的制造方法的例子1>中说明的内容。

[0393] 通过上述工序,可以制造包括图11A至图11C所示的存储单元150的存储装置。此外,可以制造包括图11A至图11C所示的晶体管200及电容元件100的存储装置。

[0394] 根据本发明的一个方式,可以提供一种新颖的晶体管、新颖的半导体装置及新颖的存储装置。另外,可以提供一种能够实现微型化或高集成化的存储装置。另外,可以提供一种频率特性良好的存储装置。另外,可以提供一种工作速度高的存储装置。另外,可以提供一种可靠性高的存储装置。另外,可以提供一种功耗低的存储装置。另外,可以提供一种包括通态电流大的晶体管的存储装置。另外,可以提供一种晶体管特性的不均匀小的存储装置。另外,可以提供一种具有良好的电特性的存储装置。

[0395] 可以将本实施方式所示的包括晶体管200及电容元件100的存储单元150用作存储装置的存储单元。晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流小,所以通过将其用于存储装置可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频度极低,所以可以充分降低存储装置的功耗。另外,由于晶体管200的频率特性高,所以可以进行高速的存储装置的读出及写入。

[0396] 另外,使用图23A及图23B说明使两个存储单元150(以下,称为存储单元150a及存储单元150b)连接于相同布线的存储装置的例子。图23A是存储装置的平面图。另外,图23B

是沿着图23A中的点划线A1-A2的部分的截面图。另外,为了明确起见,在图23A的平面图中省略部分构成要素。

[0397] 在此,图23A及图23B所示的存储单元150a及存储单元150b具有与存储单元150同样的结构。存储单元150a包括电容元件100a及晶体管200a,存储单元150b包括电容元件100b及晶体管200b。因此,在图23A及图23B所示的存储装置中,对具有与构成图1A至图1C所示的存储装置的构成要素相同功能的构成要素附上相同符号。另外,在本节中,存储装置的构成材料也可以使用在<存储装置的结构例子>中详细地说明的材料。

[0398] 如图23A及图23B所示,用作布线WL的导电体260分别设置在存储单元150a及存储单元150b中。另外,用作布线BL的一部分的导电体240共同设置在存储单元150a及存储单元150b中。换言之,导电体240接触于存储单元150a的氧化物半导体230及存储单元150b的氧化物半导体230。

[0399] 在此,图23A及图23B所示的存储装置包括电连接于存储单元150a及存储单元150b而用作插头(也可以被称为连接电极)的导电体245及导电体246。导电体245配置在形成在绝缘体180、绝缘体130、绝缘体280及绝缘体140中的开口内且接触于导电体240的底面。另外,导电体246配置在形成在绝缘体287、绝缘体283及绝缘体250中的开口内且接触于导电体240的顶面。另外,作为导电体245及导电体246可以使用可用于导电体240的导电材料等。

[0400] 绝缘体287被用作层间膜,所以其相对介电常数优选低。通过将相对介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体287,可以使用上述的[绝缘体]中记载的包含相对介电常数低的材料的绝缘体的单层或叠层。

[0401] 另外,绝缘体287中的水、氢等的杂质浓度优选得到降低。由此,可以抑制水、氢等杂质混入氧化物半导体230的沟道形成区域中。

[0402] 导电体245及导电体246被用作电连接开关、晶体管、电容元件、电感器、电阻元件及二极管等电路元件、布线、电极或端子与存储单元150a及存储单元150b的插头或布线。例如,可以采用如下结构:导电体245与设置在图23A及图23B所示的存储装置下的读出放大器(未图示)电连接,并且导电体246与设置在图23A及图23B所示的存储装置上的同样的存储装置(未图示)电连接。在此情况下,导电体245及导电体246被用作布线BL的一部分。如此,通过在图23A及图23B所示的存储装置之上或下设置存储装置等,可以增大单位面积的存储容量。

[0403] 另外,存储单元150a和存储单元150b以点划线A1-A2的垂直平分线为对称轴呈线对称。因此,晶体管200a和晶体管200b也夹着导电体245及导电体246配置为线对称。在此,导电体240兼作晶体管200a的源电极和漏电极中的另一个以及晶体管200b的源电极和漏电极中的另一个。另外,晶体管200a及晶体管200b共同使用用作插头的导电体245及导电体246。如此,通过作为两个晶体管与插头的连接关系采用上述结构,可以提供一种可以实现微型化或高集成化的存储装置。

[0404] 另外,用作布线PL的导电体110既可以分别设置在存储单元150a及存储单元150b中,也可以共同设置在存储单元150a及存储单元150b中。注意,如图23B所示,导电体110以与导电体245分离的方式设置免得导电体110与导电体245短路。

[0405] 另外,通过将存储单元150以矩阵状且三维方式配置,可以构成存储单元阵列。作为存储单元阵列的一个例子,图24A及图24B示出在X方向、Y方向及Z方向上配置四个×两个

×四个存储单元150的存储装置的例子。图24A是存储装置的平面图。另外,图24B是沿着图24A中的点划线A1-A2的部分的截面图。另外,为了明确起见,在图24A的平面图中省略部分构成要素。

[0406] 在此,图24A及图24B所示的存储单元150a至存储单元150d具有与存储单元150同样的结构。存储单元150a包括电容元件100a及晶体管200a,存储单元150b包括电容元件100b及晶体管200b,存储单元150c包括电容元件100c及晶体管200c,存储单元150d包括电容元件100d及晶体管200d。因此,在图24A及图24B所示的存储装置中,对具有与构成图1A至图1C所示的存储装置的构成要素相同功能的构成要素附上相同符号。另外,在本节中,存储装置的构成材料也可以使用在<存储装置的结构例子>中详细地说明的材料。

[0407] 以下,将由存储单元150a至存储单元150d构成的存储装置称为存储器单元。图24A及图24B所示的存储装置包括存储器单元160[1,1]至存储器单元160[2,4]。另外,以下有时将存储器单元160[1,1]至存储器单元160[2,4]总称为存储器单元160。存储器单元160[1,2]设置在存储器单元160[1,1]上,存储器单元160[1,3]设置在存储器单元160[1,2]上,存储器单元160[1,4]设置在存储器单元160[1,3]上。存储器单元160[2,1]与存储器单元160[1,1]在Y方向上相邻。存储器单元160[2,2]设置在存储器单元160[2,1]上,存储器单元160[2,3]设置在存储器单元160[2,2]上,存储器单元160[2,4]设置在存储器单元160[2,3]上。

[0408] 如图24B所示,在存储器单元160中,以导电体245为中心存储单元150a的外侧配置有存储单元150c且存储单元150b的外侧配置有存储单元150d。换言之,也可以说存储器单元160是在图23A及图23B所示的存储装置中与存储单元150a相邻地设置存储单元150c且与存储单元150b相邻地设置存储单元150d的存储装置。

[0409] 如图24A及图24B所示,在Y方向上相邻的存储单元150共同使用用作布线WL的导电体260。另外,在同一存储器单元内共同使用用作布线BL的一部分的导电体240。换言之,导电体240接触于存储单元150a至存储单元150d各自中的氧化物半导体230。

[0410] 导电体245设置在Z方向上相邻的存储器单元所包括的导电体240间。例如,如图24B所示,导电体245以与存储器单元160[1,1]中的导电体240的顶面及存储器单元160[1,2]中的导电体240的底面接触的方式设置。如此,由设置在各存储器单元160中的导电体240及导电体245形成布线BL。导电体245电连接于设置在图24A及图24B所示的存储装置下的读出放大器(未图示)。如此,通过在图24A及图24B所示的存储装置中层叠多个存储器单元,可以增大单位面积的存储容量。

[0411] 另外,存储单元150a及存储单元150c和存储单元150b及存储单元150d以点划线A1-A2的垂直平分线为对称轴呈线对称。因此,晶体管200a及晶体管200c和晶体管200b及晶体管200d也夹着导电体245配置为线对称。在此,导电体240被用作晶体管200a至晶体管200d的源电极和漏电极中的另一个。另外,晶体管200a至晶体管200d共同使用用作插头的导电体245。如此,通过作为四个晶体管与插头的连接关系采用上述结构,可以提供能够实现微型化或高集成化的存储装置。

[0412] 如图24B所示,通过层叠多个存储单元,可以集成地配置单元而无需增大存储单元阵列的占有面积。就是说,可以构成3D存储单元阵列。注意,图24A及图24B示出具有层叠四个包括两个存储器单元的层的结构的例子,但是本发明不局限于此。在存储装置中,既可以包括一个至少包括一个存储单元150的层,又可以层叠两个以上的上述层。

[0413] 图24A及图24B示出用作插头的导电体245配置在存储单元150之间的结构。换言之,图24A及图24B示出用作插头的导电体245配置在存储器单元160的内侧的结构。注意,本发明不局限于此。导电体245可以配置在存储器单元的外侧。

[0414] 作为存储单元阵列的一个例子,图25A及图25B示出在X方向、Y方向及Z方向上配置三个 $\times$ 三个 $\times$ 四个存储单元150的存储装置的例子。图25A是存储装置的平面图。另外,图25B是沿着图25A中的点划线A1-A2的部分的截面图。另外,为了明确起见,在图25A的平面图中省略部分构成要素。

[0415] 图25A及图25B所示的存储装置具有层叠 m (m 为2以上的整数)个包括存储单元150的层的结构。在此,在图25B中,将设置在第一层(最下面)的上述层记为层170[1],将设置在第二层的上述层记为层170[2],将设置在第 $(m-1)$ 层的上述层记为层170[$m-1$],将设置在第 m 层(最上面)的上述层记为层170[m]。就是说,本发明的一个方式的存储装置也可以包括多个包括存储单元150的层,并可以具有层叠多个层的结构。

[0416] 如图25A及图25B所示,导电体245也可以设置在存储器单元的外侧。另外,导电体245也可以与设置在包括该导电体245的层的上层中的布线电连接。例如,设置在层170[1]中的导电体245与设置在层170[2]中的布线电连接。另外,设置在层170[2]中的该布线设置在与包括在层170[2]中的存储单元150的下部电极(导电体110)相同的层中。就是说,该布线可以以与导电体110相同的工序形成。

[0417] 注意,虽然图25B示出导电体245与设置在包括该导电体245的层的上层的布线电连接的结构,但是本发明不局限于此。例如,导电体245也可以与设置在包括该导电体245的层中的布线电连接。例如,设置在层170[1]中的导电体245也可以与设置在层170[1]中的布线电连接。另外,设置在层170[1]中的该布线设置在与包括在层170[1]中的存储单元150的下部电极(导电体110)相同的层中。就是说,该布线可以以与导电体110相同的工序形成。

[0418] 在此,图26A示出图25A所示的存储装置的平面布局。具体而言,在图26A的平面布局中,示出包括 4×4 个存储单元150的区域。另外,示出用作布线WL的导电体260、用作布线BL的导电体240以及开口部290。此外,导电体260、导电体240与开口部290重叠的区域设置有存储单元150。换言之,开口部290设置在导电体240中的导电体240与导电体260交叉的区域中。

[0419] 图26A示出存储单元150配置为矩阵状的结构。此外,也示出开口部290配置为矩阵状的结构。此外,示出导电体260延伸设置在Y方向上且导电体240延伸设置在X方向上的结构。换言之,示出导电体260与导电体240正交的结构。此外,示出垂直于导电体260的延伸方向的方向(X方向)上的导电体260的宽度为一定且垂直于导电体240的延伸方向的方向(Y方向)上的导电体240的宽度为一定的结构。注意,本发明不局限于此。

[0420] 图26B示出存储装置的平面布局的另一个例子。与图26A同样,在图26B的平面布局中示出导电体260、导电体240及开口部290。图26B所示的存储装置与图26A所示的存储装置的主要不同之处在于:存储单元150(开口部290)的配置;导电体240的形状;以及导电体260的延伸方向。

[0421] 如图26B所示,存储单元150(开口部290)也可以在Y方向上配置为锯齿状。在图26B中,将在X方向上与第一存储单元相邻的存储单元称为第二存储单元,将在Y方向上与第一存储单元及第二存储单元相邻的存储单元称为第三存储单元。例如,优选的是,第三存储单

元的中心位于通过第一存储单元与第二存储单元的中间并平行于Y方向的直线上。此时,也可以说,第三存储单元位于相对于第一存储单元及第二存储单元在X方向上错开一半的位置。

[0422] 另外,如图26B所示,导电体240包括第一区域及第二区域。第一区域是开口部290及其附近的区域,将第一区域的Y方向上的宽度称为第一宽度。在从平面看时,可以说第一区域具有四角形的角部带弧形的形状。另外,第二区域是一个导电体240中相邻的开口部290之间的区域,将第二区域的Y方向上的宽度称为第二宽度。此时,第二宽度优选小于第一宽度。通过采用这种结构,当存储单元150(开口部290)在Y方向上配置为锯齿状时,可以减小导电体240之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0423] 此外,在图26B中,导电体260的延伸方向倾斜于Y方向。也就是说,导电体260的延伸方向根据存储单元150(开口部290)的配置有时不与导电体240的延伸方向正交。换言之,优选导电体260与导电体240交叉。

[0424] 图26C示出存储装置的平面布局的另一个例子。与图26B同样,在图26C的平面布局中示出导电体260、导电体240及开口部290。图26C所示的存储装置与图26B所示的存储装置主要不同之处在于导电体240的第一区域的形状。

[0425] 图26B所示的导电体240的第一区域在从平面看时具有四角形的角部带弧形的形状,该四角形的一边平行于X方向或Y方向。另一方面,图26C所示的导电体240的第一区域在从平面看时具有四角形的角部带弧形的形状,该四角形的对角线平行于X方向或Y方向。通过采用这种结构,当存储单元150(开口部290)在Y方向上配置为锯齿状时,可以减小导电体240之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0426] 图26B及图26C示出导电体240的第一区域在从平面看时具有四角形的角部带弧形的形状的例子,但是本发明不局限于此。

[0427] 图27A示出存储装置的平面布局的另一个例子。与图26B同样,在图27A的平面布局中示出导电体260、导电体240及开口部290。图27A所示的存储装置与图26B或图26C所示的存储装置主要不同之处在于导电体240的第一区域的形状。

[0428] 图27A所示的导电体240的第一区域在从平面看时具有圆形状。通过采用这种结构,当存储单元150(开口部290)在Y方向上配置为锯齿状时,可以减小导电体240之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0429] 注意,从平面看时的导电体240的第一区域不局限于上述形状。例如,从平面看时的导电体240的第一区域也可以具有椭圆等大致圆形状、四角形等多角形状、四角形等多角形的角部带弧形的形状。

[0430] 另外,图27A示出垂直于导电体260的延伸方向的方向上的导电体260的宽度为一定的结构,但是本发明不局限于此。

[0431] 图27B示出存储装置的平面布局的另一个例子。与图27A同样,在图27B的平面布局中示出导电体260、导电体240及开口部290。图27B所示的存储装置与图27A所示的存储装置主要不同之处在于导电体260的形状。

[0432] 与导电体240同样,图27B所示的导电体260包括第一区域及第二区域。第一区域是开口部290及其附近的区域,在从平面看时具有圆形状。另外,第二区域是一个导电体260中相邻的开口部290之间的区域。注意,导电体260的第一区域与导电体240的第一区域重叠。

通过采用这种结构,当存储单元150(开口部290)在Y方向上配置为锯齿状时,可以减小导电体240之间的物理距离。由此,可以实现存储装置的微型化及高集成化。

[0433] 图27C示出存储装置的平面布局的另一个例子。与图27A同样,在图27C的平面布局中示出导电体260、导电体240及开口部290。图27C所示的存储装置与图27A所示的存储装置主要不同之处在于导电体260的形状及延伸方向。

[0434] 图27C所示的导电体260在从平面看时具有如三角波那样的形状,延伸设置在Y方向上。通过采用这种结构,当存储单元150(开口部290)在Y方向上配置为锯齿状时,可以减小导电体240之间的物理距离。由此,可以实现存储装置的微型化及高集成化。注意,从平面看时的导电体260不局限于上述形状,也可以具有蛇行形状等。

[0435] 通过采用上述结构,可以使导电体260之间的物理距离和导电体240之间的物理距离中的一方或双方缩小,可以实现存储装置的微型化及高集成化。

[0436] 将在后面的实施方式中详细地说明包括3D存储单元阵列的存储装置。

[0437] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0438] (实施方式2)

在本实施方式中,使用图28A至图31C说明能够用于上述实施方式所示的存储装置的晶体管的半导体层的金属氧化物(以下,有时被称为氧化物半导体或氧化物)及其沉积方法。

[0439] 在本发明的一个方式的存储装置中,作为具有沟道形成区域的金属氧化物优选采用结晶性高的金属氧化物。再者,该晶体优选具有层叠有多个层(例如,第一层、第二层和第三层)的晶体结构。换言之,该晶体具有层状晶体结构(也称为层状晶体、层状结构)。此时,该晶体的c轴方向为层叠有多个层的方向。

[0440] 为了形成上述具有层状晶体结构的金属氧化物,优选一层一层沉积原子。例如,作为金属氧化物的形成方法可以利用ALD法。

[0441] ALD法可以一层一层沉积原子,从而具有能够沉积得极薄、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性良好的沉积及在低温下能够进行沉积等的效果。此外,ALD法还包括利用热的沉积方法的热ALD法及利用等离子体的沉积方法的等离子体ALD法。通过利用等离子体,可以在更低温下进行沉积,所以有时是优选的。另外,ALD法中使用的前驱物有时包含碳或氯等元素。因此,利用ALD法设置的膜有时与利用其他的沉积方法设置的膜相比包含更多的碳或氯等元素。另外,上述元素的定量可以利用XPS或SIMS进行。

[0442] 不同于从靶材等中被释放的粒子沉积的沉积方法,ALD法是因被处理物表面的反应而形成膜的沉积方法。因此,ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,通过ALD法沉积的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于要覆盖纵横比高的开口部的表面的情况等。

[0443] <利用ALD法的金属氧化物的沉积方法>

在此,说明可用于本发明的一个方式的利用ALD法的金属氧化物的沉积方法。

[0444] 在此,使用图28A至图28E说明利用ALD法沉积三层的层状晶体结构的金属氧化物的方法的一个例子。首先,将前驱物611a引入腔室内,使前驱物611a吸附到衬底610的表面

上(参照图28A。以下,有时将该工序称为第一步骤)。在此,如图28A所示,由于前驱物611a吸附到衬底610的表面上,表面化学反应的自停止机制起作用而在衬底610上的前驱物611a的层上不再吸附前驱物611a。注意,还将使表面化学反应的自停止机制起作用的衬底温度的适当范围称为ALD窗(ALD-Window)。ALD窗根据前驱物的温度特性、蒸气压、分解温度等决定,例如有时设定为100℃以上且600℃以下,优选为200℃以上且400℃以下。

[0445] 接着,通过将非活性气体(氩、氦或氮等)等引入腔室内,将剩余的前驱物611a及反应生成物等从腔室内排出去(以下,有时将该工序称为第二步骤)。另外,也可以通过真空排气将剩余的前驱物及反应生成物等从腔室内排出去代替将非活性气体引入腔室内。第二步骤也被称为吹扫。

[0446] 接着,将反应物612a(例如,氧化剂(臭氧(O_3))、氧(O_2)、水(H_2O)及它们的等离子体、自由基、离子等)引入腔室内,使其与吸附到衬底610的表面上前驱物611a起反应,以前驱物611a的构成分子吸附到衬底610上的状态使前驱物611a中的成分的一部分脱离(参照图28B。以下,有时将该工序称为第三步骤)。由此,前驱物611a的一部分被氧化而成的氧化物613a的层形成在衬底610的表面上。

[0447] 接着,通过引入非活性气体或进行真空排气,将剩余的反应物612a或反应生成物等从腔室内排出去(以下,有时将该工序称为第四步骤)。

[0448] 接着,引入包含不同于前驱物611a的金属元素的前驱物611b,进行与第一步骤同样的工序,使前驱物611b吸附到氧化物613a的层的表面上(参照图28C)。在此,如图28C所示,由于前驱物611b吸附到氧化物613a的层上,表面化学反应的自停止机制起作用而在衬底610上的前驱物611b的层上不再吸附前驱物611b。

[0449] 接着,与第二步骤同样,通过引入非活性气体或进行真空排气,将剩余的前驱物611b及反应生成物等从腔室内排出去。

[0450] 接着,与第三步骤同样,将反应物612b引入腔室内。在此,作为反应物612b可以使用与反应物612a相同或不同的反应物(参照图28D)。由此,前驱物611b的一部分被氧化而成的氧化物613b的层形成在氧化物613a的层上。

[0451] 接着,与第四步骤同样,通过引入非活性气体或进行真空排气,将剩余的反应物612b及反应生成物等从腔室内排出去。

[0452] 并且,通过同样地进行第一至第四步骤,可以在氧化物613b的层上形成氧化物613c的层。如此,通过反复进行形成氧化物613a至氧化物613c的工序,可以形成具有氧化物613a至氧化物613c的叠层结构反复的层状晶体结构的金属氧化物(参照图28E)。就是说,可以以第一至第四步骤为一组形成氧化物的层,通过反复进行该组,可以形成层叠有多个氧化物的层的层状晶体结构。

[0453] 另外,层状晶体结构的金属氧化物的厚度可以为1nm以上且小于100nm,优选为3nm以上且小于20nm。

[0454] 另外,在形成具有层状晶体结构的金属氧化物时,优选在加热衬底的同时进行图28A至图28D所示的工序。例如,将衬底温度设定为200℃以上且600℃以下,优选为300℃以上且前驱物的分解温度以下即可。注意,当使用不同种类的多个前驱物且利用ALD法进行沉积时,优选将衬底温度设定为在多个前驱物中最低的前驱物的分解温度以下。由此,在利用ALD法的沉积中,可以在所使用的多个前驱物都不分解的状态下使它们吸附到对象物(例

如,衬底等)上。

[0455] 通过在上述温度范围内加热衬底的同时进行上述沉积,在步骤1至步骤4的各过程中可以从金属氧化物去除包含在前驱物及反应物等中的氢或碳等杂质。例如,可以将金属氧化物中的碳释放为 CO_2 及 CO ,可以将金属氧化物中的氢释放为 H_2O 。并且,在去除上述杂质的同时金属原子及氧原子被重新排列,因此可以以高秩序性排列各氧化物的层。由此,可以形成结晶性高的层状晶体结构的金属氧化物。

[0456] 为了在上述温度范围内加热衬底的同时进行沉积,用于上述沉积的前驱物的分解温度优选高。例如,前驱物的分解温度优选为 200°C 以上且 700°C 以下,更优选为 300°C 以上且 600°C 以下。作为这样分解温度高的前驱物,优选使用由无机物形成的前驱物(以下,被称为无机前驱物)。无机前驱物一般倾向于具有比由有机物形成的前驱物(以下,被称为有机前驱物)高的分解温度,有时其ALD窗位于上述温度范围内。另外,因为无机前驱物不包含氢或碳等杂质,所以可以防止沉积的金属氧化物中的氢或碳等的杂质浓度增加。

[0457] 并且,优选在上述金属氧化物的沉积之后进行加热处理。尤其是,优选在利用上述ALD法的沉积之后以不暴露于外部空气的方式连续地进行加热处理。该加热处理以 100°C 以上且 1200°C 以下,优选以 200°C 以上且 1000°C 以下,更优选以 250°C 以上且 650°C 以下,还优选以 300°C 以上且 600°C 以下,进一步优选以 400°C 以上且 550°C 以下,更进一步优选以 420°C 以上且 480°C 以下进行即可。另外,加热处理在氮气体或非活性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。此外,加热处理也可以在减压状态下进行。或者,也可以在氮气体或非活性气体气氛下进行加热处理,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。

[0458] 通过如此进行加热处理,可以去除包含在金属氧化物中的氢或碳等杂质。例如,可以将金属氧化物中的碳释放为 CO_2 及 CO ,可以将金属氧化物中的氢释放为 H_2O 。并且,在去除上述杂质的同时金属原子及氧原子被重新排列,因此可以提高结晶性。由此,可以形成结晶性高的层状晶体结构的金属氧化物。

[0459] 另外,优选的是,在上述金属氧化物的沉积之后在含氧气氛下进行微波处理,来进行降低该金属氧化物中的杂质浓度的处理。作为杂质,尤其可以举出氢及碳。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。

[0460] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。另外,作为作用于金属氧化物的氧,有氧原子、氧分子、氧离子及氧自由基(也被称为O自由基的具有不成对电子的原子、分子或离子)等各种形态。另外,作用于金属氧化物的氧可以为上述形态中的任一个或多个,尤其优选为氧自由基。

[0461] 另外,当在上述含氧气氛下进行微波处理时加热衬底,可以进一步降低金属氧化物中的杂质浓度,所以是优选的。上述衬底的加热以 100°C 以上且 650°C 以下,优选以 200°C 以上且 600°C 以下,更优选以 300°C 以上且 450°C 以下进行即可。

[0462] 当在上述含氧气氛下进行微波处理时加热衬底,可以使通过SIMS测得的金属氧化物中的碳浓度低于 $1 \times 10^{20} \text{ atoms/cm}^3$,优选低于 $1 \times 10^{19} \text{ atoms/cm}^3$,更优选低于 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

[0463] 注意,以上示出在含氧气氛下对金属氧化物进行微波处理的结构例子,但是不局限于此。例如,也可以在含氧气氛下对位于金属氧化物附近的绝缘膜,具体而言对氧化硅膜

进行微波处理。例如,在根据上述实施方式的图21A至图21C所示的工序中也可以在沉积绝缘体250之后进行微波处理。通过在含氧气氛下对氧化硅膜进行微波处理,可以使包含在该氧化硅膜中的氢作为 H_2O 释放到外部。通过从位于金属氧化物附近的氧化硅膜释放氢,可以提供可靠性高的存储装置。

[0464] 注意,在实施方式1所说明的晶体管中,当绝缘体250具有叠层结构时,上述微波处理并不一定在沉积绝缘体250所包括的所有绝缘体之后进行。例如,在图8A及图8B所示的结构中,也可以在沉积绝缘体250a及绝缘体250b之后进行微波处理,接着沉积绝缘体250c。此外,例如,如实施方式1所说明,在绝缘体250具有绝缘体250a、绝缘体250b、具有俘获或固定氢的功能的绝缘体及绝缘体250c的叠层结构的情况下,也可以在沉积绝缘体250a及绝缘体250b之后进行微波处理,接着在沉积具有俘获或固定氢的功能的绝缘体之后进行微波处理,然后沉积绝缘体250c。如此,也可以多次进行含氧气氛下的微波处理。

[0465] 注意,在图28E中,说明氧化物613a至氧化物613c的叠层结构反复的结构,但是本发明不局限于此。例如,也可以使用反复形成有单层、两层或四层以上的氧化物的层的金属氧化物。

[0466] 另外,在本说明书等的记载中,在没有特别的记载的情况下,在作为反应物或氧化剂使用臭氧、氧、水时,它们还包括等离子体状态、自由基状态及离子状态而不局限于气体状态或分子状态。在使用等离子体状态、自由基状态或离子状态的氧化剂进行沉积时,使用后述的自由基ALD装置或等离子体ALD装置即可。

[0467] 为了去除包含在前驱物中的碳或氢等杂质,优选使该前驱物与氧化剂充分反应。例如,设定较长的引入氧化剂的脉冲时间即可。或者,多次引入氧化剂即可。当多次引入氧化剂时,既可以引入相同种类的氧化剂,又可以引入不同种类的氧化剂。例如,也可以在作为第一氧化剂将水引入腔室内之后进行真空排气,并且作为第二氧化剂将不包含氢的臭氧或氧引入腔室内而进行真空排气。

[0468] 如此,通过在腔室中短时间内反复多次地进行氧化剂的引入及非活性气体的引入(或真空排气),可以进一步确实地从吸附到衬底表面上的前驱物去除剩余的氢原子、碳原子、氯原子等并将其排出腔室外部。另外,通过引入两种氧化剂,可以从吸附到衬底表面上的前驱物去除更多的剩余的氢原子等。如此,通过防止在沉积时氢原子被引入到膜中,可以减少包含在所形成的膜中的水、氢等。

[0469] ALD法是利用热能使前驱物及反应物起反应而进行的沉积方法。前驱物及反应物的反应所需的温度根据其温度特性、蒸气压、分解温度等决定,设定为 100°C 以上且 600°C 以下,优选为 200°C 以上且 600°C 以下,更优选为 300°C 以上且 600°C 以下。

[0470] 再者,有时将通过进行上述前驱物及反应物的反应并作为第三源气体将被等离子体激发的反应物引入腔室而进行处理的ALD法称为等离子体ALD法。此时,第三源气体的引入部设置有等离子体产生装置。在产生等离子体时,可以使用电感耦合等离子体(ICP)。另一方面,有时将利用热能进行前驱物及反应物的反应的ALD法称为热ALD法。

[0471] 在等离子体ALD法中,引入第三步骤中被等离子体激发的反应物来进行沉积。或者,通过反复进行第一步骤至第四步骤的同时引入被等离子体激发的反应物(第二反应物)来进行沉积。在此情况下,将在第三步骤中引入的反应物称为第一反应物。在等离子体ALD法中,用于第三源气体的第二反应物可以使用与上述氧化剂同样的材料。就是说,作为第二

反应物可以使用被等离子体激发的臭氧、氧及水。另外,作为第二反应物除了氧化剂以外还可以使用氮化剂。作为氮化剂可以使用氮(N_2)或氨(NH_3)。另外,可以将氮(N_2)和氢(H_2)的混合气体用作氮化剂。例如,可以将氮(N_2)5%和氢(H_2)95%的混合气体用作氮化剂。通过在引入被等离子体激发的氮或氨的同时进行沉积,可以形成金属氮化物膜等氮化物膜。

[0472] 另外,作为第二反应物的载气,也可以使用氩(Ar)、氦(He)或氮(N_2)。通过使用氩、氦或氮等载气,容易进行等离子体的放电而生成被等离子体激发的第二反应物,所以是优选的。注意,在利用等离子体ALD法形成金属氧化物膜等氧化物膜且作为载气使用氮的情况下,有时氮混入膜中而不能得到所希望的膜质。此时,优选作为载气使用氩或氦。

[0473] 通过利用ALD法,可以以均匀的厚度沉积极薄的膜。另外,对具有凹凸的面具有高覆盖率。

[0474] 在此,参照图29A至图29D说明层状晶体结构的金属氧化物为In-M-Zn氧化物时的晶体中的原子排列。在图29B及图29D中,以球形(圆形)表示原子,以线表示金属原子和氧原子的键合。在图29B及图29D中,用附图中的箭头表示In-M-Zn氧化物的晶体结构中的c轴(c-axis)方向。另外,In-M-Zn氧化物的晶体结构中的a-b面方向为与在图29B及图29D中用箭头表示的c轴方向垂直的方向。

[0475] 图29A是示出形成在结构体650上的包含In-M-Zn氧化物的氧化物660的图。在此,结构体是指构成晶体管等半导体装置的构成要素。结构体650包括衬底;栅电极、源电极及漏电极等的导体;栅极绝缘膜、层间绝缘膜、基底绝缘膜等的绝缘体;金属氧化物及硅等的半导体等。图29A示出结构体650的被沉积面与衬底(或基体,未图示)平行地配置的情况。

[0476] 图29B是示出图29A的氧化物660的一部分的区域653的晶体中的原子排列的放大图。在此,图29A及图29B所示的氧化物660的组成为 $In:M:Zn=1:1:1$ [原子个数比],晶体结构为 $YbFe_2O_4$ 型结构。另外,元素M为+3价金属元素。

[0477] 如图29B所示,氧化物660所包括的晶体依次反复层叠有包含铟(In)及氧的层621、包含元素M及氧的层631和包含锌(Zn)及氧的层641。层621、层631及层641以大致平行于结构体650的被沉积面的方式配置。换言之,氧化物660的a-b面大致平行于结构体650的被沉积面,氧化物660的c轴大致平行于结构体650的被沉积面的法线方向。

[0478] 如图29B所示,通过上述晶体所具有的层621、层631及层641都由一个金属元素及氧构成,可以以高结晶性进行排列而提高该金属氧化物的载流子迁移率。

[0479] 注意, $In:M:Zn=1:1:1$ [原子个数比]的In-M-Zn氧化物的结构不局限于图29B所示的结构。层621、层631、层641的叠层顺序也可以改变。例如,也可以依次反复层叠层621、层641、层631。或者,也可以依次反复层叠层621、层631、层641、层621、层641、层631。另外,也可以用锌取代层631的元素M的一部分,用元素M取代层641的锌的一部分。

[0480] 在上述中,示出形成其组成为 $In:M:Zn=1:1:1$ [原子个数比]的In-M-Zn氧化物的例子,但是其组成式以 $In_{(1+\alpha)}M_{(1-\alpha)}O_3(ZnO)_m$ (α 为大于0且小于1的实数,m为正数)表示的结晶性In-M-Zn氧化物也同样地可以具有层状晶体结构。作为一个例子,参照图29C及图29D示出其组成为 $In:M:Zn=1:3:4$ [原子个数比]的In-M-Zn氧化物。

[0481] 图29C是示出形成在结构体650上的包含In-M-Zn氧化物的氧化物662的图。图29D是示出图29C所示的氧化物662的一部分的区域654的晶体中的原子排列的放大图。

[0482] 如图29D所示,氧化物662所包括的晶体具有包含铟(In)、元素M及氧的层622、包含

锌 (Zn) 及氧的层641以及包含元素M及氧的层631。在氧化物662中,作为多个层,依次反复层叠有层622、层641、层631、层641。层622、层631及层641以大致平行于结构体650的被沉积面的方式配置。换言之,氧化物662的a-b面大致平行于结构体650的被沉积面,氧化物662的c轴大致平行于结构体650的被沉积面的法线方向。

[0483] 注意,In:M:Zn=1:3:4[原子个数比]的In-M-Zn氧化物的结构不局限于图29D所示的结构,也可以在保持In:M:Zn=1:3:4[原子个数比]的范围内改变结构。例如,层622、层631、层641的叠层顺序也可以改变。另外,也可以用锌取代层631的元素M的一部分,用元素M取代层641的锌的一部分。另外,也可以形成有层621或层631代替层622。

[0484] 接着,参照图30A至图31C示出图29A及图29B所示的包含In-M-Zn氧化物的氧化物660的详细形成方法。

[0485] 首先,将包括包含铟的前驱物的源气体引入腔室内而使该前驱物吸附到结构体650的表面上(参照图30A)。在此,源气体除了前驱物以外还包括氩、氦或氮等载气。作为包含铟的前驱物,可以使用三甲基铟、三乙基铟、三(2,2,6,6-四甲基-3,5-庚二酮酸)铟、环戊二烯基铟、铟(III)乙酰丙酮、(3-(二甲基氨基)丙基)二甲基铟等。

[0486] 另外,作为包含铟的前驱物,也可以使用不包含烃的无机前驱物。作为包含铟的无机前驱物,可以使用三氯化铟、三溴化铟、三碘化铟等卤素类铟化合物。三氯化铟的分解温度为500℃以上且700℃以下左右。因此,通过使用三氯化铟,可以以400℃以上且600℃以下左右,例如以500℃加热衬底,同时利用ALD法进行沉积。

[0487] 接着,停止引入上述源气体,对腔室内进行吹扫而从腔室排出剩余的前驱物及反应生成物等。

[0488] 接着,作为反应物将氧化剂引入腔室内,使该氧化剂与被吸附的前驱物起反应,在铟吸附到衬底的状态下使铟以外的成分脱离,由此形成铟和氧键合而成的层621(参照图30B)。作为氧化剂,可以使用臭氧、氧、水等。接着,停止引入上述氧化剂,对腔室内进行吹扫而从腔室排出剩余的反应物及反应生成物等。

[0489] 接着,将包括包含元素M的前驱物的源气体引入腔室内而使该前驱物吸附到层621上(参照图30C)。源气体除了前驱物以外还包括氩、氦或氮等载气。在作为元素M使用镓时,作为包含镓的前驱物,可以使用三甲基镓、三乙基镓、三(二甲基酰胺)镓、镓(III)乙酰丙酮、三(2,2,6,6-四甲基-3,5-庚二酮酸)镓、二甲基氯镓、二乙基氯镓、二甲基异丙醇镓等。

[0490] 另外,作为包含镓的前驱物,也可以使用不包含烃的无机前驱物。作为包含镓的无机前驱物,可以使用三氯化镓、三溴化镓、三碘化镓等卤素类镓化合物。三氯化镓的分解温度为550℃以上且700℃以下左右。因此,通过使用三氯化镓,可以以450℃以上且650℃以下左右,例如以550℃加热衬底,同时利用ALD法进行沉积。

[0491] 接着,停止引入上述源气体,对腔室内进行吹扫而从腔室排出剩余的前驱物及反应生成物等。

[0492] 接着,作为反应物将氧化剂引入腔室内,使氧化剂与被吸附的前驱物起反应,在元素M吸附到衬底的状态下使元素M以外的成分脱离,由此形成元素M和氧键合而成的层631(参照图30D)。此时,有时构成层641的氧的一部分吸附到层631上。接着,停止引入上述氧化剂,对腔室内进行吹扫而从腔室排出剩余的反应物及反应生成物等。

[0493] 接着,将包括包含锌的前驱物的源气体引入腔室内而使该前驱物吸附到层631上

(参照图31A)。此时,有时形成锌和氧键合而成的层641的一部分。源气体除了前驱物以外还包括氩、氦或氮等载气。作为包含锌的前驱物,可以使用二甲基锌、二乙基锌、双(2,2,6,6-四甲基-3,5-庚二酮酸)锌、乙酸锌等。

[0494] 另外,作为包含锌的前驱物,也可以使用不包含烃的无机前驱物。作为包含锌的无机前驱物,可以使用二氯化锌、二溴化锌、二碘化锌等卤素类锌化合物。二氯化锌的分解温度为450℃以上且700℃以下左右。因此,通过使用二氯化锌,可以以350℃以上且550℃以下左右,例如以450℃加热衬底,同时利用ALD法进行沉积。

[0495] 接着,停止引入上述源气体,对腔室内进行吹扫而从腔室排出剩余的前驱物及反应生成物等。

[0496] 接着,作为反应物将氧化剂引入腔室内,使氧化剂与被吸附的前驱物起反应,在锌吸附到衬底的状态下使锌以外的成分脱离,由此形成锌和氧键合而成的层641(参照图31B)。接着,停止引入上述氧化剂,对腔室内进行吹扫而从腔室排出剩余的反应物及反应生成物等。

[0497] 接着,在层641上以所述方法再次形成层621(参照图31C)。通过反复进行上述方法,可以在衬底或结构体上形成氧化物660。

[0498] 注意,上述前驱物有时除了金属元素以外还包含碳和氯中的一方或双方。使用包含碳的前驱物形成的膜有时包含碳。另外,使用包含氯等卤素的前驱物形成的膜有时包含氯等卤素。

[0499] 如上所述,通过利用ALD法形成氧化物660,可以形成其c轴(c-axis)与被沉积面的法线方向大致平行地取向的金属氧化物。例如,在根据上述实施方式的图1B及图1C所示的氧化物半导体230中,可以形成大致平行于开口部290的侧壁的层状晶体,尤其是大致平行于绝缘体280的侧面的层状晶体。通过采用这种结构,氧化物半导体230的层状晶体大致平行于晶体管200的沟道长度方向,所以可以增大晶体管的通态电流。

[0500] 优选在加热衬底的同时进行图30A至图31C所示的工序。例如,将衬底温度设定为200℃以上且600℃以下,优选为300℃以上且前驱物的分解温度以下即可。

[0501] 为了在上述温度范围内加热衬底的同时进行沉积,用于上述沉积的前驱物的分解温度优选高。例如,前驱物的分解温度优选为200℃以上且700℃以下,更优选为300℃以上且600℃以下。作为这样的分解温度高的前驱物,优选使用无机前驱物。无机前驱物一般倾向于具有比有机前驱物高的分解温度,因此即使在如上所述地加热衬底的同时进行沉积,前驱物也不容易被分解。

[0502] 作为无机前驱物,例如可以使用上述的三氯化铟、三氯化镓、二氯化锌。如上所述,这些前驱物的分解温度为350℃以上且700℃以下左右,比一般的有机前驱物的分解温度高得多。但是,如上所述,三氯化铟、三氯化镓和二氯化锌的分解温度互不相同。当使用如此不同种类的多个前驱物并利用ALD法进行沉积时,优选将衬底温度设定为在多个前驱物的分解温度中最低的分解温度以下。在以上例子中,在前驱物的分解温度最低的二氯化锌不会分解的范围内设定衬底温度即可。由此,在其他的三氯化铟、三氯化镓也不分解的状态下,可以使它们吸附到对象物(例如,衬底等)上。

[0503] 注意,图30A至图31C示出作为包含铟的层形成层621,在其上作为包含元素M的层形成层631,并且在其上作为包含锌的层形成层641的例子,但是本实施方式不局限于此。此

外,也可以形成层631和层641中的一方,在其上形成层621,并且在其上形成层631和层641中的另一方。或者,也可以形成层631和层641中的一方,在其上形成层631和层641中的另一方,并且在其上形成层621。

[0504] 另外,当形成原子个数比不同于 $\text{In:M:Zn}=1:1:1$ [原子个数比]的金属氧化物时,根据原子个数比适当地形成上述层621、层631、层641即可。例如,通过在图31A所示的层631的形成前后反复多次地进行层641的形成,在两个层621之间形成具有所希望的原子个数、层数及厚度的层631和层641的叠层即可。

[0505] (实施方式3)

在本实施方式中,说明使用上述实施方式中说明的存储单元的存储装置的结构例子。在本实施方式中说明存储装置的结构例子,其中包括层叠的存储单元的层之间设置有包括具有放大保持在存储单元中的数据电位并将其输出的功能的功能电路的层。

[0506] [存储装置的结构例子]

图32是示出根据本发明的一个方式的存储装置300的结构例子的方框图。图32所示的存储装置300包括驱动电路21及存储器阵列20。存储器阵列20包括多个存储单元10及具有多个功能电路51的功能层50。

[0507] 图32示出存储器阵列20包括配置为 m 行 n 列(m 及 n 为2以上的整数)的矩阵状的多个存储单元10的例子。此外,作为一个例子,按每个用作位线的布线BL设置功能电路51。图32示出包括对应 n 个布线BL设置的多个功能电路51的例子。

[0508] 在图32中,将第1行第1列存储单元10表示为存储单元10[1,1],将第 m 行第 n 列存储单元10表示为存储单元10[m,n]。另外,在本实施方式等中,有时记作“ i 行”来表示任意行。另外,有时记作“ j 列”来表示任意列。因此, i 为1以上且 m 以下的整数, j 为1以上且 n 以下的整数。另外,在本实施方式等中,将第 i 行第 j 列存储单元10表示为存储单元10[i,j]。注意,在本实施方式等中,当表示为“ $i+\alpha$ ”(α为正整数或负整数)时,“ $i+\alpha$ ”不小于1且不大于 m 。同样,当表示为“ $j+\alpha$ ”时,“ $j+\alpha$ ”不小于1且不大于 n 。

[0509] 另外,存储器阵列20包括延伸在行方向上的 m 个布线WL、延伸在行方向上的 m 个布线PL以及延伸在列方向上的 n 个布线BL。在本实施方式等中,将第一个(第1行)设置的布线WL表示为布线WL[1],将第 m 个(第 m 行)设置的布线WL表示为布线WL[m]。同样地,将第一个(第1行)设置的布线PL表示为布线PL[1],将第 m 个(第 m 行)设置的布线PL表示为布线PL[m]。同样地,将第一个(第1列)设置的布线BL表示为布线BL[1],将第 n 个(第 n 列)设置的布线BL表示为布线BL[n]。

[0510] 设置在第 i 行的多个存储单元10与第 i 行布线WL(布线WL[i])和第 i 行布线PL(布线PL[i])电连接。设置在第 j 列的多个存储单元10与第 j 列布线BL(布线BL[j])电连接。

[0511] 存储器阵列20可以使用DOSRAM(注册商标)(Dynamic Oxide Semiconductor Random Access Memory)。DOSRAM是包括1T(晶体管)1C(电容)型存储单元的RAM,且是存取晶体管为0S晶体管的存储器。0S晶体管在关闭状态下流过源极和漏极之间的电流,即泄漏电流极小。在DOSRAM中,通过关闭存取晶体管(使其处于非导通状态),可以长时间保持根据保持在电容元件(电容器)中的数据的数据的电荷。因此,与使用在沟道形成区域中包含硅的晶体管(以下,也被称为“Si晶体管”)构成的DRAM相比,DOSRAM的刷新工作的频度可以更低。其结果是,可以实现低功耗化。

[0512] 另外,存储单元10如实施方式1等所说明那样通过层叠配置0S晶体管,可以层叠设置存储单元10。例如在图32所示的存储器阵列20中可以层叠设置多个存储器阵列20[1]至存储器阵列20[m]。通过将存储器阵列20所包括的存储器阵列20[1]至存储器阵列20[m]配置在垂直于设置有驱动电路21的衬底表面的方向上,可以提高存储单元10的存储器密度。此外,存储器阵列20可以在垂直方向上反复使用相同的制造工序制造。存储装置300可以降低存储器阵列20的制造成本。

[0513] 布线BL被用作进行数据的写入及读出的位线。布线WL被用作控制用作开关的存取晶体管的开启或关闭(导通状态或非导通状态)的字线。布线PL具有作为连接到电容元件的恒电位线的功能。

[0514] 存储器阵列20[1]至存储器阵列20[m]分别包括的存储单元10通过布线BL与功能电路51连接。布线BL可以配置在垂直于设置有驱动电路21的衬底表面的方向上。通过将从存储器阵列20[1]至存储器阵列20[m]所包括的存储单元10延伸设置的布线BL设置在垂直于衬底表面的方向上,可以缩短存储器阵列20与功能电路51之间的布线的长度。因此,由于可以缩短连接于位线的两个电路之间的信号传输距离且可以大幅度降低位线的电阻及寄生电容,所以可以降低功耗及信号延迟。此外,即使降低存储单元10所包括的电容元件的电容也可以进行工作。

[0515] 功能电路51具有放大保持在存储单元10中的数据电位并将其通过后述的布线GBL(未图示)输出到驱动电路21所包括的读出放大器46的功能。通过采用该结构,可以在读出数据时将布线BL的微小的电位差放大。布线GBL与布线BL同样地可以配置在垂直于设置有驱动电路21的衬底表面的方向上。通过将从存储器阵列20[1]至存储器阵列20[m]所包括的存储单元10延伸设置的布线BL及布线GBL设置在垂直于衬底表面的方向上,可以缩短功能电路51与读出放大器46之间的布线的长度。因此,由于可以缩短连接于布线GBL的两个电路之间的信号传输距离且大幅度降低布线GBL的电阻及寄生电容,所以可以降低功耗及信号延迟。

[0516] 另外,布线BL以与存储单元10所包括的晶体管的半导体层接触的方式设置。或者布线BL以与存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者布线BL以与接触于存储单元10所包括的晶体管的半导体层的用作源极或漏极的区域的导电体接触的方式设置。也就是说,布线BL可以说是使存储器阵列20的各层中的存储单元10所包括的晶体管的源极和漏极中的一个与功能电路51在垂直方向上电连接的布线。

[0517] 存储器阵列20可以重叠设置在驱动电路21上。通过重叠设置驱动电路21和存储器阵列20,可以缩短驱动电路21和存储器阵列20之间的信号传输距离。因此,驱动电路21和存储器阵列20之间的电阻及寄生电容得到降低,可以实现功耗及信号延迟的降低。另外,可以实现存储装置300的小型化。

[0518] 通过与DOSRAM的存储单元10所包括的晶体管同样地由0S晶体管构成功能电路51,可以与存储器阵列20[1]至存储器阵列20[m]同样地将功能电路51自由地配置在使用Si晶体的电路上等,由此可以容易地进行集成化。通过采用由功能电路51放大信号的结构可以使后级的电路的读出放大器46等的电路小型化,从而可以实现存储装置300的小型化。

[0519] 驱动电路21包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电

路41、控制电路32(Control Circuit)及电压生成电路33。

[0520] 在存储装置300中,根据需要可以适当地取舍各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0521] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、信号PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0522] 控制电路32为具有控制存储装置300的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置300的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0523] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0524] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。此外,外围电路41是输出用来控制功能电路51的各种信号的电路。外围电路41包括行译码器42、列译码器44(Column Decoder)、行驱动器43、列驱动器45(Column Driver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)及读出放大器46(Sense Amplifier)。

[0525] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WL的功能。列驱动器45具有如下功能:将数据写入到存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。

[0526] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入到存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)输出到输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置300的外部的功能。从输出电路48输出的数据为信号RDA。

[0527] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置300的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启/关闭,利用信号PON2控制PSW23的开启/关闭。在图32中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0528] 存储器阵列20包括存储器阵列20[1]至存储器阵列20[m](m为2以上的整数)及功能层50,可以在驱动电路21上重叠设置多个层的存储器阵列20。通过重叠设置多个层的存储器阵列20,可以提高存储单元10的存储器密度。图33A是示出在驱动电路21上重叠设置五层(m=5)的存储器阵列20[1]至存储器阵列20[5]及功能层50的情况的存储装置300的立体图。

[0529] 在图33A中,将设置在第一层中的存储器阵列20记作存储器阵列20[1],将设置在第二层中的存储器阵列20记作存储器阵列20[2],将设置在第五层中的存储器阵列20记作

存储器阵列20[5]。此外,图33A示出延伸设置在X方向上的布线WL及布线PL以及延伸设置在Z方向(垂直于设置有驱动电路的衬底表面的方向)上的布线BL。注意,为了使附图更易懂,省略存储器阵列20的每一个所包括的布线WL及布线PL的一部分的记载。注意,图33A示出布线PL延伸设置在X方向上的结构,但是本发明不局限于此。例如,布线PL可以延伸设置在Y方向上,也可以延伸设置在X方向及Y方向上,例如布线PL也可以以平面状设置。

[0530] 图33B是说明图33A所示的连接于布线BL的功能电路51及连接于布线BL的存储器阵列20[1]至存储器阵列20[5]所包括的存储单元10的结构例子的示意图。此外,图33B示出设置在功能电路51与驱动电路21之间的布线GBL。另外,将一个布线BL与多个存储单元(存储单元10)电连接的结构也称为“存储器串(memory string)”。注意,在附图中,为了提高易见度,有时用粗线示出布线GBL。

[0531] 图33B示出连接于布线BL的存储单元10的电路结构的一个例子。存储单元10包括晶体管11及电容元件12。关于晶体管11、电容元件12及各布线(BL及WL等),例如有时将布线BL[1]及布线WL[1]称为布线BL及布线WL等。

[0532] 在存储单元10中,晶体管11的源极和漏极中的一个与布线BL连接。晶体管11的源极和漏极中的另一个与电容元件12的一个电极连接。电容元件12的另一个电极与布线PL连接。晶体管11的栅极与布线WL连接。

[0533] 例如,在相同层中连接于相同布线BL的两个存储单元10可以采用根据实施方式1的图25所示的结构。

[0534] 另外,图33B等示出两个存储单元10在相同层中连接于相同布线BL的结构,但是本发明不局限于此。例如,既可以采用四个存储单元10在相同层中连接于相同布线BL的结构,又可以采用八个存储单元10在相同层中连接于相同布线BL的结构。例如,当设置在相同层中连接于相同布线BL的四个存储单元10时,可以采用根据实施方式1的图24A及图24B所示的结构。

[0535] 布线PL是供应用来保持电容元件12的电位的恒电位的布线。

[0536] 图33B所示的布线GBL以电连接驱动电路21与功能层50之间的方式设置。图34A示出以功能层50以及存储器阵列20[1]至存储器阵列20[m]为重复单位70的存储装置300的示意图。虽然图34A中示出一个布线GBL,但也可以根据功能层50中的功能电路51的数量适当地设置布线GBL。

[0537] 另外,布线GBL以与功能电路51所包括的晶体管的半导体层接触的方式设置。或者,布线GBL以与功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域接触的方式设置。或者,布线GBL以与接触于功能电路51所包括的晶体管的半导体层的用作源极或漏极的区域的导电体接触的方式设置。也就是说,布线GBL可以说是使功能层50的功能电路51所包括的晶体管的源极和漏极中的一个与驱动电路21在垂直方向上电连接的布线。

[0538] 此外,也可以具有层叠包括功能电路51及存储器阵列20[1]至存储器阵列20[m]的重复单位70的结构。本发明的一个方式的存储装置300A如图34B所示可以包括重复单位70[1]至重复单位70[p](p为2以上的整数)。布线GBL与重复单位70所包括的功能层50连接。根据功能电路51的数量适当地设置布线GBL即可。

[0539] 在本发明的一个方式中,在层叠设置0S晶体管的同时将用作位线的布线配置在垂直于设置有驱动电路21的衬底表面的方向上。通过在垂直于衬底表面的方向上设置从存储

器阵列20延伸设置的用作位线的布线,可以缩短存储器阵列20与驱动电路21之间的布线的长度。因此,可以大幅度降低位线的寄生电容。

[0540] 此外,本发明的一个方式在设置有存储器阵列20的层中包括功能层50,该功能层50包括具有放大保持在存储单元10中的数据电位并将其输出的功能的功能电路51。通过采用该结构,可以将读出数据时放大用作位线的布线BL的微小的电位差而可以驱动驱动电路21所包括的读出放大器46。由于可以使读出放大器等的电路小型化,所以可以实现存储装置300的小型化。此外,即使降低存储单元10所包括的电容元件12的电容也可以进行工作。

[0541] [存储器阵列20及功能电路51的结构例子]

参照图35说明图32至图34B所说明的功能电路51的结构例子以及存储器阵列20及驱动电路21所包括的读出放大器46的结构例子。图35示出驱动电路21,该驱动电路21连接于布线GBL(GBL_A、GBL_B),该布线GBL(GBL_A、GBL_B)连接于功能电路51(51_A、51_B),且该功能电路51(51_A、51_B)连接于与不同的布线BL(BL_A、BL_B)连接的存储单元10(10_A、10_B)。作为图35所示的驱动电路21,除了读出放大器46以外还示出预充电电路71_A、预充电电路71_B、开关电路72_A、开关电路72_B及写入读出电路73。

[0542] 作为功能电路51_A、功能电路51_B示出晶体管52_a、晶体管52_b、晶体管53_a、晶体管53_b、晶体管54_a、晶体管54_b、晶体管55_a、晶体管55_b。图35所示的晶体管52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b与存储单元10所包括的晶体管11同样地是0S晶体管。包括功能电路51的功能层50可以与存储器阵列20[1]至存储器阵列20[m]同样地层叠设置。

[0543] 布线BL_A及BL_B与晶体管52_a、52_b的栅极连接。布线GBL_A及GBL_B与晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个连接。与布线BL_A及BL_B同样地,布线GBL_A及GBL_B设置在垂直方向上并与驱动电路21所包括的晶体管连接。如图35所示,晶体管53_a、53_b、54_a、54_b、55_a、55_b的栅极被供应控制信号WE、RE、MUX。

[0544] 构成图35所示的读出放大器46、预充电电路71_A及预充电电路71_B的晶体管81_1至晶体管81_6及82_1至82_4由Si晶体管构成。构成开关电路72_A及开关电路72_B的开关83_A至83_D也可以由Si晶体管构成。晶体管53_a、53_b、54_a、54_b的源极和漏极中的一个与构成预充电电路71_A、预充电电路71_B、读出放大器46、开关电路72_A的晶体管或开关连接。

[0545] 预充电电路71_A包括n沟道型的晶体管81_1至晶体管81_3。预充电电路71_A是根据供应给预充电线PCL1的预充电信号将布线BL_A及BL_B预充电至相当于VDD与VSS之间的电位VDD/2的中间电位VPC的电路。

[0546] 预充电电路71_B包括n沟道型的晶体管81_4至81_6。预充电电路71_B是根据供应给预充电线PCL2的预充电信号将布线GBL_A及布线GBL_B预充电至相当于VDD与VSS之间的电位VDD/2的中间电位VPC的电路。

[0547] 读出放大器46包括连接于布线VHH或布线VLL的p沟道型的晶体管82_1、p沟道型的晶体管82_2及n沟道型的晶体管82_3、n沟道型的晶体管82_4。布线VHH或布线VLL是具有供应VDD或VSS的功能的布线。晶体管82_1至82_4是构成反相器环路的晶体管。通过选择存储单元10_A、10_B而被预充电的布线BL_A及布线BL_B的电位变化,根据该变化将布线GBL_A及布线GBL_B的电位设定为高电源电位VDD或低电源电位VSS。布线GBL_A及布线GBL_B的电位可以经过开关83_C及开关83_D以及写入读出电路73输出到外部。布线BL_A及布线BL_B以及

布线GBL_A及布线GBL_B相当于位线对。写入读出电路73根据信号EN_data被控制数据信号的写入。

[0548] 开关电路72_A是控制读出放大器46与布线GBL_A及布线GBL_B之间的导通状态的电路。开关电路72_A通过控制切换信号CSEL1可以切换开启或关闭。在开关83_A及83_B为n沟道型晶体管的情况下,在切换信号CSEL1为高电平时开启,而在切换信号CSEL1为低电平时关闭。开关电路72_B是控制写入读出电路73与连接于读出放大器46的位线对之间的导通状态的电路。开关电路72_B通过控制切换信号CSEL2可以切换开启或关闭。开关83_C及83_D可以与开关83_A及83_B同样。

[0549] 如图35所示,存储装置300可以具有通过设置在最短距离的垂直方向上的布线BL及布线GBL使存储单元10、功能电路51与读出放大器46连接的结构。包括构成功能电路51的晶体管的功能层50增加,但通过降低布线BL的负载,可以缩短写入时间且可以易于读出数据。

[0550] 另外,如图35所示,功能电路51_A、51_B所包括的各晶体管根据控制信号WE、RE及选择信号MUX控制。各晶体管可以根据控制信号及选择信号将布线BL的电位经过布线GBL输出到驱动电路21。功能电路51_A、51_B可以被用作由OS晶体管构成的读出放大器。通过采用该结构,可以在读出时放大布线BL的微小的电位差,可以驱动使用Si晶体管的读出放大器46。

[0551] 如上所述,通过层叠设置多个存储单元阵列与驱动电路,可以实现存储装置的高集成化及存储容量的大容量化。

[0552] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0553] (实施方式4)

在本实施方式中,参照图36A及图36B说明安装有本发明的存储装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(Systemon Chip:SoC)。

[0554] 如图36A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0555] 在芯片1200上设置有凸块(未图示),该凸块如图36B所示那样与封装基板1201的第一面连接。此外,在封装基板1201的第一面的背面设置有多块凸块1202,该凸块1202与母板1203连接。

[0556] 在母板1203上也可以设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。由此,可以实现DRAM1221的低功耗化、高速化及大容量化。

[0557] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212也可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过在GPU1212中设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0558] 此外,因为同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和

GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0559] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0560] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0561] 接口1215具有与如显示装置、扬声器、麦克风、照相机、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(注册商标)(High-Definition Multimedia Interface:高清晰度多媒体接口)等。

[0562] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0563] 上述电路(系统)可以经同一制造工艺形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工艺,可以以低成本制造芯片1200。

[0564] 包括设置有具有GPU1212的芯片1200的封装基板1201、DRAM1221以及闪存1222的母板1203可以被称为GPU模块1204。

[0565] GPU模块1204因具有使用SoC技术的芯片1200而可以缩小其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者可以将GPU模块1204用作AI系统模块。

[0566] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0567] (实施方式5)

本实施方式示出组装有上述实施方式所示的存储装置等的电子构件及电子设备的一个例子。通过将上述实施方式所示的存储装置用于以下电子构件及电子设备,可以实现电子构件及电子设备的低功耗化及高速化。

[0568] <电子构件>

首先,参照图37A及图37B对组装有存储装置720的电子构件的例子进行说明。

[0569] 图37A是电子构件700及安装有电子构件700的衬底(电路板704)的立体图。图37A所示的电子构件700在模子711内包括存储装置720。在图37A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702上。通过组合多个上述电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0570] 存储装置720包括驱动电路层721及存储电路层722。

[0571] 图37B是电子构件730的立体图。电子构件730是SiP(System in package:系统封

装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装基板732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。通过作为存储装置720使用上述实施方式所示的存储装置,可以实现低功耗化及高速化。

[0572] 半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0573] 封装基板732可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0574] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线以单层或多层设置。此外,插板731具有使设置于插板731上的集成电路与设置于封装基板732上的电极电连接的功能。因此,有时将插板也称为“再分布衬底(redistribution substrate)”或“中间衬底”。此外,有时在插板731中设置贯通电极且使用该贯通电极使集成电路与封装基板732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0575] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0576] 此外,在使用硅插板的SiP、MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路在横方向上排列地配置于插板上。

[0577] 此外,也可以与电子构件730重叠的方式设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度对齐。例如,在本实施方式所示的电子构件730中,优选使存储装置720与半导体装置735的高度对齐。

[0578] 为了将电子构件730安装在其他基板上,也可以在封装基板732的底部设置电极733。图37B示出用焊球形成电极733的例子。通过在封装基板732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。此外,电极733也可以使用导电针形成。通过在封装基板732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0579] 电子构件730可以通过各种安装方法安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0580] 以上,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而使用。

[0581] (实施方式6)

在本实施方式中,说明使用上述实施方式所示的存储装置的存储装置的应用例子。上述实施方式所示的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装

置。通过将上述实施方式所示的存储装置用于上述电子设备的存储装置,可以实现电子设备的低功耗化及高速化。注意,在此,计算机包括平板电脑、笔记本型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的存储装置应用于存储卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图38A至图38E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的存储装置加工为被封装的存储器芯片并用于各种辅助存储装置(storage device)、可移动存储器。

[0582] 图38A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及衬底1104。衬底1104被容纳在外壳1101中。例如,衬底1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的存储装置组装于存储器芯片1105等。

[0583] 图38B是SD卡的外观示意图,图38C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及衬底1113。衬底1113被容纳在外壳1111中。例如,衬底1113上安装有存储器芯片1114及控制器芯片1115。通过在衬底1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的存储装置组装于存储器芯片1114等。

[0584] 图38D是SSD的外观示意图,图38E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及衬底1153。衬底1153被容纳在外壳1151中。例如,衬底1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在衬底1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的存储装置组装于存储器芯片1154等。

[0585] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0586] (实施方式7)

根据本发明的一个方式的存储装置可以用于CPU、GPU等处理器或芯片。通过将这种CPU、GPU等处理器或芯片用于电子设备,可以实现电子设备的低功耗化及高速化。图39A至图39H示出具备使用该存储装置的CPU、GPU等处理器或芯片的电子设备的例子。

[0587] <电子设备及系统>

根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、用于台式或笔记本式信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的GPU或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0588] 本发明的一个方式的电子设备也可以包括天线。通过使用天线接收信号,可以在显示部上显示影像、信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0589] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有感测、检测或测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学

物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0590] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图39A至图39H示出电子设备的例子。

[0591] [信息终端]

图39A示出信息终端之一的移动电话(智能手机)。信息终端5100包括外壳5101及显示部5102,作为输入接口在显示部5102中具备触摸面板,并且在外壳5101上设置有按钮。

[0592] 信息终端5100通过采用本发明的一个方式的芯片而可以实现低功耗化及高速化。

[0593] 图39B示出笔记本式信息终端5200。笔记本式信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0594] 与上述信息终端5100同样,笔记本式信息终端5200通过采用本发明的一个方式的芯片而可以实现低功耗化及高速化。

[0595] 注意,在上述中,图39A及图39B分别示出智能手机及笔记本式信息终端作为电子设备的例子,但是也可以应用智能手机及笔记本式信息终端以外的信息终端。作为智能手机及笔记本式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端、工作站等。

[0596] [游戏机]

图39C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图示),可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时,外壳5302及外壳5303分别可以被用作操作部。由此,多个游戏玩者可以同时玩游戏。可以将上述实施方式所示的芯片组装于设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0597] 另外,图39D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0598] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300及固定式游戏机5400等游戏机,可以实现低功耗的游戏机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的影响。

[0599] 再者,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300,可以实现低功耗化及高速化。

[0600] 虽然图39C及图39D示出便携式游戏机及固定式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0601] [大型计算机]

可以将本发明的一个方式的GPU或芯片应用于大型计算机。

[0602] 图39E示出作为大型计算机的一个例子的超级计算机5500。图39F示出超级计算机

5500所包括的机架(rack-mount)式计算机5502。

[0603] 超级计算机5500包括机架5501及多个机架式计算机5502。注意,多个计算机5502容纳在机架5501中。另外,计算机5502设有多个衬底5504,在该衬底上可以安装上述实施方式所说明的GPU或芯片。

[0604] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。例如,在包括多个超级计算机5500的数据中心中使用的数据量非常庞大。具体而言,可以预测全世界的数字数据量超过 10^{24} (yota)字节或 10^{30} (quetta)字节。

[0605] 通过将本发明的一个方式的GPU或芯片应用于超级计算机5500,可以实现低功耗的超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的影响。通过应用使用本发明的一个方式的存储装置的GPU或芯片,可以实现低功耗的超级计算机。由此,通过降低全世界的数字数据量,被期待可以有助于进行全球变暖对策。

[0606] 在图39E及图39F中,作为大型计算机的一个例子示出超级计算机,但是应用本发明的一个方式的GPU或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU或芯片的大型计算机,例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0607] [移动体]

本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0608] 图39G是示出移动体的一个例子的汽车内部的前挡风玻璃周边的图。图39G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0609] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定等,显示面板5701至显示面板5703可以提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0610] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以弥补被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车外侧的摄像装置拍摄的影像,可以弥补死角,从而可以提高安全性。此外,通过显示弥补看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0611] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车的自动驾驶系统。此外,该芯片可以用于进行导航、危险预测等的系统。此外,也可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0612] 注意,虽然在上述中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0613] [电器产品]

图39H示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外

壳5801、冷藏室门5802及冷冻室门5803等。

[0614] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能等。

[0615] 作为电器产品的一个例子说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0616] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他电子设备的记载适当地组合。

[0617] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式、其他实施例等适当地组合而实施。

[0618] (实施方式8)

本发明的一个方式的存储装置包括OS晶体管。该OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。在本实施方式中,使用图40说明将本发明的一个方式的存储装置应用于太空设备的情况的具体例子。

[0619] 在图40中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图40示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所记载的宇宙空间也可以包括热层、中间层及平流层。

[0620] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。另外,作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0621] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量少少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0622] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0623] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。另外,作为控制装置6807优选使用包括本发明的一个方式的OS晶体管的存储装置。与Si晶体管相比,OS晶体管的因被照射辐射线而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0624] 另外,人造卫星6800可以包括传感器。例如,通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造

卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0625] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的存储装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[实施例1]

[0626] 在本实施例中,进行基于设计的半导体装置的写入工作及读出工作的模拟。

[0627] 对包括OS晶体管的OS存储器与使用Si晶体管制造的DRAM的比较结果进行说明。表1及表2示出作为OS存储器的DOSRAM与使用Si晶体管制造的DRAM的密度、写入时间、读出时间及保持时间的比较结果。

[0628] [表1]

	DOSRAM OS 20nm				DRAM Si 14nm
OSFET	VFET 25nmΦ		VFET 25nmΦ		
	IGZO(111)		IGZO(111)\ (401)\ (111)		
电容	沟槽 1.5fF		沟槽 1.5fF		
单元配置	直线状	锯齿状	直线状	锯齿状	
密度[单元/μm ²]	331	382	331	382	383
写入时间	6ns	6ns	2ns	2ns	≤20ns
读出时间	29ns	29ns	18ns	17ns	
保持时间	6.4s	6.4s	6.4s	6.4s	64ms

[0629] [表2]

	DOSRAM OS 14nm				DRAM Si 14nm
OSFET	VFET 25nmΦ		VFET 25nmΦ		
	IGZO(111)		IGZO(111) \ (401) \ (111)		
电容	沟槽1.5fF		沟槽1.5fF		
单元配置	直线状	锯齿状	直线状	锯齿状	
密度[单元/μm ²]	416	481	416	481	383
写入时间	6ns	6ns	2ns	2ns	≤20ns
读出时间	28ns	28ns	17ns	17ns	
保持时间	6.4s	6.4s	6.4s	6.4s	64ms

[0630] 如表1及表2所示,在包括OS晶体管的DOSRAM中,按用于实施方式1所说明的氧化物半导体230的材料及单元配置分组。此外,表1及表2所示的IGZO(111)为In:Ga:Zn=1:1:1[原子个数比]的金属氧化物,表1及表2所示的IGZO(111)\ (401)\ (111)为In:Ga:Zn=1:1:1[原子个数比]的金属氧化物、In:Zn=4:1[原子个数比]的金属氧化物以及In:Ga:Zn=1:1:1[原子个数比]的金属氧化物的叠层体。通过将该叠层体用于晶体管的半导体层,可以增大晶体管的通态电流。例如,IGZO(111)\ (401)\ (111)可以说是其通态电流大于IGZO(111)的半导体材料。此外,表1及表2所示的直线状的单元配置是指图26A所示的单元配置,表1及表2所示的锯齿状的单元配置是指图27C所示的单元配置。

[0631] 另外,DOSRAM根据以20nm或14nm的设计规则制造具有直径25nm ϕ 的开口部290的OS晶体管并层叠五个包括OS晶体管的元件层的结构而估计。此外,DOSRAM根据单元容量

1.5fF而估计。表1示出0S晶体管的设计规则为20nm时的估计结果,表2示出0S晶体管的设计规则为14nm时的估计结果。

[0632] 另外,如表1及表2所示,包括Si晶体管的DRAM根据Si晶体管的设计规则14nm而估计。

[0633] 其结果,如表1所示,在比较存储密度的密度项目中,DRAM的密度为383单元/ μm^2 ,另一方面,采用20nm的设计规则的DOSRAM的每一层的密度在直线状的单元配置中为331单元/ μm^2 ,在锯齿状的单元配置中为382单元/ μm^2 。由此可知,通过实现多层化,DOSRAM的性能有可能超过现有DRAM的性能。此外,如表2所示,采用14nm的设计规则的DOSRAM的每一层的密度在直线状的单元配置中为416单元/ μm^2 ,在锯齿状的单元配置中为481单元/ μm^2 。由此可知,在相同设计规则下,DOSRAM的性能有可能超过现有DRAM的性能。

[0634] 此外,在比较数据的写入时间及读出时间的写入时间及读出时间项目中,DRAM的写入时间及读出时间为20ns以下,另一方面,DOSRAM的写入时间较短,读出时间在使用通态电流大的半导体材料时大致相等。就是说,可知:在使用通态电流大的半导体材料时,DOSRAM有可能具有等于或高于DRAM的性能。

[0635] 此外,在比较数据的保持时间的保持时间项目中,DRAM具有每64ms一次刷新所有存储单元的数据的结构,另一方面,DOSRAM被估计为每6.4s进行一次以上的刷新。其结果是,可知:DOSRAM有可能将DRAM的刷新所需要的功率降低到1/100。

[0636] 本实施例的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[实施例2]

[0637] 在本实施例中,制造包括可用于在实施方式1中说明的存储单元的晶体管的样品并评价该晶体管的电特性。

[0638] [样品的制造]

图41A及图41B是样品所包括的晶体管的截面图。

[0639] 导电体120包括导电体120a、导电体120a上的导电体120b及导电体120b上的导电体120c。如实施方式1所说明,导电体120a包含不容易被氧化的导电材料或具有抑制氧扩散的功能的导电材料,导电体120b包含导电性高的材料,导电体120c包含含有氧的导电材料。

[0640] 导电体240包括导电体240a及导电体240a上的导电体240b。关于导电体240a,可以参照实施方式1所说明的导电体240的第一导电体的内容。此外,关于导电体240b可以参照实施方式1所说明的导电体240的第二导电体的内容。

[0641] 绝缘体280包括绝缘体280a、绝缘体280a上的绝缘体280b、绝缘体280b上的绝缘体280c及绝缘体280c上的绝缘体280d。关于绝缘体280a至绝缘体280c,可以参照实施方式1所说明的内容。绝缘体280d对应于实施方式1所说明的与将成为导电体240a的导电膜的蚀刻选择性高的绝缘体。

[0642] 绝缘体250包括绝缘体250a、绝缘体250a上的绝缘体250b、绝缘体250b上的绝缘体250d及绝缘体250d上的绝缘体250c。关于绝缘体250a至绝缘体250c,可以参照实施方式1所说明的内容。绝缘体250d对应于实施方式1所说明的设置在绝缘体250b与绝缘体250c之间的绝缘体。就是说,绝缘体250d具有俘获或固定氢的功能。

[0643] 在氧化物半导体230a与导电体240b的蚀刻选择性较低的情况下,如图41A及图41B

所示,氧化物半导体230a的侧端部与导电体240b的侧端部有时一致。

[0644] 关于上述以外的结构,可以参照实施方式1所说明的内容。

[0645] 以下,说明样品的制造方法。注意,关于详细制造方法,可以参照实施方式1。

[0646] 在氧化硅膜上设置导电体120。导电体120a使用通过溅射法沉积的氮化钛膜形成。导电体120b使用通过溅射法沉积的钨膜形成。导电体120c使用通过溅射法沉积的ITSO膜形成。此外,导电体120a及导电体120b使用多室型溅射装置以不暴露于大气的方式连续沉积。

[0647] 绝缘体280a使用通过ALD法沉积的厚度为8nm的氮化硅膜。绝缘体280b使用通过溅射法沉积的氧化硅膜。在沉积绝缘体280b之后进行CMP处理,由此使绝缘体280b的顶面平坦化。通过进行CMP处理,将绝缘体280b的导电体120上的厚度设定为20nm。

[0648] 绝缘体280c使用通过溅射法沉积的厚度为5nm的氮化硅膜。绝缘体280d使用通过溅射法沉积的厚度为10nm的氧化硅膜。

[0649] 导电体240a使用通过溅射法沉积的厚度为15nm的钨膜形成。导电体240b使用通过溅射法沉积的厚度为10nm的ITSO膜形成。

[0650] 开口部290以最大宽度的直径为60nm的方式形成。

[0651] 氧化物半导体230a使用通过RF溅射法沉积的In-Ga-Zn氧化物膜形成。另外,在沉积将成为氧化物半导体230a的氧化物膜时,使用In:Ga:Zn=1:1:1.2[原子个数比]的氧化物靶材。此外,该氧化物膜以导电体240的顶面为被形成面的部分具有5nm的厚度的方式沉积。

[0652] 氧化物半导体230b使用通过ALD法沉积的厚度为5nm的In-Ga-Zn氧化物膜形成。另外,用于将成为氧化物半导体230b的氧化物膜的沉积的前驱物是三乙基铟(TEI)、三乙基镓(TEG)及二乙基锌(DEZ)。此外,作为氧化剂使用臭氧(O_3)及氧(O_2)。

[0653] 绝缘体250a使用通过ALD法沉积的厚度为1nm的氧化铝膜形成。绝缘体250b使用通过ALD法沉积的厚度为2nm的氧化硅膜形成。绝缘体250d使用通过ALD法沉积的厚度为2nm的氧化钪膜形成。绝缘体250c使用通过ALD法沉积的厚度为1nm的氮化硅膜形成。

[0654] 导电体260a使用通过金属CVD法沉积的厚度为5nm的氮化钛膜形成。此外,导电体260b使用通过溅射法沉积的厚度为20nm的钨膜形成。

[0655] 绝缘体283使用通过溅射法沉积的厚度为5nm的氮化硅膜。

[0656] 通过上述工序,制造包括晶体管的样品。

[0657] [电特性评价]

评价所制造的样品中的晶体管的电特性。这里,作为电特性,测量Id-Vg特性。在Id-Vg特性的测量中,漏极电压Vd为1.2V,源极电压Vs为0V,从-4V到+4V每隔0.1V扫描栅极电压Vg。此外,该测量在室温环境下进行。

[0658] 图42示出所制造的样品中的晶体管的Id-Vg特性。在图42中,纵轴表示漏极电流Id[A],横轴表示栅极-源极间电压(Vg)[V]。

[0659] 由图42可确认,在本实施例中制造的样品包括呈现良好的开关特性的晶体管。

[0660] 本实施例所示的构成、结构或方法等可以与其他实施方式等所示的构成、结构或方法等适当地组合而使用。

[符号说明]

[0661] BL:布线、PL:布线、Tr:晶体管、WL:布线、10:存储单元、11:晶体管、12:电容元件、

20:存储器阵列、21:驱动电路、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:功能层、51_A:功能电路、51_B:功能电路、51:功能电路、52_a:晶体管、52_b:晶体管、53_a:晶体管、53_b:晶体管、54_a:晶体管、54_b:晶体管、55_a:晶体管、55_b:晶体管、70:重复单位、71_A:预充电电路、71_B:预充电电路、72_A:开关电路、72_B:开关电路、73:写入读出电路、81_1:晶体管、81_3:晶体管、81_4:晶体管、81_6:晶体管、82_1:晶体管、82_2:晶体管、82_3:晶体管、82_4:晶体管、83_A:开关、83_B:开关、83_C:开关、83_D:开关、100a:电容元件、100b:电容元件、100c:电容元件、100d:电容元件、100:电容元件、110:导电体、115:导电体、120a:导电体、120A:导电膜、120b:导电体、120c:导电体、120:导电体、125:导电体、130:绝缘体、135:绝缘体、140:绝缘体、150a:存储单元、150b:存储单元、150c:存储单元、150d:存储单元、150:存储单元、160[1,1]:存储器单元、160[1,2]:存储器单元、160[1,3]:存储器单元、160[1,4]:存储器单元、160[2,1]:存储器单元、160[2,2]:存储器单元、160[2,3]:存储器单元、160[2,4]:存储器单元、160:存储器单元、170[1]:层、170[2]:层、170[m-1]:层、170[m]:层、180a:绝缘体、180b:绝缘体、180:绝缘体、182:绝缘体、185:绝缘体、190:开口部、200a:晶体管、200b:晶体管、200c:晶体管、200d:晶体管、200:晶体管、230a:氧化物半导体、230b:氧化物半导体、230i:区域、230na:区域、230nb:区域、230:氧化物半导体、240a:导电体、240A:导电膜、240b:导电体、240:导电体、245:导电体、246:导电体、250a:绝缘体、250b:绝缘体、250c:绝缘体、250d:绝缘体、250:绝缘体、260a:导电体、260A:导电膜、260b:导电体、260:导电体、280a:绝缘体、280b:绝缘体、280c:绝缘体、280d:绝缘体、280:绝缘体、281:绝缘体、283:绝缘体、287:绝缘体、290:开口部、300A:存储装置、300:存储装置、610:衬底、611a:前驱物、611b:前驱物、612a:反应物、612b:反应物、613a:氧化物、613b:氧化物、613c:氧化物、621:层、622:层、631:层、641:层、650:结构体、653:区域、654:区域、660:氧化物、662:氧化物、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、720:存储装置、721:驱动电路层、722:存储电路层、730:电子构件、731:插板、732:封装基板、733:电极、735:半导体装置、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:衬底、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:衬底、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:封装基板、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、5100:信息终端、5101:外壳、5102:显示部、5200:笔记本式信息终端、5201:主体、5202:显示部、5203:键盘、5300:便携式游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置

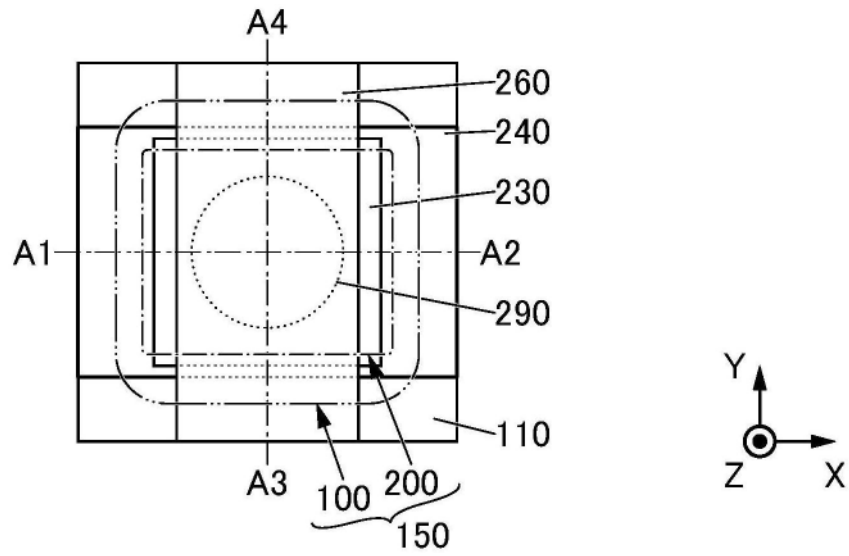


图1A

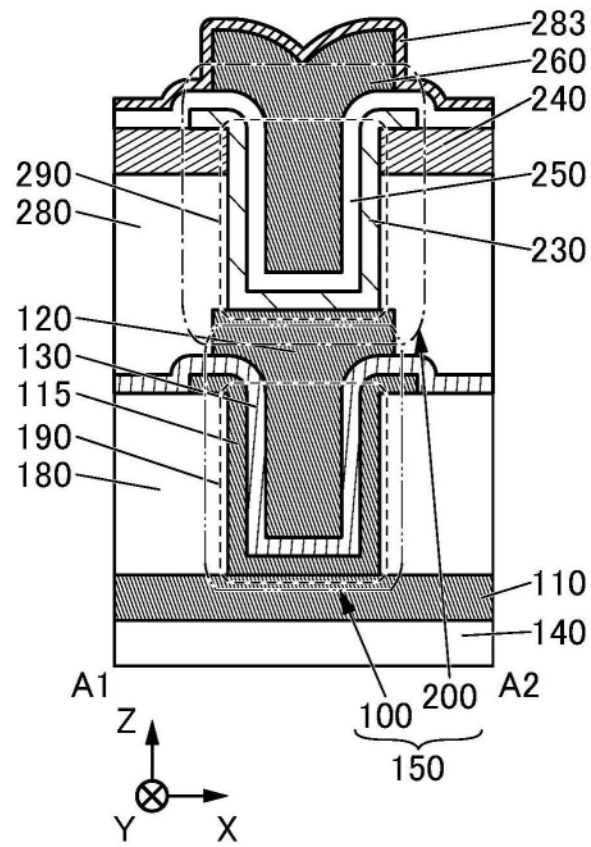


图1B

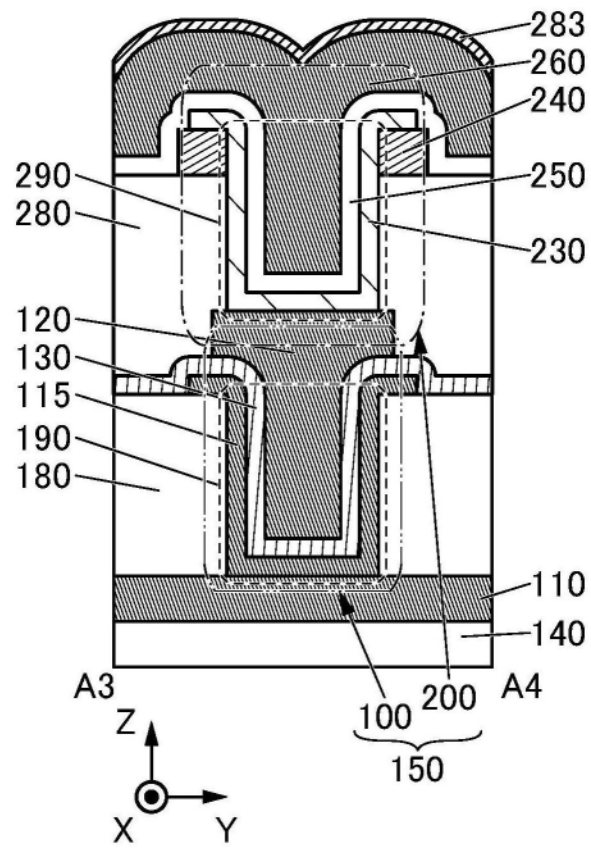


图1C

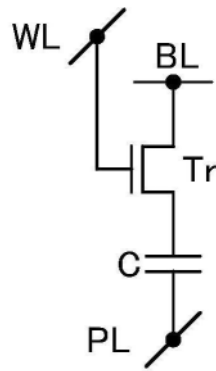


图1D

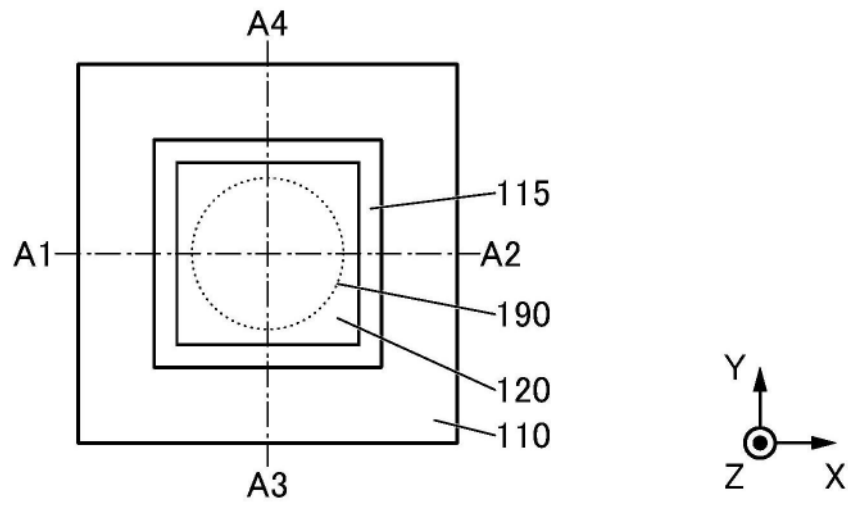


图2A

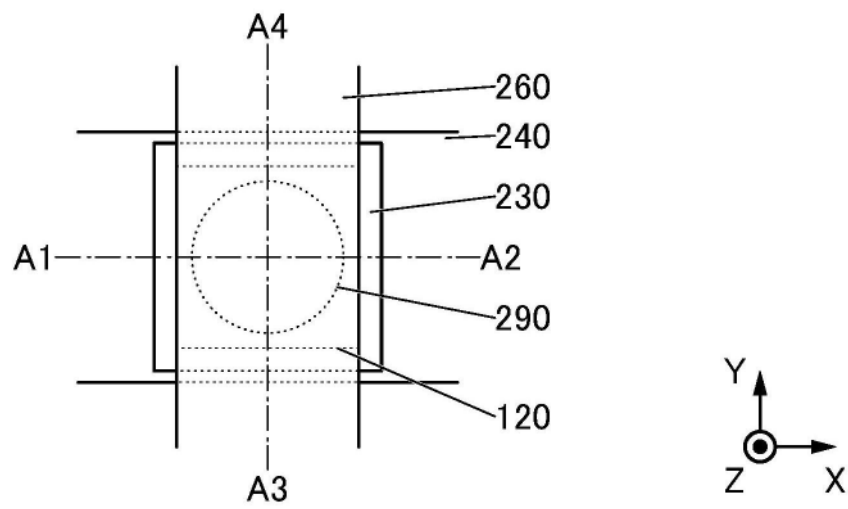


图2B

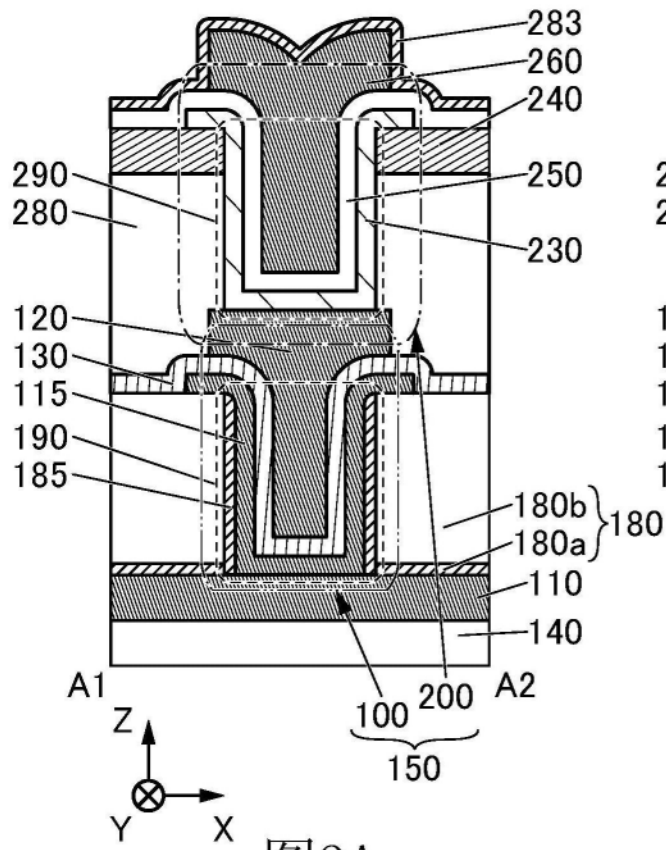


图3A

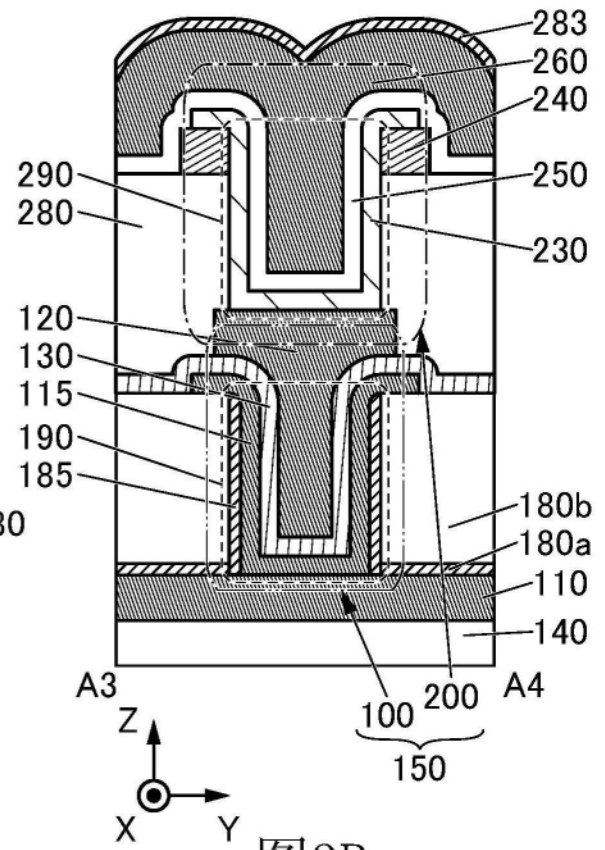


图3B

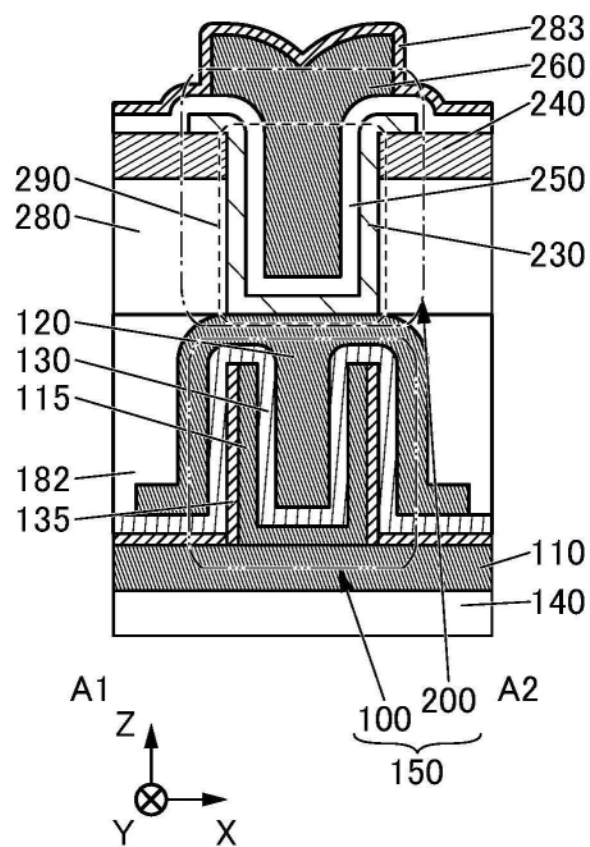


图4C

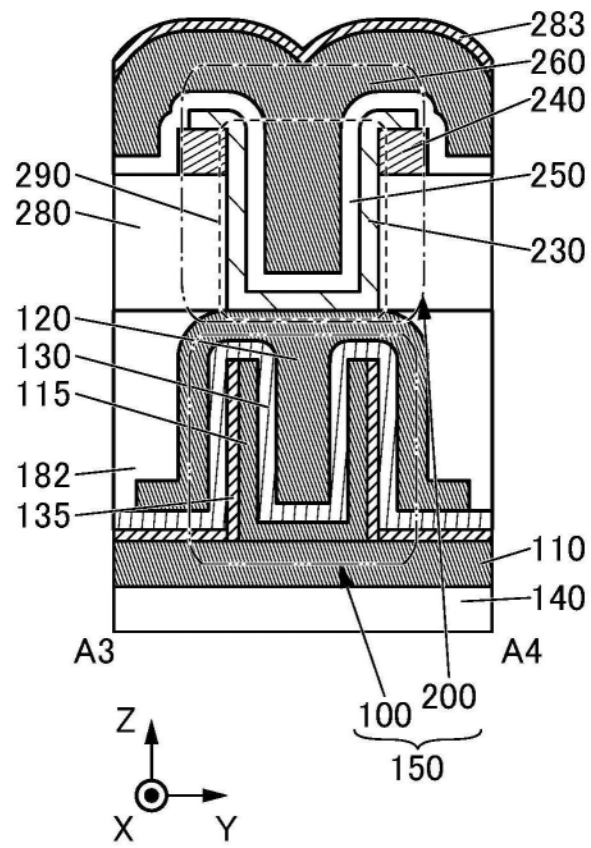


图4D

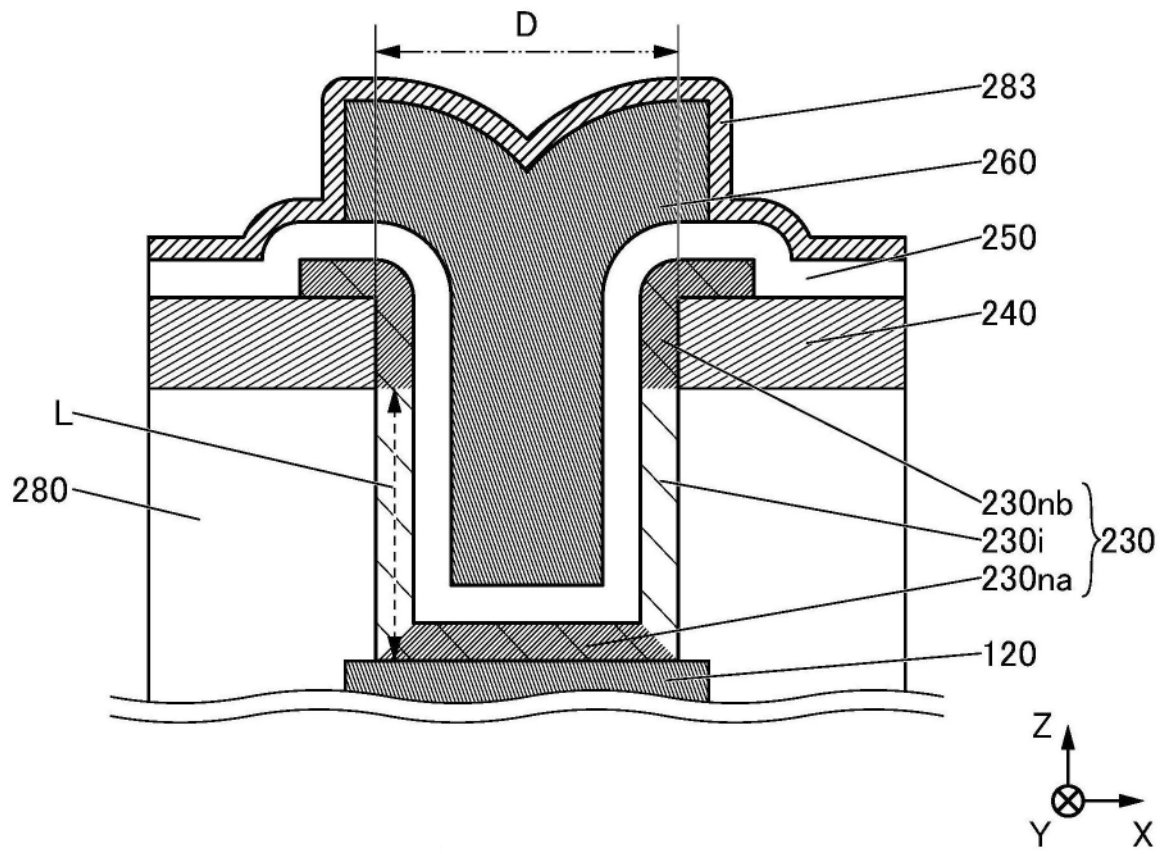


图5A

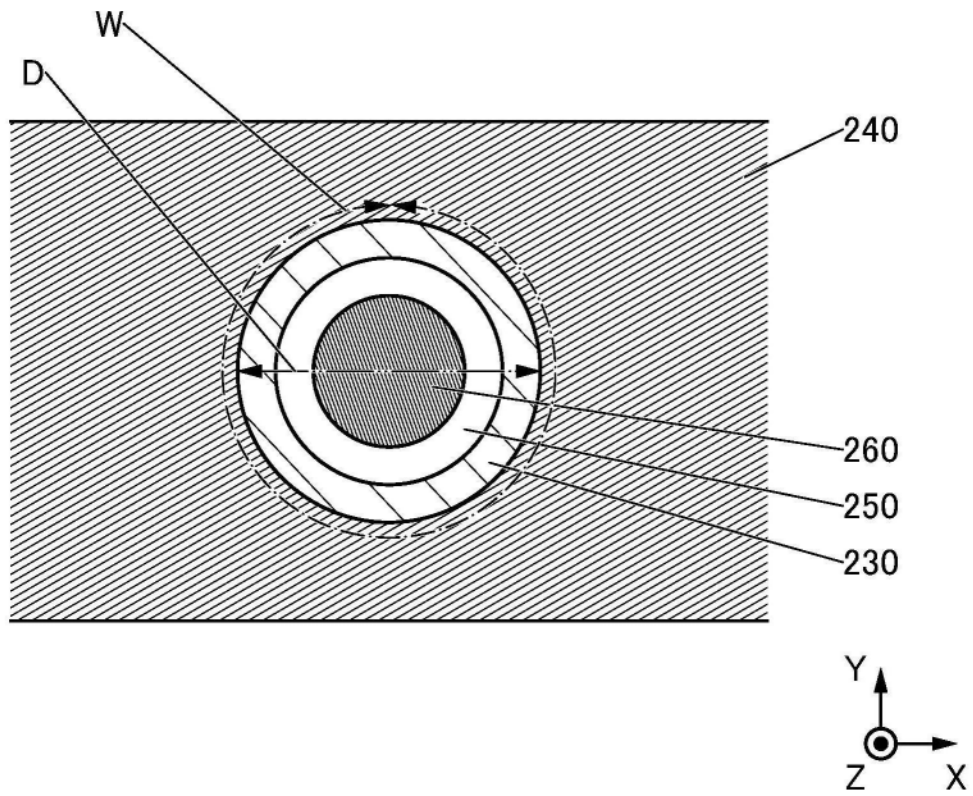


图5B

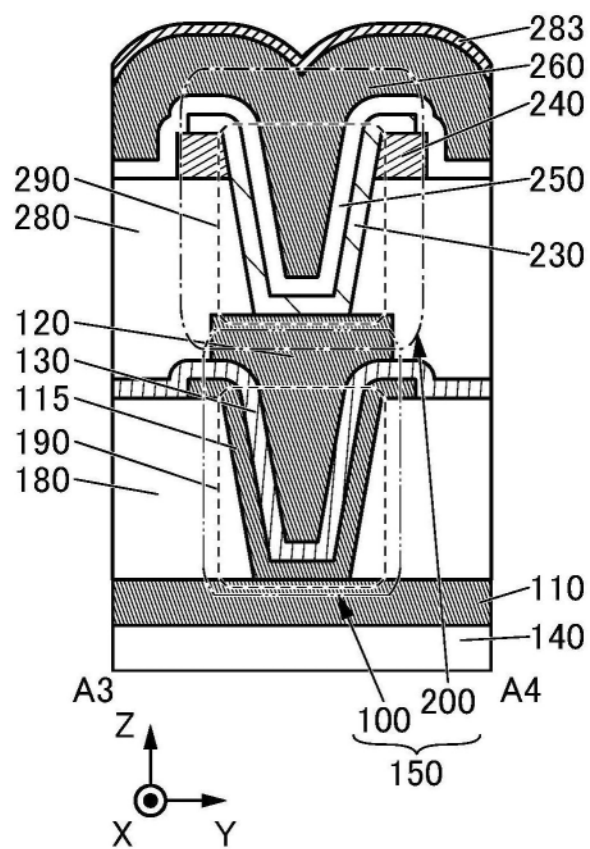


图6B

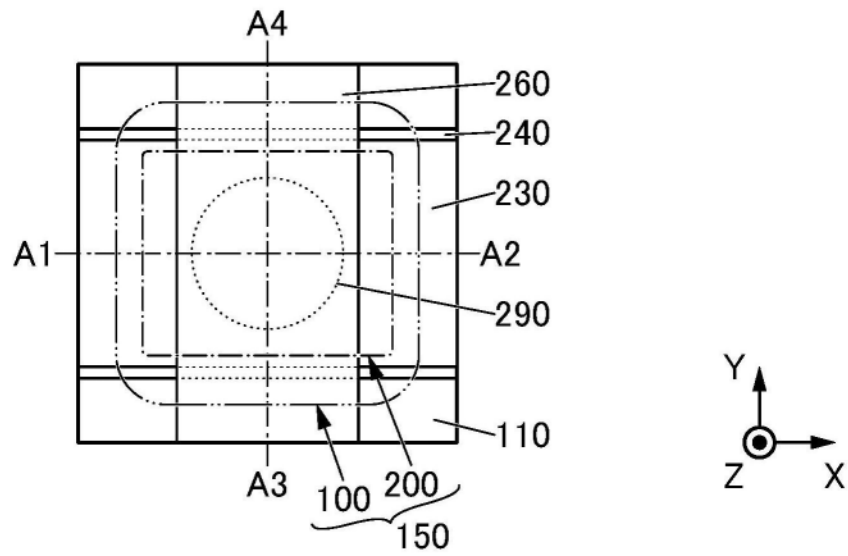


图7A

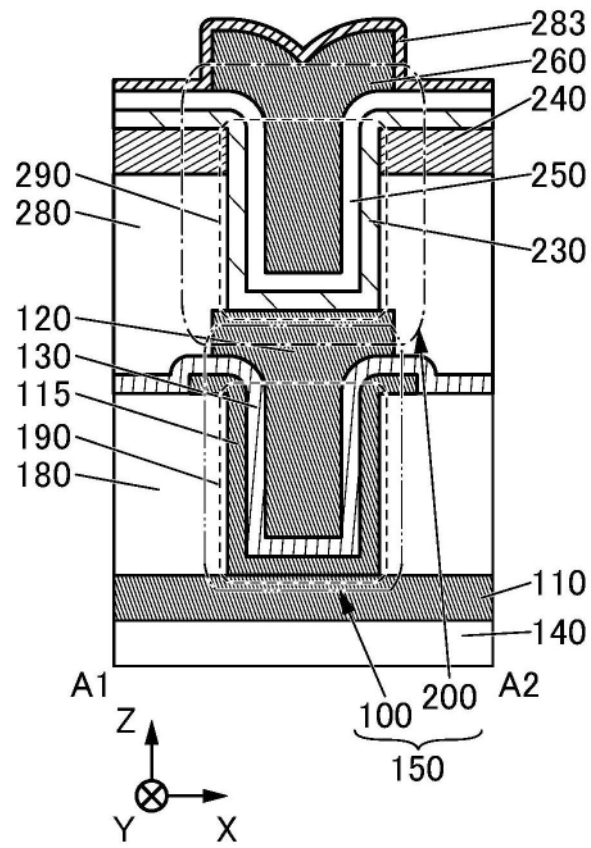


图7B

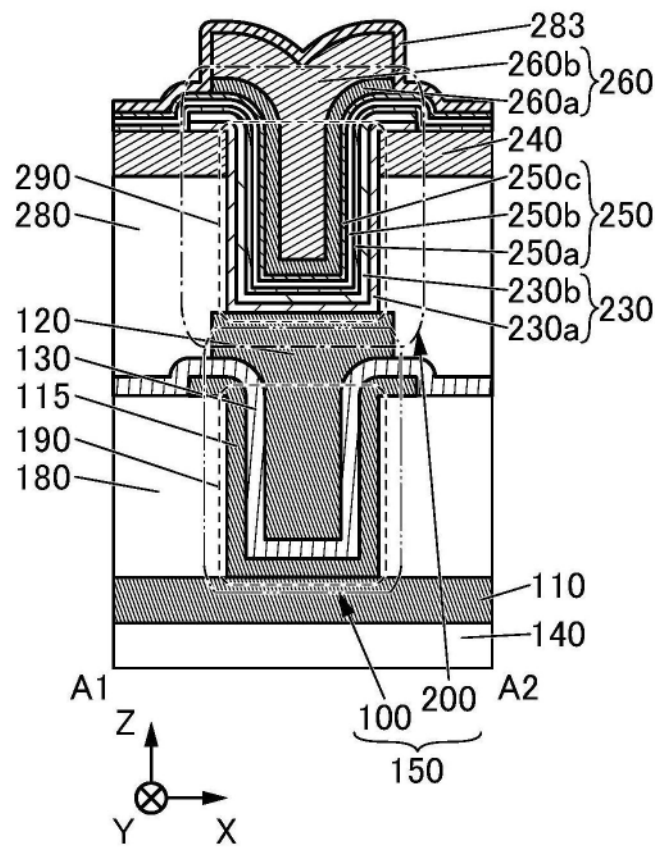


图8A

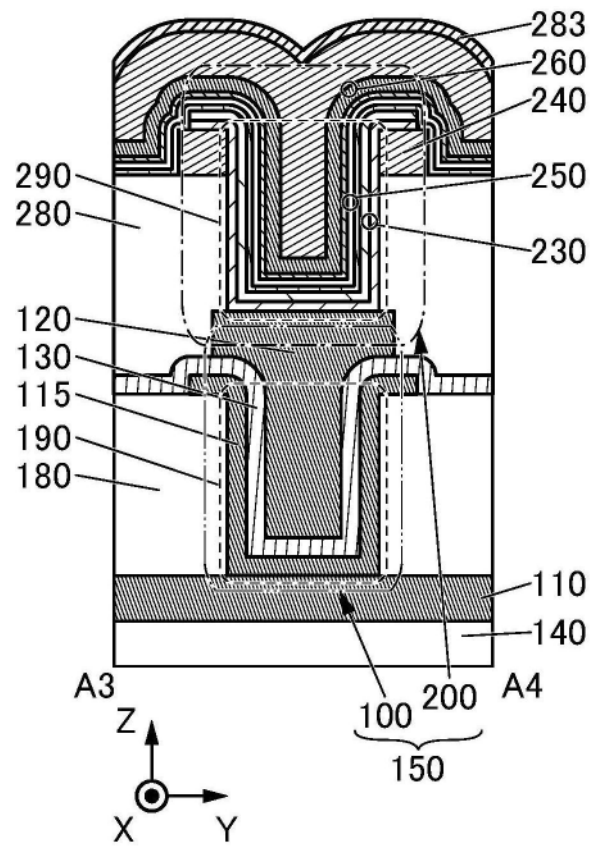


图8B

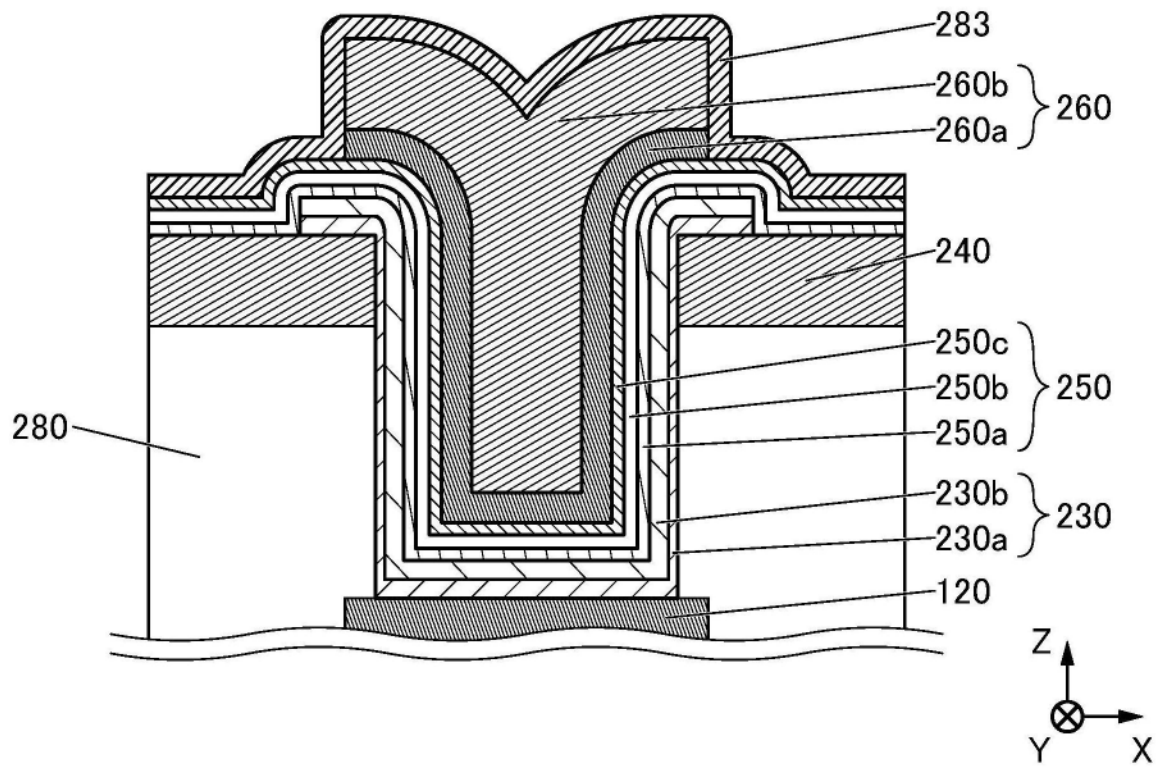


图8C

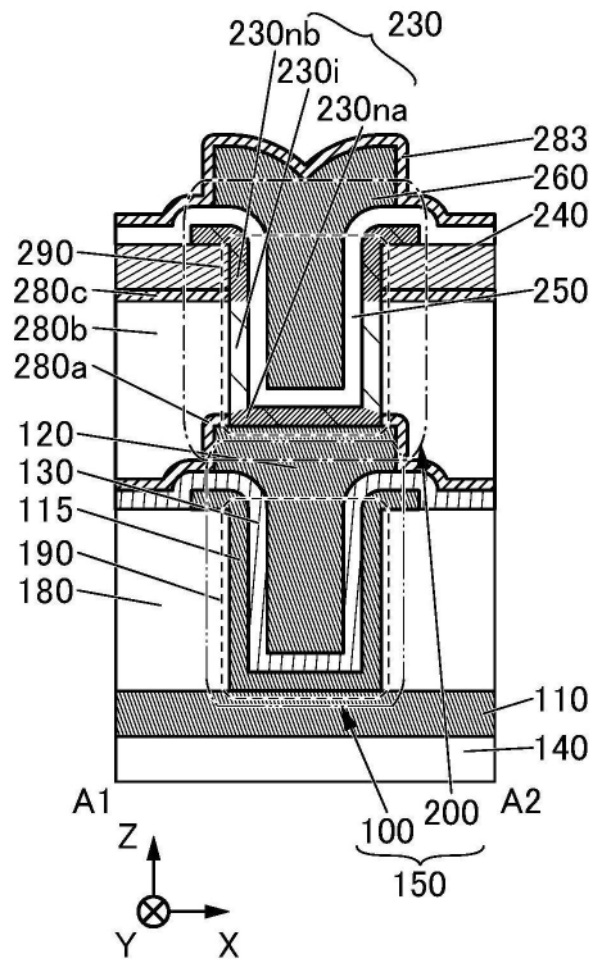


图9A

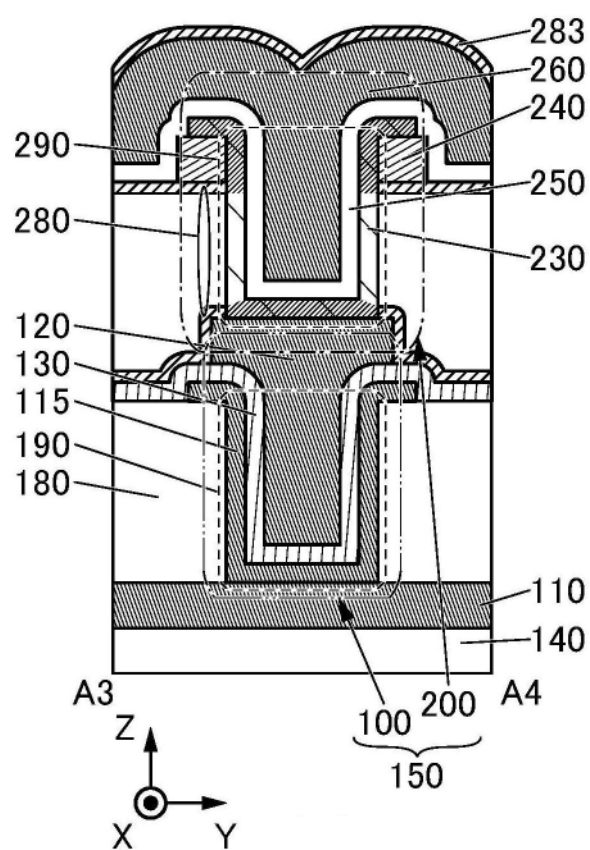


图9B

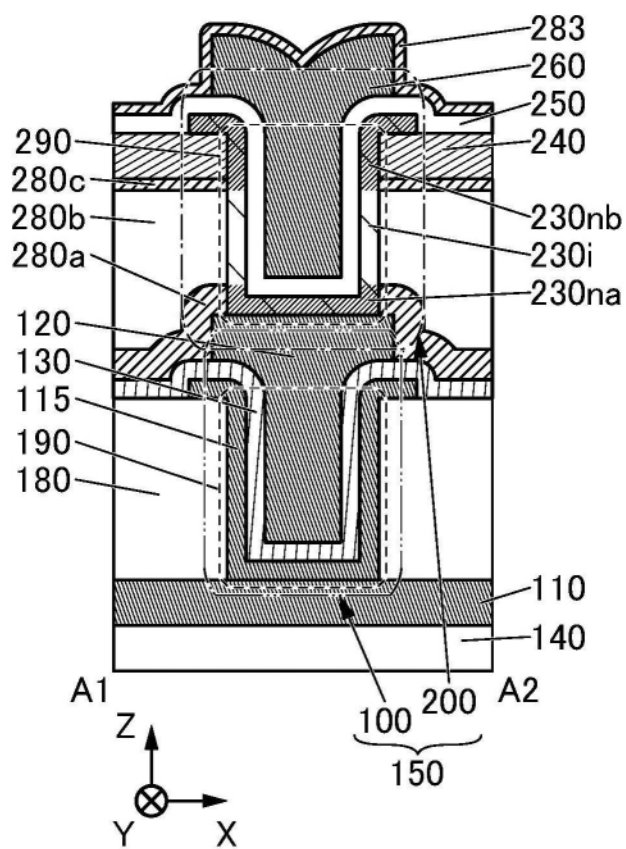


图9C

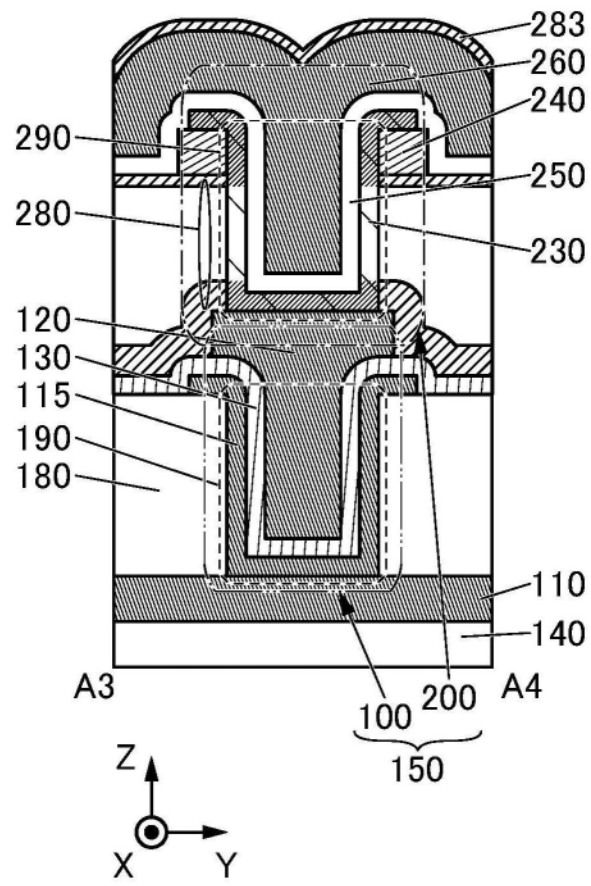


图9D

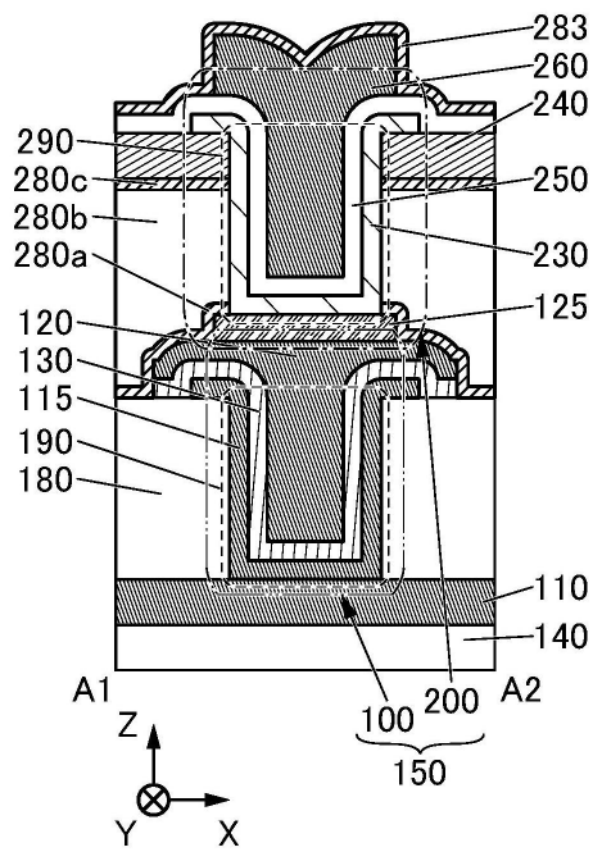


图10A

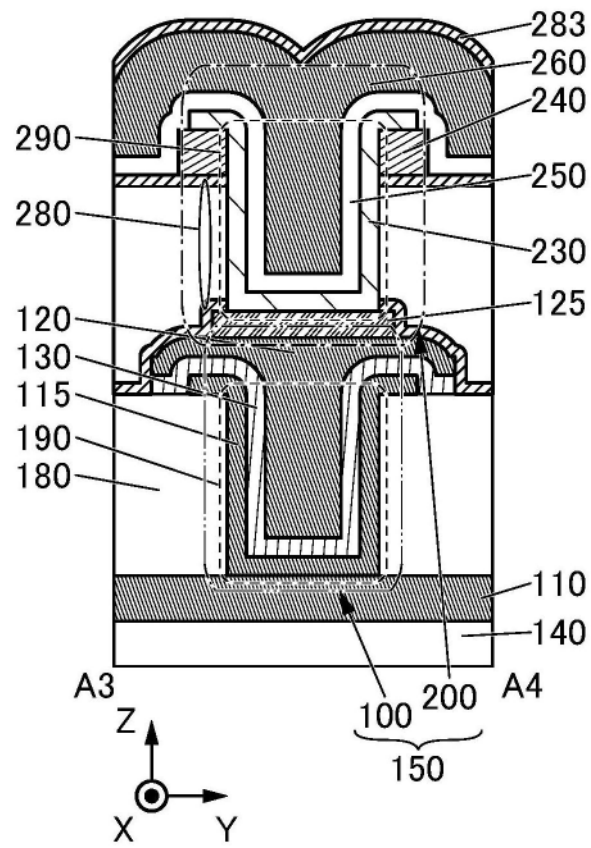


图10B

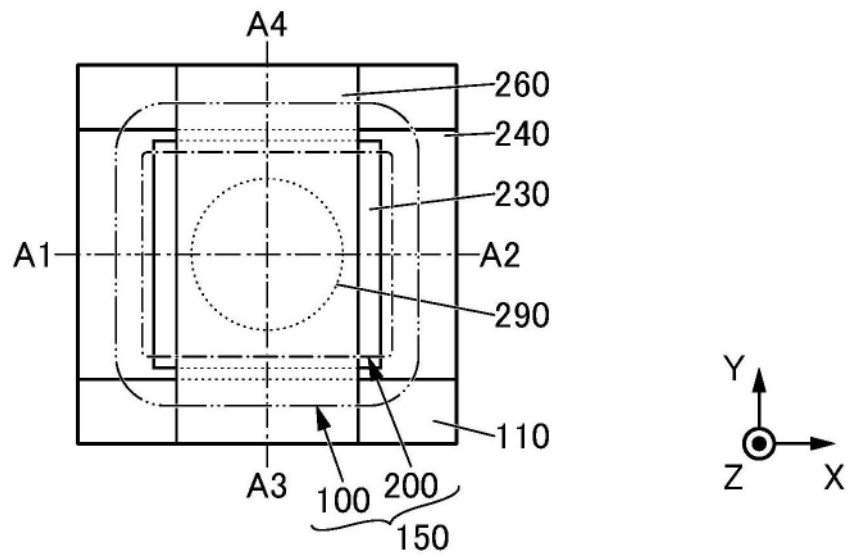


图11A

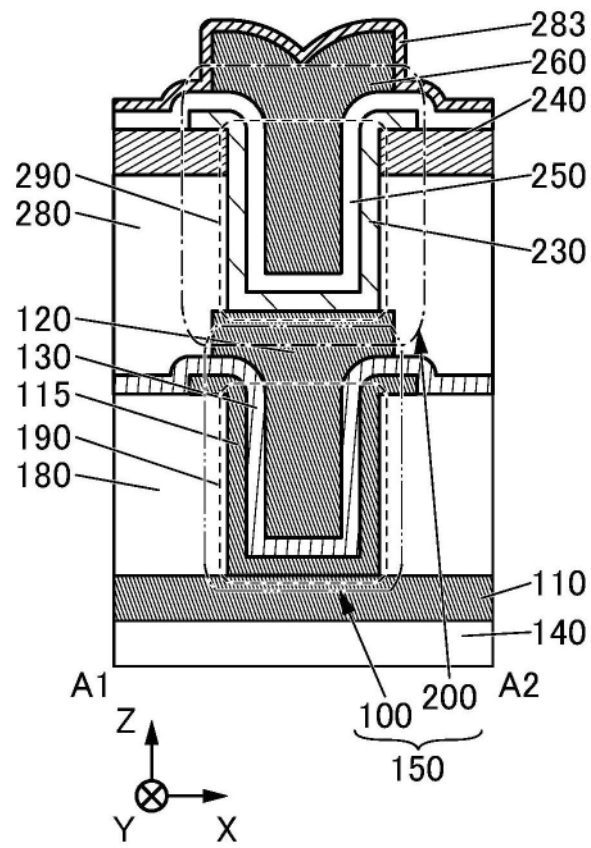


图11B

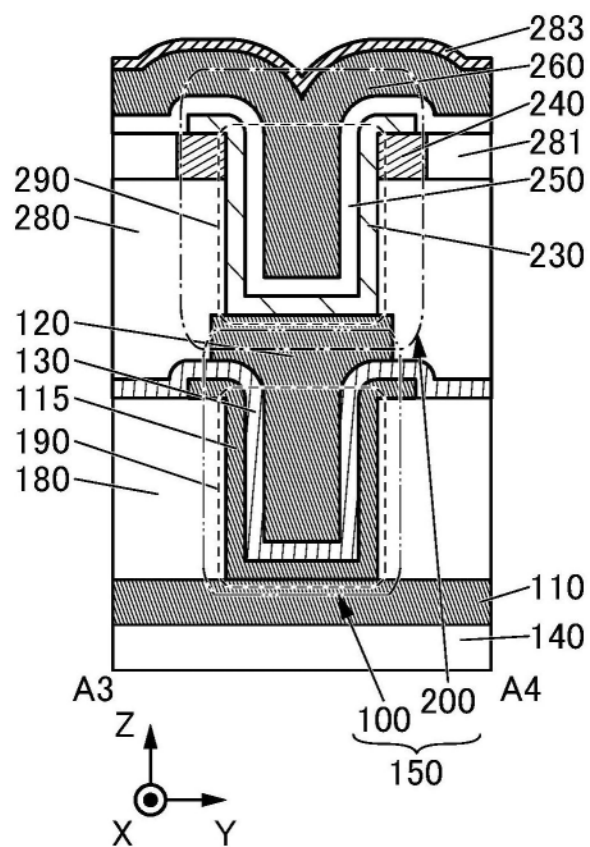


图11C

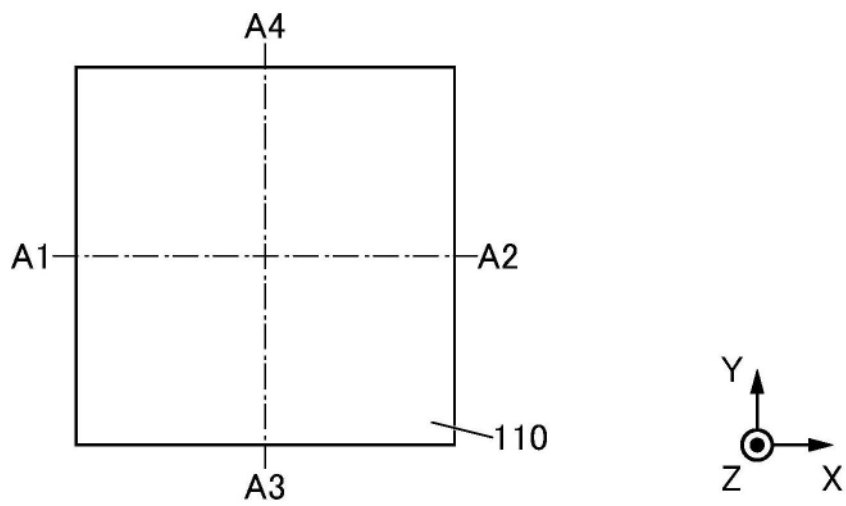


图12A

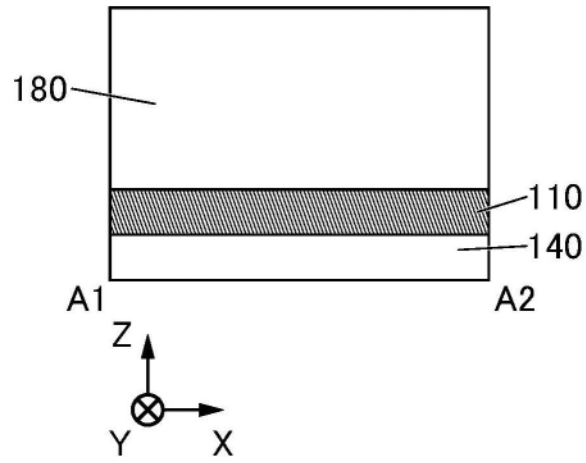


图12B

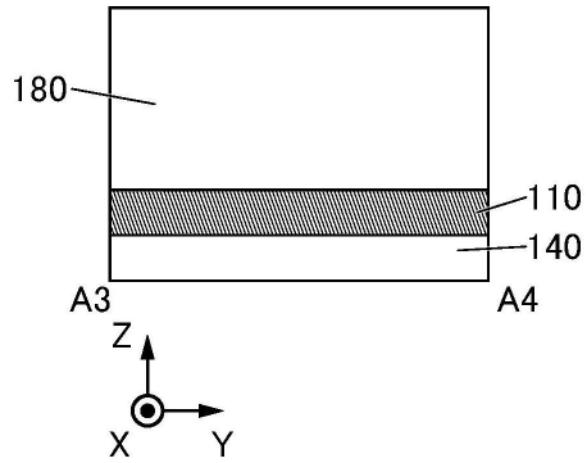


图12C

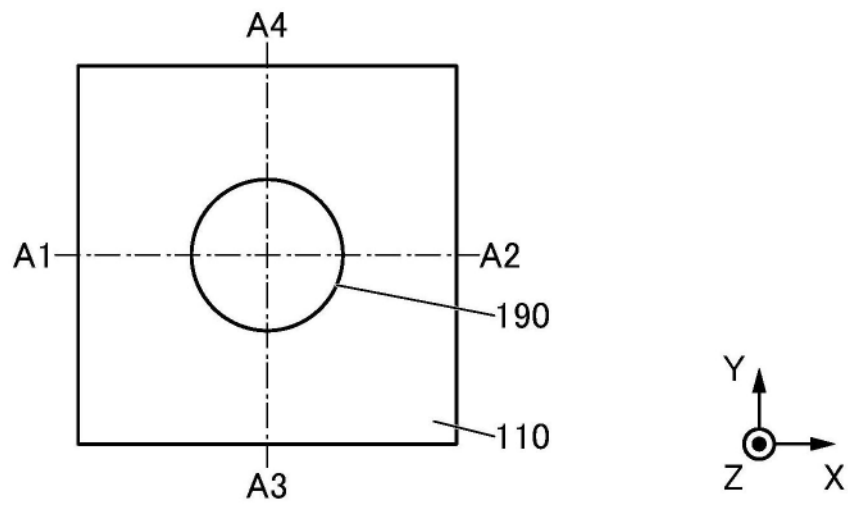


图13A

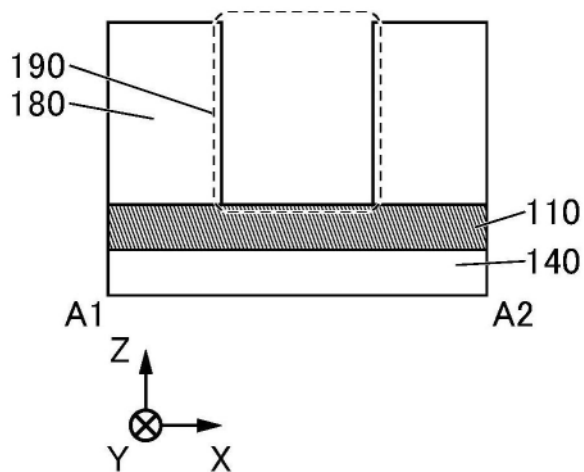


图13B

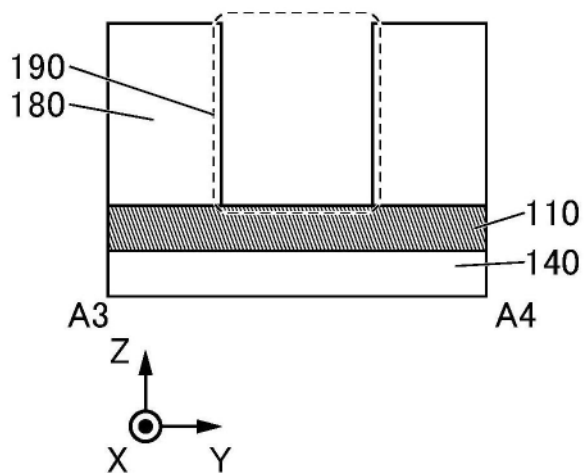


图13C

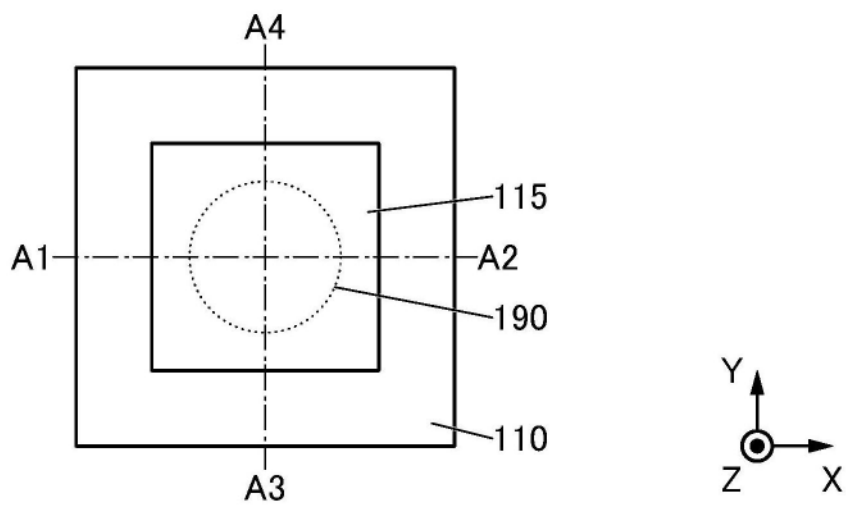


图14A

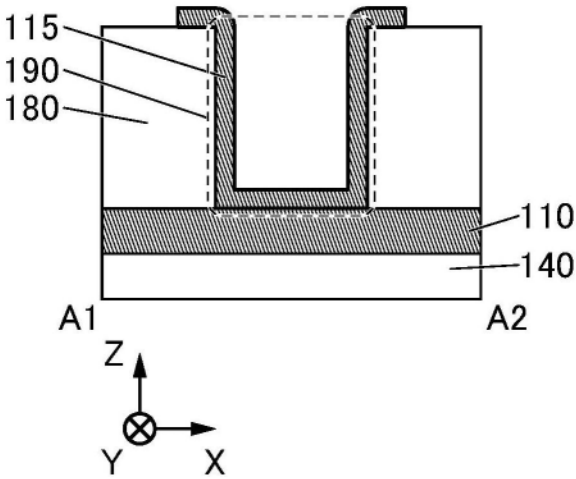


图14B

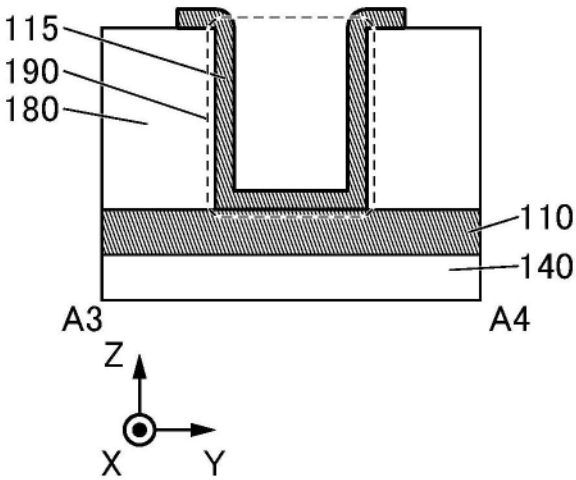


图14C

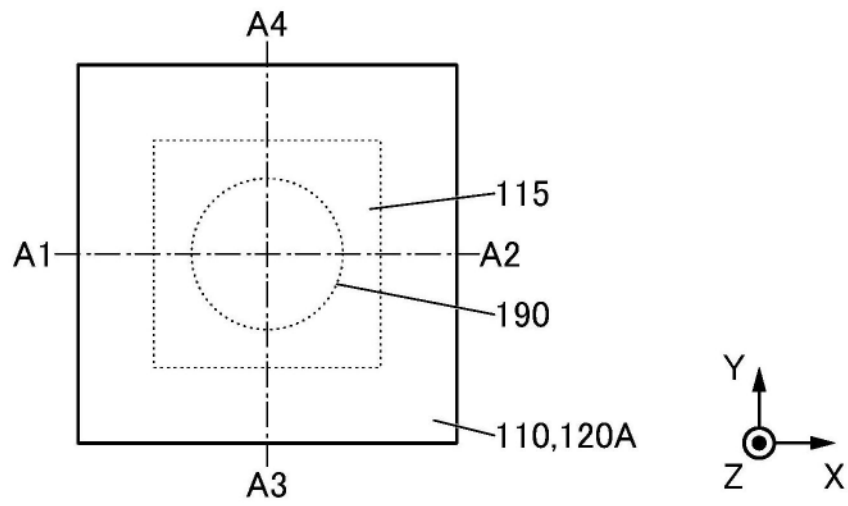


图15A

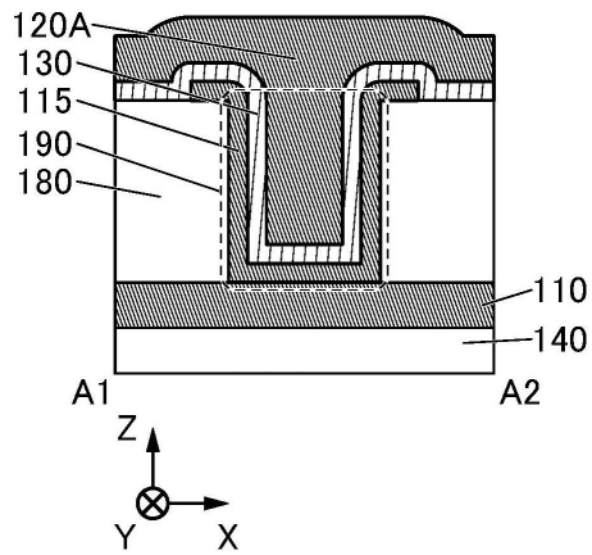


图15B

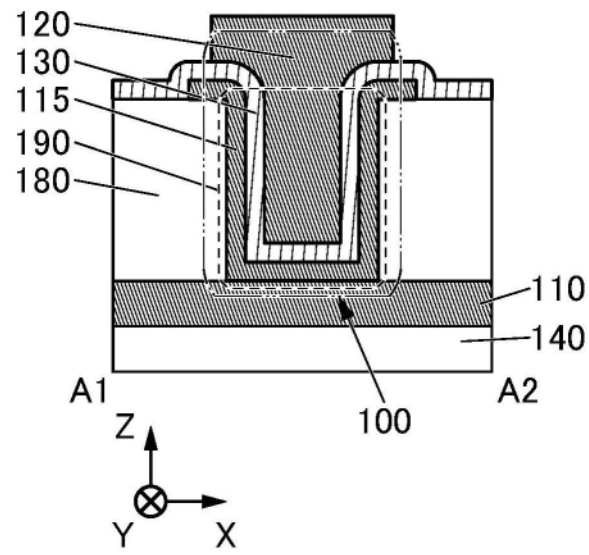


图16B

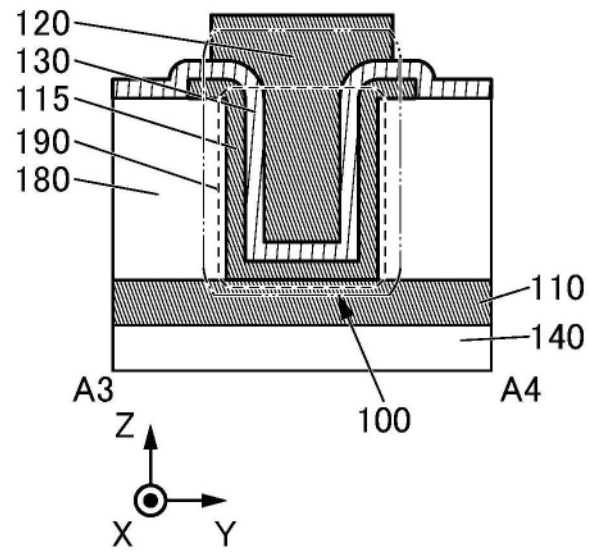


图16C

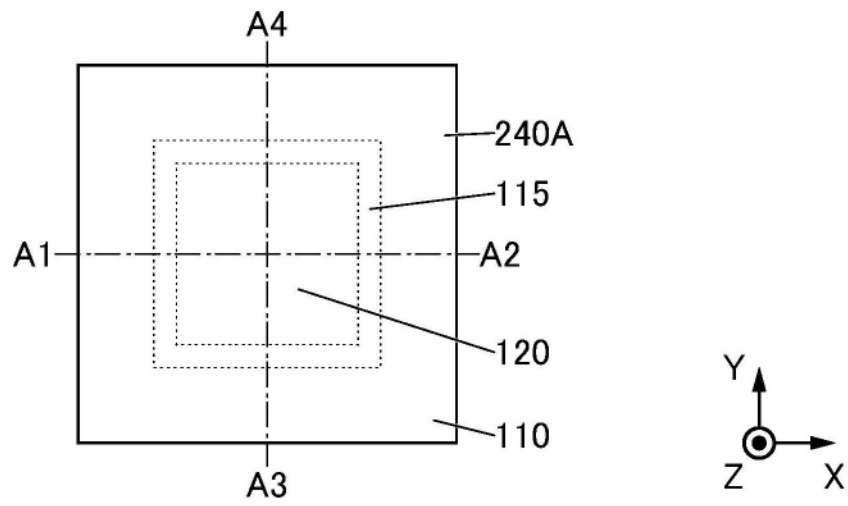


图17A

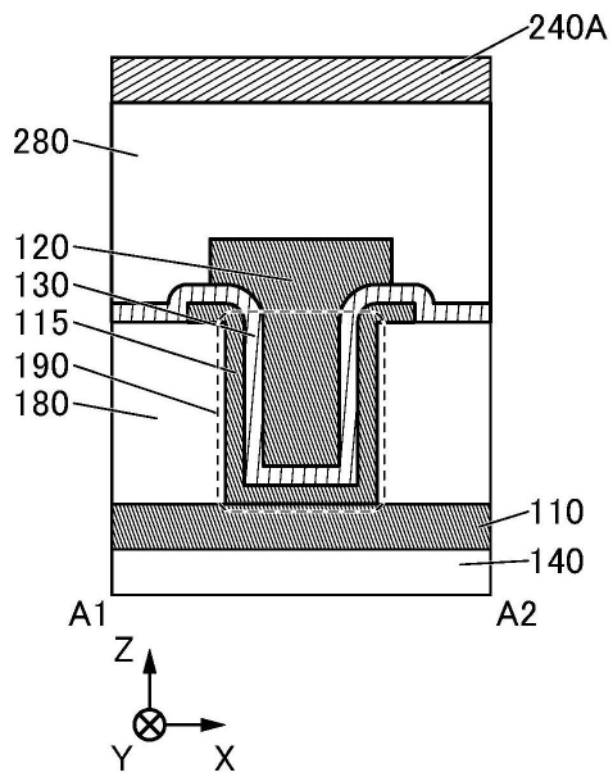


图17B

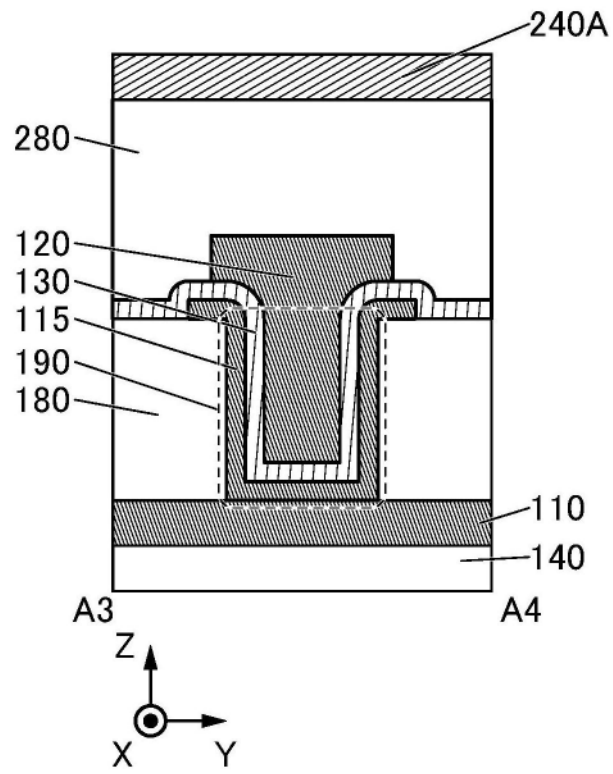


图17C

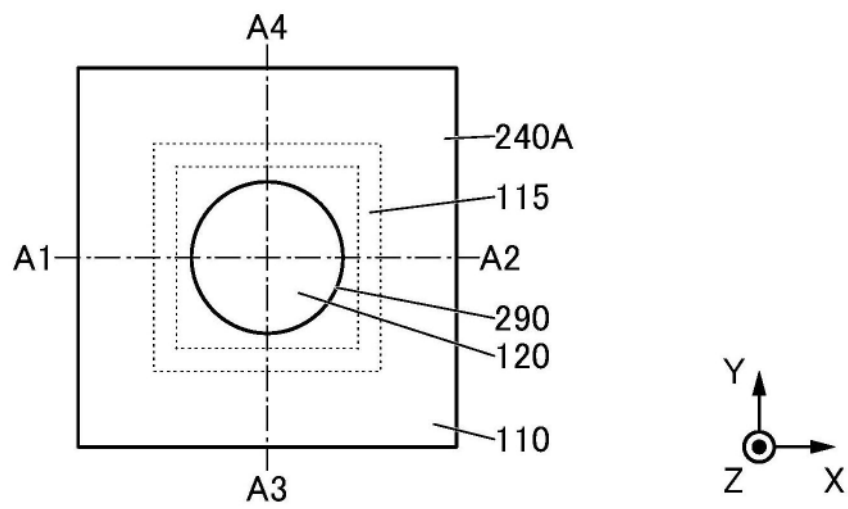


图18A

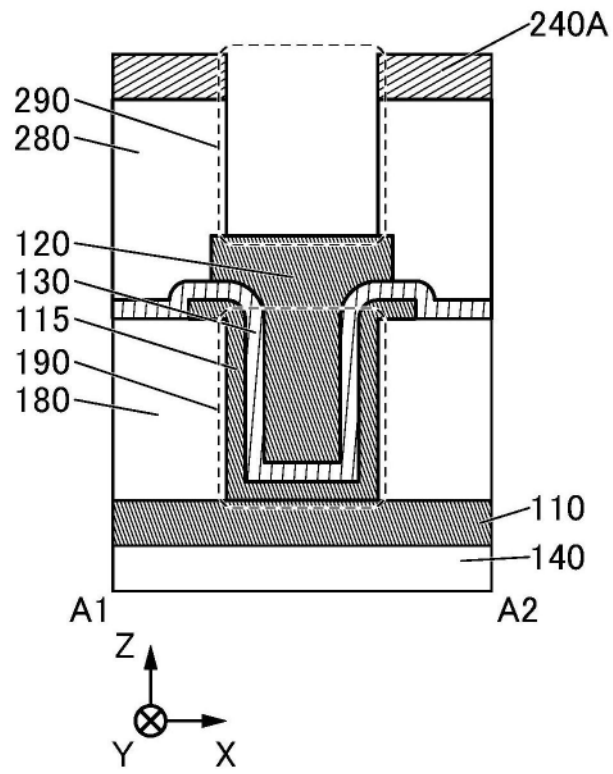


图18B

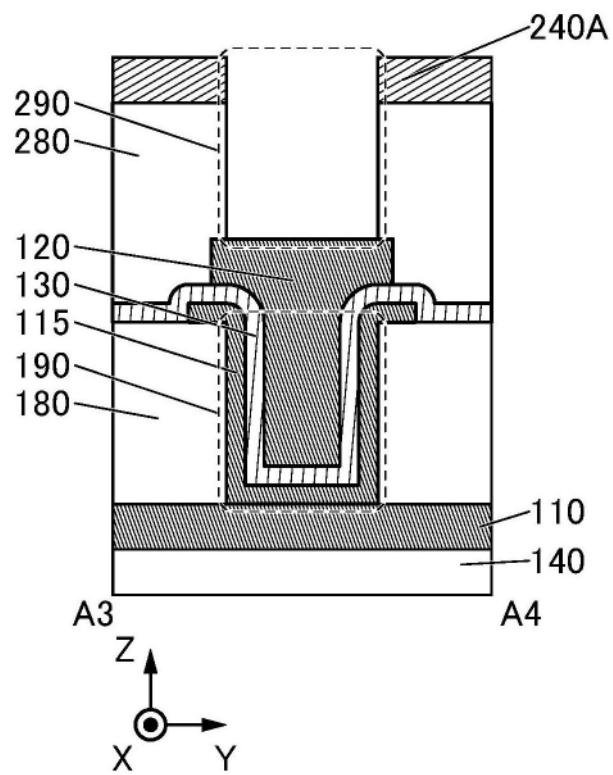


图18C

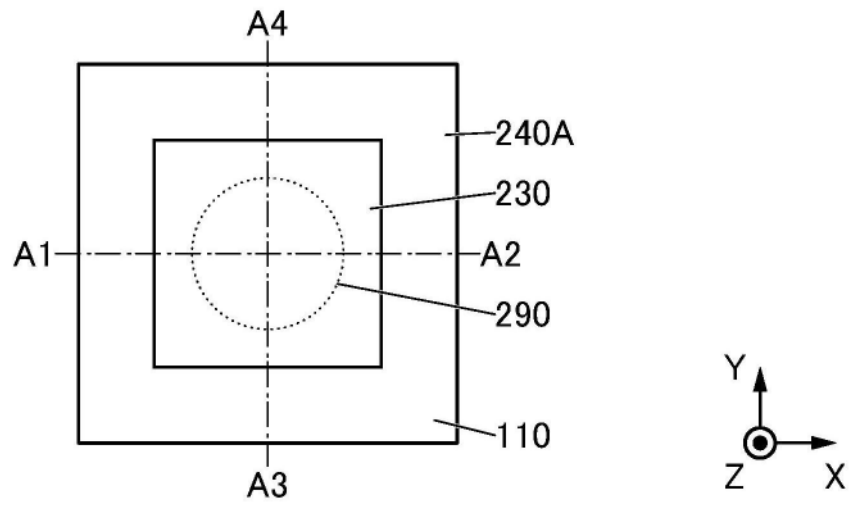


图19A

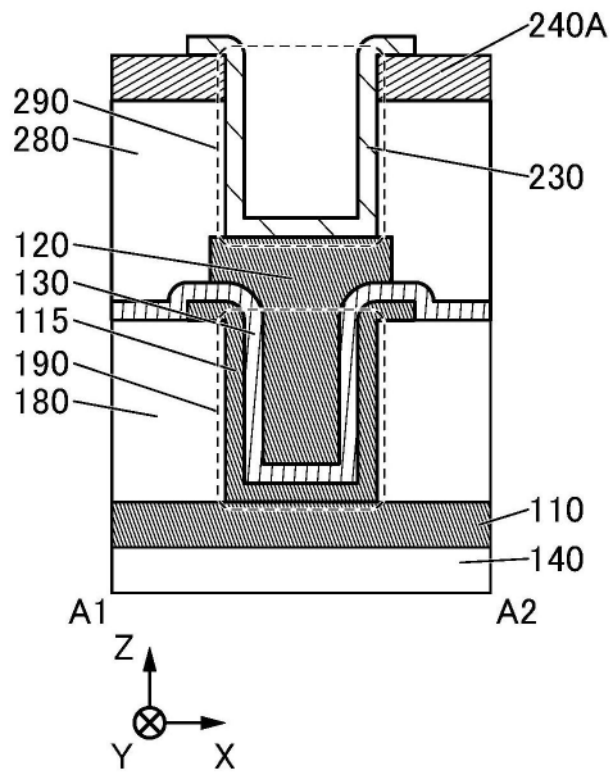


图19B

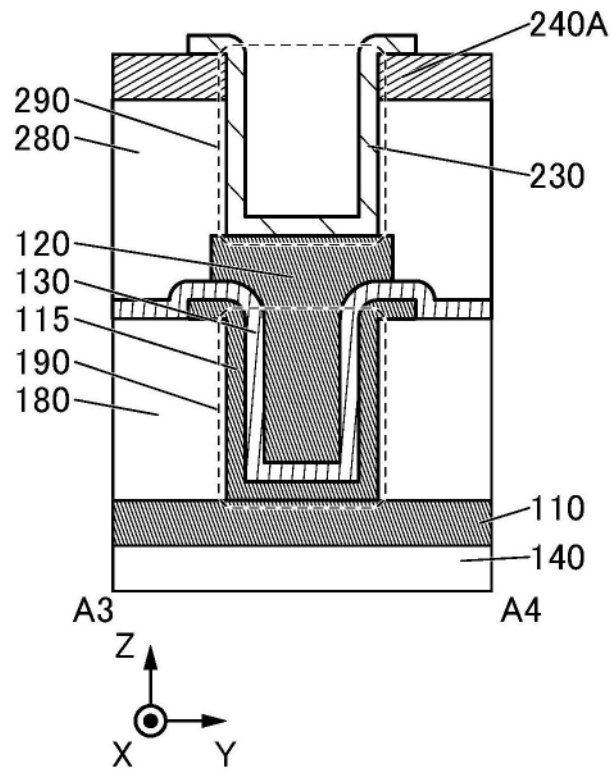


图19C

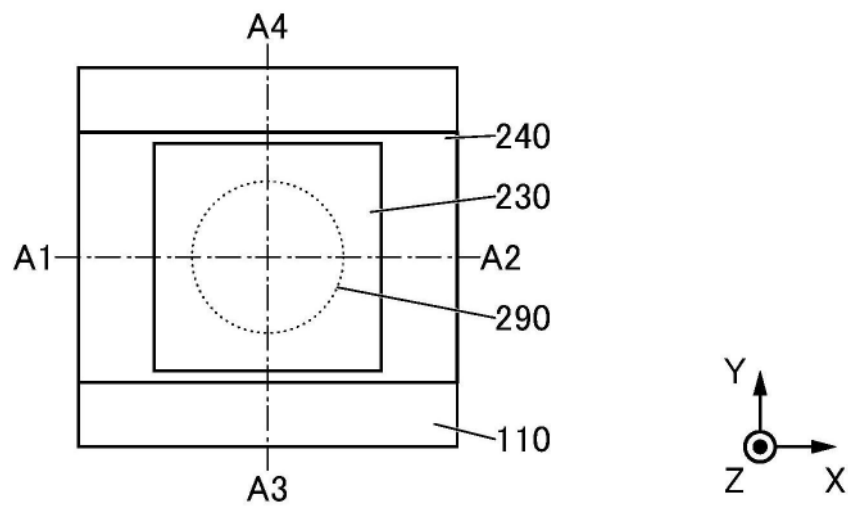


图20A

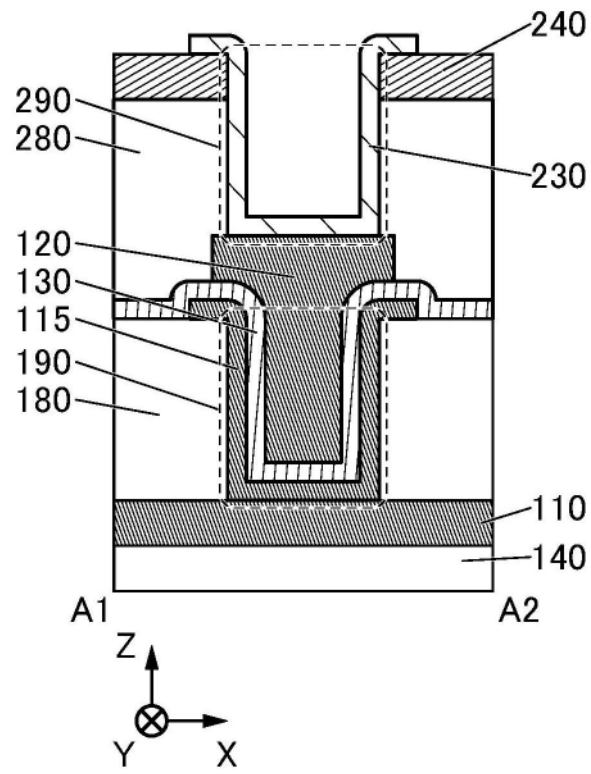


图20B

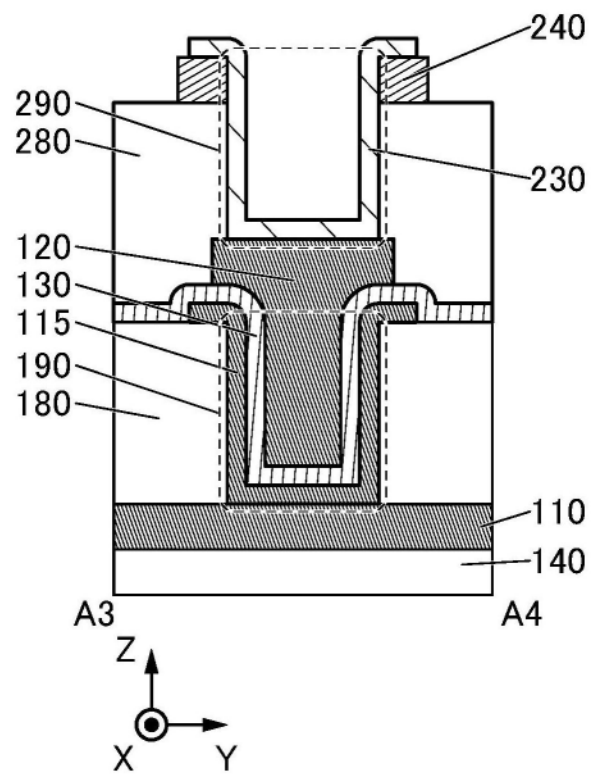


图20C

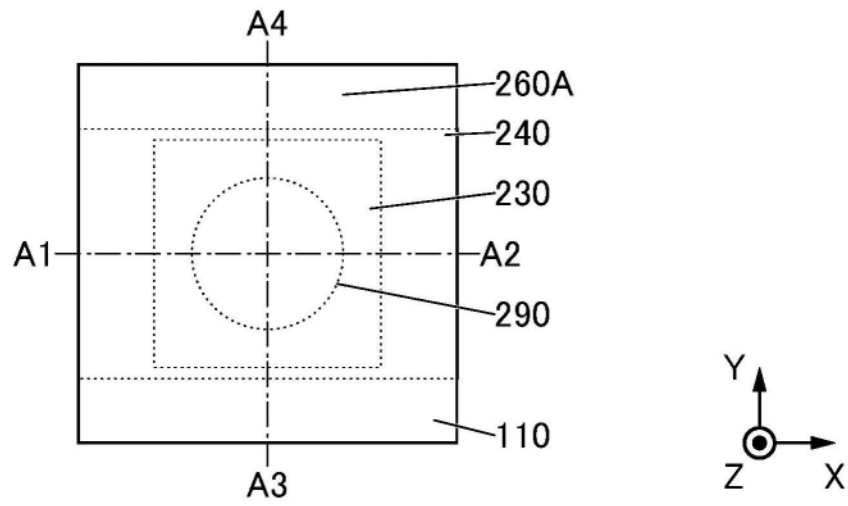


图21A

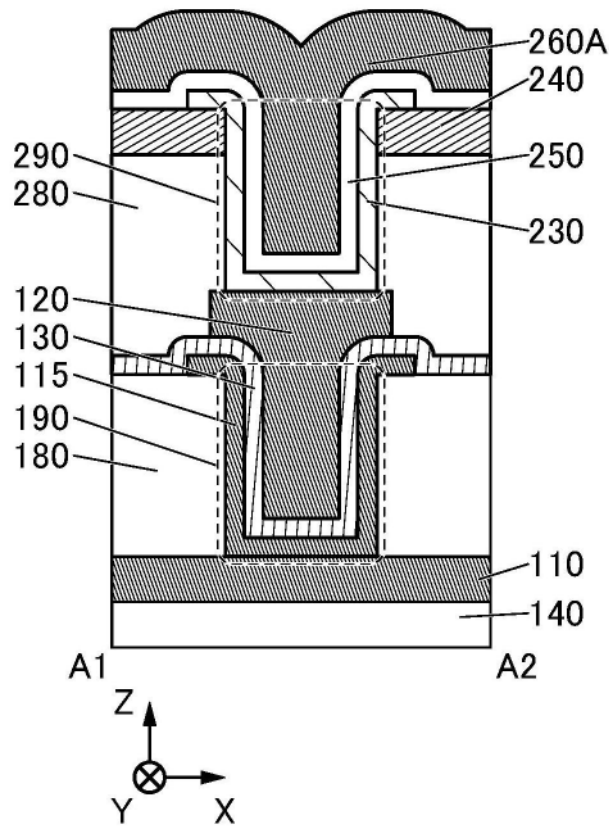


图21B

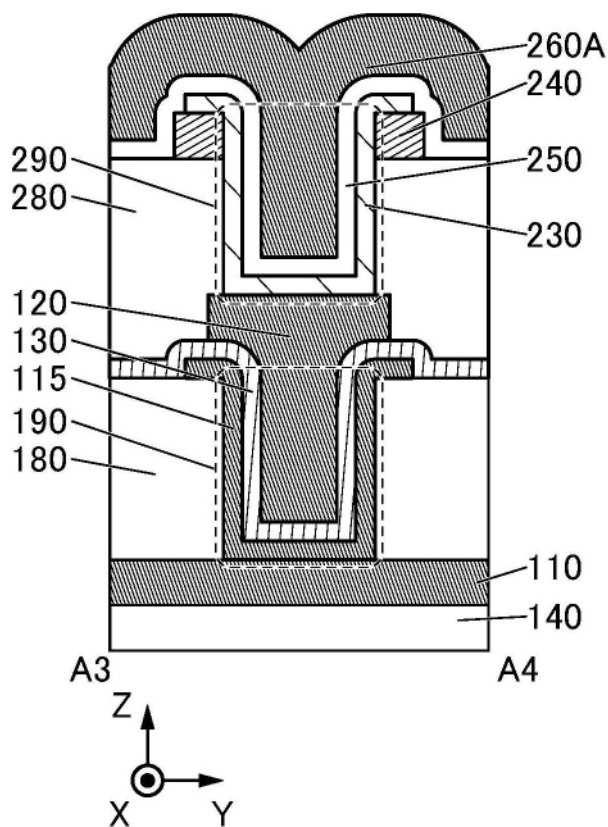


图21C

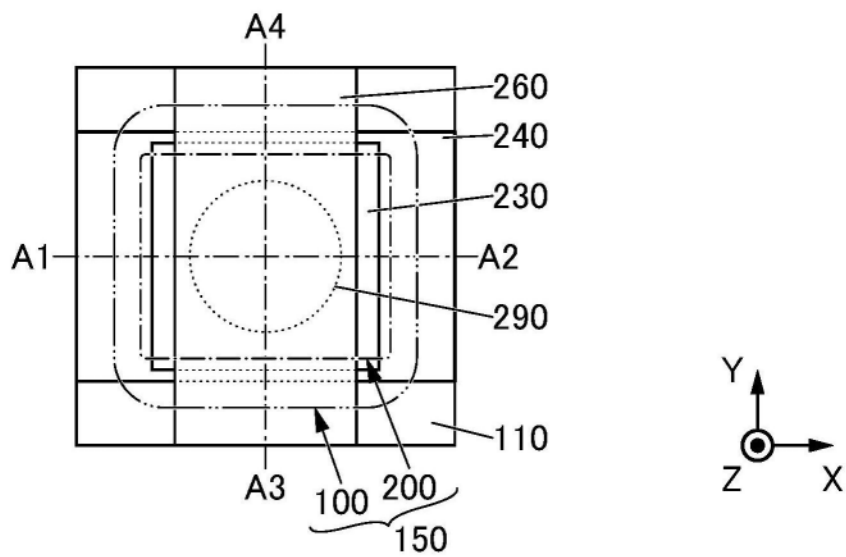


图22A

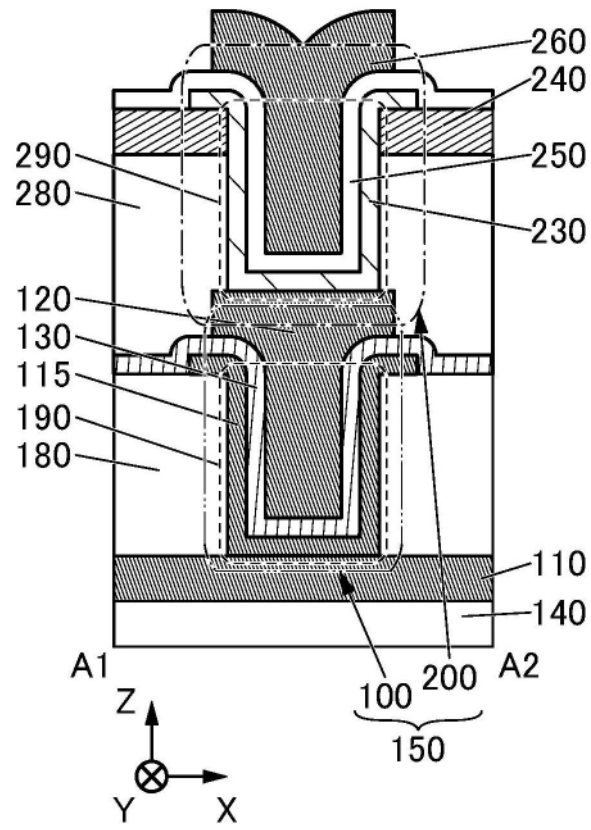


图22B

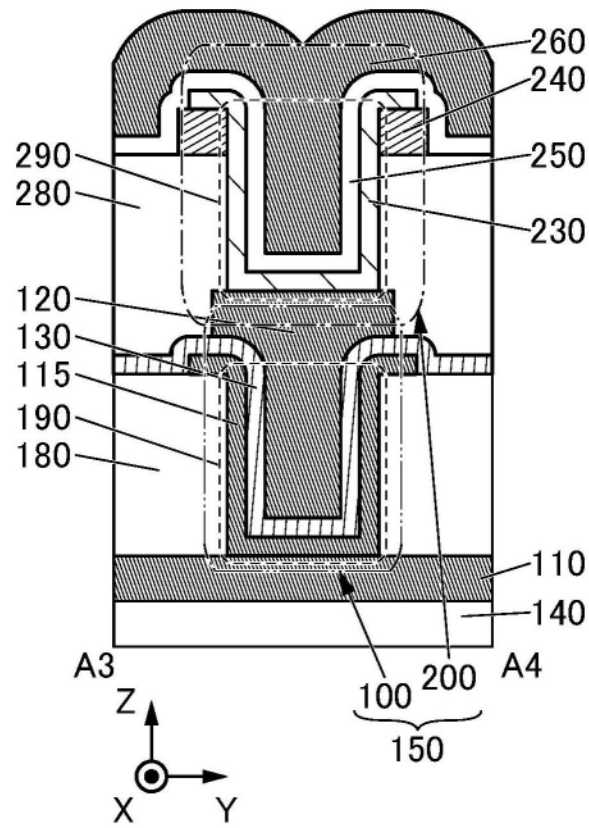


图22C

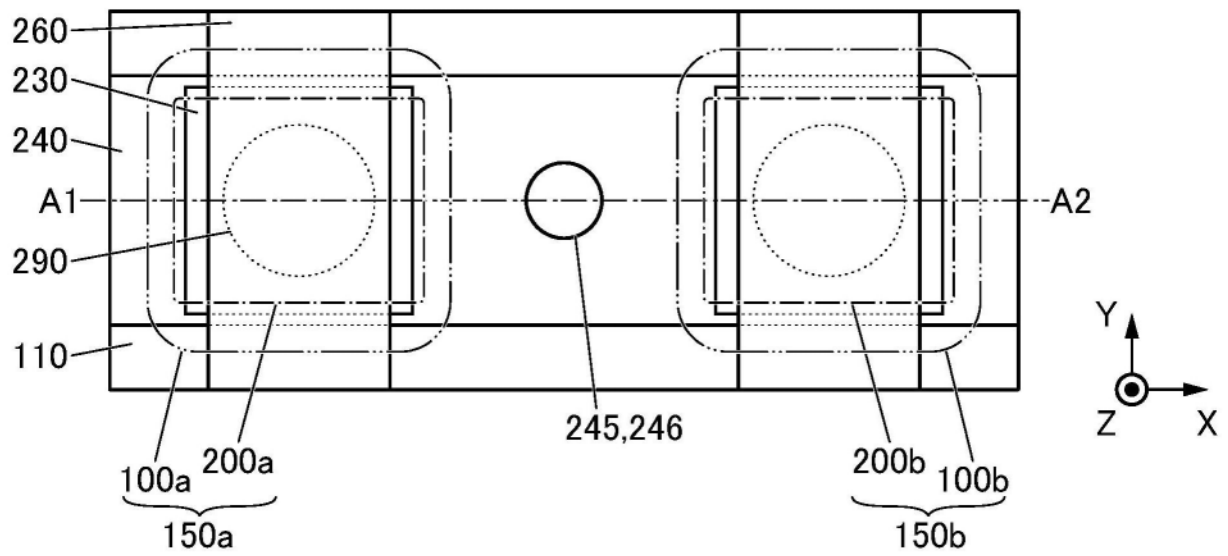


图23A

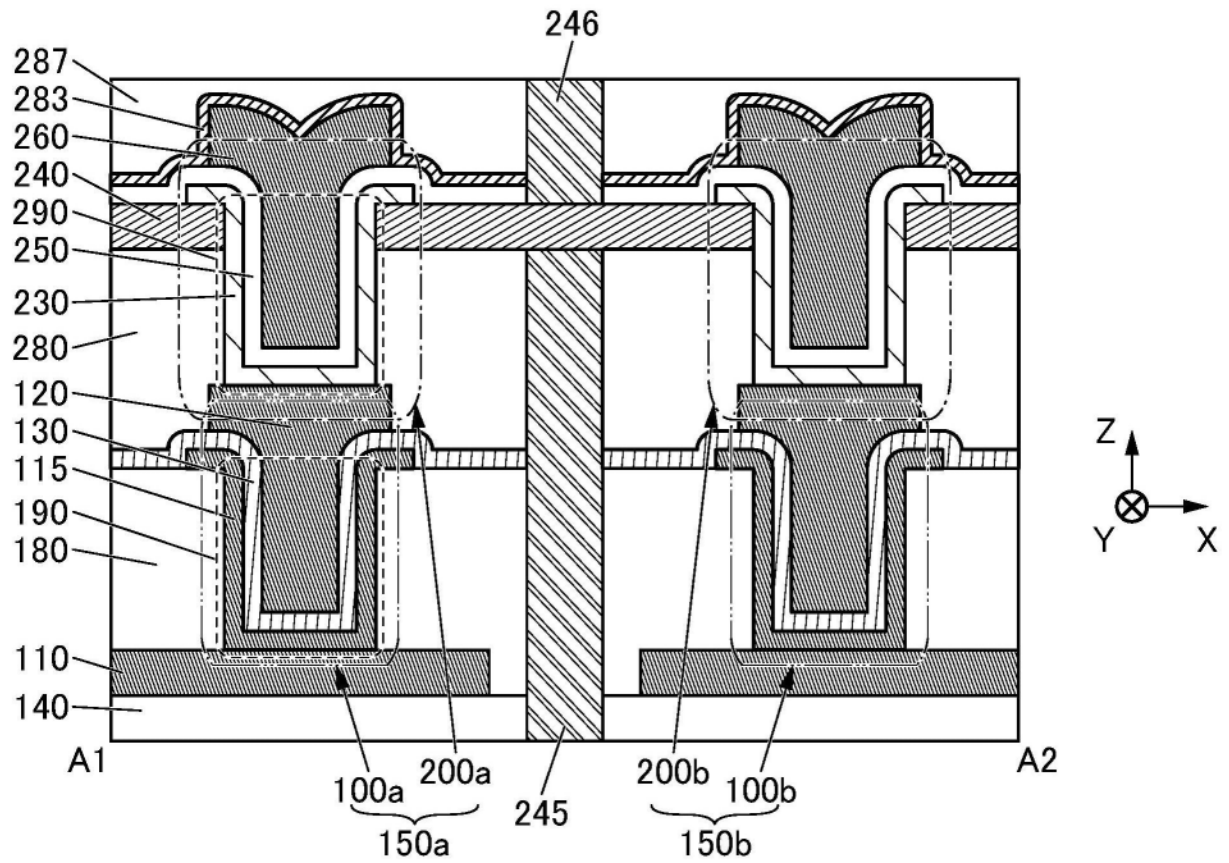


图23B

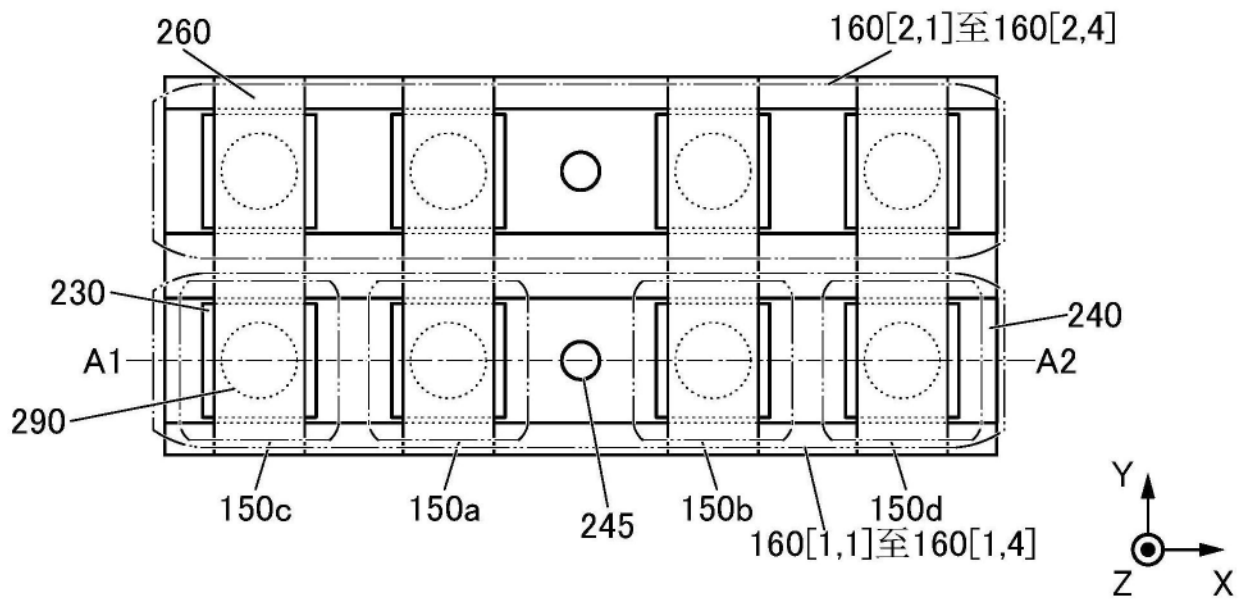


图24A

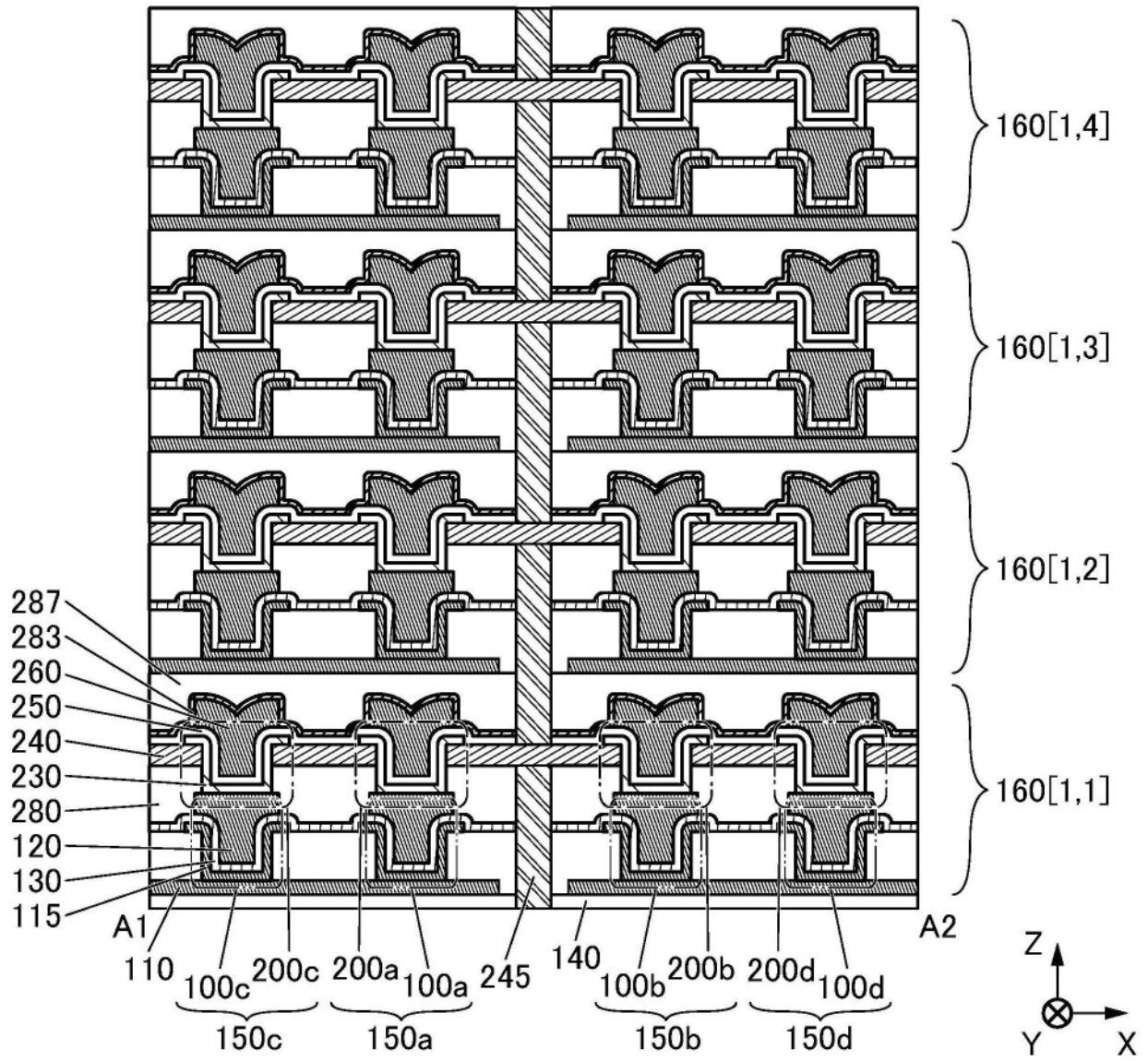


图24B

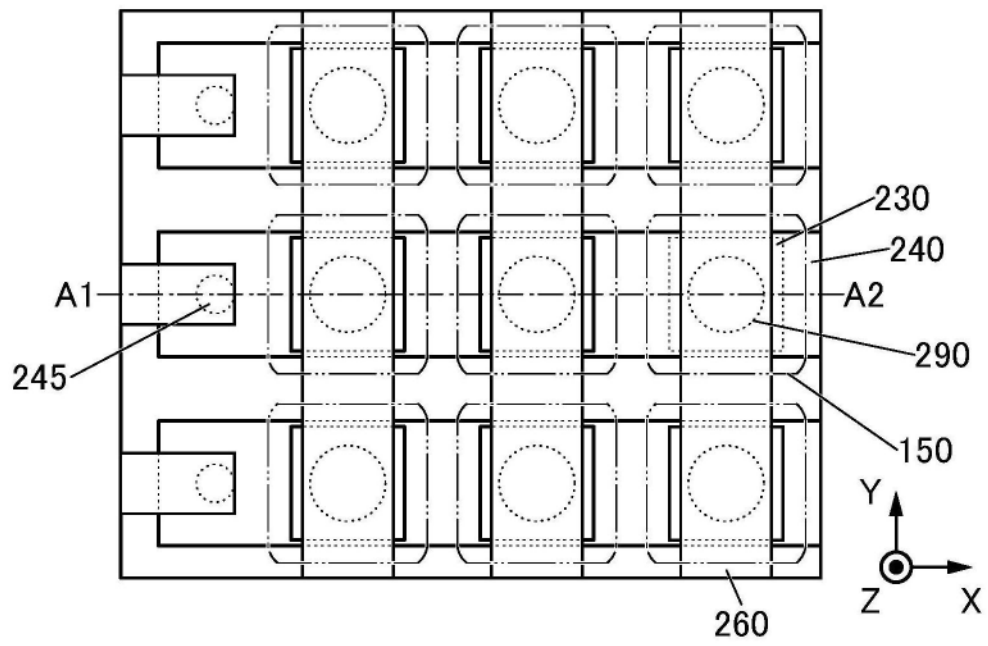


图25A

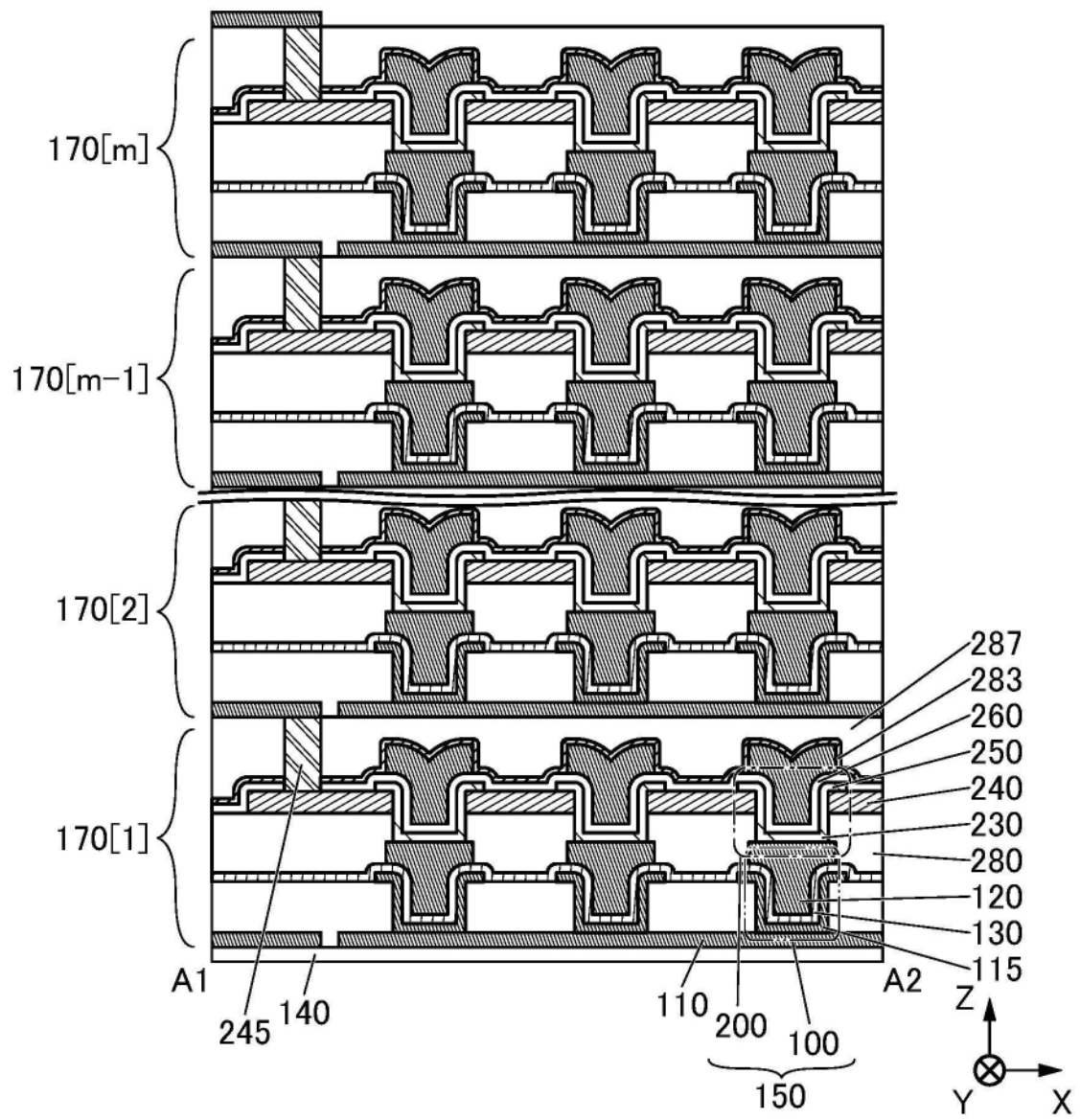


图25B

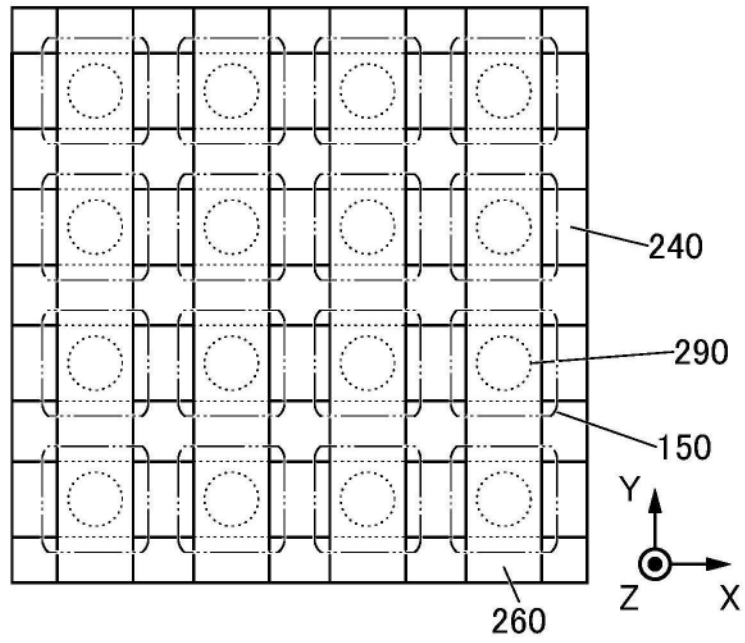


图26A

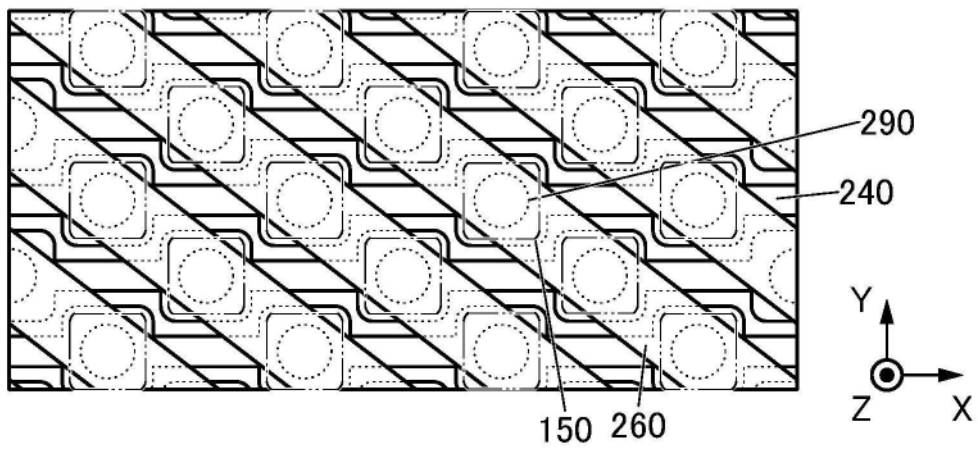


图26B

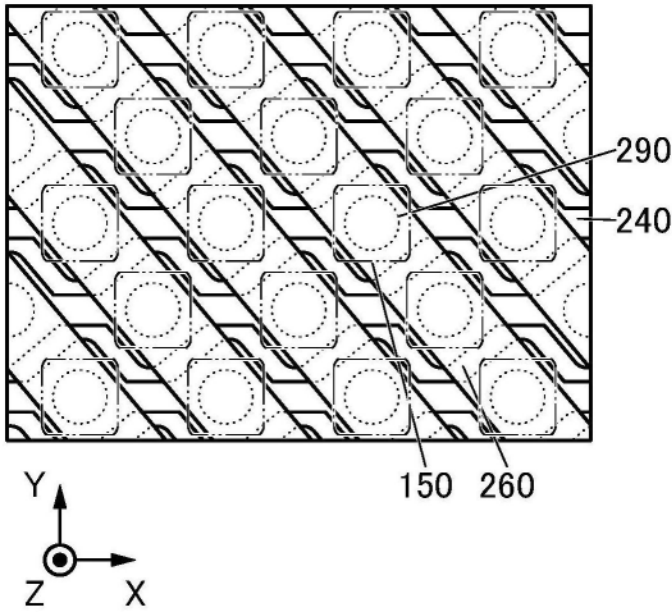


图26C

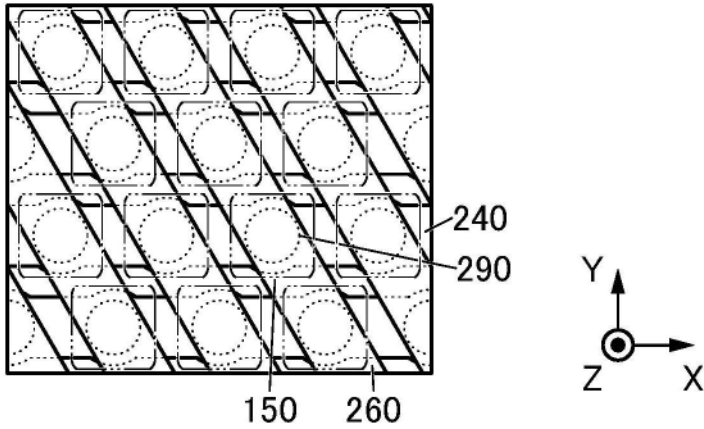


图27A

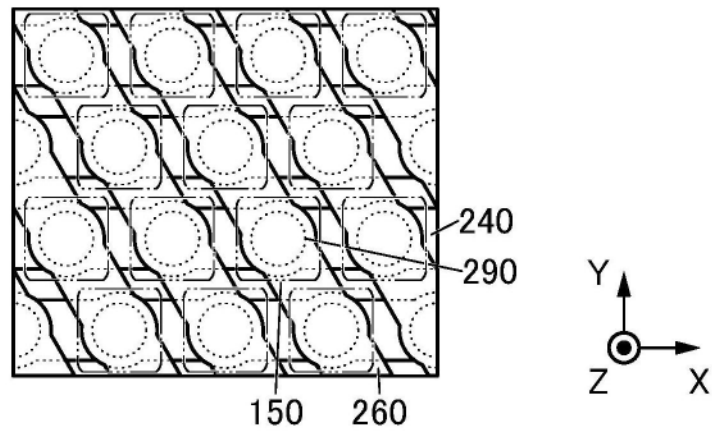


图27B

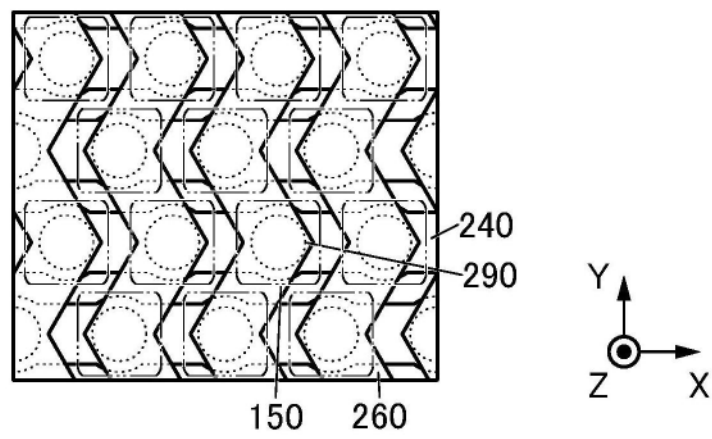


图27C

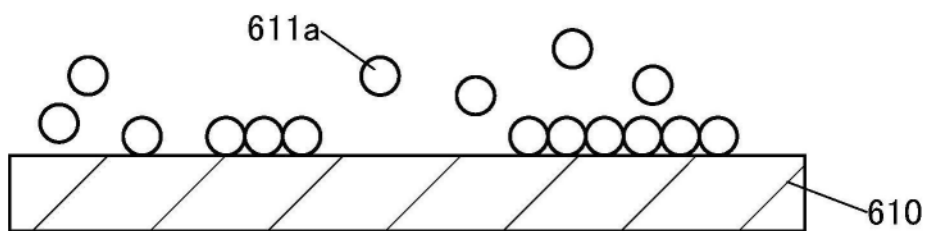


图28A

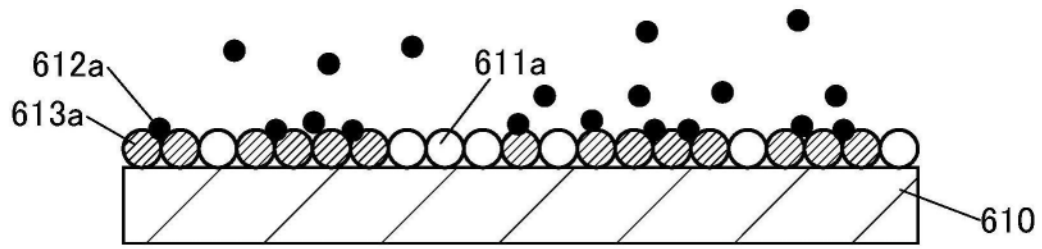


图28B

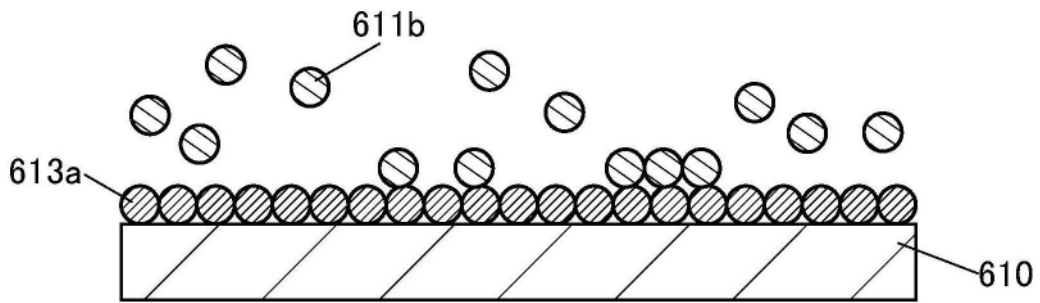


图28C

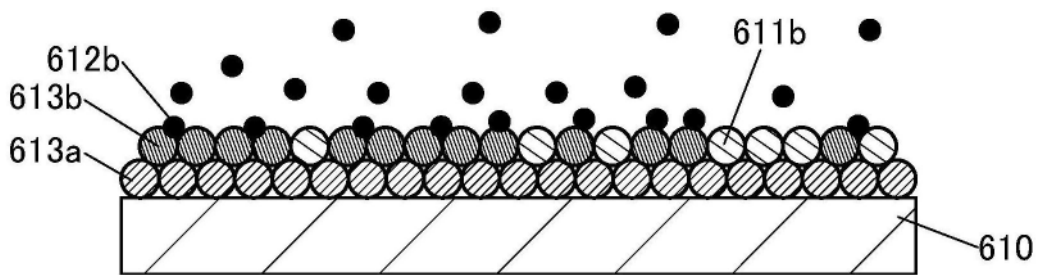


图28D

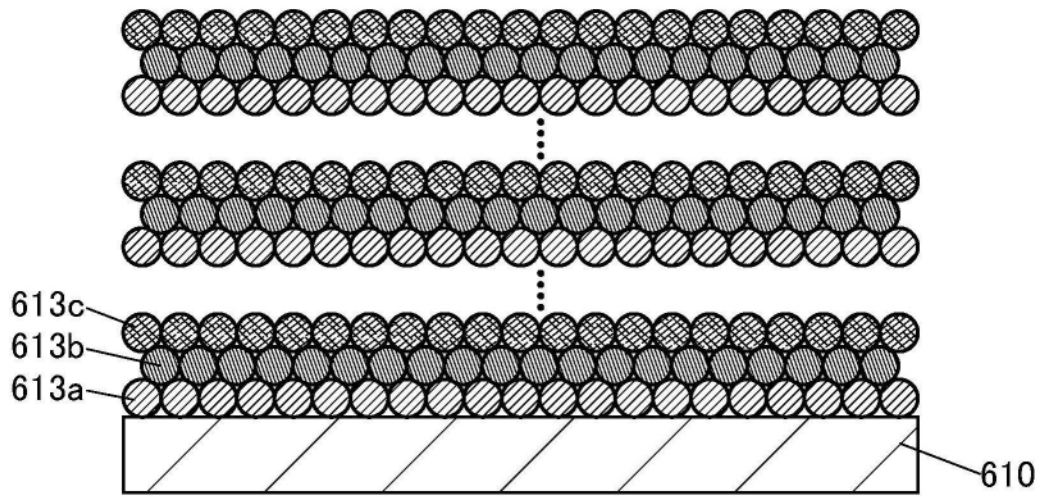


图28E

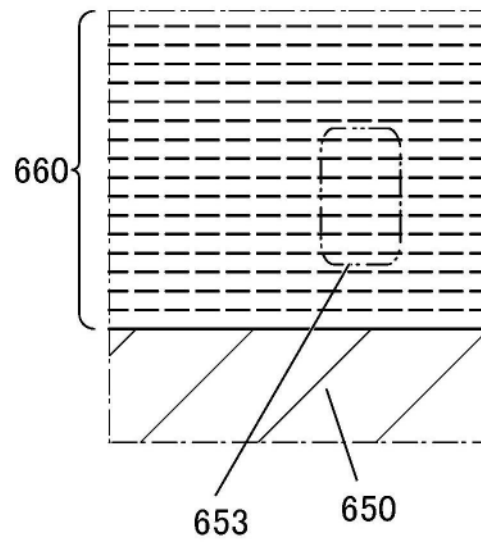


图29A

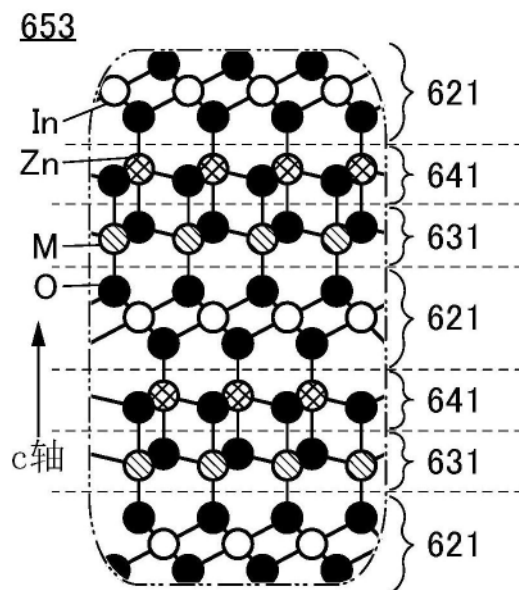


图29B

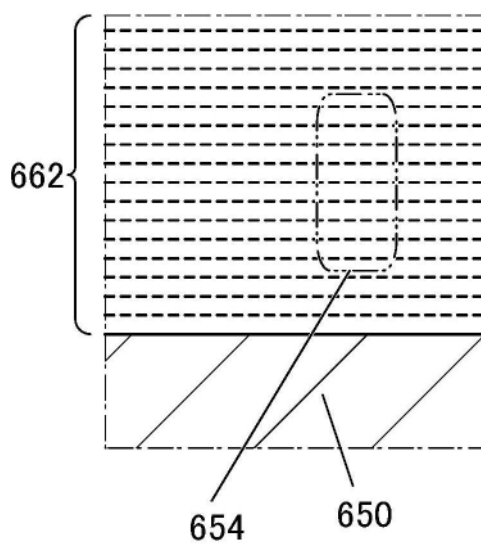


图29C

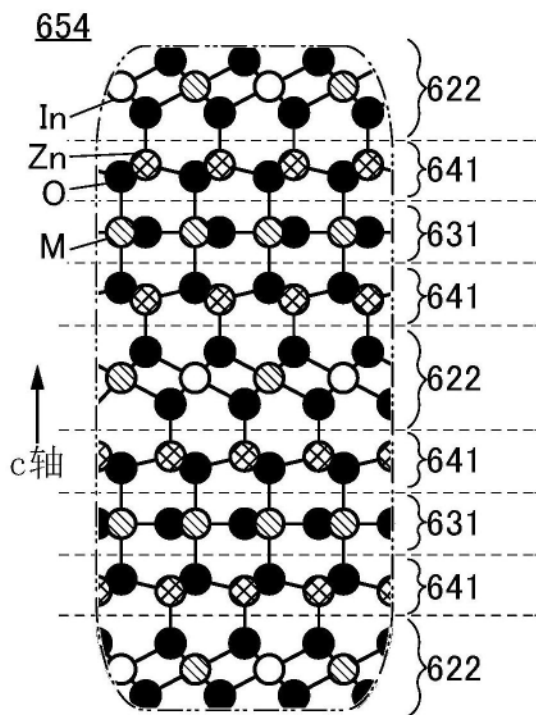


图29D

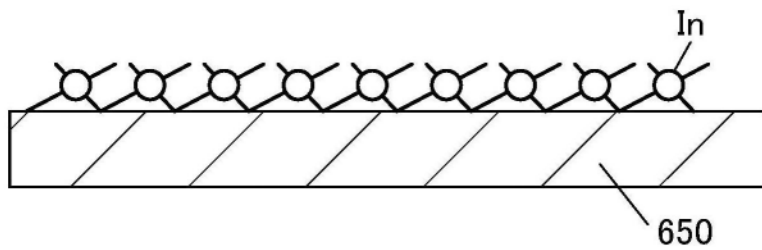


图30A

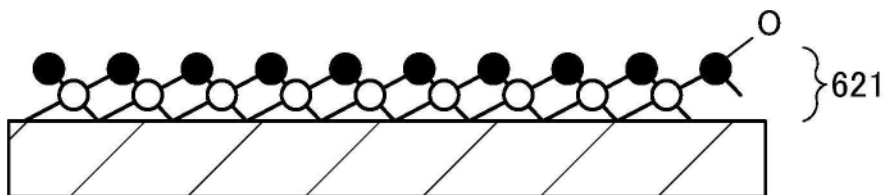


图30B

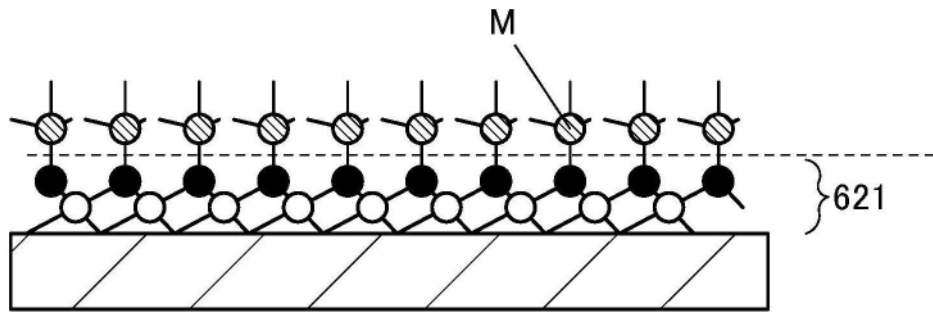


图30C

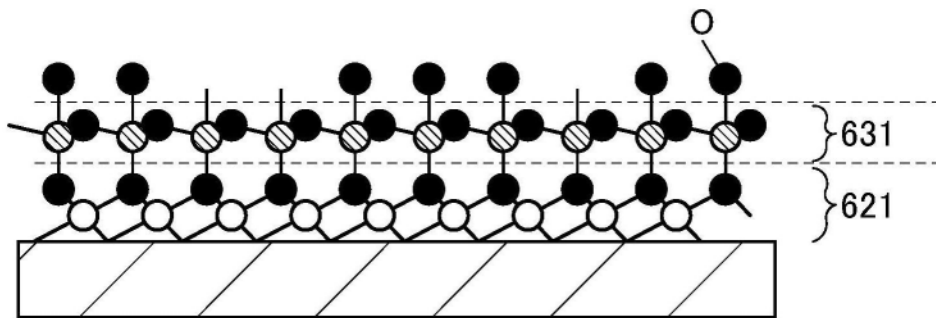


图30D

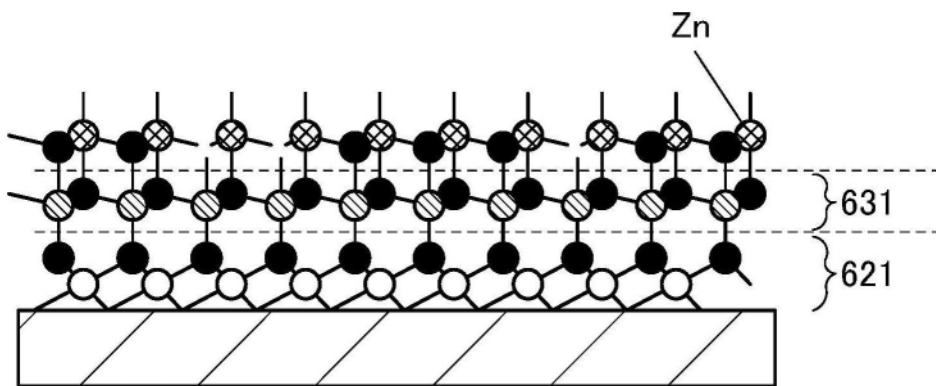


图31A

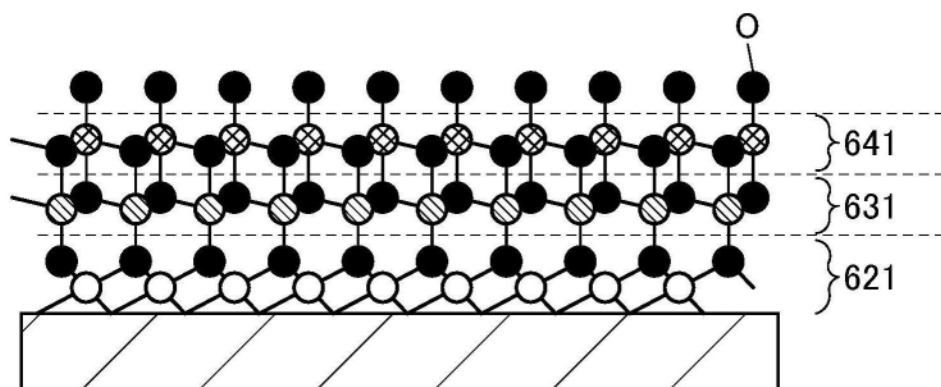


图31B

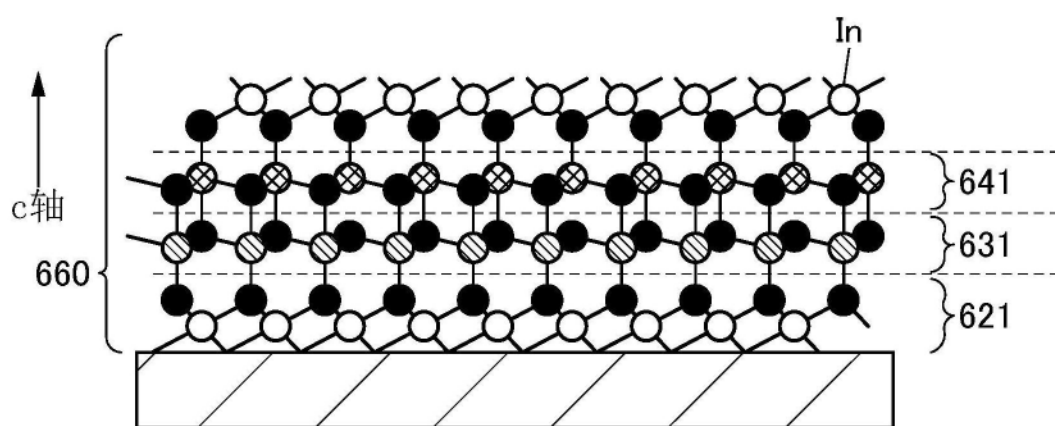


图31C

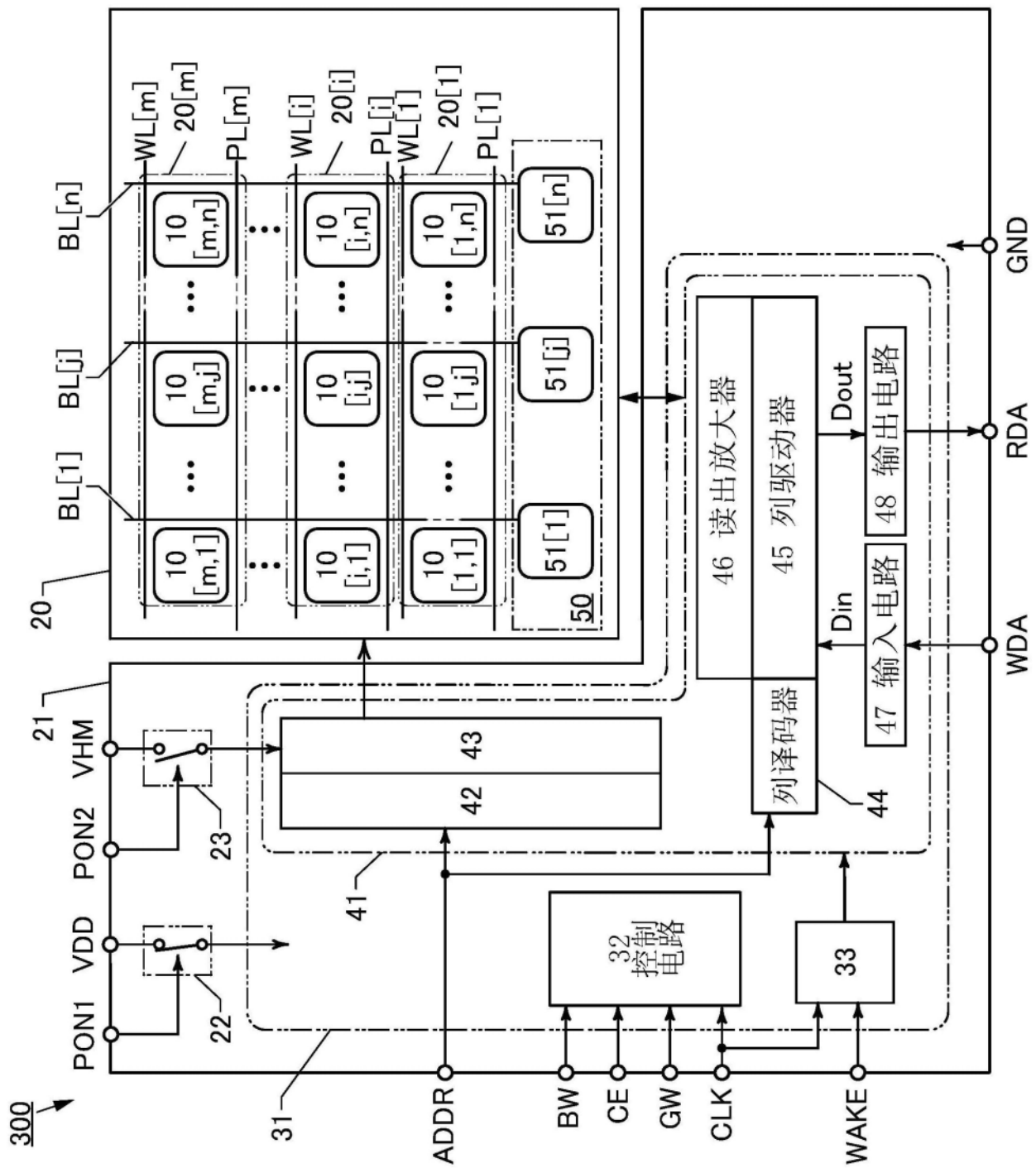


图32

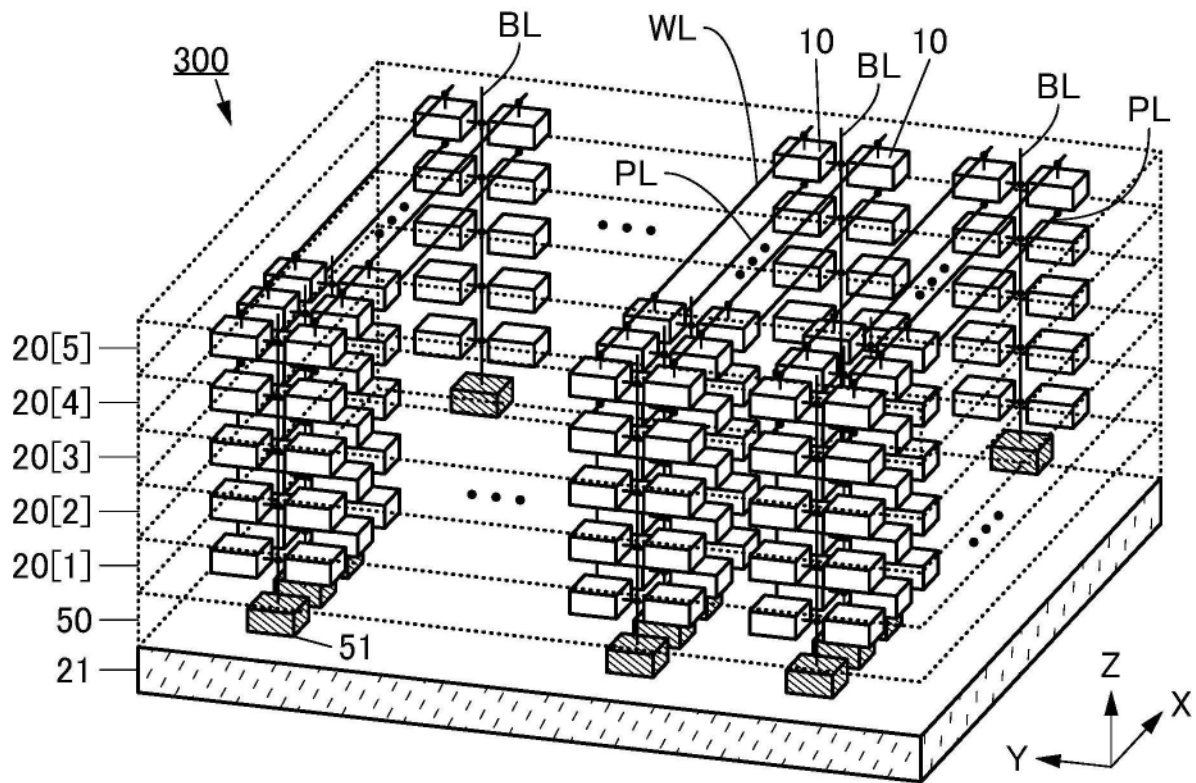


图33A

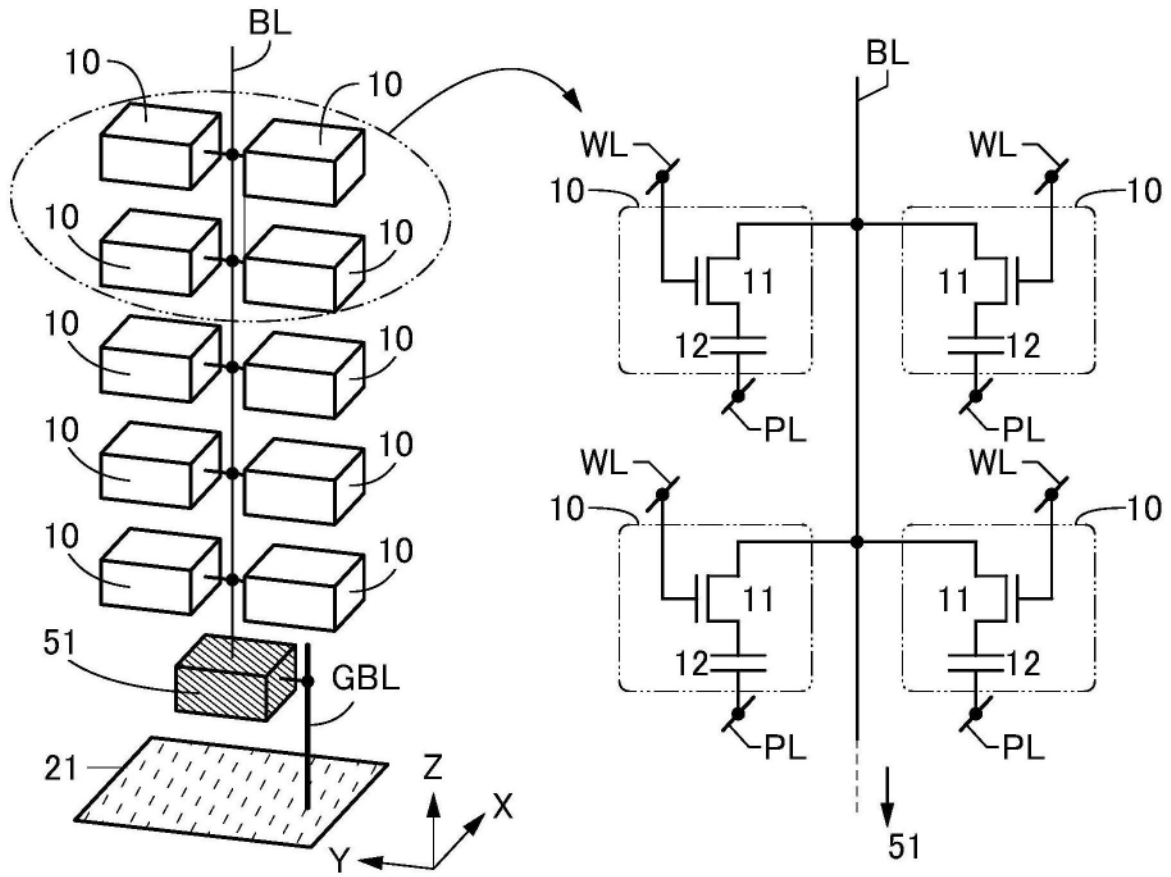


图33B

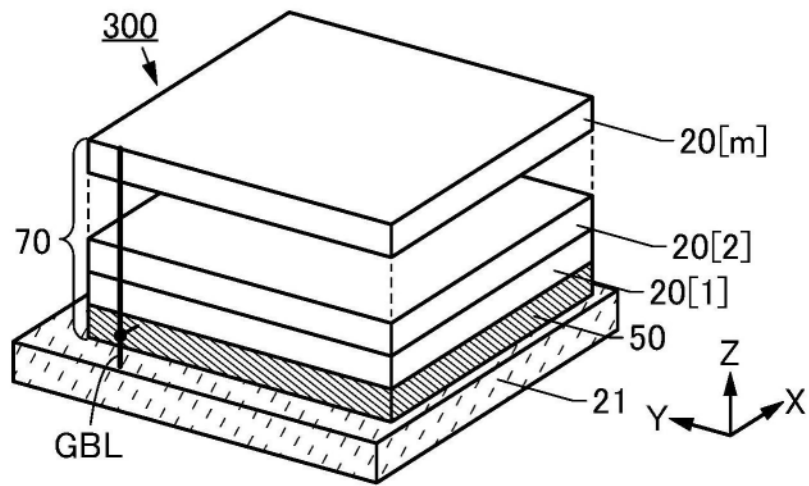


图34A

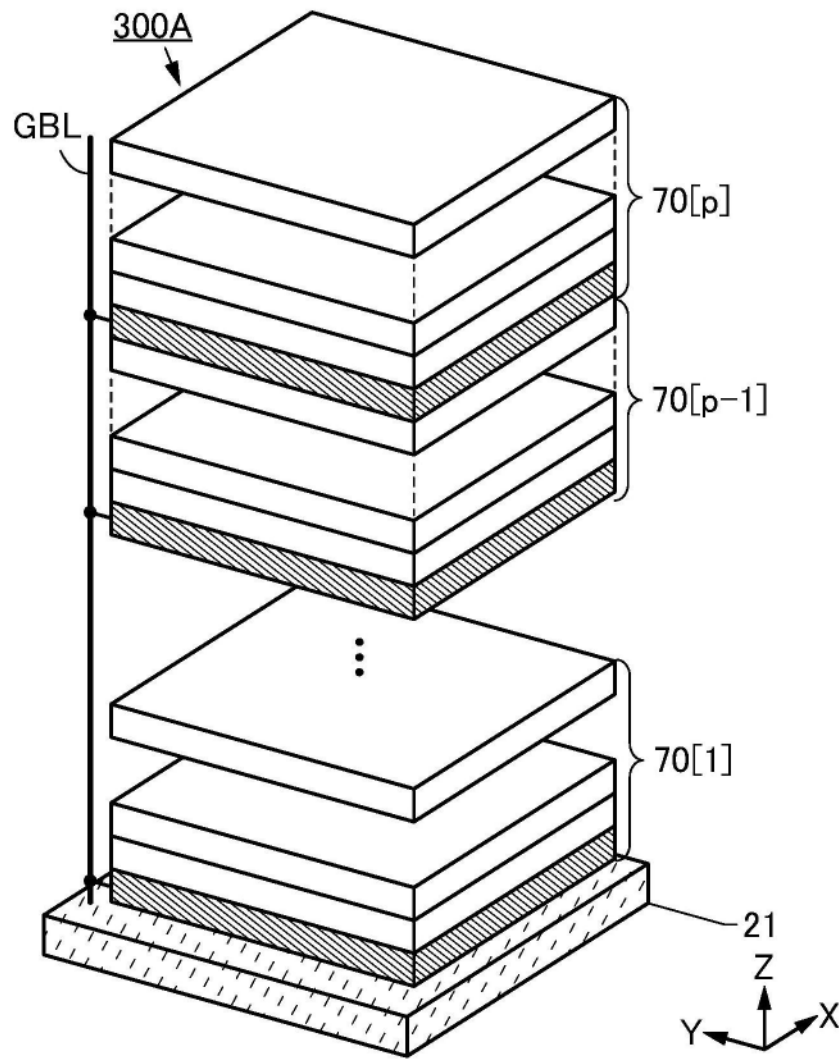


图34B

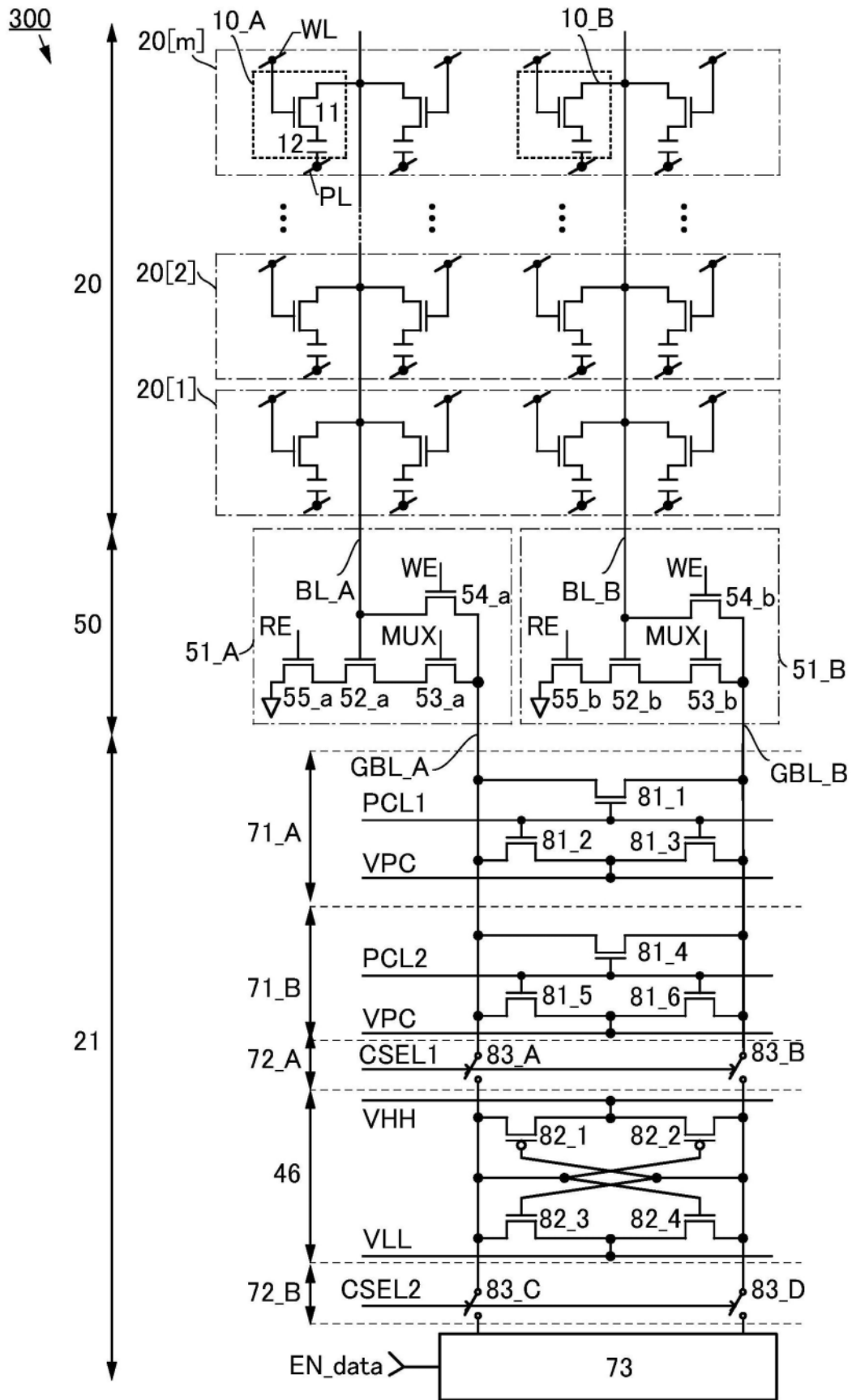


图35

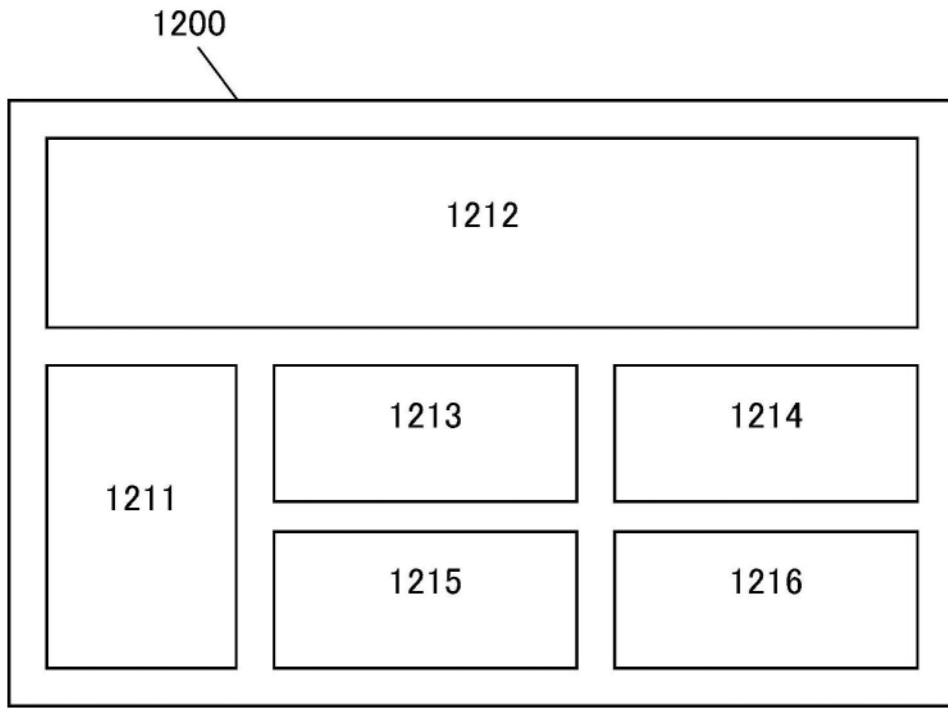


图36A

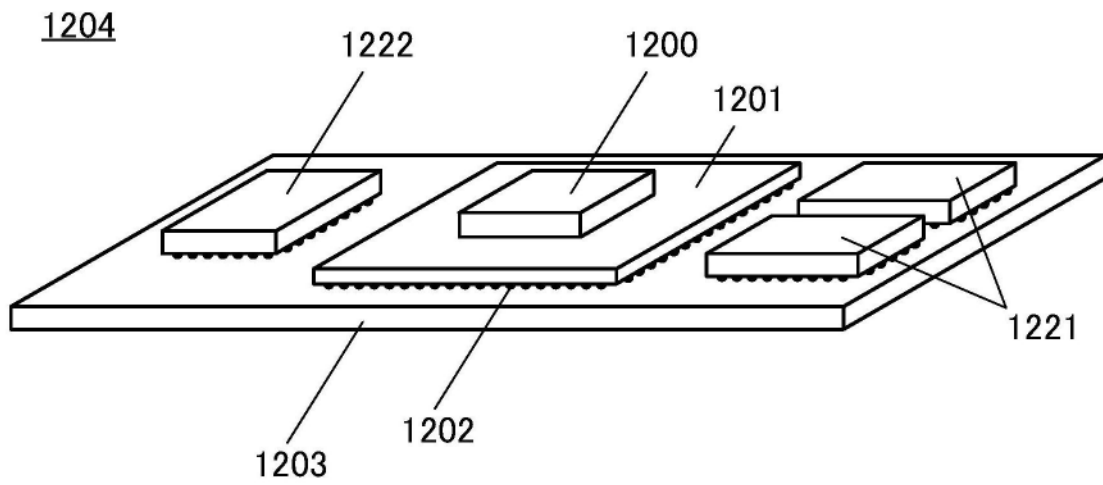


图36B

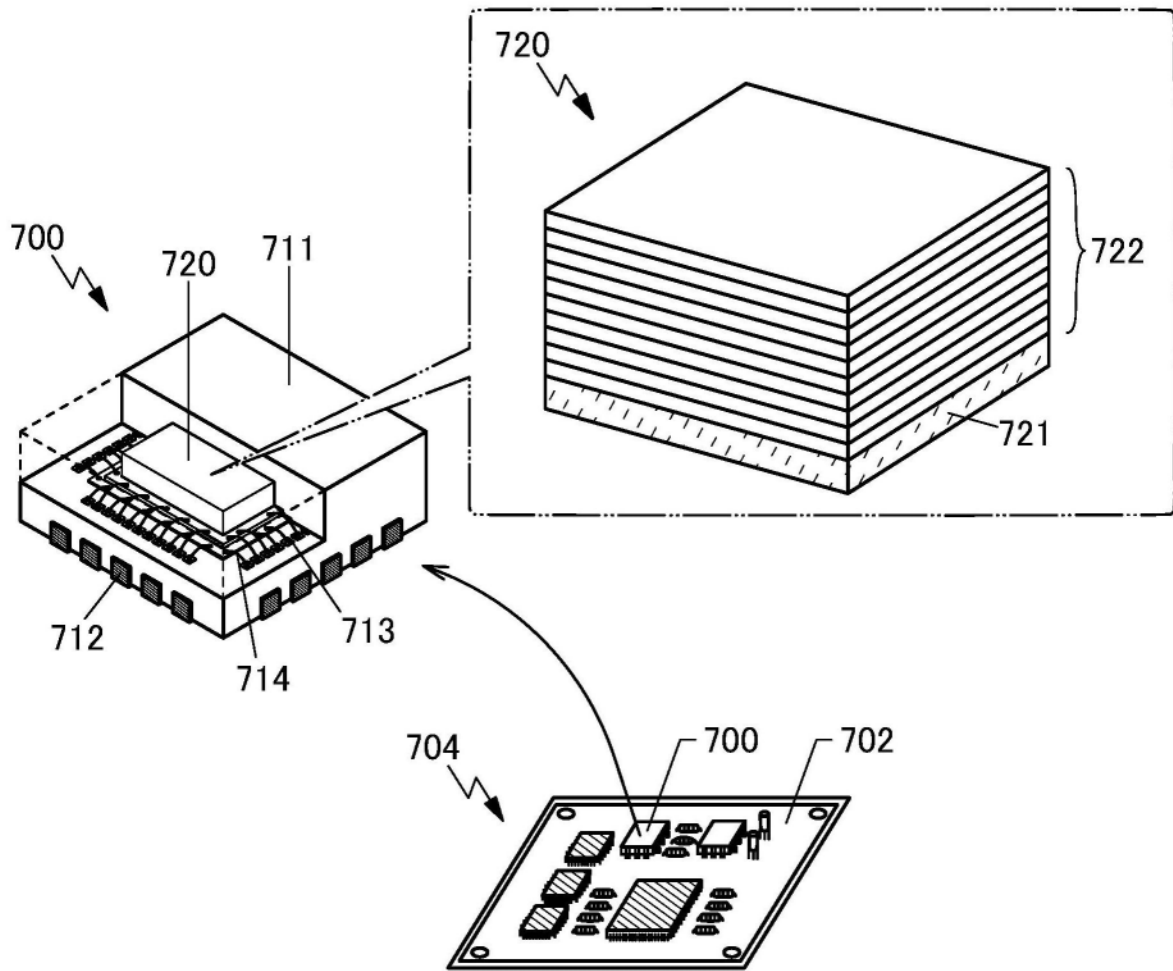


图37A

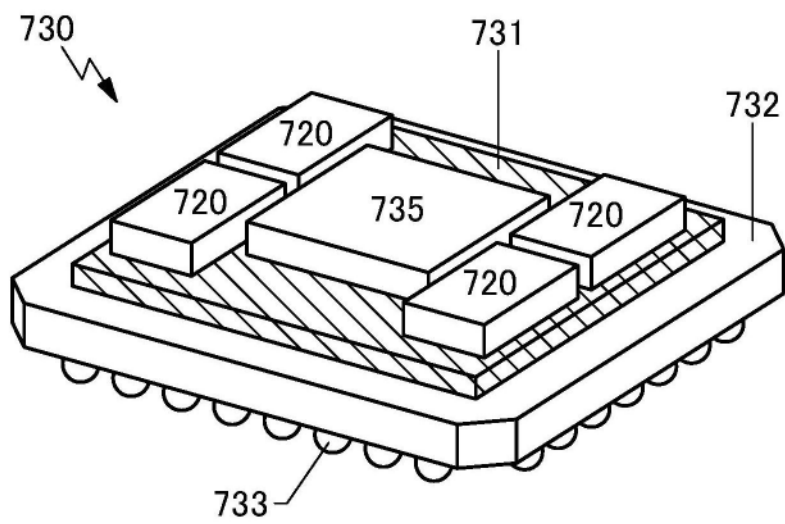


图37B

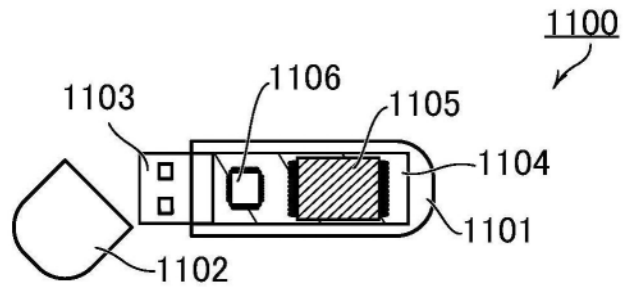


图38A

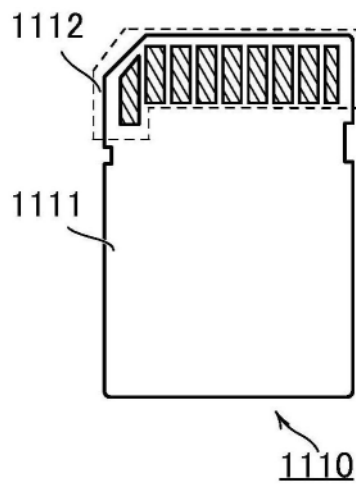


图38B

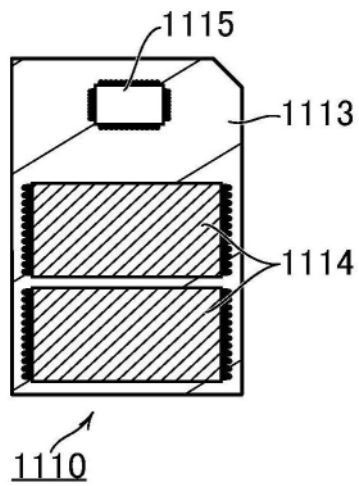


图38C

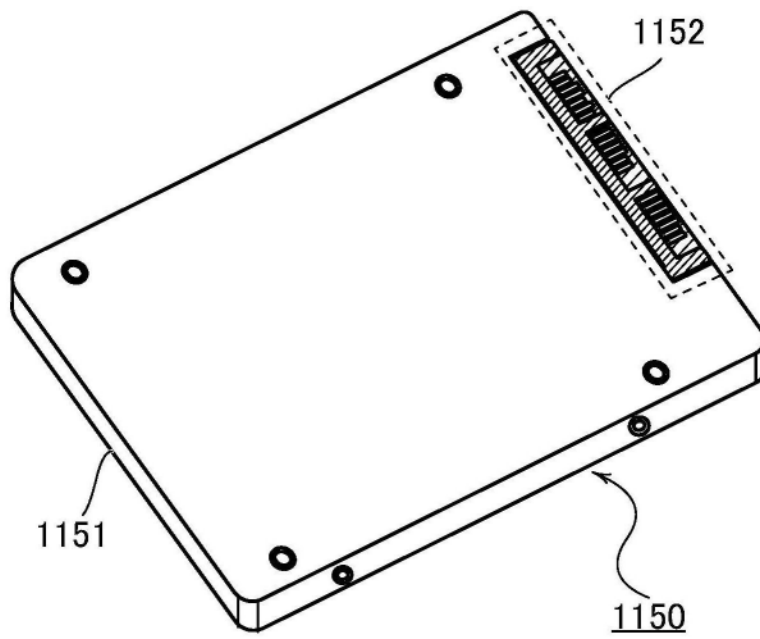


图38D

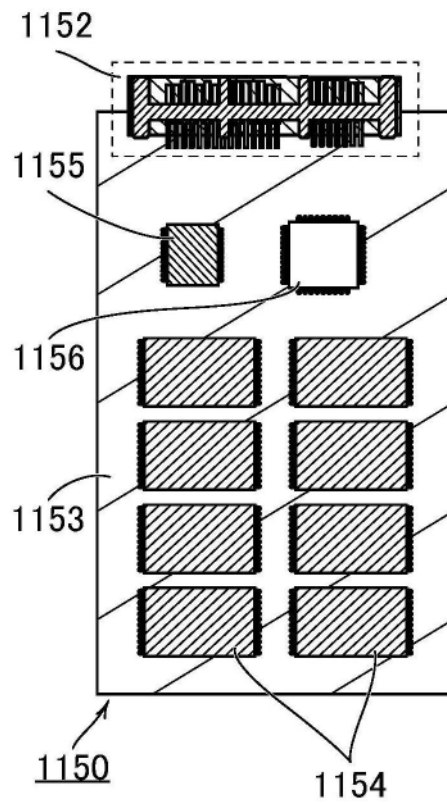


图38E

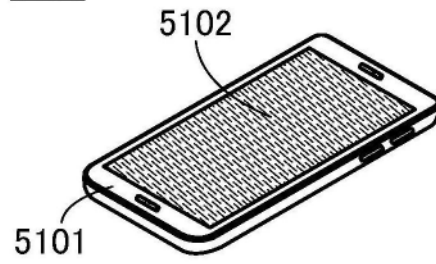
5100

图39A

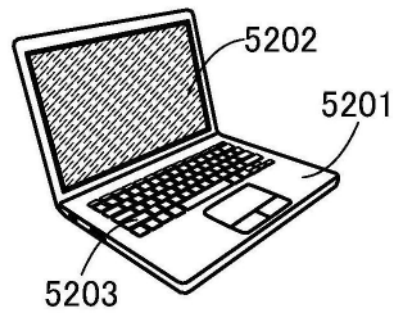
5200

图39B

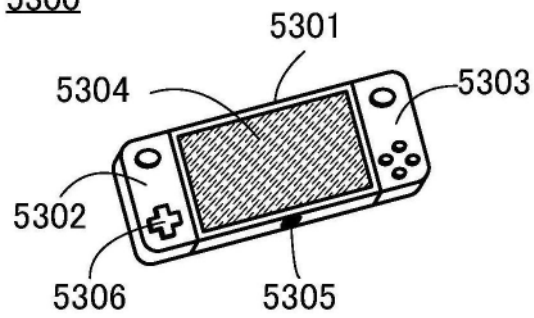
5300

图39C

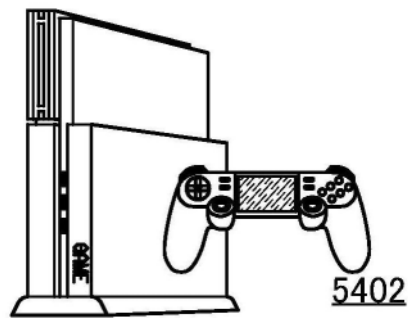
5400

图39D

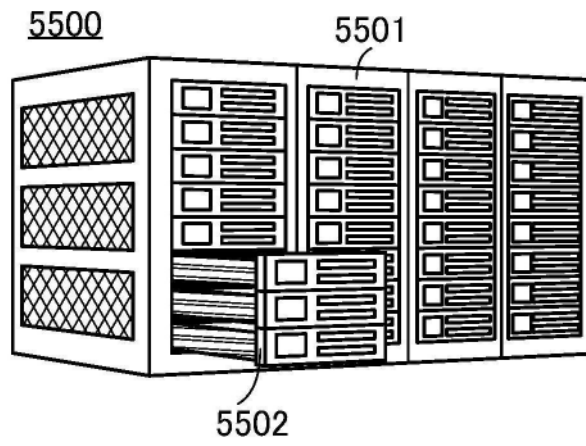


图39E

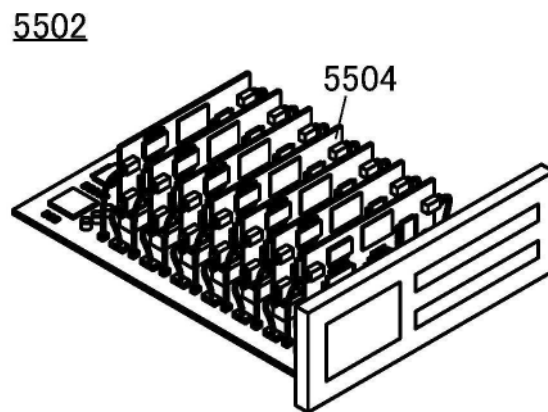


图39F

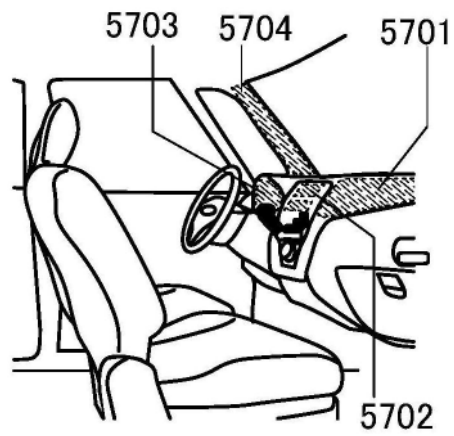


图39G

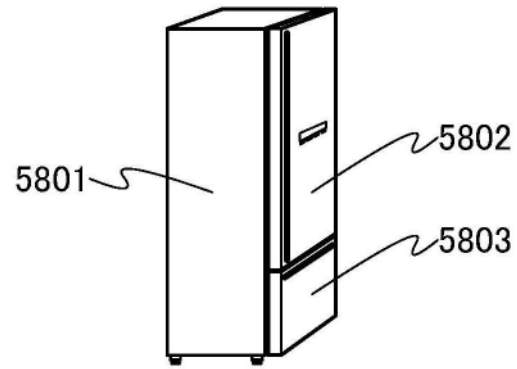
5800

图39H

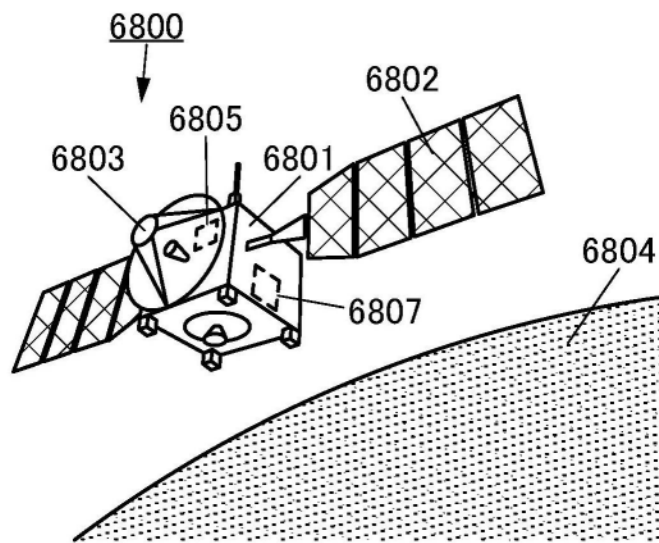


图40

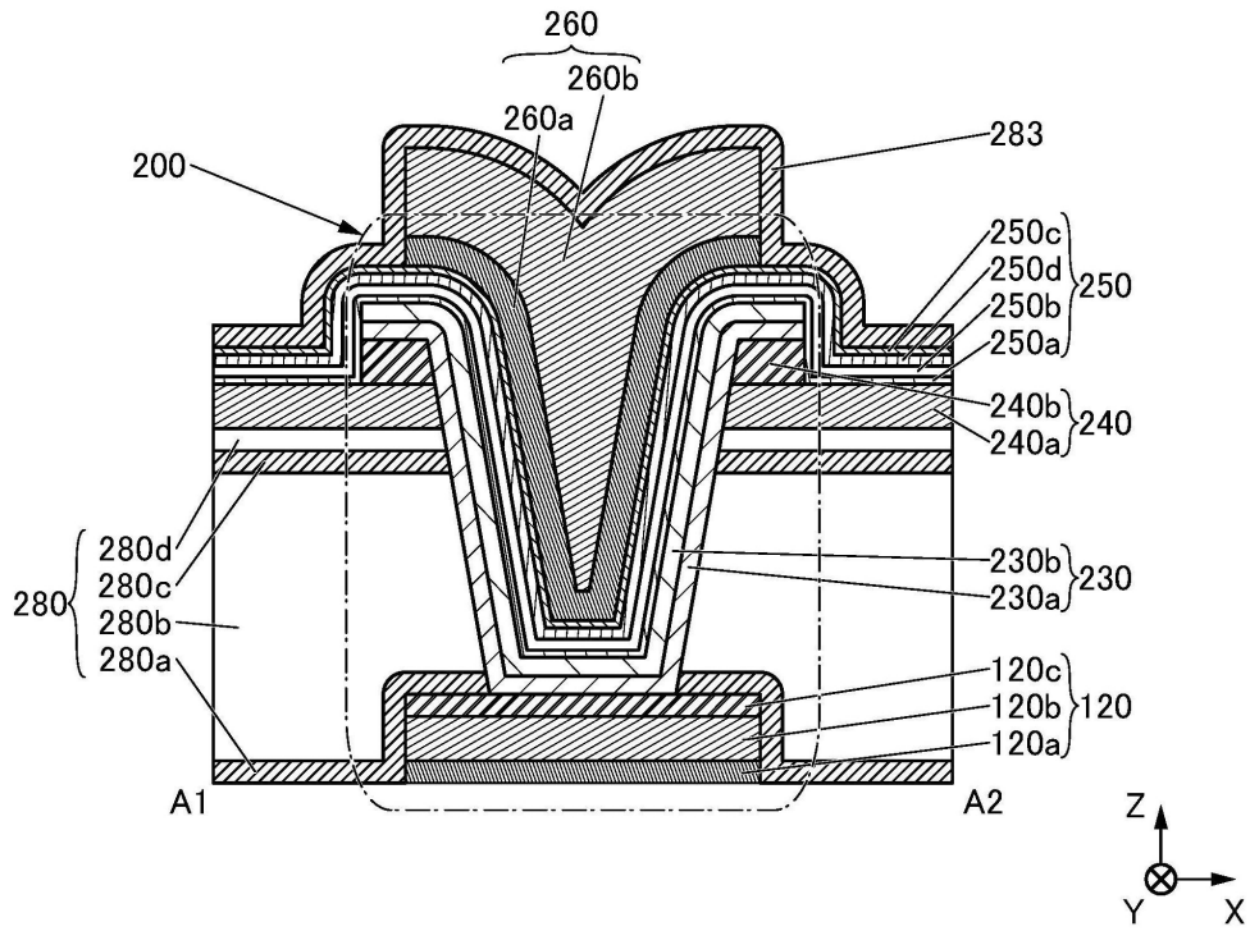


图41A

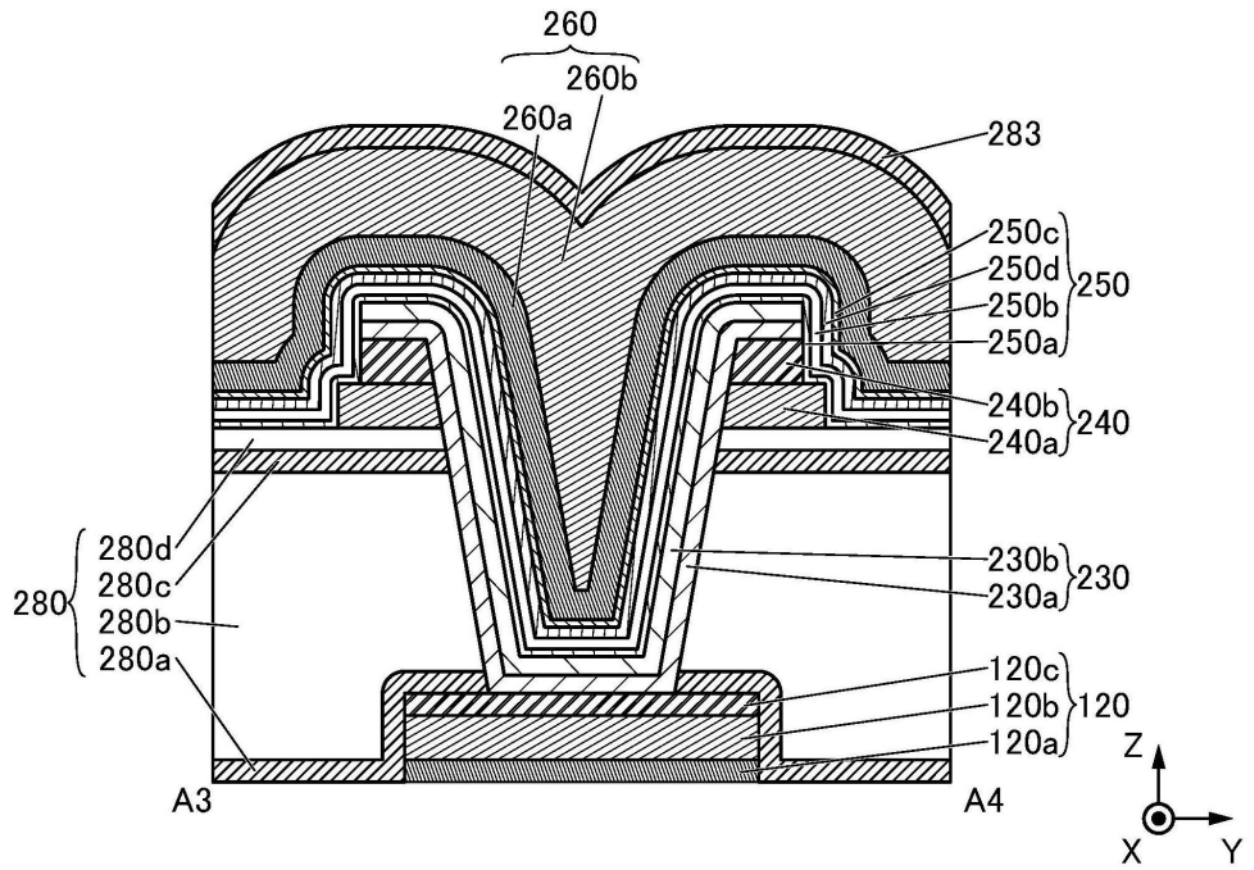


图41B

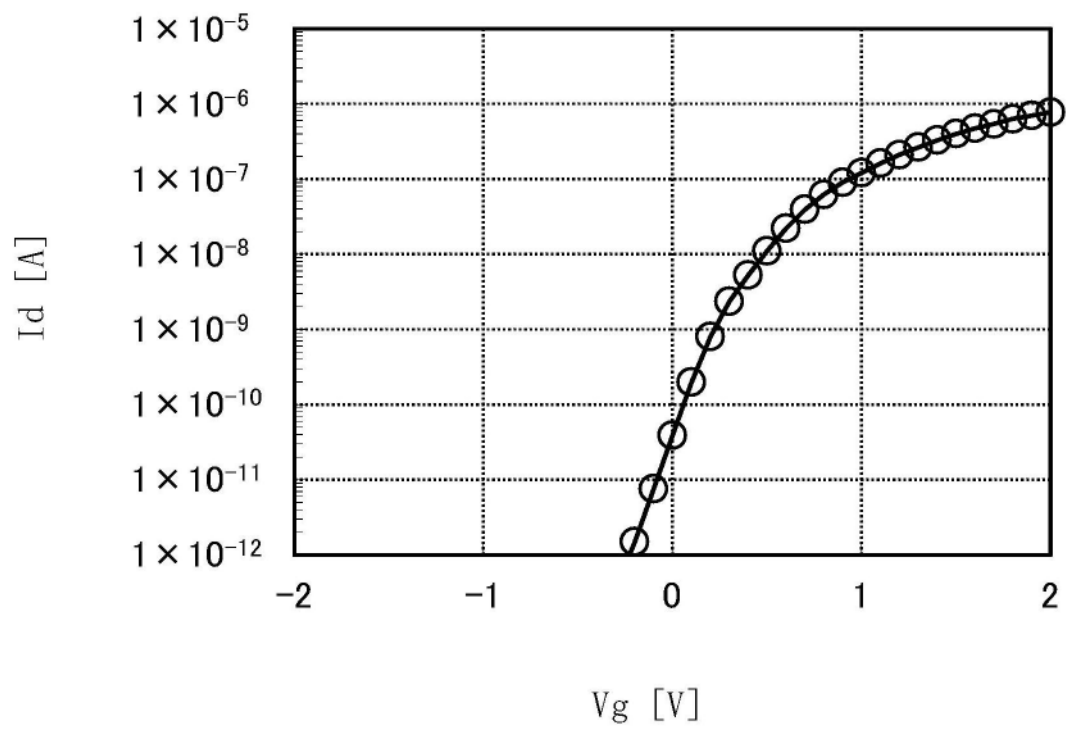


图42