



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

244629

(11) (B1)

(51) Int. Cl.⁴
G 06 F 15/16

(22) Přihlášeno 27 06 84
(21) PV 4907-84

(40) Zveřejněno 15 05 85

(45) Vydáno 14 10 87

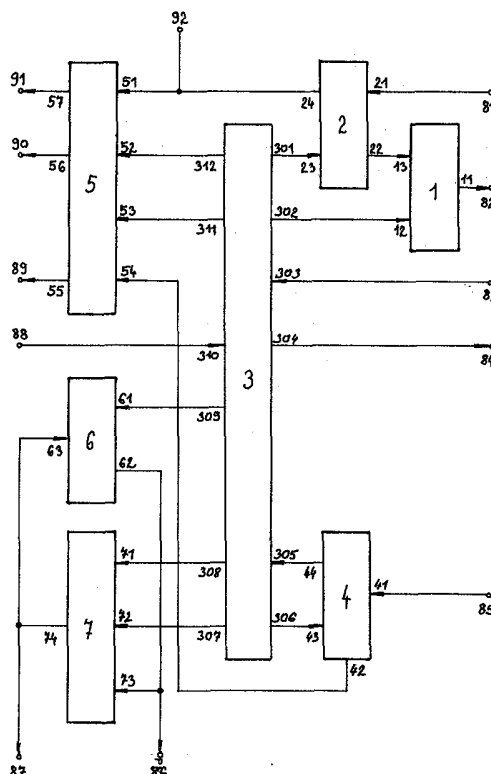
(75)

Autor vynálezu

ZEMAN LUBOŠ ing., PRAHA; LANG PRAVDOMIL ing., JESENICE;
TRHLÍN ALOIS ing., HOSTIVICE; KRAUS JOSEF ing.; BLÁŽEK VÍTĚZSLAV ing.,
PRAHA

(54) Zapojení obvodu pro přístup na sběrnici

Zapojení se týká styku dvou či více procesorových systémů a vzájemného předávání parametrů mezi nimi. Řeší zapojení řadiče umožňujícího připojení adresové a datové vnější sběrnice nadřazeného procesoru k adresové a datové místní sběrnici procesoru podřízeného. Řidič po dekódování příslušné části adresy a po zjištění shodnosti s nastavenou částí adresy vydá příkaz k pozastavení činnosti podřízeného procesoru. Zajistí jeho odpojení od místních sběrnic a správné připojení sběrnic vnějších v definovaných časových posloupnostech a intervalech. Rozborem signálů vnější řídicí sběrnice zjistí typ požadované operace nad místními sběrnici a generuje signály, které tuto operaci realizují. Po provedení operace odpojí obvod podle vynálezu vnější sběrnici a připojí místní sběrnici k podřízenému procesoru. Potom se uvede podřízený procesor v činnost a to od toho bodu programu, ve kterém byla jeho činnost přerušena. Využije se při řízení přístupu k místní sběrnici podřízeného procesoru z vnější sběrnice nadřazeného procesoru například při návrzích systémů řídicích obráběcí i tvářecí stroje a průmyslové roboty.



Vynález se týká zapojení obvodu pro řízení přístupu k místní sběrnici podřízeného procesoru z vnější sběrnice procesoru nadřazeného.

Při styku mezi procesory se používá buď paměti, která je připojena ke společné vnější sběrnici, nebo si procesory předávají údaje přes zařízení vstupů/výstupů. Je-li paměť připojena ke společné sběrnici zatěžuje se sběrnice jedním kanálem navíc, a zároveň se sběrnice pro každý přenesený údaj zatěžuje dvěma přístupy.

Prvním přístupem se zatěžuje při zápisu údaje jedním procesorem, druhým přístupem při čtení tohoto údaje druhým procesorem. Operace přenosu údajů tedy trvá déle. Nevýhoda používání styku přes zařízení vstupů/výstupů oproti předávání přes paměť tkví ve složitém způsobu kódování významu přenášených údajů.

Význam údajů přenášených přes paměť je možno kódovat přímo jejich umístěním na předem určených adresních místech. Další nevýhodou je neschopnost operativních změn počtu přenášených údajů při změnách struktury procesorových systémů.

Tyto nevýhody odstraňuje zapojení obvodu pro přístup na sběrnici podle vynálezu. Podstata vynálezu spočívá v tom, že druhý adresový vstup zapojení je spojen s druhým adresovým vstupem komparátoru a s adresovým vstupem adresového a povelového oddělovače, jehož adresový výstup je spojen s adresovým výstupem zapojení.

První adresový vstup zapojení je spojen s prvním adresovým vstupem komparátoru, jehož skupinový výstup je spojen se skupinovým vstupem klopného obvodu. Blokovací výstup kombinačního obvodu je spojen s blokovacím vstupem komparátoru.

Ovládací výstup kombinačního obvodu je spojen se vstupem klopného obvodu, jehož pozdržovací výstup je spojen s pozdržovacím výstupem zapojení. Potvrzovací vstup zapojení je spojen s potvrzovacím vstupem kombinačního obvodu, jehož sběrnicový blokovací výstup je spojen se sběrnicovým blokovacím výstupem zapojení.

Hodinový vstup zapojení je spojen s hodinovým vstupem posuvného registru. Skupinový výstup posuvného registru je spojen se skupinovým vstupem kombinačního obvodu, jehož nulovací výstup je spojen s nulovacím vstupem posuvného registru.

Ukončovací výstup posuvného registru je spojen s ukončovacím vstupem adresového a povelového oddělovače, jehož ukončovací výstup je spojen s ukončovacím výstupem zapojení. Povelový vstup zapojení je spojen s povelovým vstupem kombinačního obvodu, jehož třetí uvolňovací výstup je spojen s uvolňovacím vstupem adresového a povelového oddělovače.

Povelový výstup kombinačního obvodu je spojen s povelovým vstupem adresového a povelového oddělovače, jehož povelový výstup je spojen s povelovým výstupem zapojení. Druhý uvolňovací výstup kombinačního obvodu je spojen s uvolňovacím vstupem datového oddělovače.

První uvolňovací výstup kombinačního obvodu je spojen s uvolňovacím vstupem datové vyrovnávací paměti. Zápisový výstup kombinačního obvodu je spojen se zápisovým vstupem datové vyrovnávací paměti.

První obousměrný datový vývod zapojení je spojen s datovým vstupem datové vyrovnávací paměti a s datovým výstupem datového oddělovače. Druhý obousměrný datový vývod zapojení je spojen s datovým výstupem datové vyrovnávací paměti a s datovým vstupem datového oddělovače.

Výhodou uspořádání podle vynálezu je, že řeší styk mezi procesory tak, že procesorům ovládajícím vnější společnou sběrnici umožňuje přístup na místní sběrnici jednoho podřízeného procesoru, popřípadě na místní sběrnice několika podřízených procesorů.

Podřízené procesory přitom nemusí být vybaveny obvody pro přístup na společnou sběrnici procesorů nadřazených. Proti předávání údajů přes zařízení vstupů/výstupů je způsob předávání přes paměť rychlejší a operativnější.

Systémová sběrnice se nezatěžuje tolik, jako v případě, že paměť je připojena na společnou sběrnici. Styk při předávání údajů je rychlejší a časově méně zatěžuje společnou sběrnici. To proto, že se údaj dostává přímo do paměti či z paměti procesoru podřízeného a to na jediný přístup ke společné sběrnici.

Doba, po kterou podřízený procesor údaj ze své místní paměti čte, nebo po kterou do ní zapisuje, už společnou sběrnici nezatěžuje. Zapojení zabezpečuje, že operace zápisu nebo čtení nad místní sběrnici bude probíhat ve správných časových okamžicích a intervalech, to je tehdy, je-li podřízený procesor již odpojen od místní sběrnice a že sled řídících signálů generovaný pro zápis a čtení bude mít správnou posloupnost.

Přehledný a univerzální způsob zapojení usnadní použití meziprocessorového styku u nejrůznějších typů víceprocesorových systémů různých oborů.

Příklad zapojení řadiče podle vynálezu je znázorněn v blokovém schématu na připojeném výkresu.

Jednotlivé bloky je možno charakterizovat takto. Komparátor 2 je vytvořen z logických obvodů realizujících funkci porovnání dvou binárních čísel s možností blokování a slouží k porovnávání hodnoty adresy ručně nastavené s hodnotou na vnější adresové sběrnici.

Klopný obvod 1 je typu RS. Vydává žádosti o pozdržení činnosti podřízeného procesoru a jeho odpojení od ovládaných místních sběrnic. Adresový a povelový oddělovač 5 je vytvořen z obvodů oddělujících a převádějících hodnoty jedné sběrnice na druhou, s možností uvádět výstupy do stavu vysoké impedance.

Slouží k oddělování a převodu hodnot vnější adresové na místní adresovou sběrnici, oddělování a převodu informace o ukončení přístupu ke sběrnici podřízeného procesoru na vnější sběrnici a k oddělování a převodu zapojením generovaných povelů na místní povelovou sběrnici.

Datový oddělovač 6 je vytvořen z obvodů oddělujících a převádějících hodnoty jedné sběrnice na druhou, s možností uvádět výstupy do stavu vysoké impedance. Slouží k oddělování a převodu hodnot vnější datové sběrnice na místní datovou sběrnici podřízeného procesoru.

Datová vyrovnávací paměť 7 je vytvořena z paměťových obvodů, s možností uvádět jejich výstupy do stavu vysoké impedance. Slouží k záznamu okamžitých hodnot místní datové sběrnice podřízeného procesoru a k oddělování a převodu takto získaných hodnot na vnější datovou sběrnici.

Posuvný registr 4 je vytvořen z řetězce sériově zapojených paměťových obvodů, ve kterém dochází na každý přiváděný hodinový impuls k posuvu v nich obsažené binární informace vždy o jednu pozici dále.

Slouží jako generátor řídících signálů pro kombinační obvod 3 a vytváří informaci o ukončení přístupu k místním sběrnici podřízeného procesoru. Kombinační obvod 3 je vytvořen kombinační logickou sítí.

Slouží ke generaci ovládacích signálů ostatních bloků a povelů pro řízení místních sběrnic podřízeného procesoru na základě informací získávaných z posuvného registru 4, povelového vstupu 88 zapojení a potvrzovacího vstupu 83 zapojení.

Jednotlivé bloky jsou zapojeny takto. Druhý adresový vstup 22 zapojení je spojen s druhým adresovým vstupem 24 komparátoru 2 a s adresovým vstupem 51 adresového a povelového oddělovače 5, jehož adresový výstup 57 je spojen s adresovým výstupem 91 zapojení.

První adresový vstup 81 zapojení je spojen s prvním adresovým vstupem 21 komparátoru 2, jehož skupinový výstup 22 je spojen se skupinovým vstupem 13 klopného obvodu 1. Blokovací výstup 301 kombinačního obvodu 3 je spojen s blokovacím vstupem 23 komparátoru 2.

Ovládací výstup 302 kombinačního obvodu 3 je spojen se vstupem 12 klopného obvodu 1, jehož pozdržovací výstup 11 je spojen s pozdržovacím výstupem 82 zapojení. Potvrzovací vstup 83 zapojení je spojen s potvrzovacím vstupem 303 kombinačního obvodu 3, jehož sběrníkový blokovací výstup 304 je spojen se sběrníkovým blokovacím výstupem 84 zapojení.

Hodinový vstup 85 zapojení je spojen s hodinovým vstupem 41 posuvného registru 4. Skupinový výstup 44 posuvného registru 4 je spojen se skupinovým vstupem 305 kombinačního obvodu 3, jehož nulovací výstup 306 je spojen s nulovacím vstupem 43 posuvného registru 4.

Ukončovací výstup 42 posuvného registru 4 je spojen s ukončovacím vstupem 54 adresového a povelového oddělovače 5, jehož ukončovací výstup 55 je spojen s ukončovacím výstupem 89 zapojení. Povelový vstup 88 zapojení je spojen s povelovým vstupem 310 kombinačního obvodu 3, jehož třetí uvolňovací výstup 311 je spojen s uvolňovacím vstupem 52 adresového a povelového oddělovače 5.

Povelový výstup 312 kombinačního obvodu 3 je spojen s povelovým vstupem 52 adresového a povelového oddělovače 5, jehož povelový výstup 56 je spojen s povelovým výstupem 90 zapojení. Druhý uvolňovací výstup 309 kombinačního obvodu 3 je spojen s uvolňovacím vstupem 61 datového oddělovače 6.

První uvolňovací výstup 308 kombinačního obvodu 3 je spojen s uvolňovacím vstupem 71 datové vyrovnávací paměti 7. Zápisový výstup 307 kombinačního obvodu 3 je spojen se zápisovým vstupem 72 datové vyrovnávací paměti 7. První obousměrný datový vývod 86 zapojení je spojen s datovým vstupem 73 datové vyrovnávací paměti 7 a s datovým výstupem 62 datového oddělovače 6. Druhý obousměrný datový vývod 87 zapojení je spojen s datovým výstupem 74 datové vyrovnávací paměti 7 a s datovým vstupem 63 datového oddělovače 6.

Funkce zapojení je popsána pro zajištění úkonů zápisu a čtení do paměti a z paměti typu RAM umístěné na místní sběrnici podřízeného procesoru procesorem nadřazeným. Provádí-li nadřazený procesor zápisový, nebo čtecí přístup k paměti umístěné na místní sběrnici, vydá nejdříve adresu paměťového místa, kterou bude zpřístupňovat, s následným vydáním zápisového či čtecího příkazu.

Adresa se přivádí na druhý adresový vstup 22 zapojení. Vyšší významové bity adresy, které určují, zda se požaduje právě přístup do paměti umístěné na této místní sběrnici, se přivádějí ze druhého adresového vstupu 22 zapojení na druhý adresový vstup 24 komparátoru 2.

Ten porovnává tuto hodnotu s hodnotou předem trvale zvolenou na prvním adresovém vstupu 81 zapojení, která se přivádí na první adresový vstup 21 komparátoru 2. Vlastní komparaci umožňuje teprve příchod zápisového či čtecího příkazu z nadřazeného procesoru.

Tento příkaz se přivádí na povelový vstup 88 zapojení a odtud na povelový vstup 310 kombinačního obvodu 3. Kombinační obvod 3 potom přes svůj blokovací výstup 301 dává příkaz k odblokování komparace na blokovací vstup 23 komparátoru 2. V případě, že komparátor 2 při porovnání zjistí, že obě adresní hodnoty jsou rozdílné, jedná se o adresování jiné paměti a žádná další činnost nenastává.

V případě shodnosti adresních hodnot vydá komparátor 2 přes svůj skupinový výstup 22

na skupinový vstup 13 klopného obvodu 1 povel k jeho nastavení do aktivního stavu. Pozdržovací výstup 11 klopného obvodu 1 pak přes pozdržovací výstup 82 zapojení žádá o pozdržení podřízeného procesoru.

Na žádost o pozdržení podřízený mikroprocesor reaguje tak, že dokončí případně právě rozpracovaný přístup k místním sběrnicím, uvede se do stavu nečinnosti a nastaví své adresovací a datové vývody do stavu vysoké impedance.

Přes potvrzovací vstup 83 zapojení pak podřízený procesor zašle na potvrzovací vstup 303 kombinačního obvodu 3 informaci o přijetí žádosti o pozdržení. Na to kombinační obvod 3 vyšle signál potvrzující přijetí žádosti o pozdržení přes svůj ovládací výstup 302 na vstup 12 klopného obvodu 1, který však prozatím nemění hodnotu svého pozdržovacího výstupu 11, neboť shoda adresních hodnot přiváděných do komparátoru 2 dosud trvá a komparátor 2 není svým blokovacím vstupem 23 zablokován.

Dále kombinační obvod 3 uvolní svůj vnitřní obvod, jenž při další činnosti bude přes svůj sběrnicový blokovací výstup 304 zasílat na sběrnicový blokovací výstup 84 zapojení do systému podřízeného procesoru signál uvádějící případně použité ovladače místních sběrnic do stavu vysoké impedance.

Zároveň kombinační obvod 3 přes svůj nulovací výstup 306 vyšle signál na nulovací vstup 43 posuvného registru 4. Tento signál způsobí, že posuvný registr 4, který byl dosud trvale nulován, se odnuluje a zahájí svoji činnost. Posuvný registr 4 je zapojen tak, že zastává funkci řadiče, řídícího jednotlivé akce při přebírání a řízení sběrnic uvolněných podřízeným procesorem.

Posuvný registr 4 je ovládán konstantní hodinovou frekvencí, přiváděnou přes hodinový vstup 85 zapojení na jeho hodinový vstup 41. Konstantní hodinová frekvence posuvného registru 4 zaručuje, že jednotlivé akce jím řízené jsou od sebe časově vzdáleny o příslušné pevné násobky základního intervalu daného převrácenou hodnotou frekvence připojených hodinových pulsů.

Do seriově řazených vynulovaných paměťových prvků posuvného registru 4 se v taktu připojené hodinové frekvence nasouvá hodnota logické jednotky. Tato posloupnost stavů paměťových prvků se přes skupinový výstup 44 posuvného registru 4 přivádí na skupinový vstup 305 kombinačního obvodu 3. Tím řídí činnost kombinačního obvodu 3.

Kombinační obvod 3 pak v dané časové posloupnosti a v daném pořadí připojuje použité ovladače místních sběrnic a připojuje vnější adresové a datové sběrnice nadřazeného procesoru k uvolněným místním sběrnicím podřízeného procesoru.

V závislosti na požadavku čtecí či zápisové operace nad pamětí, který se přivádí na povelový vstup 88 zapojení a odtud na povelový vstup 310 kombinačního obvodu 3, sám generuje příslušné čtecí či zápisové povely.

Po ukončení operace vyšle posuvný registr 4 přes svůj ukončovací výstup 42 na ukončovací vstup 54 adresového a povelového oddělovače 5 signál, určený nadřazenému procesoru, kterým mu oznamuje ukončení akce.

Tento signál prochází adresovým a povelovým oddělovačem 5 na jeho ukončovací výstup 55 a dále na ukončovací výstup 89 zapojení, kde je k dispozici nadřazenému procesoru. Ten po jeho příjmu zruší zápisový či čtecí povel, který se přivádí na povelový vstup 88 zapojení, což je příkaz kombinačnímu obvodu 3 k ukončení akce přístupu k místní sběrnici.

Kombinační obvod 3 vyšle přes svůj blokovací výstup 301 blokovací signál na blokovací vstup 23 komparátoru 2, zablokuje v této době stále ještě vyhodnocovanou shodnost komparo-

vany adresních hodnot a přes svůj skupinový výstup 22 vyšle na skupinový vstup 13 klop-
ného obvodu 1 signál, kterým se klopný obvod 1 překlopí do neaktivního stavu. Současně
se přes pozdržovací výstup 11 klopného obvodu 1 na pozdržovací výstup 82 zapojení a odtud
do podřízeného procesoru vysílá signál, kterým se ruší žádost o pozdržení.

Nadřazený procesor může již v této době měnit adresové hodnoty druhého adresového
vstupu 22 zapojení. Podřízený procesor akceptuje příkaz k ukončení pozdržení a generuje
příslušné akce potřebné k opätnému uvedení svých adresových a datových vývodů do stavu nor-
mální činnosti.

Po tuto dobu kombinační obvod 3 zaručuje svým ovládacím výstupem 302, že v daném
okamžiku nemůže být přijata nová případná žádost o přístup ke sběrnicím podřízeného pro-
cesoru. Tento stav trvá až do okamžiku, kdy podřízený procesor vydá signál potvrzující
ukončení svého pozdržení.

Tento signál se přivádí na potvrzovací vstup 83 zapojení a odtud na potvrzovací vstup
303 kombinačního obvodu 3. Kombinační obvod 3 svým nulovacím výstupem 306 opět začíná nu-
lovat posuvný registr 4, dále ruší signál na svém sběrnicovém blokovacím výstupu 304, kte-
rým blokuje ovladače místních sběrnic a uvolňuje svůj ovládací výstup 302, takže zapojení
je schopno akceptovat další případně požadovaný přístup nadřazeného procesoru.

Signál na ukončovacím výstupu 89 zapojení se zruší v okamžiku ukončení zápisového či
čtecího povelu z nadřazeného procesoru. Jde-li o čtecí cyklus, potom čtecí povel přichází
z povelového vstupu 88 zapojení na povelový vstup 310 kombinačního obvodu 3.

Kombinační obvod 3 vyšle povel přes svůj první uvolňovací výstup 308 na uvolňovací vstup
71 datové vyrovnávací paměti 7 k připojení jejího datového výstupu 74 ke druhému obousměr-
nému datovému vývodu 87 zapojení, který je datovou sběrnicí nadřazeného procesoru.

Posloupnost řídicích aktí kombinačního obvodu 3 při přístupu k místním sběrnicím je
následující. Kombinační obvod 3 přes svůj sběrnicový blokovací výstup 304 vyšle signál na
sběrnicový blokovací výstup 84 zapojení a tímto signálem uvede příslušné ovladače místních
sběrnic do vysokoimpedančního stavu.

V následném kroku vyšle kombinační obvod 3 uvolňovací signál přes svůj třetí uvolňova-
cí výstup 311 na uvolňovací vstup 53 adresového a povelového oddělovače 5 a tím uvolní prů-
chod nižších významových řádů adresy přicházejících z druhého adresového vstupu 22 zapojení
na adresový vstup 21 adresového a povelového oddělovače 5 na jeho adresový výstup 57, a dá-
le na adresový výstup 21 zapojení, který je připojen k místní adresové sběrnicí. Uvolňovací
signál též uvolňuje cestu pro následný průchod signálu o ukončení operace z ukončovacího
vstupu 24 adresového a povelového oddělovače 5 na jeho ukončovací výstup 55 a současně uvol-
ňuje průchod zápisového či čtecího povelu následně generovaného kombinačním obvodem 3, kte-
rý bude procházet z jeho povelového výstupu 312 na povelový vstup 52 adresového a povelového
oddělovače 5, dále na jeho povelový výstup 56 a na povelový výstup 90 zapojení, který je při-
pojen k místní povelové sběrnicí podřízeného procesoru.

Jde-li o zápisovou operaci, dochází současně k propojení vnější datové sběrnice zapo-
jení s druhým obousměrným datovým vývodem 87 zapojení s datovým vstupem 63 datového oddě-
lovače 6 směrem na místní datovou sběrnicí a to přes jeho datový výstup 62 na první obou-
směrný datový vývod 86 zapojení.

V dalším kroku řízeném kombinačním obvodem 3 se zahájí generování zápisového či čtecí-
ho povelu vydávaného na povelovém výstupu 312 kombinačního obvodu 3. Typ povelu je dán
typem povelu, který se přivádí z nadřazeného procesoru na povelový vstup 88 zapojení.

Zároveň se generuje začátek zápisového pulsu do datové vyrovnávací paměti 7 a to signálem

se zápisového výstupu 307 kombinačního obvodu 3, který se přivádí na zápisový vstup 72 datové vyrovnávací paměti 7.

Následujícím krokem je ukončení zápisového pulsu do datové vyrovnávací paměti 7. V dalším kroku se ukončí povel zápisu či čtení. Povel se generuje v kombinačním obvodu 3 a vydává se na jeho povelový výstup 312.

V posledním kroku se vydává signál o ukončení přístupu, který se vytváří přímo v posuvném registru 4 a vydává se na jeho ukončovací výstup 42. Tímto signálem se informuje nadřazený procesor o ukončení požadované operace.

Jestliže se prováděla operace čtení, přebírá nadřazený procesor v tomto okamžiku data, která jsou na datovém výstupu 74 datové vyrovnávací paměti 7. V této fázi nadřazený procesor ukončuje zápisový či čtecí povel a přechází na následující požadovanou činnost.

Datový oddělovač 6 se svým datovým výstupem 62 odpojuje od místní datové sběrnice v okamžiku ukončení zápisového povelu a nadřazeného procesoru. Datová vyrovnávací paměť 7 se svým datovým výstupem 74 odpojuje od vnější datové sběrnice v okamžiku ukončení čtecího příkazu z nadřazeného procesoru.

Vynálezu se využije zejména při číslicovém řízení obráběcích, tvářecích, kartografických nebo jiných strojů a robotů.

PŘEDMĚT VYNÁLEZU

Zapojení obvodu pro přístup na sběrnici, vyznačující se tím, že hodinový vstup (85) zapojení je spojen s hodinovým vstupem (41) posuvného registru (4), jehož ukončovací výstup (42) je spojen s ukončovacím vstupem (54) adresového a povelového oddělovače (5), jehož uvolňovací vstup (53) je spojen se třetím uvolňovacím výstupem (311) kombinačního obvodu (3), jehož povelový vstup (310) je spojen s povelovým vstupem (88) zapojení, jehož první obousměrný datový vývod (86) je spojen s datovým výstupem (62) datového oddělovače (6) a s datovým vstupem (73) datové vyrovnávací paměti (7), jejíž datový výstup (74) je spojen s druhým obousměrným datovým vývodem (87) zapojení a s datovým vstupem (63) datového oddělovače (6), jehož uvolňovací vstup (61) je spojen s druhým uvolňovacím výstupem (303) kombinačního obvodu (3), jehož první uvolňovací výstup (308) je spojen s uvolňovacím vstupem (471) datové vyrovnávací paměti (7), jejíž zápisový vstup (72) je spojen se zápisovým výstupem (307) kombinačního obvodu (3), jehož nulovací výstup (306) je spojen s nulovacím vstupem (43) posuvného registru (4), jehož skupinový výstup (44) je spojen se skupinovým vstupem (305) kombinačního obvodu (3), jehož sběrnicový blokovací výstup (304) je spojen se sběrnicovým blokovacím výstupem (84) zapojení, jehož potvrzovací vstup (84) je spojen s potvrzovacím vstupem (303) kombinačního obvodu (3), jehož ovládací výstup (302) je spojen se vstupem (12) klopného obvodu (1), jehož skupinový výstup (13) je spojen se skupinovým výstupem (22) komparátoru (2), jehož blokovací vstup (23) je spojen s blokovacím výstupem (301) kombinačního obvodu (3), jehož povelový výstup (312) je spojen s povelovým vstupem (52) adresového a povelového oddělovače (5), jehož ukončovací výstup (55) je spojen s ukončovacím výstupem (89) zapojení, jehož povelový výstup (90) je spojen s povelovým výstupem (56) adresového a povelového oddělovače (5), jehož adresový výstup (57) je spojen s adresovým výstupem (91) zapojení, jehož druhý adresový vstup (92) je spojen s adresovým vstupem (51) adresového a povelového oddělovače (5) a s druhým adresovým vstupem (24) komparátoru (2), jehož první adresový vstup (21) je spojen s prvním adresovým vstupem (81) zapojení, jehož pozdržovací výstup (82) je spojen s pozdržovacím výstupem (11) klopného obvodu (1).

244629

