

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成28年6月2日(2016.6.2)

【公開番号】特開2014-127475(P2014-127475A)
 【公開日】平成26年7月7日(2014.7.7)
 【年通号数】公開・登録公報2014-036
 【出願番号】特願2012-280480(P2012-280480)
 【国際特許分類】

H 0 1 L 21/8247 (2006.01)
 H 0 1 L 27/115 (2006.01)
 H 0 1 L 21/336 (2006.01)
 H 0 1 L 29/788 (2006.01)
 H 0 1 L 29/792 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成28年4月8日(2016.4.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁層と導電体層との積層膜によって構成され複数積層されたコントロールゲート層にチャンネルホールを形成する工程と、プラズマエッチングにより前記複数積層されたコントロールゲート層に溝を形成して前記複数積層されたコントロールゲート層を分離し、複数のコントロールゲート群を形成する工程とを含む3次元メモリセルの形成工程を備える半導体装置の製造方法において、

前記コントロールゲート群の長手方向の長さを2倍とする値を自然数で除した値である座屈周期を前記コントロールゲート群の高さで除した値が座屈が発生しない値となるように前記長さと前記高さを規定することを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の半導体装置の製造方法において、

前記座屈が発生しない値は、3.3より小さい値であることを特徴とする半導体装置の製造方法。

【請求項3】

請求項1に記載の半導体装置の製造方法において、

前記高さを前記コントロールゲート群の短辺方向の長さで除した値が10以上であることを特徴とする半導体装置の製造方法。

【請求項4】

請求項1に記載の半導体装置の製造方法において、

前記長さを前記高さで除した値が1.65未満であることを特徴とする半導体装置の製造方法。

【請求項5】

請求項4に記載の半導体装置の製造方法において、

前記コントロールゲート群における分離された方向の長さである幅に対する前記長さの

比が1.65未満であることを特徴とする半導体装置の製造方法。

【請求項6】

請求項5に記載の半導体装置の製造方法において、
前記コントロールゲート群の内部に前記チャンネルホールを複数列形成することを特徴とする半導体装置の製造方法。

【請求項7】

請求項1ないし6のいずれか一項に記載の半導体装置の製造方法において、
前記コントロールゲート群を、上方のコントロールゲート層の長さが下方のコントロールゲート層の長さよりも短くなるような階段状形状に形成し、
前記コントロールゲート群の長手方向の最大長さを高さで割った比が、前記階段状形状の最下層のコントロールゲート層の長さと前記階段状形状全体の高さとの比で規定されることを特徴とする半導体装置の製造方法。

【請求項8】

請求項2に記載の半導体装置の製造方法において、
前記長さを前記高さで除した値が1.65未満であることを特徴とする半導体装置の製造方法。

【請求項9】

絶縁層と導電体層との積層膜によって構成され複数積層されたコントロールゲート層にチャンネルホールを形成する工程と、前記複数積層されたコントロールゲート層にエッチングにより溝を形成して前記複数積層されたコントロールゲート層を分離し、複数のコントロールゲート群を形成する工程とを含む3次元メモリセルの形成工程を備える半導体装置の製造方法において、

前記コントロールゲート群の長手方向の最大長さを該コントロールゲート群の高さで割った比が、座屈が発生しない範囲に規定され、

複数のコントロールゲート群を形成する工程は、

前記複数積層されたコントロールゲート層上にラインアンドスペースパターンを形成する工程と、

当該ラインアンドスペースパターンをマスクとして前記複数積層されたコントロールゲート層を最下層までエッチングする工程とを含み、

前記ラインアンドスペースパターンは、個々のパターンが互いに同位相でうねった形状を有し、当該うねりの変曲点位置に前記チャンネルホールが位置する形状であることを特徴とする半導体装置の製造方法。

【請求項10】

複数のコントロールゲート層が積層され、かつ互いに溝で分離された複数のコントロールゲート群と、当該コントロールゲート群に形成されたチャンネルホールと、前記コントロールゲート群に電極を介して接続されたビット線と、前記コントロールゲート層にコンタクトプラグを介して接続されたワード線とを備える半導体装置において、

前記コントロールゲート群の長手方向の長さを2倍とする値を自然数で除した値である座屈周期を前記コントロールゲート群の高さで除した値が座屈が発生しない値となるように前記長さと前記高さが規定されていることを特徴とする半導体装置。

【請求項11】

請求項10に記載の半導体装置において、

前記長さを前記高さで除した値が1.65未満であることを特徴とする半導体装置。

【請求項12】

請求項11に記載の半導体装置において、

前記コントロールゲート群における分離された方向の長さである幅に対する前記長さの比が1.65未満であることを特徴とする半導体装置。

【請求項13】

請求項12に記載の半導体装置において、

前記コントロールゲート群の内部に前記チャンネルホールが複数列形成されたことを特徴

とする半導体装置。

【請求項 14】

請求項 10 に記載の半導体装置において、

前記複数のコントロールゲート群は互いに同位相でうねった形状を備え、

前記チャンネルホールが前記うねりの形状の変曲点位置に形成されていることを特徴とする半導体装置。

【請求項 15】

請求項 10 ないし 14 のいずれか一項に記載の半導体装置において、

前記コントロールゲート群は、上方のコントロールゲート層の長さが下方のコントロールゲート層の長さよりも短くなるように形成された階段状形状を有しており、

前記コントロールゲート群の長手方向の最大長さを高さで除した比は、前記階段状形状の最下層のコントロールゲート層の長さと前記階段状形状全体の高さとの比で規定されていることを特徴とする半導体装置。