



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

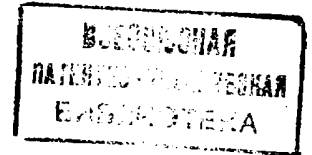
(19) SU (11) 1622917 A1

(51)5 Н 03 В 19/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

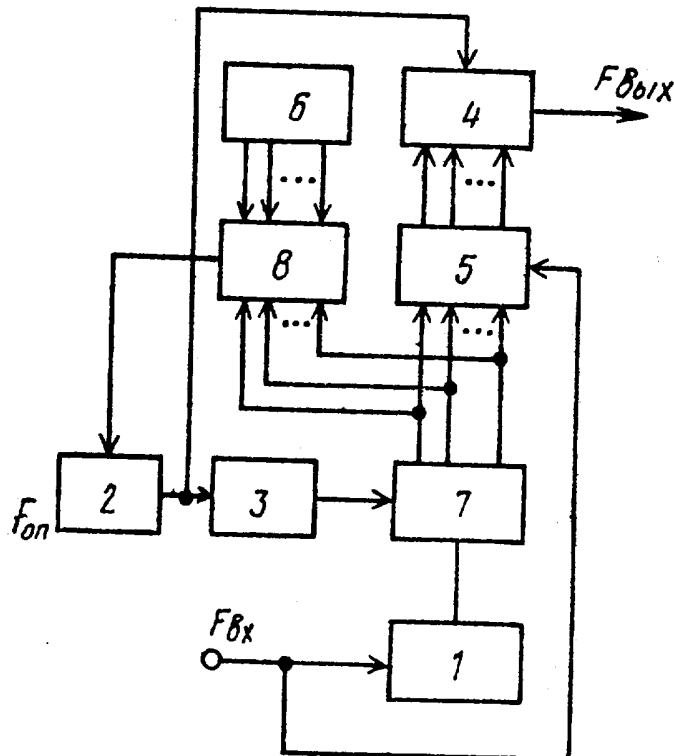


1

- (21) 4291960/09
(22) 30.07.87
(46) 23.01.91, Бюл. № 3
(72) А.П.Дорух, И.Г.Дорух, А.В.Маргелов и Ю.И.Сакович
(53) 681.395(088.8)
(56) Авторское свидетельство СССР № 248003, кл. Н 03 К 6/02, 1968.
(54) ЦИФРОВОЙ УМНОЖИТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ПЕРИОДИЧЕСКИХ ИМПУЛЬСОВ
(57) Изобретение относится к радиотехнике и цифровой измерительной технике и может быть использовано для преобразования периодических сигналов в измерителях и пре-

2

образователях частоты с малой погрешностью дискретности. Цель изобретения – исключение ложных отсчетов частоты при исчезновении входного сигнала. Умножитель частоты содержит формирователь 1 импульсов, делитель 3 частоты, делитель 4 частоты с переменным коэффициентом деления, регистр 5 и счетчик 7 импульсов. В умножитель введены элемент И 2, блок 6 памяти опорного кода и блок 8 сравнения кодов. Совокупность вновь введенных элементов и связей позволяет предотвратить появление мощной частоты импульсов при исчезновении сигнала на его входе. 1 ил.



(19) SU (11) 1622917 A1

Изобретение относится к радиотехнике и цифровой измерительной технике и может быть использовано для преобразования периодических сигналов в измерителях и преобразователях частоты с малой погрешностью дискретности.

Целью изобретения является исключение ложных отсчетов частоты при исчезновении входного сигнала.

На чертеже приведена структурная электрическая схема цифрового умножителя частоты следования периодических импульсов.

Умножитель частоты следования периодических импульсов содержит формирователь 1 импульсов, элемент И 2, делитель 3 частоты, делитель 4 частоты с переменным коэффициентом деления, регистр 5, блок 6 памяти опорного кода, счетчик 7 импульсов и блок 8 сравнения кодов.

Умножитель работает следующим образом.

В исходном состоянии сигнал на выходе блока 8 соответствует логической "1", поэтому элемент И 2 открыт этим сигналом по второму входу, и импульсы фиксированной опорной частоты $F_{оп}$ проходят через элемент И 2 на вход делителя 3 и счетный вход делителя 4. На выходе делителя 3 формируются импульсы с частотой $F_{оп}/N$, где N — коэффициент деления делителя 3, которые поступают на счетный вход счетчика 7.

С входа умножителя на управляющий вход регистра 5 и вход формирователя 1 поступает периодическая последовательность импульсов частотой $F_{вх}$. По заданному фронту каждого входного импульса формирователь 1 вырабатывает короткий импульс, который обнуляет счетчик 7. После обнуления счетчик 7 начинает заполняться импульсами, поступающими с выхода делителя 3. К приходу очередного входного импульса на выходах счетчика 7 формируется код числа n , равного отношению частоты $F_{оп}/N$, заполняющей счетчик 7, и входной $F_{вх}$ частот

$$n = \frac{f_{оп}}{F_{вх} \cdot N}.$$

Код этого числа переписывается в регистр 5 входным импульсом и поступает с его выходов на управляющие входы делителя 4, затем выходной импульс формирователя 8 вновь обнуляет счетчик 7 и цикл повторяется. При этом делитель 4 делит тактовую частоту $F_{оп}$ на число n , и на его выходе, а следовательно, и на выходе устройства формируются импульсы с частотой $F_{вых}$, равной

$$F_{вых} = \frac{F_{оп}}{n} = \frac{F_{оп}}{F_{оп}/F_{вх} \cdot N} = F_{вх} \cdot N.$$

Таким образом, частота $F_{вых}$ импульсов на выходе устройства в N раз превышает частоту $F_{вх}$ импульсов на его входе.

Блок 6 памяти, блок 8 и элемент И 2 предотвращают наличие ложных частот на выходе умножителя при исчезновении входного сигнала. Это осуществляется следующим образом.

В блоке 6 памяти записан код числа

$$n_{\max} = \frac{F_{оп} T_{\max}}{N} + 1,$$

где $T_{\max}$ — максимально возможный период следования входных импульсов.

Код этого числа поступает на первую группу входов блока 8. По истечении с момента исчезновения входного сигнала промежутка времени $t = T_{\max} + N/F_{оп}$ код числа $n_{\max}$ появляется на выходах счетчика 7 и второй группе входов блока 8. Блок 8 при равенстве кодов на первой и второй группах его входов вырабатывает сигнал логического "0". Этот сигнал поступает на второй вход элемента И 2, в результате чего элемент И 2 по второму входу закрывается, а импульсы опорной частоты перестают поступать на счетные входы счетчика 7 и делителя 4, следовательно, исчезают импульсы и на выходе устройства.

При новом появлении импульсного сигнала на входной шине умножителя счетчик 7 обнуляется, на выходе блока 8 появляется сигнал логической "1", элемент И 2 открывается по второму входу и работа устройства возобновляется.

Ф о р м у л а и з о б р е т е н и я

Цифровой умножитель частоты следования периодических импульсов, состоящий из последовательно соединенных делителя, счетчика, регистра и делителя с переменным коэффициентом деления, а также формирователя импульсов, причем выход формирователя импульсов соединен с входом обнуления счетчика, вход записи регистра объединен с входом формирователя импульсов и является входом умножаемой частоты, а входы делителя объединены и являются входом опорной частоты, о т л и ч а ю щ и й с я тем, что, с целью исключения ложных отсчетов частоты при исчезновении входного сигнала, в него введены блок памяти опорного кода, блок сравнения кодов, первая группа входов которого соединена с

выходами блока памяти опорного кода, а вторая – с выходами разрядов счетчика импульсов, и элемент И, при этом входы дели-

телей подключены к входу опорной частоты через элемент И, второй вход которого подключен к выходу блока сравнения кодов.

Редактор И.Шулла	Составитель В.Козлов Техред М.Моргентал	Корректор Л.Пилипенко
Заказ 113	Тираж	Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР 113035, Москва, Ж-35, Раушская наб., 4/5		

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101