

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication : **2 557 727**  
(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national : **85 00019**

⑤1 Int Cl\* : H 01 L 29/78.

①2 **DEMANDE DE BREVET D'INVENTION** A1

②2 Date de dépôt : 3 janvier 1985.

③0 Priorité : US, 3 janvier 1984, n° 567.839.

④3 Date de la mise à disposition du public de la  
demande : BOPi « Brevets » n° 27 du 5 juillet 1985.

⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : *GENERAL ELECTRIC COMPANY.* — US.

⑦2 Inventeur(s) : Bantval Jayant Baliga.

⑦3 Titulaire(s) :

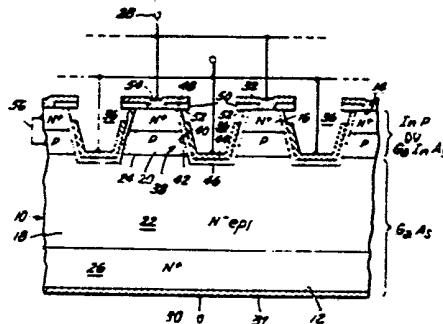
⑦4 Mandataire(s) : Alain Catherine, Getsco.

⑤4 Transistor à effet de champ en arseniure de gallium à grille isolé et mode inverse.

⑤7 Transistor ayant une mobilité électronique relativement élevée, une grande vitesse de saturation et une large bande interdite.

Le transistor comprend une région de drain 18 combinée avec une structure de canal commandé par grille 42 comprenant une couche d'un matériau semi-conducteur autre que GaAs dans laquelle peuvent se former plus aisément des régions d'inversion.

Application à la commutation de puissance.



FR 2 557 727 - A1

La présente invention concerne des dispositifs à transistor à effet de champ, à grille isolée à mode inversé (c'est-à-dire normalement ouvert) utilisant de l'arséniure de gallium, qui est un matériau de semiconducteur de faible  
5 résistance et de tension élevée ayant un nombre important de caractéristiques souhaitables. L'invention concerne plus particulièrement de tels dispositifs pour des applications de commutation de puissance.

Les transistors à effet de champ à grille isolée  
10 (IGFETs) sont avantageux dans de nombreuses applications du fait de leur grande vitesse de commutation et du fait que l'on peut les fabriquer de manière qu'ils aient une tension de rupture élevée (par exemple 500 volts), en particulier dans des configurations à canal vertical diverses telles que  
15 DMOS à canal vertical et VMOS à canal vertical. De plus, on peut aisément réaliser une caractéristique d'état ouvert normal. Des formes particulières de ces dispositifs sont connues comme transistor à effet de champ en métal isolant semiconducteur (MISFETs) et transistor à effet de champ  
20 métal-oxyde semiconducteur (MOSFETs). Pratiquement tous les MOSFETs de puissance utilisent du silicium (Si) comme matériau semiconduction du dispositif.

L'arséniure de gallium (GaAs) est un autre matériau de semiconducteur attractif pour diverses raisons. Par  
25 exemple, l'arséniure de gallium a une mobilité des électrons

cinq fois supérieure à celle du silicium, une vitesse de saturation plus grande, et une bande interdite plus large. En bref, on peut caractériser l'arséniure de gallium comme un matériau de semiconducteur de haute tension, faible résistance.

5 On peut noter que GaAs est un semiconducteur du groupe III-V car, dans la classification périodique des éléments, Ga étant le groupe III et As étant le groupe V. On doit en outre noter qu'il existe d'autres semiconducteurs de  
10 groupe III et V qui ont des caractéristiques voisines sous certains aspects.

Cependant, certaines caractéristiques de l'arséniure de gallium, discutées plus loin, rendent la fabrication de dispositifs pratiques en GaAs difficile. Par suite,  
15 en dépit des caractéristiques avantageuses indiquées ci-dessus de l'arséniure de gallium, son utilisation réelle a été principalement limitée au transistor à effet de champ métal semiconducteur à grille de Schottky (MESFETs). Les MESFETs, comme les transistors à effet de champ à jonction (JFETs),  
20 sont principalement des dispositifs à mode d'appauvrissement (normalement fermés). Dans les FETs à mode d'appauvrissement, il existe un canal de conduction entre source et drain en l'absence de tension de grille. Pour ouvrir le dispositif il faut appliquer une tension de grille de polarité appropriée pour induire une région d'épuisement pour passer le  
25 canal. Cette caractéristique d'état fermé normal est un inconvénient dans de nombreuses applications de circuit.

D'un autre côté, un FET à mode inversé (normalement ouvert) possède une couche de canal qui est normalement  
30 non conductrice. Cette couche de canal est définie dans une région de semiconducteur de type de conductivité opposée comparée aux régions de source et de drain, région de type de conductivité opposée qui peut être nommée une base de protection ou simplement région de base. La couche de canal  
35 est en fait définie seulement lorsqu'elle est induite sous

l'influence de la tension de grille, ce qui produit une région d'inversion. Dans le FET à mode inversé, l'électrode de grille doit être isolée du corps de semiconducteur du FET.

Comme noté ci-dessus, la technologie des FET à grille isolée est bien développée dans le cas de dispositifs au silicium. Dans ce dispositif, l'oxyde natif, c'est-à-dire  $\text{SiO}_2$ , sert très bien de couche d'isolation de grille.

D'un autre côté, bien qu'il soit possible de former des couches d'inversion dans de l'arséniure de gallium sous des isolants, l'obtention de bonnes propriétés d'interface (faible densité d'état de surface) entre des isolants et de l'arséniure de gallium s'est avéré être difficile. Ainsi, les propriétés de conduction de ces couches d'inversion sont mauvaises. Ces problèmes sont traités, par exemple, par T. Ito et Y. Sakai, "Les transistors MIS du type à inversion en GaAs" (Le GaAs Inversion-Type MIS Transistors), Solid-State Electronics, Vol 17, pp. 751-759 (1974) qui discutent les propriétés d'interface entre GaAs et divers isolants tels que des films de  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{Al}_2\text{O}_3$ . Toutes ces interfaces présentent des instabilités, c'est-à-dire, une hystérésis et une dérive dans le temps des courbes capacité-tension, et en outre, une dispersion anormale de fréquence des capacités. La solution proposée par Ito et Sakai est d'utiliser, comme isolateur de grille, un film à double couche déposé chimiquement en phase vapeur de  $\text{Al}_2\text{O}_3$  et  $\text{SiO}_2$ . Pour plus de référence, on pourra se reporter au document suivant qui concerne la fabrication des MOSFETs en GaAs " C.W. Wilmsen et S. Szpak, "Traitement MOS pour des semiconducteurs composés III-V : aperçu général et bibliographie", (MOS Processing for III-V Compound Semiconductors : Overview and Bibliography), Tin Solid Films, Vol. 46, pp. 17-45 (1977).

Il existe d'autres semiconducteurs III-V qui ont des propriétés d'interface supérieures à GaAs et dans lesquels on peut former plus facilement des régions d'inversion

sous des isolants de grille. Par exemple, on pourra se reporter à l'article de D.L. Lile, D.A. Collins, L.G. Meiners et L. Messick, "M.I.S.F.E.T. InP à mode inversé et canal n" (n-Channel Inversion-Mode InP M.I.S.F.E.T.), Electronics Letters, Vol. 14, n° 20, pp. 657-659 (20 septembre 1978). Lile et al., discutent le potentiel élevé des transistors à microondes basés sur des composés III-V, et mettent en évidence plusieurs problèmes liés à l'utilisation de GaAs. Lile et al., proposent et indiquent la performance de InP comme un autre matériau de semiconducteur. InP a des propriétés d'interface supérieures à celles de GaAs, et partage certaines des caractéristiques avantageuses de GaAs.

De même, un autre dispositif à mode inversé à InP est mentionné par T. Kawakami et M. Okamura, "M.I.S.F.E.T.S à mode inversé et canal-n en InP/Al<sub>2</sub>O<sub>3</sub> utilisant une source et un drain à soufre diffusé" (InP/Al<sub>2</sub>O<sub>3</sub> n-channel Inversion-Mode M.I.S.F.E.T.S Using Sulfur-Diffused Source and Drain", Electronics Letters, Vol. 15, n° 16 pp. 502-504 (2 août 1979).

Un autre matériau semiconducteur III-V est proposé par A.S.H. Liao, R.F. Leheny, R.I. Nahory et J.C. DeWinter, "un MISFET à mode inversé et canal-n en In<sub>0,53</sub>Ga<sub>0,47</sub>As/Si<sub>3</sub>N<sub>4</sub>" (An In<sub>0,53</sub>Ga<sub>0,47</sub>As/Si<sub>3</sub>N<sub>4</sub> n-Channel Inversion Mode MISFET), IEEE Electron Device Letters, Vol. EDL-2, n° 11, pp. 288-290 (1981). Liao et al., démontrent que les couches d'inversion sous un isolant de grille peuvent être formées de Ga<sub>x</sub>In<sub>1-x</sub>As où x = 0,47.

Bien que InP et Ga<sub>x</sub>In<sub>1-x</sub>As aient comme propriété que les couches d'inversion peuvent être plus aisément formées, ils ne sont pas aussi bons que GaAs en terme de matériau semiconducteur de haute tension, faible résistance lorsque l'on considère les trois facteurs suivants : la mobilité électronique, la vitesse de saturation et la bande interdite. En particulier, la mobilité des électrons de InP, bien que supérieure à celle de Si, est seulement

environ la moitié de celle de GaAs. Egalement, la bande interdite de InP est quelque peu inférieure à celle de GaAs, bien qu'elle soit supérieure à la bande interdite de Si. La résistance à l'état fermé d'un dispositif en GaAs est inférieure à la résistance à l'état fermé d'un dispositif en InP d'un facteur d'environ 2,5.

La résistance à l'état fermé de GaAs est inférieure à celle de  $\text{Ga}_x\text{In}_{1-x}\text{As}$ , en particulier lorsque  $x = 0,47$ , d'un facteur d'environ 3,5. Ceci est principalement dû à la bande interdite plus étroite de  $\text{Ga}_x\text{In}_{1-x}\text{As}$ , qui est seulement environ les deux tiers de celle de GaAs, bien que la mobilité des électrons de  $\text{Ga}_x\text{In}_{1-x}\text{As}$  ( $x = 0,47$ ) soit légèrement supérieure à celle de GaAs.

En conséquence la présente invention a pour but de fournir des structures de semiconducteurs MISFET de puissance de tension élevée utilisant de l'arséniure de gallium, avec sa mobilité électronique relativement élevée, sa vitesse de saturation et sa large bande interdite.

En bref, selon un concept général de l'invention, on fournit des structures de transistor à effet de champ à grille isolée et mode inversé dans lesquelles la région de drain se compose d'arséniure de gallium et dans lesquelles la structure du canal commandé par la grille se compose d'un autre matériau semiconducteur dans lequel il est plus facile de former des régions d'inversion convenables. Dans un MISFET de puissance, la région de drain comprend plus particulièrement une région de déplacement relativement épaisse (par exemple, 10 micromètres) légèrement dopée (par exemple  $\text{N}^-$ ) et une région terminale de drains distincte fortement dopée (par exemple  $\text{N}^+$ ). D'une manière significative, les propriétés de la région de déplacement ( $\text{N}^-$ ) déterminent largement les caractéristiques de rupture et de conduction du dispositif total. La région de déplacement  $\text{N}^-$  supporte des tensions relativement élevées aux bornes d'un dispositif MISFET lorsqu'il n'est pas conducteur et, durant la conduc-

tion directe, la région de déplacement  $N^-$  réduit la chute de tension à travers le dispositif en maintenant un champ uniforme pour obtenir une saturation rapide. La vitesse de saturation varie d'un matériau semiconducteur à l'autre, et est particulièrement élevée pour GaAs.

Ainsi, la région de déplacement de GaAs légèrement dopée est combinée avec une structure de canal commandé par grille comprenant un film de semiconducteur inversé aisément formé sur la région de déplacement de haute tension de GaAs. Typiquement, ce film ou couche a une épaisseur d'environ 5 micromètres. En particulier, la structure de canal commandé par grille du dispositif de l'invention se compose de InP ou GaInAs. A l'heure actuelle, on recommande une couche de GaInAs étagée.

Plus particulièrement, un transistor à effet de champ à grille isolée à mode inversé selon la présente invention comprend des régions de source et de drain d'un premier type de conductivité, par exemple du type de conductivité N, séparé par une région de base formant écran de type de conductivité opposée, dans cet exemple, de type de conductivité P. La région de drain à son tour comprend de plus une région de déplacement relativement légèrement dopée (par exemple  $N^-$ ) définissant une jonction PN avec la région de base formant écran, et une région terminale de drains relativement fortement dopée (par exemple  $N^+$ ) contiguë à la région de déplacement et espacée de la région de base formant écran par la région de déplacement.

La région de base formant écran comprend une couche de canal s'étendant entre les régions de source et de drain. Une électrode de grille est espacée de manière isolée de la couche de canal et configurée pour induire dans la couche de canal, lorsqu'une tension de grille est appliquée, un canal d'inversion couplant conductivement les régions de source et de drain.

Au moins une partie de la région de drain se com-

pose d'arséniure de gallium, et au moins une partie de support de canal de la région de base formant écran se compose d'un matériau semiconducteur autre que l'arséniure de gallium et dans lequel des régions d'inversion peuvent plus aisément être formées. La couche de canal est en conséquence  
5 comprise dans la partie de support de canal. Comme indiqué ci-dessus, la région de base formant écran, ou au moins sa partie de support de canal, peut se composer d'InP ou GaInAs.

10 Dans une structure de dispositif particulier selon l'invention, que l'on peut décrire comme une structure à grille encastree à canal vertical, un corps de semiconducteur possède une paire de surfaces principales opposées, et les régions de drain, de base formant écran et de source  
15 constituent des couches successives de type de conductivité alternée dans le corps de semiconducteur. La région de drains s'étend jusqu'à l'une des surfaces principales (par exemple la surface inférieure) et la région de source s'étend jusqu'à l'autre des surfaces principales, (par exemple  
20 la surface supérieure). La région de drain à son tour comprend en outre une région terminale fortement dopée  $N^+$  immédiatement adjacente à la première surface principale et une région de déplacement légèrement dopée  $N^-$  s'étendant entre la région terminale de drains  $N^+$  et la couche de  
25 base formant écran de type P.

Au moins un évidement est formé dans le corps allant de la seconde surface principale à travers les régions de source et de base formant écran. Selon les techniques de fabrication "VMOS" usuelles, l'évidement peut se  
30 composer d'une rainure en forme de "V" ou de "U". En variante, dans le cas de région de source et de base formant écran en InP, on peut former une rainure trapézoïdale inversée en utilisant des techniques de gravure appropriées.

Pour obtenir une structure commandée par grille  
35 dans la partie non-GaAs du dispositif, la couche de canal

est définie dans la région de base formant écran adjacente aux parois de l'évidement. L'électrode de grille est ainsi située dans l'évidement et est espacée de façon isolée des parois de l'évidement.

5 Une autre structure particulière de dispositif et qui est à l'heure actuelle recommandée, est une configuration MOS doublement diffusée (DMOS). Cette structure de dispositif comprend également un corps de semiconducteur ayant une paire de surfaces principales opposées. Dans ce  
10 cas, le corps de semiconducteur comprend des premières et secondes couches. Cependant, ces premières et secondes couches sont en matériaux semiconducteurs différents, et ne sont pas nécessairement de même étendue et superposées aux régions de drain, de base formant écran et de source du  
15 dispositif.

La première couche se compose d'arséniure de gallium et s'étend dans le corps d'une première des surfaces principales, par exemple, de la surface principale inférieure. La seconde couche se compose d'une couche de semi-  
20 conducteur étagée s'étendant d'une interface avec la première couche dans le corps à la seconde des surfaces principales, par exemple, à la surface principale supérieure. En particulier, la seconde couche étagée se compose d'arséniure de gallium à l'interface et se compose d'arséniure de gal-  
25 lium et d'indium (GaInP) à l'autre surface principale, avec le pourcentage d'indium augmentant pratiquement de zéro à l'interface à une concentration maximum à la seconde surface principale. Plus particulièrement, la seconde couche étagée se compose de  $Ga_x In_{1-x} As$ , dans laquelle x va d'environ  
30 1,0 à l'interface et à environ 0,47 à la seconde surface principale.

La région de drain de type de conductivité N se compose d'au moins une partie de la première couche et comprend également une partie de la seconde couche étagée. La  
35 région de déplacement légèrement dopée de la région de drain

va de la seconde surface principale, et n'est pas coextensible soit avec la première couche de GaS, soit la seconde couche étagée.

La région de base formant écran de type de conductivité P est formée dans la région de drain, par exemple, par des techniques de division classiques, et va au moins jusque dans la seconde couche étagée. Dans une forme recommandée de dispositif, la région de base formant écran de type de conductivité P s'étend complètement à travers la seconde couche étagée et légèrement dans la première couche de GaAs. Dans un autre cas, la région de base formant écran a une périphérie se terminant à la seconde (supérieure) surface principale.

La région de source  $N^+$  est classiquement formée dans la région de base formant écran et a une périphérie se terminant à la seconde (supérieure) surface principale, dans et espacée de la périphérie de la région de base formant écran afin de définir l'étendue de la couche du canal. La couche de canal se termine en conséquence à la seconde (supérieure) surface principale, où la concentration en In est la plus forte.

Finalement, l'électrode de grille isolée est formée sur la couche de canal. Ainsi, l'interface entre l'isolant de grille et le matériau semiconducteur comporte GaInAs, c'est-à-dire  $Ga_{0,53}In_{0,47}As$ .

La suite de la description se réfère aux figures annexées qui représentent respectivement :

figure 1, une vue en coupe schématique d'une partie active d'un dispositif VMOS à canal vertical selon la présente invention et utilisant InP dans la structure de canal commandé par grille ;

figure 2, une vue en coupe d'un dispositif similaire dans laquelle, on utilise des rainures de forme trapézoïdale inversée plutôt que des rainures en V ;

figure 3, une vue en coupe d'une structure de

dispositif VMOS selon la présente invention utilisant une première couche de GaS et une seconde de  $Ga_xIn_{1-x}As$  ; et

figure 4, une vue en coupe d'un dispositif similaire à celui de la figure 3 mais dans lequel la région de base formant écran de type de conductivité P ne s'étend pas tout du long à travers la seconde couche étagée de  $Ga_xIn_{1-x}As$ .

On va maintenant décrire en référence aux figures 1 et 2 des structures de dispositif combinant une région de déplacement en GaAs et une structure commandée par grille comprenant InP. Ensuite, on mentionnera certains inconvénients des dispositifs GaAs/InP, et on décrira des structures de dispositifs combinant une région de déplacement en GaS et une structure commandée par grille comprenant  $Ga_xIn_{1-x}As$  en référence aux figures 3 à 4.

#### Réalisation GaAs/InP

En se référant maintenant à la figure 1, un transistor à effet de champ en arséniure de gallium à accumulation, rainure en V et canal N selon la présente se compose d'un corps de semiconducteur 10 ayant une paire de surfaces principales opposées 12 et 14. Formés dans le corps 10 se trouvent des régions de source et de drain 16 et 18 dopées avec des impuretés de type N appropriées et séparées par une région de base formant écran 20 dopée avec des impuretés de type P appropriées. Plus particulièrement, la région de source 16 comprend une région de source  $N^+$  (fortement dopée en type de conductivité N). La région de drain 18 à son tour comprend une région de déplacement  $N^-$  (légèrement dopée en type de conductivité N) 22 définissant une jonction PN 24 avec la région de base formant écran 20, et une région terminale de drain  $N^+$  (fortement dopée au type de conductivité N) 26 contiguë à la région de déplacement 22 et espacée de la région de base formant écran P 20 par la région de déplacement  $N^-$  22. Les bornes principales de source 28 et de drain 30 du dispositif sont respectivement reliées à des

sources de métallisation de source et de drain 32 et 34 qui sont respectivement, de préférence, en contact électrique ohmique avec la région de source  $N^+$  16 du dispositif et la région de drain  $N^+$  26 du dispositif.

5           On notera que le dispositif de la figure 1 comprend un ensemble de cellules unitaires identiques, de préférence des cellules unitaires allongées définies par des encoches gravées appropriées sous la forme de rainures 36 s'étendant dans le corps 10 de la surface principale supérieure 14, comme cela est généralement de pratique classique pour les dispositifs VMOS. Les rainures 36 traversent totalement les régions de source  $N^+$  16 et de base P 20 ; et, des parties de support de canal 38 des régions de base P 20 coupent les parois latérales 40 des rainures 36. Les cellules unitaires ont des couches de métallisation de bornes de source et de grille distinctes, électriquement reliées en parallèle entre les diverses cellules unitaires, et partagent une couche de métallisation de borne de drain commune 34.

20           Pour induire sélectivement les régions de canal d'inversion 42 couplant conductivement les régions de sources  $N^+$  16 et de déplacement  $N^-$  22, une électrode de grille 44, typiquement en métal tel que l'aluminium ou l'or, est prévue espacée du matériau semiconducteur constituant la région de canal 42 au moyen d'une couche isolante 46. Lorsque le dispositif est ouvert, la région de canal 42 ne se distingue pas de la masse de la région de base P 20. Lorsque l'on applique une tension de grille positive (par rapport à la source et pour le dispositif à canal N représentatif), il se forme une région d'inversion de type de conductivité N dans la couche de canal 42 à partir de la surface de la paroi 40 faisant face à l'électrode de grille isolée 44.

35           Au moins une partie de la région de drain 18 se compose d'arséniure de gallium. (Dans le cas du dispositif de la figure 1, cette partie constitue pratiquement la tota-

lité de la région de drain 18). Au contraire, au moins la partie de support de canal 38 de la région de base formant écran de type de conductivité 20, se compose d'un matériau semiconducteur autre que l'arséniure de gallium et dans lequel peuvent se former plus aisément des régions d'inversion. La couche de canal 42 est comprise dans la partie de support de canal 38. Dans le cas du dispositif de la figure 1, la totalité de la région de base formant écran 20 se compose d'un matériau semiconducteur autre que l'arséniure de gallium, mais ce n'est pas un aspect essentiel de l'invention. Ce qui est essentiel est qu'au moins la partie 38 de la région de base formant écran 20 qui supporte le canal de conduction 42 induit par inversion sous l'influence de la tension de grille ne soit pas en arséniure de gallium.

Sur la figure 20, la région de base formant écran 20 se compose soit de InP, soit de GaInAs. Comme indiqué ci-dessus, il est plus facile de former des régions d'inversions dans ces deux matériaux que dans GaAs.

La nature du dispositif de la figure 1 sera mieux comprise à la lecture de la description d'un procédé de fabrication du dispositif.

La fabrication du dispositif commence avec un substrat GaAs  $N^+$  qui correspond à la région terminale de drain 26 dans le dispositif final. La concentration typique en impureté est de  $10^{18}$  atomes de dopant par  $cm^3$ . Pour permettre l'attaque préférentielle ultérieure, le substrat a une orientation cristallographique (100).

Ensuite, on fait croître épitaxialement une couche de GaAs de type N ou  $N^-$ , cette couche épitaxiale correspondant à la région de déplacement  $N^-$  22 dans le dispositif final de la figure 1. Une concentration de dopage type est de  $10^{17}$  atomes de dopant par  $cm^3$ , bien qu'une concentration inférieure soit nécessaire pour obtenir des tensions de rupture élevées. Cette couche épitaxiale  $N^-$  constituant la région de déplacement 22 contribue notable-

ment à la résistance relativement faible à l'état fermé du dispositif due à sa faible résistance électrique. Une épaisseur classique de la couche épitaxiale 22 est de 10 micromètres.

5                    Ensuite, on fait croître une couche épitaxiale du type P qui, après une étape ultérieure d'attaque, constitue les régions de base formant écran de type de conductivité P 20. Cette couche de type P, cependant, ne comporte pas de GaAs. Plutôt comme indiqué ci-dessus, la couche de type P se  
10 compose d'un matériau différent dans lequel les couches d'inversion peuvent être plus aisément formées. Un exemple classique est InP, avec une concentration de dopage allant d'environ  $10^{15}$  à  $10^{18}$  atomes de dopant par  $\text{cm}^3$ . La concentration de dopage type est de  $5 \times 10^{15} \text{ cm}^3$ . Une  
15 épaisseur type est d'environ 10 micromètres. On peut noter que InP a une constante de réseau de 5,869 Angström, et GaAs a une constante de réseau de 5,654 Angström. Cette différence dans la constante de réseau n'empêche pas la croissance épitaxiale de Inp sur GaAs. Cependant, cela se traduit  
20 par la création de certaines dislocations dans la couche de InP.

                  Comme étape de croissance épitaxiale finale, on fait croître une couche  $N^+$  fortement dopée constituée de InP sur la couche de type P 20 pour finalement former les  
25 régions de source 16 du dispositif. La concentration de dopage pour cette couche est de préférence supérieure à  $10^{18}$  atomes de dopant par  $\text{cm}^3$ .

                  A ce point du procédé de fabrication, le dispositif comprend simplement une pastille à couches multiples  
30 avec une hétérojonction PN 24 dans le dispositif.

                  Le masquage, l'attaque préférentielle et le formage des électrodes restant à faire, s'effectuent d'une manière relativement classique comme suit.

                  En particulier, on revêt tout d'abord la pastille  
35 avec une couche isolante 48 telle que du nitrure de silicium

ou du verre au phosphosilicate. On ouvre des fenêtres allongées 50 dans cette couche isolante par un masquage et une attaque appropriés. Pour former la configuration de la rainure 36 de la figure 1, ces fenêtres 50 doivent être orientées perpendiculairement au plan (110). Ensuite, les couches InP sont de préférence attaquées avec un mélange de  $H_2SO_4$ ,  $H_2O_2$  et  $H_2O$  pour créer la configuration de rainure décrite à la figure 1, que l'on peut décrire différemment comme une rainure V à fond plat, une rainure en U ou une rainure trapézoïdale. Afin que l'électrode de grille finale 44 puisse induire une région de canal d'inversion le long de toute la longueur de la couche de canal 42 entre les régions de source 16 et de drain 18, les évidements rainurés 36 doivent s'étendre dans la totalité des couches supérieures InP  $N^+$  et P, c'est-à-dire entièrement dans les régions de source  $N^+$  16 et de base P. On doit noter que l'étape d'attaque préférentielle, attaque par-dessous la couche isolante supérieure 48 pour former des surplombs 52.

Ensuite, on fait croître ou dépose sur la surface intérieure de la rainure un film isolant de grille approprié 46, en particulier, sur les parois latérales 40 de la rainure. Comme décrit ci-dessus, on peut effectuer l'inversion de InP au moyen de film isolant de grille de  $SiO_2$  et  $Al_2O_3$  déposé par dépôt chimique en phase vapeur. Les techniques appropriées sont décrites dans la littérature par exemple par D.L. Lile, D.A. Collins, L.G. Meiners et L. Mesnick, "MISFET en InP à mode inversé à canal-n" (n-Channel Inversion-Mode Inp M.I.S.E.F.E.T.), Electronics Letters, Vol. 14 n° 20 (28 septembre 1978) et T. Kawakami et M. Okamura "MISFETS à mode inversé canal-n en InP  $Al_2O_3$  utilisant une source et un drain à soufre diffusé" (n-Channel Inversion-Mode M.I.S.F.E.T. Using Sulphur-Diffused Source and Drain", Electronics Letters, Vol. 15, n° 16, PP. 502-504 (2 août 1979).

Ensuite, on ouvre des fenêtres de source 54 dans

la couche isolante supérieure 48, et on évapore un film métallique, tel que de l'aluminium, sur la surface supérieure de la pastille pour former, en même temps, à la fois la métallisation de source 32 et la métallisation de grille 44.

5 La métallisation de source 32 et de grille 44 sont automatiquement séparées pendant le procédé d'évaporation par le surplomb isolant 52.

Enfin, on évapore du métal 34 sur la surface inférieure 12 de la pastille afin de servir de contact de drain.

10 Afin de mettre le potentiel de la couche P 20 à une référence afin d'obtenir l'inversion superficielle de la couche P20, la région de source N<sup>+</sup> 16 et la région de base P20 doivent être court-circuitées ensemble en un point quelconque par une connexion électrique, telle que le conducteur 56, représenté schématiquement. En pratique le conducteur 56 peut être réalisé par attaque localisée de la

15 couche N<sup>+</sup> avant la métallisation pour ouvrir des fenêtres (non représentées) où la métallisation de la source 32 peut entrer en contact avec la couche de base P 16.

20 Lors du fonctionnement du dispositif de la figure 1, lorsque la borne de drain 30 du dispositif est polarisée positivement par rapport à la borne de source 28 du dispositif, l'hétérojonction PN 24 est polarisée en inverse et bloque le passage du courant. Ceci est la condition de blocage en direct normal. Pour polariser le dispositif à l'état

25 conducteur, on applique une tension positive à la borne de grille, et il se forme un canal d'inversion dans la couche de canal 42 sous l'électrode de grille 44.

Le dispositif de la figure 1, en général, fonctionne d'une manière essentiellement identique à un MOSFET

30 de puissance à canal vertical classique. C'est-à-dire, avec l'électrode de grille 44 suffisamment polarisée au moyen d'une tension positive (par rapport à la borne de source 28), un canal de conduction 42, conducteur des électrons, se

35 forme par inversion de la région de base P20. Le courant

électronique (non représenté), qui peut s'écouler dans le matériau semiconducteur de type de conductivité N, peut ainsi s'écouler entre les bornes de source et de drain 28 et 30, respectivement, via le canal de conduction 42. Au contraire d'un MOSFET de puissance à canal vertical, cependant, la relativement faible résistance à l'état conducteur de la région de déplacement  $N^-$  en GaAs 22, est combinée avec la facilité relative d'inversion de la surface du canal en InP 42 et ses propriétés supérieures de conduction de la couche d'inversion pour fournir un dispositif ayant des propriétés électriques supérieures.

La figure 2 décrit une structure de dispositif semblable, différente cependant, en ce que les canaux 36' de la figure 2 sont de forme trapézoïdale inversée. On peut obtenir cette structure en attaquant de préférence avec des rainures orientées dans une direction perpendiculaire à celle de la figure 1, c'est-à-dire, perpendiculaire à un plan (110), au moins là où les régions 16 et 20 comprennent du phosphore d'indium.

#### 20 Dispositif en GaAs/Ga<sub>x</sub>In<sub>1-x</sub>As étagé.

Les structures des dispositifs des figures 1 et 2 satisfont les buts de l'invention pour l'obtention de dispositif MISFET de puissance à tension élevée en combinant avantageusement la caractéristique de faible résistance due à la grande mobilité des électrons et à la bande interdite de GaAs, avec la caractéristique d'inversion plus facile d'un autre matériau. Ainsi, la difficulté d'obtention d'une couche d'inversion sur une surface de GaAs sous un isolant est supprimée par l'invention. Néanmoins, il existe des inconvénients aux réalisations des figures 1 et 2.

Il y a en particulier deux inconvénients. En premier l'inadaptation entre des réseaux entre les deux semiconducteurs (GaAs et InP) peut créer des défauts dans la couche de InP. Deuxièmement, les bandes interdites inégales ( $E_g$ ) peuvent créer une petite barrière de potentiel à

l'interface InP/GaAs, et cette barrière de potentiel peut accroître la résistance à l'état fermé du dispositif. Pour InP la bande interdite  $E_g$  est de 1,35 eV ; pour GaAs, la bande interdite  $E_g$  est de 1,42 eV.

5 Les structures des dispositifs des figures 3 et 4 remédient effectivement à ces inconvénients, cependant qu'en même temps une partie de la région de déplacement  $N^-$  se compose d'arséniure de gallium, et au moins une partie de support de canal de la région de base formant écran se com-  
10 pose d'un matériau semiconducteur autre que l'arséniure de gallium dans lequel peuvent se former plus aisément des régions d'inversion.

De manière générale, les réalisations des dispositifs des figures 3 et 4 ont une configuration DMOS à canal  
15 vertical. Comme dans les réalisations précédentes, au moins une partie de la région de drain se compose de GaAs. Cependant, on utilise plutôt que InP pour les parties du dispositif incluant le canal de conduction commandé par grille, une couche de composition étagée de  $Ga_xIn_{1-x}As$  que l'on a  
20 fait croître directement sur la couche de GaAs.

Cette technique remédie effectivement aux deux inconvénients indiqués ci-dessus. Premièrement, l'étagement permet d'accommoder la discordance entre les réseaux. Deuxièmement, cet étagement se traduit par une modification  
25 graduelle de la bande interdite. Ainsi, il ne peut pas apparaître une discontinuité dans la bande de conduction, et il ne se forme pas de barrière de potentiel. Encore un autre avantage est la facilité de fabrication par utilisation de techniques connues.

30 Un avantage, si on le compare à un MISFET formé entièrement de GaAs, est que  $Ga_xIn_{1-x}As$ , a de plus grande mobilité d'électron que le GaAs pur. Ainsi, on réduit la résistance du canal d'inversion par rapport à celle d'un MISFET.

35 En se référant en détail à la figure 3, un MISFET

d'arséniure de gallium comprend un corps semiconducteur 110 ayant une paire de surfaces principales opposées, une surface inférieure 112 et une surface supérieure 114. Le corps 110 comprend une première couche 116 constituée de GaAs et s'étendant à partir d'une des surfaces principales, par exemple, de la surface principale inférieure 112 dans le corps 110. Le corps 110 comprend une seconde couche 118 constituée d'une couche de semiconducteur étagée allant d'une interface 119 avec la première couche 116 à l'autre des surfaces principales, c'est-à-dire, à la surface principale supérieure 114. La seconde couche étagée 118 se compose de GaAs à l'interface 119 et se compose de GaInAs à la surface principale supérieure 114, le pourcentage d'indium augmentant pratiquement de zéro à l'interface 119 à une concentration maximum à la surface principale 114. Plus particulièrement, la seconde couche étagée se compose d'une couche de composition étagée de  $\text{Ga}_x\text{In}_{1-x}\text{As}$ , dans laquelle  $x$  va d'environ 1,0 à l'interface 119 à 0,47 à la surface principale supérieure 114.

Dans la structure du dispositif de la figure 3, il est important que les deux couches de semiconducteur 116 et 118 se composent de matériaux semiconducteurs différents, c'est-à-dire GaAs et  $\text{Ga}_x\text{In}_{1-x}\text{As}$  étagé, respectivement. On notera que ces couches ne sont pas coextensives (c'est-à-dire ne correspondent pas directement) avec les régions de drain, de base formant écran et de source du MISFET final. Des considérations distinctes concernent les régions du dispositif des deux types de conductivité (c'est-à-dire de type de conductivité P et N et de différentes conductivités) d'un côté, et dans les couches formées de matériaux semiconducteurs différents d'un autre côté.

En considérant les régions réelles du dispositif de la figure 3, le dispositif comporte une région de drain 120 qui, à son tour, se compose d'une région de déplacement  $\text{N}^-$  relativement légèrement dopée 122 et d'une région terminale de drain relativement fortement dopée  $\text{N}^+$  en contact

avec la métallisation de drain 126 et reliée à une borne de drain et de dispositif représentatif 128. La région de drain 120 comprend au moins une partie de la première couche de GaAs 116, et comprend également une partie 150 de la seconde  
5 couche de  $Ga_xIn_{1-x}As$  étagée 118. Comme dans une structure DMOS classique, une partie de la région de drain 120 (ou, plus particulièrement la partie 150 de la région de déplacement  $N^-122$ ) va jusqu'à la surface supérieure du dispositif 114.

10 Les régions de base formant écran de type de conductivité P 130, sont formées, telles que par diffusion, dans la région de drain 120, plus particulièrement dans la région de déplacement  $N^-122$ , et vont au moins jusque dans la seconde couche étagée  $Ga_xIn_{1-x}As$  118. De préférence,  
15 pour la meilleure performance du dispositif, les régions de base formant écran P 130 s'étendent totalement à travers la seconde couche étagée de  $Ga_xIn_{1-x}As$  118, et légèrement dans la première couche de GaAs 116. Dans l'un ou l'autre cas, la région de base formant écran P 130 a une périphérie  
20 132 se terminant à la surface principale supérieure 114.

La région de semiconducteur finale est une région de source  $N^+134$ , formée par exemple par diffusion, dans la région de base formant écran de type de conductivité P 130 et ayant une périphérie 136 se terminant à la surface  
25 principale supérieure 114. La périphérie 136 de la région de source  $N^+134$  est espacée de la périphérie 132 de la région de base P 130 pour définir l'étendue d'une couche de canal 138, la couche de canal 138 se terminant à la surface principale supérieure 114.

30 Une électrode de grille métallique 140 est espacée de la couche de canal 138 par une couche d'isolation de grille 142 qui, on le notera, forme une interface en 144 avec la couche de canal 138. La couche de canal 138 se compose de préférence de  $Ga_{0,47}In_{0,53}As$  à l'interface réelle  
35 le 144.

Pour achever la structure du dispositif de la figure 3, on prévoit la métallisation de source 146 de préférence en contact ohmique avec la région de source N<sup>+</sup> 134. Afin d'obtenir des courts-circuits source-base nécessaires aux structures MISFET de puissance pour éviter l'action transistor bipolaire parasite, une extension de court-circuit 148 de la région de base P 130 s'étend à travers la région de source N<sup>+</sup> 134 jusqu'à la surface principale 114, de préférence en contact ohmique avec la métallisation de borne de source 144.

Dans la fabrication du dispositif de la figure 3, la première couche de GaAs 116 est formée en commençant avec un substrat N<sup>+</sup> qui devient ensuite la région terminale de drain du dispositif 124. On fait ensuite croître épitaxialement la région de déplacement N<sup>-</sup> 120. Lorsqu'on a atteint le sommet de la première couche de GaAs 116, la croissance épitaxiale se poursuit, mais avec l'introduction graduelle de In pour obtenir la croissance dans la couche de composition étagée 118 de Ga<sub>x</sub>In<sub>1-x</sub>As.

Ensuite, on forme la structure d'électrode supérieure réelle du dispositif en utilisant des techniques de masquage et de double diffusion classiques.

En ce qui concerne la fabrication du dispositif de la figure 3, on notera que la croissance réussie d'une couche de composition étagée de Ga<sub>x</sub>In<sub>1-x</sub> sur As a été démontrée, [voir par exemple R.E. Enstrom, D. Richman, M.S. Abrahams, J.R. Appert, D.G. Fisher, A.H. Sommers et B.F. Williams, "Croissance en phase vapeur d'alliage de Ga<sub>x</sub>In<sub>1-x</sub>As pour des applications à photocathodes à infrarouges" (Vapour Growth of Ga<sub>x</sub>In<sub>1-x</sub>As Alloys for Infrared Photocathode Applications), 1970 Symposium on GaAs, papier 3, pages 30-40]. De plus, on a démontré que l'on peut inverse et Ga<sub>0,47</sub>In<sub>0,53</sub>As en utilisant SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> et Si<sub>3</sub>N<sub>4</sub> comme isolant de grille, [voir par exemple, A.S.H. Liao, R.F. Leheny, K.E. Nahory et J.C. DeWinter, un

MISFET à mode inversé et canal-n en  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}/\text{Si}_3\text{N}_4$  (An  $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}/\text{Si}_3\text{N}_4$  n-Channel Inversion Mode MISFET) IEEE Electron Device Letters, Vol. EDL-2, pp. 288-290 (11 Novembre 1981)]

5 Le fonctionnement du dispositif de la figure 3 est essentiellement identique au fonctionnement du dispositif de la figure 1, comme discuté ci-dessus, avec la résistance relativement faible à l'état fermé de la région de déplacement en GaAs 122 combinée avec la relative facilité d'inversion du canal de GaInAs 138 et ses propriétés de conduction supérieures de la couche d'inversion.

10 Finalement, la figure 4 décrit une légère modification de la structure du dispositif dans laquelle la région de base formant écran de type de conduction P 130 ne traverse pas totalement la seconde couche étagée de  $\text{Ga}_x\text{In}_{1-x}\text{As}$  118. Bien que la performance de ce dispositif soit quelque peu inférieure à celle du dispositif de la figure 3, il satisfait néanmoins effectivement au problème auquel s'intéresse la présente invention. On notera que dans l'un ou l'autre cas de la figure 3 ou de la figure 4, la partie de support de canal de la région de base P se compose de  $\text{Ga}_x\text{In}_{1-x}\text{As}$ , de préférence  $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$ .

20 On a décrit dans ce qui précède des structures de semiconducteurs MISFET de puissance à haute tension, à faible résistance à l'état fermé résultant de l'utilisation de régions de déplacement d'arséniure de gallium, qui en même temps présentent de bonnes caractéristiques d'inversion dans un type différent de matériau semiconducteur réalisant les région de base formant écran.

30 Bien qu'on ait représenté des réalisations particulières de l'invention, on notera que de nombreuses modifications pourront apparaître à l'homme de l'art. Par exemple, les dispositifs des figures 1 et 2, représentés avec des constructions VMOS (à rainure), pourraient être réalisés avec une construction DMOS (sans rainure) ; de même, les

dispositifs des figures 3 et 4, représenté avec une construction DMOS pourraient au contraire être réalisé avec une construction VMOS, avec la totalité de la région de support de canal de la région de base formant écran comprenant de

5 préférence du  $\text{Ga}_x\text{In}_{1-x}\text{As}$  homogène où  $x = 0,47$ .

REVENDEICATIONS

1. Transistor à effet de champ à grille isolée à mode inversé comprenant :

5 - des régions de source (16) et de drain (18) d'un type de conductivité séparées par une région de base formant écran (20) de type de conductivité opposée ;

- cette région de base formant écran (20) incluant une couche de canal (42) s'étendant entre les régions de source (16) et de drain (18) ;

10 - une électrode de grille (44) espacée de façon isolée de la couche de canal et configurée pour induire dans cette couche de canal (42), lorsqu'on lui applique une tension de grille, une région de canal d'inversion couplant conductivement les régions de source et de drain ;

15 - au moins une partie de la région de drain (18) comprenant du matériau semiconducteur en arséniure de gallium, et ;

- au moins une partie de support de canal (38) de cette région de base formant écran (20), se composant d'un  
20 matériau semiconducteur autre que l'arséniure de gallium et dans lequel des régions d'inversion peuvent être plus aisément formées, la couche de canal (42) étant incluse dans la partie de support de canal (38).

2. Transistor selon la revendication 1, caractérisé en ce que que la région de base formant écran (20) se  
25 compose de phosphure d'indium.

3. Transistor selon la revendication 1, caractérisé en ce que à la fois la région de base formant écran (20),  
et la région de source (16), se compose de phosphure d'in-  
30 dium.

4. Transistor selon la revendication 1, caractérisé en ce que la partie de support de canal (38), de la  
région de base formant écran (20), se compose d'arséniure de  
gallium et d'indium.

35 5. Transistor selon la revendication 1, caracté-

risé en ce que à la fois les régions de support de canal (38) de cette région de base formant écran (20) et la région de source (16), se compose d'arséniure de gallium et d'indium.

5                   6. Transistor selon la revendication 4, caracté-  
risé en ce que la région de base formant écran (20), se  
compose de  $Ga_xIn_{1-x}As$  avec une concentration étagée de  
In et ayant une concentration maximum de In correspondant à  
10 (38).  
une valeur minimum de x dans la partie de support de canal

7. Transistor selon la revendication 6, caracté-  
risé en ce que la valeur minimum de x est d'environ 0,47.

8. Transistor selon la revendication 1, caracté-  
risé en ce que la partie d'arséniure de gallium de la région  
15 de drain (18) se compose d'une région de déplacement (22)  
relativement légèrement dopée définissant une jonction PN  
(24) avec la région de base formant écran (20).

9. Transistor selon la revendication 8, caracté-  
risé en ce que la partie d'arséniure de gallium de la région  
20 de drain (18) comprend en outre une région terminale de  
drain relativement fortement dopée (26) contiguë à la région  
de déplacement (22) et espacée de la région de base formant  
écran (20) par cette région de déplacement (22).

10. Transistor selon la revendication 2, caracté-  
25 risé en ce que la partie d'arséniure de gallium de la région  
de drain (18) comprend une région de déplacement (22) rela-  
tivement légèrement dopée définissant une jonction PN (24)  
avec la région de base formant écran (20).

11. Transistor selon la revendication 10, carac-  
30 térisé en ce que la partie d'arséniure de gallium de cette  
région de drain (18) comprend en outre une région terminale  
de drain relativement fortement dopée (26) contiguë à la  
région de déplacement (22) et espacée de la région de base  
formant écran (20) par cette région de déplacement (22).

35                   12. Transistor selon la revendication 4, caracté-

risé en ce que la partie d'arséniure de gallium de cette région de drain (18) comprend une région de déplacement relativement légèrement dopée (22) définissant une jonction PN (24) avec la région de base formant écran (20).

5 13. Transistor selon la revendication 12, caractérisé en ce que la partie d'arséniure de gallium de cette région de drain (18) comprend en outre une région terminale de drain relativement fortement dopée (26) contiguë à la région de déplacement (22) et espacée de la région de base formant écran (20) par la région de déplacement (22).  
10

14. Transistor selon la revendication 1, comprenant une structure à grille encastrée et comprenant :

- un corps semiconducteur (10) contenant des régions de source (16), drain (18) et base (20) formant écran (20) et ayant une paire de surfaces opposées (12, 14); les régions de drain (18), de base formant écran (20) et de source (16) constituant des couches successives de type de conductivité alternée, la région de drain (18) s'étendant jusqu'à l'une première (12) de ces surfaces principales, et la région de source (16) s'étendant jusqu'à l'autre (14) des surfaces principales ;  
15  
20

- au moins un évidement (36) formé dans le corps allant de la seconde surface principale (14) à travers les régions de source (16) et de base formant écran (20) ;

25 - la couche de canal (42) étant contenu dans la région de base formant écran (20) adjacente aux parois latérales (40) de cet évidement, et

- l'électrode de grille (44) étant située dans cet évidement et espacée de façon isolée des parois latérales (40) de cet évidement (36).  
30

15. Transistor selon la revendication 14, caractérisé en ce que l'évidement (36) se compose d'une rainure trapézoïdale.

16. Transistor selon la revendication 14, caractérisé en ce que l'évidement (36) se compose d'une rainure à  
35

fond plat.

17. Transistor selon la revendication 14, caractérisé en ce que la couche de la région de drain (18) se compose d'arséniure de gallium et les couches de région de base formant écran (20) et de source (16) se compose de phosphure d'indium.

18. Transistor selon la revendication 1, ayant une configuration DMOS comprenant :

- un corps semiconducteur (110) contenant des régions de drain (120) et de base formant écran (130) et ayant une paire de surfaces principales opposées (112, 114);

- le corps (110) incluant une couche (116) d'arséniure de gallium allant d'une première des surfaces principales (112) jusque dans le corps (110);

- ce corps incluant une couche (118) de semiconducteur étagé allant d'une interface (119) dans ce corps avec la couche d'arséniure de gallium (116) à l'autre des surfaces principales (114), cette couche de semiconducteur étagée (118) se composant d'arséniure de gallium à l'interface (119) et se composant d'arséniure de gallium et d'indium à l'autre surface principale (114), dans laquelle le pourcentage d'indium va de pratiquement zéro à l'interface (119) à une concentration maximale à l'autre surface principale (114);

- la région de drain (120) du premier type de conductivité comprenant une partie de la couche d'arséniure de gallium (116) et une partie (150) de la couche de semiconducteur étagé (118), et allant jusqu'à l'autre surface principale (114) ;

- la région de base formant écran de type de conductivité opposée (130) étant située dans des régions de drain (122) s'étendant au moins dans la couche de semiconducteur étagée (118), et ayant une périphérie (132) se terminant à l'autre surface principale (114) ; et

- la région de source (116) du premier type de

conductivité étant située dans la région de base formant écran (130) ayant une périphérie (136) se terminant à l'autre surface principale (114) à l'intérieur de et espacée de la périphérie (132) de la région de base formant écran (130) pour définir l'étendue de la couche de canal (138),  
5 cette couche de canal se terminant à l'autre surface principale (114).

19. Transistor selon la revendication 18, caractérisé en ce que la région de base formant écran (130) s'étend à travers la couche de semiconducteur étagée (118)  
10 jusque dans la couche d'arséniure de gallium (116).

20. Transistor selon la revendication 18, caractérisé en ce que la couche de semiconducteur étagée (118) se compose  $Ga_x In_{1-x} As$ , dans laquelle  $x$  va d'environ 1,0 à  
15 l'interface (119) à environ 0,47 à l'autre surface principale (114).

FIG. 1

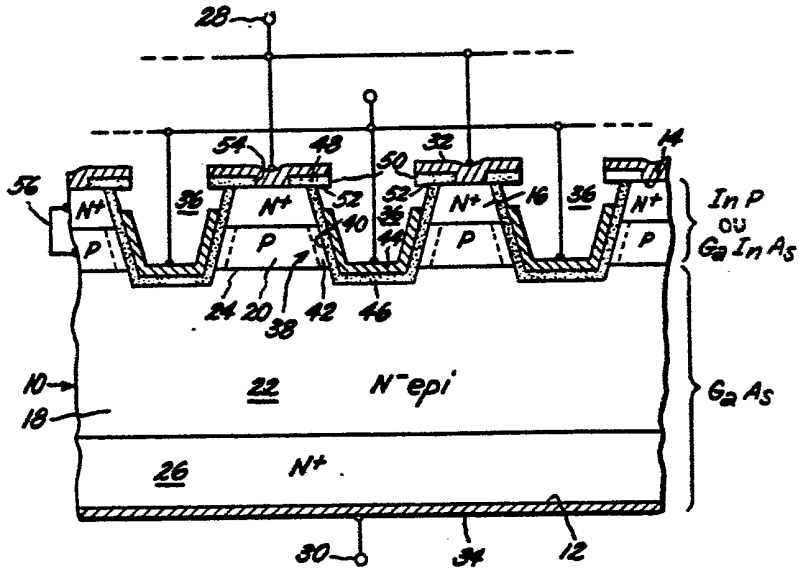


FIG. 2

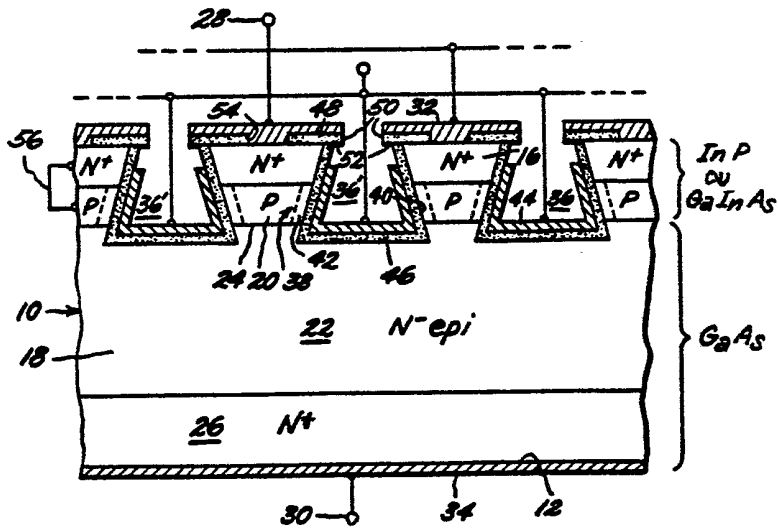


FIG. 3

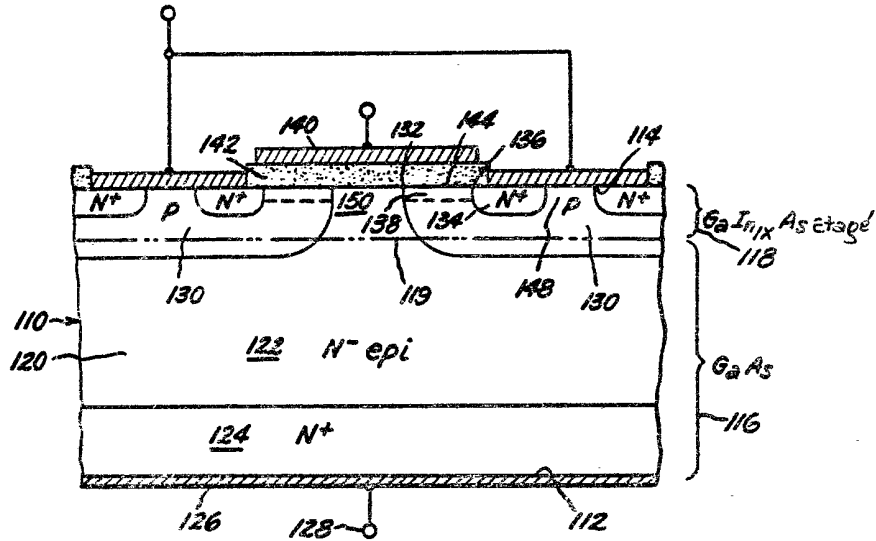


FIG. 4

