



(12)发明专利

(10)授权公告号 CN 103187309 B

(45)授权公告日 2016.08.17

(21)申请号 201110459177.4

JP 特开昭62-115879 A, 1987.05.27,

(22)申请日 2011.12.31

US 2010/0171154 A1, 2010.07.08,

(73)专利权人 中芯国际集成电路制造(北京)有限公司

审查员 裴亚芳

地址 100176 北京市大兴区经济技术开发区文昌大道18号

(72)发明人 三重野文健

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 欧阳帆

(51)Int.Cl.

H01L 21/337(2006.01)

H01L 29/808(2006.01)

(56)对比文件

JP 特开昭62-115879 A, 1987.05.27,

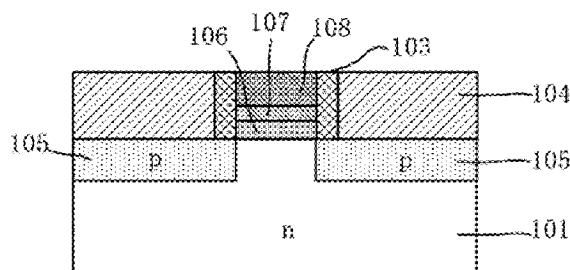
权利要求书2页 说明书5页 附图2页

(54)发明名称

结型场效应晶体管及其制造方法

(57)摘要

本发明涉及一种结型场效应晶体管(JFET)及其制造方法。根据本发明的制造结型场效应晶体管的方法包括：在第一导电类型的半导体衬底上形成伪栅；在所述半导体衬底的所述伪栅的两侧的区域中形成源极区和漏极区；在所述半导体衬底上形成绝缘体层，所述绝缘体层不覆盖所述伪栅；去除所述伪栅，从而在所述绝缘体层中留下开口；以及在所述开口中自下而上依次形成第二导电类型的第一半导体层、第一导电类型的第一半导体层和金属栅极。通过使用根据本发明的制造方法，能够实现c-JFET与CMOS的后栅极工艺的完美的匹配。



1. 一种制造结型场效应晶体管的方法,包括:
在第一导电类型的半导体衬底上形成伪栅;
在所述半导体衬底的在所述伪栅的两侧的区域中形成源极区和漏极区;
在所述半导体衬底上形成绝缘体层,所述绝缘体层不覆盖所述伪栅;
去除所述伪栅,从而在所述绝缘体层中留下开口;以及
在所述开口中自下而上依次形成第二导电类型的第一半导体层、第一导电类型的第二半导体层、以及金属栅极。
2. 根据权利要求1所述的方法,其中形成所述源极区和漏极区的步骤包括:
形成轻掺杂区域;
在所述伪栅的两侧形成侧壁间隔件;以及
执行离子注入以形成所述源极区和所述漏极区。
3. 根据权利要求1所述的方法,其中形成所述源极区和漏极区的步骤包括:
刻蚀所述半导体衬底,以在所述半导体衬底的在所述伪栅的两侧的区域中形成凹槽;
以及
在所述凹槽中选择性生长锗硅以形成所述源极区和所述漏极区。
4. 根据权利要求1所述的方法,其中形成所述绝缘体层的步骤包括:沉积所述绝缘体层,然后执行平坦化处理直到露出所述伪栅。
5. 根据权利要求4所述的方法,利用化学机械抛光工艺来执行所述平坦化处理。
6. 根据权利要求1所述的方法,在去除所述伪栅之后还包括:对露出的所述半导体衬底的部分执行第一导电类型的掺杂操作。
7. 根据权利要求6所述的方法,其中通过注入具有 $10\text{--}50\text{KeV}$ 能量的、 $0.5\text{--}6.0 \times 10^{16}\text{cm}^{-2}$ 的第一导电类型的杂质离子来执行所述掺杂操作。
8. 根据权利要求7所述的方法,其中所述第一导电类型为n型,所述第一导电类型的杂质离子包括:As、P或Sb。
9. 根据权利要求1所述的方法,其中所述第一导电类型为n型,所述第二导电类型为p型,所述第二导电类型的第一半导体层为p型硅、p型锗或者p型锗硅,所述第一导电类型的第二半导体层为n型单晶硅、n型掺杂的非晶硅或多晶硅。
10. 根据权利要求9所述的方法,其中所述第二导电类型的第一半导体层为p型锗硅,并且所述p型锗硅中的锗浓度为10–45%。
11. 根据权利要求9所述的方法,其中所述第二导电类型的第一半导体层为p型锗硅,并且所述p型锗硅中的锗浓度小于50%。
12. 根据权利要求9所述的方法,其中所述第一半导体层的厚度小于30nm。
13. 根据权利要求12所述的方法,其中所述第一半导体层的厚度小于10nm。
14. 根据权利要求1所述的方法,其中通过在所述开口中选择性生长半导体材料来形成所述第一半导体层和所述第二半导体层。
15. 根据权利要求1所述的方法,其中通过在所述开口中选择性外延生长第二导电类型掺杂的半导体材料来形成所述第一半导体层,并且通过如下步骤来形成所述第二半导体层:
沉积由非晶硅或多晶硅构成的半导体材料层;

对所述半导体材料层进行第一导电类型的掺杂，并进行退火；以及回刻所述半导体材料层，以仅在所述开口中形成所述第二半导体层。

16. 根据权利要求1所述的方法，其中所述第一导电类型为n型，所述第二导电类型为p型，所述结型场效应晶体管为包含p型结型场效应晶体管和n型结型场效应晶体管的互补结型场效应晶体管，并且

在去除所述伪栅之后，先在与p型结型场效应晶体管的沟道区对应的开口中自下而上依次形成p型的第一半导体层、n型的第二半导体层、以及金属栅极；以及

然后，在与n型结型场效应晶体管的沟道区对应的开口中自下而上依次形成n型半导体层、p型半导体层和金属栅极。

17. 根据权利要求16所述的方法，其中通过在与n型结型场效应晶体管的沟道区对应的开口中选择性生长n型硅或n型碳硅来形成所述n型半导体层，并且通过在所述n型半导体层上选择性生长p型硅来形成所述p型半导体层。

18. 根据权利要求16所述的方法，其中通过在与n型结型场效应晶体管的沟道区对应的开口中选择性生长n型硅或n型碳硅来形成所述n型半导体层，并且通过如下步骤来形成所述p型半导体层：

沉积由非晶硅或多晶硅构成的半导体材料层；

对所述半导体材料层进行p型掺杂，并进行退火；以及

回刻所述半导体材料层，以仅在所述开口中形成所述p型半导体层。

19. 根据权利要求17或18所述的方法，其中所述n型半导体层由n型碳硅构成，并且所述n型碳硅中的碳浓度为1-4%。

结型场效应晶体管及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,特别地涉及利用后栅极(gate-last)工艺来制造结型场效应晶体管(JFET)。

背景技术

[0002] 目前,随着半导体器件尺寸的不断缩小,高k绝缘层与金属栅极结合的技术几乎已经成为制造小尺寸晶体管的必备技术。然而,在制造这种结构的晶体管的工艺方面,存在着先栅极(gate-first)和后栅极(gate-last)两种制造工艺。通常认为,使用先栅极工艺实现这种结构的难点在于如何控制PMOS的阈值电压。为了实现PMOS的阈值电压的降低,需要在先栅极工艺中引入相当多的器件结构的变化和设计,这大大增加了工艺的复杂程度和制造成本。因此,本发明的发明人认为,后栅极工艺是一项更加适合的技术。

[0003] 互补结型场效应晶体管(c-JFET)在当前已经得到了广泛的应用。现有的关于c-JFET的制造方法都采用了先栅极方法。现有技术中并没有介绍使用后栅极制造方法来制造c-JFET,也没有相关文献介绍这样的制造工艺。

[0004] 然而,为了在一个芯片上集成c-JFET和CMOS,希望c-JFET的制造方法能与CMOS的后栅极工艺兼容。

[0005] 鉴于上述问题,期望提出一种利用后栅极工艺来制造JFET的方法。

发明内容

[0006] 本发明的一个目的是利用后栅极工艺来制造结型场效应晶体管。

[0007] 根据本发明的第一方面,提供了一种制造结型场效应晶体管的方法,其包括:在第一导电类型的半导体衬底上形成伪栅;在所述半导体衬底的在所述伪栅的两侧的区域中形成源极区和漏极区;在所述半导体衬底上形成绝缘体层,所述绝缘体层不覆盖所述伪栅;去除所述伪栅,从而在所述绝缘体层中留下开口;以及在所述开口中自下而上依次形成第二导电类型的第一半导体层、第一导电类型的第二半导体层、以及金属栅极。

[0008] 优选地,形成所述源极区和漏极区的步骤包括:形成轻掺杂区域;在所述伪栅的两侧形成侧壁间隔件;以及执行离子注入以形成所述源极区和所述漏极区。

[0009] 优选地,形成所述源极区和漏极区的步骤包括:刻蚀所述半导体衬底,以在所述半导体衬底的在所述伪栅的两侧的区域中形成凹槽;以及在所述凹槽中选择性生长锗硅以形成所述源极区和所述漏极区。

[0010] 优选地,形成所述绝缘体层的步骤包括:沉积所述绝缘体层,然后执行平坦化处理直到露出所述伪栅。

[0011] 优选地,利用化学机械抛光工艺来执行所述平坦化处理。

[0012] 优选地,所述方法在去除所述伪栅之后还包括:对露出的所述半导体衬底的部分执行第一导电类型的掺杂操作。

[0013] 优选地,通过注入具有10-50KeV能量的、 $0.5-6.0 \times 10^{16} \text{ cm}^{-2}$ 的第一导电类型的杂

质离子来执行所述掺杂操作。

[0014] 优选地，所述第一导电类型为n型，所述第一导电类型的杂质离子包括：As、P或Sb。

[0015] 优选地，所述第一导电类型为n型，所述第二导电类型为p型，所述第二导电类型的第一半导体层为p型硅、p型锗或者p型锗硅，所述第一导电类型的第一半导体层为n型单晶硅、n型掺杂的非晶硅或多晶硅。

[0016] 优选地，所述第二导电类型的第一半导体层为p型锗硅，并且所述p型锗硅中的锗浓度为10-45%。

[0017] 优选地，所述第二导电类型的第一半导体层为p型锗硅，并且所述p型锗硅中的锗浓度小于50%。

[0018] 优选地，所述第一半导体层的厚度小于30nm。

[0019] 优选地，所述第一半导体层的厚度小于10nm。

[0020] 优选地，通过在所述开口中选择性生长半导体材料来形成所述第一半导体层和所述第二半导体层。

[0021] 优选地，通过在所述开口中选择性外延生长第二导电类型掺杂的半导体材料来形成所述第一半导体层，并且通过如下步骤来形成所述第二半导体层：沉积由非晶硅或多晶硅构成的半导体材料层；对所述半导体材料层进行第一导电类型的掺杂，并进行退火；以及回刻所述半导体材料层，以仅在所述开口中形成所述第二半导体层。

[0022] 优选地，所述第一导电类型为n型，所述第二导电类型为p型，所述结型场效应晶体管为包含p型结型场效应晶体管和n型结型场效应晶体管的互补结型场效应晶体管，并且在去除所述伪栅之后，先在与p型结型场效应晶体管的沟道区对应的开口中自下而上依次形成p型的第一半导体层、n型的第二半导体层、以及金属栅极；以及然后，在与n型结型场效应晶体管的沟道区对应的开口中自下而上依次形成n型半导体层、p型半导体层和金属栅极。

[0023] 优选地，通过在与n型结型场效应晶体管的沟道区对应的开口中选择性生长n型硅或n型碳硅来形成所述n型半导体层，并且通过在所述n型半导体层上选择性生长p型硅来形成所述p型半导体层。

[0024] 优选地，通过在与n型结型场效应晶体管的沟道区对应的开口中选择性生长n型硅或n型碳硅来形成所述n型半导体层，并且通过如下步骤来形成所述p型半导体层：沉积由非晶硅或多晶硅构成的半导体材料层；对所述半导体材料层进行p型掺杂，并进行退火；以及回刻所述半导体材料层，以仅在所述开口中形成所述p型半导体层。

[0025] 优选地，所述n型半导体层由n型碳硅构成，并且所述n型碳硅中的碳浓度为1-4%。

[0026] 根据本发明的第二方面，提供了一种结型场效应晶体管，其包括：在第一导电类型的半导体衬底中的第二导电类型的源极区和漏极区；以及在所述半导体衬底的夹在所述源极区和所述漏极区之间的区域上自下而上依次堆叠的第二导电类型的第一半导体层、第一导电类型的第二半导体层、以及金属栅极。

[0027] 优选地，所述第一导电类型为n型，所述第二导电类型为p型，所述半导体衬底由硅构成。

[0028] 优选地，所述源极区和所述漏极区由锗硅构成。

[0029] 优选地，所述第一半导体层为p型硅、p型锗或者p型锗硅，所述第二半导体层为n型单晶硅、n型掺杂的非晶硅或多晶硅。

- [0030] 优选地,所述第一半导体层为p型锗硅,并且所述p型锗硅中的锗浓度为10-45%。
- [0031] 优选地,所述第一半导体层为p型锗硅,并且所述p型锗硅中的锗浓度小于50%。
- [0032] 本发明的一个优点在于,通过使用根据本发明的制造方法,能够实现c-JFET与CMOS的后栅极工艺的完美的匹配。因此,使得更容易将功率降低器件系统集成到一个芯片中。
- [0033] 通过以下参照附图对本发明的示例性实施例的详细描述,本发明的其它特征及其优点将会变得更为清楚。

附图说明

- [0034] 参照附图,根据下面的详细描述,可以更加清楚地理解本发明。为了清楚起见,图中各个层的相对厚度以及特定区域的相对尺寸并没有按比例绘制。在附图中:
- [0035] 图1-6示例性地示出了根据本发明的一个实施例的制造结型场效应晶体管的方法的各个步骤。

具体实施方式

- [0036] 下面将参照附图来详细描述本发明的各种示例性实施例。
- [0037] 应注意到:除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限制本发明的范围。另外,相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步讨论。
- [0038] 以下对示例性实施例的描述仅仅是说明性的,决不作为对本发明及其应用或使用的任何限制。本领域中公知的技术可以被应用于没有特别示出或描述的部分。在这里示出和讨论的所有示例中,任何具体值应被解释为仅仅是示例性的,而不是作为限制。因此,示例性实施例的其它示例可以具有不同的值。
- [0039] 图1-6是在根据本发明的一个实施例的制造JFET的方法的各个步骤时的示例性截面图。在所示出的实施例中,所制造的JFET为p型JFET。应该理解,本发明不限于此。本发明还可以适用于制造n型JFET,只要将本实施例中的各个半导体层的导电类型反转即可。此外,本发明也可以适用于制造既包含p型JFET又包含n型JFET的互补JFET(c-JFET)。在本实施例中,为了方便陈述,以p型JFET为例来描述本发明的概念和原理。
- [0040] 如图1所示,首先在第一导电类型(在本实施例中为n型)的半导体衬底101上形成伪栅102。
- [0041] 半导体衬底101可以为硅衬底或者绝缘体上硅衬底等。可以用本领域技术人员已知的各种方法来形成伪栅102。在一些实施例中,在伪栅102下形成有伪栅氧化物层。在这种情况下,在后续将描述的去除伪栅102的步骤时,还要去除伪栅氧化物层。
- [0042] 如图2所示,在半导体衬底101的在伪栅102的两侧的区域中形成源极区和漏极区105,并且然后在半导体衬底101上形成绝缘体层104,该绝缘体层104不覆盖伪栅102。
- [0043] 在本实施例中,还在伪栅102的两侧形成侧壁间隔件103。应该理解,在某些实施例中,可以不形成侧壁间隔件103。
- [0044] 在本实施例中,通过如下步骤来形成源极区和漏极区105:先通过注入等工艺形成

轻掺杂区域,然后在伪栅102的两侧形成侧壁间隔件103,最后执行离子注入以形成源极区和漏极区105。

[0045] 在另一个实施例中,可以利用锗硅来形成源极区和漏极区,从而引入应力以提高载流子迁移率。在该另一个实施例中,可以通过如下步骤来形成源极区和漏极区:刻蚀半导体衬底101,以在半导体衬底101的在伪栅102的两侧的区域中形成凹槽;以及在该凹槽中选择性生长锗硅以形成源极区和漏极区。可以通过选择性外延工艺来生长锗硅。优选地,可以在选择性生长锗硅时进行原位掺杂。

[0046] 可以通过如下步骤来在半导体衬底101上形成绝缘体层104:利用化学气相沉积等工艺沉积绝缘体层104,然后执行平坦化处理直到露出伪栅102(以及侧壁间隔件103)。优选地,利用化学机械抛光工艺来执行该平坦化处理。

[0047] 如图3所示,去除伪栅102,从而在绝缘体层104中留下开口。

[0048] 在一些实施例中,在去除伪栅102之后,可选地,对露出的半导体衬底101的部分执行第一导电类型的掺杂操作。可以通过注入具有10–50KeV能量的、 $0.5\text{--}6.0 \times 10^{16}\text{cm}^{-2}$ 的第一导电类型的杂质离子来执行所述掺杂操作。在第一导电类型为n型的情况下,所述第一导电类型的杂质离子包括:As、P或Sb。

[0049] 如图4–6所示,在开口中自下而上依次形成第二导电类型(在本实施例中为p型)的第一半导体层106、第一导电类型(在本实施例中为n型)的第二半导体层107、以及金属栅极108。最终,形成如图6所示的p型JFET。

[0050] 第一半导体层106可以由p型硅、p型锗或者p型锗硅构成。在一些实施例中可以通过在开口中选择性生长半导体材料来形成第一半导体层106。可以通过选择性外延工艺来实现该选择性生长。优选地,可以在选择性外延的同时进行原位掺杂。

[0051] 在第一半导体层106为p型锗硅的情况下,所述p型锗硅中的锗浓度优选地可以为10–45%。在一些实施例中,所述p型锗硅中的锗浓度优选地可以小于50%。

[0052] 在一些实施例中,第一半导体层106的厚度优选地小于30nm。在一些实施例中,第一半导体层106的厚度优选地小于10nm。

[0053] 第二半导体层107可以由n型单晶硅、n型掺杂的非晶硅或多晶硅构成。在第二半导体层107由n型单晶硅构成的实施例中,可以通过在开口中的第一半导体层106上选择性生长单晶硅来形成该第二半导体层107。在第二半导体层107由n型掺杂的非晶硅或多晶硅构成的实施例中,可以通过如下步骤来形成第二半导体层107:沉积由非晶硅或多晶硅构成的半导体材料层;对所述半导体材料层进行n型掺杂,并进行退火;以及回刻所述半导体材料层,以仅在所述开口中形成第二半导体层107。

[0054] 图1–6仅仅示例性示出了制造p型JFET的方法。然而,根据本发明,也可以制造包含p型JFET和n型JFET两者的c–JFET。在这种情况下,可以先形成p型JFET,然后形成n型JFET。在这样的实施例中,在去除伪栅之后,可以先在与p型JFET的沟道区对应的开口中自下而上依次形成p型的第一半导体层106、n型的第二半导体层107、以及金属栅极108。然后,在与n型JFET的沟道区对应的开口中自下而上依次形成n型半导体层、p型半导体层和金属栅极。

[0055] 可以通过在与n型JFET的沟道区对应的开口中选择性生长n型硅或n型碳硅来形成该n型半导体层。在该n型半导体层由n型碳硅构成的情况下,所述n型碳硅中的碳浓度优选地可以为1–4%。

[0056] 可以通过在该n型半导体层上选择性生长p型硅来形成该p型半导体层。可替代地，可以通过如下步骤来形成该p型半导体层：沉积由非晶硅或多晶硅构成的半导体材料层；对所述半导体材料层进行p型掺杂，并进行退火；以及回刻所述半导体材料层，以仅在开口中的该n型半导体层上形成该p型半导体层。

[0057] 总之，如上所述，根据本发明，能够实现c-JFET与CMOS的后栅极工艺的兼容，从而能够利用后栅极工艺将c-JFET和CMOS集成在一个芯片中。

[0058] 至此，已经详细描述了根据本发明的JFET及其制造方法。为了避免遮蔽本发明的构思，没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述，完全可以明白如何实施这里公开的技术方案。

[0059] 虽然已经通过示例性实施例对本发明进行了详细说明，但是本领域的技术人员应该理解，以上示例性实施例仅是为了进行说明，而不是为了限制本发明的范围。本领域的技术人员应该理解，可在不脱离本发明的范围和精神的情况下，对以上实施例进行修改。本发明的范围由所附权利要求来限定。

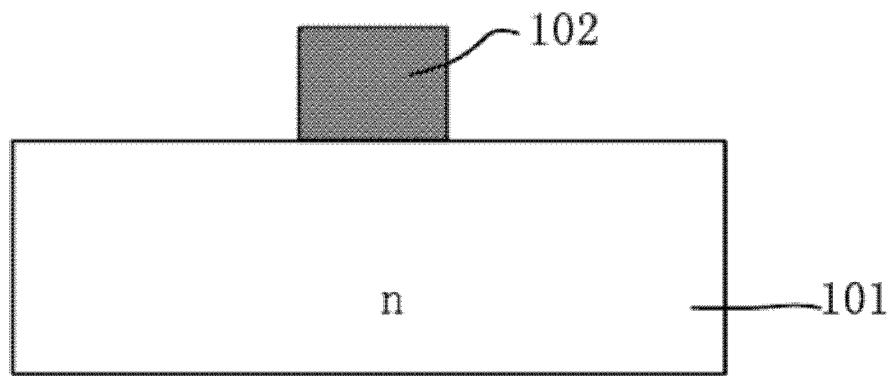


图1

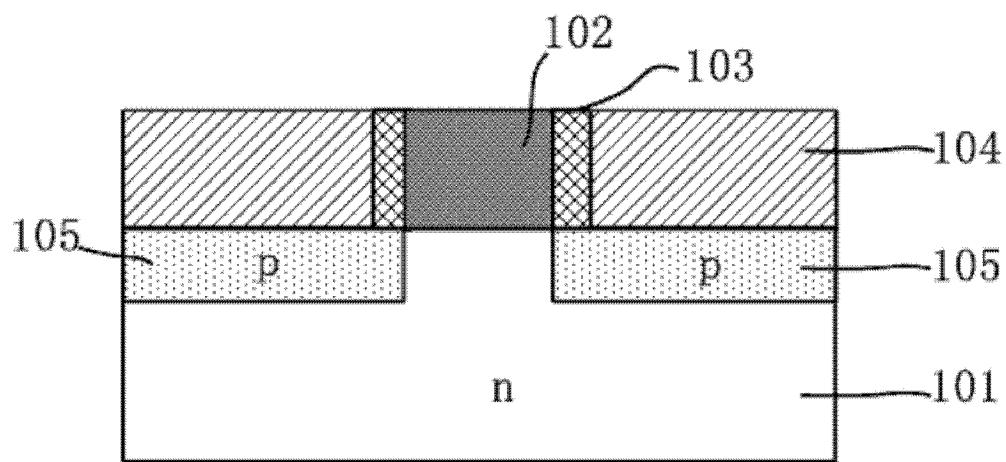


图2

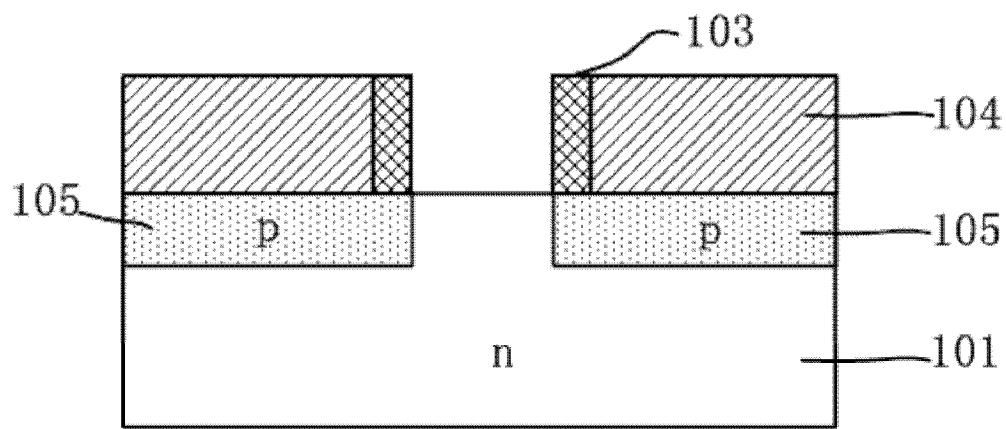


图3

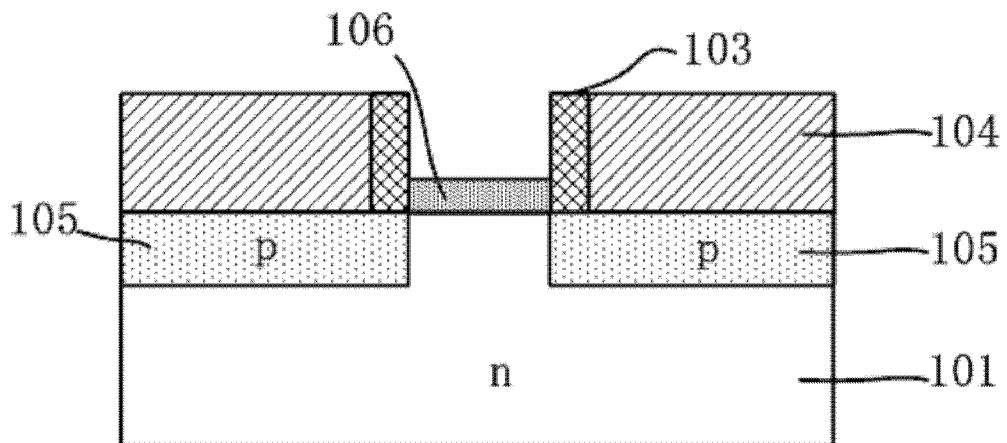


图4

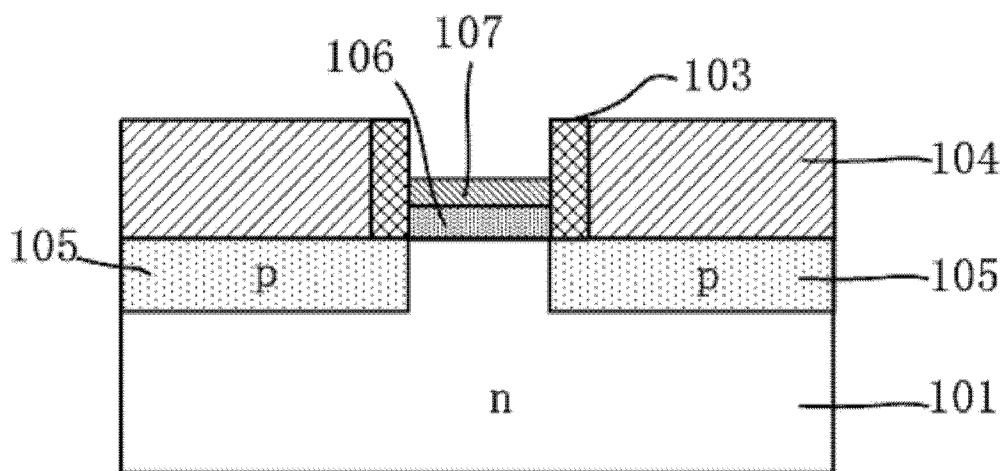


图5

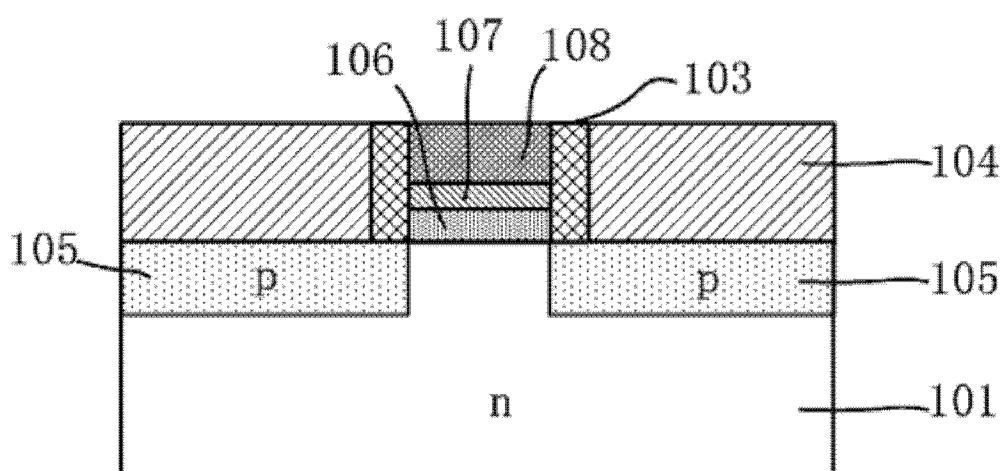


图6