



(12) 发明专利申请

(10) 申请公布号 CN 119517841 A

(43) 申请公布日 2025. 02. 25

(21) 申请号 202311086449.X

(22) 申请日 2023.08.25

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区中国(上海)自由贸易试验区张江路18号

(72) 发明人 吴轶超

(74) 专利代理机构 上海知锦知识产权代理事务所(特殊普通合伙) 31327

专利代理师 高静

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 21/311 (2006.01)

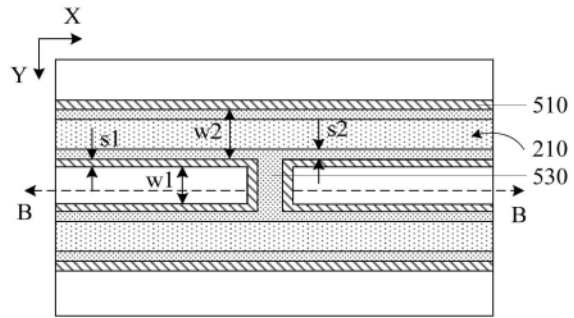
权利要求书2页 说明书11页 附图11页

(54) 发明名称

半导体结构的形成方法

(57) 摘要

一种半导体结构的形成方法,包括:提供基底,基底上形成有待刻蚀层,待刻蚀层上形成有核心层;在核心层中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽;在核心层中形成沿第二方向延伸的第二沟槽,第二沟槽与第一沟槽相连通;在第一沟槽和第二沟槽侧壁形成第一侧墙,且位于第二沟槽侧壁的第一侧墙之间具有间距;形成覆盖第一侧墙侧壁的第二侧墙,且在第二沟槽中,第一侧墙相对侧壁的第二侧墙相接触;去除核心层和第一侧墙,形成第三沟槽;沿第一沟槽和第三沟槽图形化待刻蚀层,形成第四沟槽和第五沟槽;在第四沟槽中形成第一目标结构;在第五沟槽中形成第二目标结构。本发明有利于提高半导体结构的性能。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供基底,所述基底上形成有待刻蚀层,所述待刻蚀层上形成有核心层;
在所述核心层中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽,所述第一方向与所述第二方向相垂直;
在所述核心层中形成沿所述第二方向延伸的第二沟槽,所述第二沟槽与所述第一沟槽相连通;
在所述第一沟槽和第二沟槽侧壁形成第一侧墙,且位于第二沟槽侧壁的第一侧墙之间具有间距;
形成覆盖所述第一侧墙侧壁的第二侧墙,且在所述第二沟槽中,所述第一侧墙相对侧壁的第二侧墙相接触;
去除沿所述第一方向位于所述第二沟槽两侧的核心层和第一侧墙,形成第三沟槽;
沿所述第一沟槽和第三沟槽图形化所述待刻蚀层,形成第四沟槽和第五沟槽,所述第四沟槽与所述第一沟槽相对应,所述第五沟槽与所述第三沟槽相对应;
在所述第四沟槽中形成第一目标结构;
在所述第五沟槽中形成第二目标结构。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,在所述第一沟槽和第二沟槽侧壁形成第一侧墙的步骤包括:形成覆盖所述第一沟槽和第二沟槽底部和侧壁、以及所述核心层顶部的第一侧墙材料层;
去除覆盖所述第一沟槽和第二沟槽底部、以及所述核心层顶部的第一侧墙材料层,保留覆盖所述第一沟槽和第二沟槽侧壁的第一侧墙材料层作为所述第一侧墙。
3. 如权利要求1所述的半导体结构的形成方法,其特征在于,采用原子层沉积工艺形成覆盖所述第一沟槽和第二沟槽底部和侧壁、以及所述核心层顶部的第一侧墙材料层。
4. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成覆盖所述第一侧墙侧壁的第二侧墙的步骤包括:形成覆盖所述第一沟槽和第二沟槽底部、所述第一侧墙侧壁、所述核心层顶部、且填充所述第二沟槽的第二侧墙材料层;
去除覆盖所述第一沟槽和第二沟槽底部、以及所述核心层顶部的第二侧墙材料层,保留覆盖所述第一侧墙侧壁、以及填充所述第二沟槽的第二侧墙材料层作为所述第二侧墙。
5. 如权利要求1所述的半导体结构的形成方法,其特征在于,在同一步骤中去除所述第二沟槽沿所述第一方向两侧的核心层和第一侧墙。
6. 如权利要求1所述的半导体结构的形成方法,其特征在于,采用各向异性的刻蚀工艺去除所述第二沟槽沿所述第一方向两侧的核心层和第一侧墙。
7. 如权利要求1所述的半导体结构的形成方法,其特征在于,采用各向异性的刻蚀工艺沿所述第一沟槽和第三沟槽图形化所述待刻蚀层。
8. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述待刻蚀层和核心层之间还形成有硬掩膜层;
沿所述第一沟槽和第三沟槽图形化所述待刻蚀层,形成第四沟槽和第五沟槽的步骤包括:沿所述第一沟槽和第三沟槽图形化所述硬掩膜层,形成第六沟槽和第七沟槽,所述第六沟槽与所述第一沟槽相对应,所述第七沟槽与所述第三沟槽相对应;以图形化后的硬掩膜层为掩膜,图形化所述待刻蚀层,形成所述第四沟槽和第五沟槽,所述第四沟槽与所述第六

沟槽相对应,所述第五沟槽与所述第七沟槽相对应。

9. 如权利要求8所述的半导体结构的形成方法,其特征在于,形成所述第一目标结构和第二目标结构之前,还包括:去除所述第二侧墙和硬掩模层。

10. 如权利要求1所述的半导体结构的形成方法,其特征在于,在同一步骤中,填充所述第四沟槽和第五沟槽,形成所述第一目标结构和第二目标结构。

11. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述待刻蚀层为第一介电层,所述第一目标结构为第一金属层,所述第二目标结构为第二金属层。

12. 如权利要求11所述的半导体结构的形成方法,其特征在于,形成所述第一金属层和第二金属层之后,所述形成方法还包括:在所述第二金属层端部的顶部形成与所述第二金属层电连接的互连通孔结构。

13. 如权利要求12所述的半导体结构的形成方法,其特征在于,在所述第二金属层端部的顶部形成与所述第二金属层电连接的互连通孔结构的步骤包括:形成覆盖所述第一金属层、第二金属层和第一介电层的第二介电层;

图形化所述第二介电层,形成露出所述第二金属层端部的顶面的通孔;

在所述通孔中形成所述互连通孔结构。

14. 如权利要求11所述的半导体结构的形成方法,其特征在于,在所述核心层中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽的步骤中,相邻所述第一沟槽之间核心层的宽度与两倍所述第一侧墙的预设宽度之和,等于所述第一沟槽的宽度与两倍所述第二侧墙的预设宽度之差。

15. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述待刻蚀层的材料包括SiOC、SiOCH、SiC、SiCN、SiO₂、SiN和SiON中的一种或多种。

16. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述核心层的材料包括无定形硅、多晶硅、单晶硅、氧化硅、先进图膜材料、旋涂碳和碳化硅中的一种或多种。

17. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第一侧墙的材料包括氧化硅。

18. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述第二侧墙的材料包括氧化钛、氮化钛、氧化硅、氮化硅、氮氧化硅和碳化硅中的一种或多种。

半导体结构的形成方法

技术领域

[0001] 本发明实施例涉及半导体制造领域,尤其涉及一种半导体结构的形成方法。

背景技术

[0002] 目前的平版印刷能力限制了先进技术节点的金属线分支设计,即由于在两个不同方向上的曝光尺寸的限制,在半导体器件制作过程中,尤其在后段工艺(back end of line, BEOL)制程中,通常需要进行不同方向的绕线进行电连接,绕线需要借用上下层的金属线和接触插塞实现,这对设计产生了极大的限制。

[0003] 而且,接触插塞与金属线的电连接性能对后段可靠性(BEOL reliability)也会产生影响。如果接触插塞与金属线的电连接性能的效果不理想,例如接触插塞蚀刻偏移或者过度蚀刻,都将会影响到后段工艺的可靠性。

发明内容

[0004] 本发明实施解决的问题是提供了一种半导体结构的形成方法,有利于提高半导体结构的性能。

[0005] 为解决上述问题,本发明实施例提供一种半导体结构的形成方法,包括:提供基底,基底上形成有待刻蚀层,待刻蚀层上形成有核心层;在核心层中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽,第一方向与第二方向相垂直;在核心层中形成沿第二方向延伸的第二沟槽,第二沟槽与第一沟槽相连通;在第一沟槽和第二沟槽侧壁形成第一侧墙,且位于第二沟槽侧壁的第一侧墙之间具有间距;形成覆盖第一侧墙侧壁的第二侧墙,且在第二沟槽中,第一侧墙相对侧壁的第二侧墙相接触;去除沿第一方向位于第二沟槽两侧的核心层和第一侧墙,形成第三沟槽;沿第一沟槽和第三沟槽图形化待刻蚀层,形成第四沟槽和第五沟槽,第四沟槽与第一沟槽相对应,第五沟槽与第三沟槽相对应;在第四沟槽中形成第一目标结构;在第五沟槽中形成第二目标结构。

[0006] 可选的,在第一沟槽和第二沟槽侧壁形成第一侧墙的步骤包括:形成覆盖第一沟槽和第二沟槽底部和侧壁、以及核心层顶部的第一侧墙材料层;去除覆盖第一沟槽和第二沟槽底部、以及核心层顶部的第一侧墙材料层,保留覆盖第一沟槽和第二沟槽侧壁的第一侧墙材料层作为第一侧墙。

[0007] 可选的,采用原子层沉积工艺形成覆盖第一沟槽和第二沟槽底部和侧壁、以及核心层顶部的第一侧墙材料层。

[0008] 可选的,形成覆盖第一侧墙侧壁的第二侧墙的步骤包括:形成覆盖第一沟槽和第二沟槽底部、第一侧墙侧壁、核心层顶部、且填充第二沟槽的第二侧墙材料层;去除覆盖第一沟槽和第二沟槽底部、以及核心层顶部的第二侧墙材料层,保留覆盖第一侧墙侧壁、以及填充第二沟槽的第二侧墙材料层作为第二侧墙。

[0009] 可选的,在同一步骤中去除第二沟槽沿第一方向两侧的核心层和第一侧墙。

[0010] 可选的,采用各向异性的刻蚀工艺去除第二沟槽沿第一方向两侧的核心层和第一

侧墙。

[0011] 可选的,采用各向异性的刻蚀工艺沿第一沟槽和第三沟槽图形化待刻蚀层。

[0012] 可选的,待刻蚀层和核心层之间还形成有硬掩膜层;沿第一沟槽和第三沟槽图形化待刻蚀层,形成第四沟槽和第五沟槽的步骤包括:沿第一沟槽和第三沟槽图形化硬掩膜层,形成第六沟槽和第七沟槽,第六沟槽与第一沟槽相对应,第七沟槽与第三沟槽相对应;以图形化后的硬掩膜层为掩膜,图形化待刻蚀层,形成第四沟槽和第五沟槽,第四沟槽与第六沟槽相对应,第五沟槽与第七沟槽相对应。

[0013] 可选的,形成第一目标结构和第二目标结构之前,还包括:去除第二侧墙和硬掩膜层。

[0014] 可选的,在同一过程中,填充第四沟槽和第五沟槽,形成第一目标结构和第二目标结构。

[0015] 可选的,待刻蚀层为第一介电层,第一目标结构为第一金属层,第二目标结构为第二金属层。

[0016] 可选的,形成第一金属层和第二金属层之后,形成方法还包括:在第二金属层端部的顶部形成与第二金属层电连接的互连通孔结构。

[0017] 可选的,在第二金属层端部的顶部形成与第二金属层电连接的互连通孔结构的步骤包括:形成覆盖第一金属层、第二金属层和第一介电层的第二介电层;图形化第二介电层,形成露出第二金属层端部的顶面的通孔;在通孔中形成互连通孔结构。

[0018] 可选的,在核心层中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽的步骤中,相邻第一沟槽之间核心层的宽度与两倍第一侧墙的预设宽度之和,等于第一沟槽的宽度与两倍第二侧墙的预设宽度之差。

[0019] 可选的,待刻蚀层的材料包括SiOC、SiOCH、SiC、SiCN、SiO₂、SiN和SiON中的一种或多种。

[0020] 可选的,核心层的材料包括无定形硅、多晶硅、单晶硅、氧化硅、先进图膜材料、旋涂碳和碳化硅中的一种或多种。

[0021] 可选的,第一侧墙的材料包括氧化硅。

[0022] 可选的,第二侧墙的材料包括氧化钛、氮化钛、氧化硅、氮化硅、氮氧化硅和碳化硅中的一种或多种

[0023] 与现有技术相比,本发明实施例的技术方案具有以下优点:

[0024] 本发明实施例提供的半导体结构的形成方法中,在第一沟槽和第二沟槽侧壁形成第一侧墙,且位于第二沟槽侧壁的第一侧墙之间具有间距,形成覆盖第一侧墙侧壁的第二侧墙,且在第二沟槽中,第一侧墙相对侧壁的第二侧墙相接触,第一侧墙占据了第二沟槽中的部分空间,则减小了第二沟槽中第二侧墙沿第一方向的尺寸,去除第二沟槽沿第一方向两侧的核心层和第一侧墙,形成第三沟槽,则减小了第二沟槽两侧的第三沟槽端部之间的间距,沿第一沟槽和第三沟槽图形化待刻蚀层,形成第四沟槽和第五沟槽,第四沟槽与第一沟槽相对应,第五沟槽与第三沟槽相对应,相应减小了第三沟槽对应的第五沟槽端部之间的间距,在第四沟槽中形成第一目标结构,在第五沟槽中形成第二目标结构,则最终减小了第五沟槽中的第二目标结构端部之间的间距,有利于使得后续在任一个第二目标结构顶部形成需要与其端部相接触的连接结构时,增大接触工艺窗口,有利于减小连接结构底部落

于第二目标结构端部之间的而影响接触性能的概率,从而有利于提高半导体结构的性能。

附图说明

[0025] 图1至图8是一种半导体结构的形成方法中各步骤对应的结构示意图;

[0026] 图9至图32是本发明半导体结构的形成方法一实施例中各步骤对应的结构示意图。

具体实施方式

[0027] 目前,半导体结构有待简化。现结合一种半导体结构的形成方法分析半导体结构的性能有待提高的原因。

[0028] 图1至图8是一种半导体结构的形成方法中各步骤对应的结构示意图。

[0029] 参考图1,提供基底,包括第一介电层12,第一介电层12上形成有核心层20;在核心层20中形成沿第一方向(如图1中X方向所示)延伸且沿第二方向(如图1中Y方向所示)平行排列的第一沟槽21,第一方向与第二方向相垂直。

[0030] 参考图2,在核心层20中形成沿第二方向延伸的第二沟槽22,第二沟槽22与第一沟槽21相连通。

[0031] 参考图3,在第一沟槽21的侧壁形成第一侧墙51,第一侧墙51还填充第二沟槽22。

[0032] 参考图4,形成第一侧墙51后,去除核心层20,形成第三沟槽23。

[0033] 参考图5,以第一侧墙51为掩膜图形化第一介电层12,形成第四沟槽24和第五沟槽25,第四沟槽24与第一沟槽21相对应,第五沟槽25与第三沟槽23相对应。

[0034] 参考图6,在第四沟槽24中形成第一金属层61,在第五沟槽25中形成第二金属层62。

[0035] 结合参考图7和图8,图8为图9沿AA方向的剖视图,形成覆盖第一介电层12的第二介电层;在第二介电层中形成互连结构,互连结构包括与第二金属层62电连接的接触插塞31,以及位于接触插塞31顶部、与接触插塞31电连接的连接金属层(如图7中虚线框所示)。

[0036] 由于沿第一方向位于第二沟槽22两侧的核心层20间距较大,同时由于刻蚀工艺的特点,一层一层向下图形传递时,还会导致图形进一步扩大,导致第二沟槽22对应位置的第一介电层12沿第一方向的尺寸较大,相应导致沿第一方向位于第二沟槽22两侧的第五沟槽25之间的间距较大,导致沿第一方向位于第二沟槽22两侧的第二金属层62之间的间距过大,则在第二金属层62端部的顶面形成与其电连接的接触插塞31时,由于一些刻蚀偏差容易导致接触插塞31容易落在相邻第二金属层62的端部之间,影响接触插塞31与第二金属层62之间的电连接性能,从而影响半导体结构的性能。

[0037] 为了解决技术问题,本发明实施例提供一种半导体结构的形成方法,在第一沟槽和第二沟槽侧壁形成第一侧墙,且位于第二沟槽侧壁的第一侧墙之间具有间距,形成覆盖第一侧墙侧壁的第二侧墙,且在第二沟槽中,第一侧墙相对侧壁的第二侧墙相接触,第一侧墙占据了第二沟槽中的部分空间,则减小了第二沟槽中第二侧墙沿第一方向的尺寸,去除第二沟槽沿第一方向两侧的核心层和第一侧墙,形成第三沟槽,则减小了第二沟槽两侧的第三沟槽端部之间的间距,沿第一沟槽和第三沟槽图形化待刻蚀层,形成第四沟槽和第五沟槽,第四沟槽与第一沟槽相对应,第五沟槽与第三沟槽相对应,相应减小了第三沟槽对应

的第五沟槽端部之间的间距,在第四沟槽中形成第一目标结构,在第五沟槽中形成第二目标结构,则最终减小了第五沟槽中的第二目标结构端部之间的间距,有利于使得后续在任一个第二目标结构顶部形成需要与其端部相接触的连接结构时,增大接触工艺窗口,有利于减小连接结构底部落于第二目标结构端部之间的而影响接触性能的概率,从而有利于提高半导体结构的性能。

[0038] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0039] 图9至图32是本发明半导体结构的形成方法一实施例中各步骤对应的结构示意图。

[0040] 结合参考图9和图10,图9是俯视图,图10沿AA方向的剖视图,提供基底110,基底110上形成有待刻蚀层120,待刻蚀层120上形成有核心层200。

[0041] 基底110为半导体结构的形成工艺提供工艺操作基础。

[0042] 本实施例中,基底110包括基底结构层(图未示),基底结构层包括衬底(图未示)。以所半导体结构为平面型的半导体结构为例,衬底为平面衬底。具体地,衬底为硅衬底。在其他实施例中,衬底的材料还可以为锗、锗化硅、碳化硅、砷化镓或镓化铟等其他材料,衬底还可以为绝缘体上的硅衬底或者绝缘体上的锗衬底等其他类型的衬底。在其他实施例中,当半导体结构为三维立体型的半导体结构时,衬底还可以为具有鳍部的衬底。

[0043] 基底结构层还可以包括其他结构,例如,栅极结构、掺杂区、浅沟槽隔离结构和介电层等,基底结构层中形成有器件(例如,MOS晶体管或SRAM器件等)。具体地,基底结构层还包括形成于衬底上的层间介质层(图未示)以及形成于层间介质层中的接触孔插塞(图未示)。

[0044] 待刻蚀层120用于为后续通过刻蚀形成第四沟槽和第五沟槽提供操作平台。

[0045] 本实施例中,待刻蚀层120为第一介电层,第一介电层用于后续实现第一金属层和第二金属层之间的相互隔离。

[0046] 本实施例中,第一介电层为金属层间介质层,第一介电层用于实现后段制程中金属互连结构之间的电隔离。

[0047] 为此,第一介电层的材料为低k介质材料(低k介质材料指相对介电常数大于或等于2.6且小于等于3.9的介质材料)或超低k介质材料(超低k介质材料指相对介电常数小于2.6的介质材料)。

[0048] 本实施例中,待刻蚀层120的材料包括SiOC、SiOCH、SiC、SiCN、SiO₂、SiN和SiON中的一种或多种。本实施例中,待刻蚀层120的材料为超低k介质材料,从而降低后段金属互连结构之间的寄生电容,进而减小后段RC延迟。具体地,超低k介质材料可以为SiOCH。

[0049] 作为一种示例,第一介电层为第一金属层间介质,用于实现第一金属互连线(即M1 layer)之间的电隔离。其中,第一金属互连线指的是最靠近接触孔插塞的金属互连结构。

[0050] 在其他实施例中,第一介电层还可以为位于第一金属互连线上的其他金属层间介质,用于实现其他互连结构之间的电隔离。例如,第一介电层为第二金属层间介质,用于实现第二金属互连线、以及位于第二金属互连线和第一金属互连线之间的通孔(via)互连结构之间的电隔离。

[0051] 核心层200用于后续形成第一沟槽、第二沟槽以及第三沟槽提供工艺平台,从而利

用图形化的核心层200向下传递图形。其中,第一沟槽和第二沟槽用于定义后续形成的第四沟槽的图形和位置,第二沟槽用于定义后续形成的第五沟槽的图形和位置,这相应有利于提高第四沟槽和第五沟槽的图形精度。

[0052] 此外,后续还会在核心层200的侧壁形成第一侧墙,核心层200还为形成第一侧墙提供支撑。

[0053] 后续还会去除核心层200,因此,核心层200的材料为易于被去除的材料,从而降低去除核心层200的难度,并减小对位于核心层200下方的其他膜层的损伤。因此,核心层200的材料包括无定形硅、多晶硅、单晶硅、氧化硅、先进图膜(advanced patterning film, APF)材料、旋涂碳(spin on carbon, SOC)和碳化硅中的一种或多种。本实施例中,核心层200为无定形硅(a-Si)。

[0054] 本实施例中,待刻蚀层120和核心层200之间还形成有硬掩膜层(未示出)。

[0055] 硬掩膜层用于后续作为刻蚀待刻蚀层120的刻蚀掩膜,后续对硬掩膜层进行图形化后,经由图形化后的硬掩膜层向下传递图形,有利于提高图形化工艺的稳定性、以及图形传递的精度。

[0056] 本实施例中,硬掩膜层的材料包括氧化硅、氮化硅、氮氧化硅、碳化硅、钛、氧化钛、氮化钛、钽、氧化钽、氮化钽、氮化硼、氮化铜、氮化铝和氮化钨中的一种或多种。

[0057] 结合参考图9至12,在核心层200中形成沿第一方向(如图11中X方向所示)延伸且沿第二方向(如图11中Y方向)平行排列的第一沟槽210,第一方向与第二方向相垂直。

[0058] 第一沟槽210用于作为后续在待刻蚀层120中形成第四沟槽的刻蚀开口。

[0059] 本实施例中,采用干法刻蚀工艺形成第一沟槽210。

[0060] 干法刻蚀工艺具有各向异性刻蚀的特性,因此通过选取干法刻蚀工艺,有利于减小对第一沟槽210底部待刻蚀层120的损伤,同时,干法刻蚀更具刻蚀方向性,有利于提高第一沟槽210的侧壁形貌质量和尺寸精度。

[0061] 本实施例中,为了清楚描述,结合参考图23,在核心层200中形成沿第一方向延伸且沿第二方向平行排列的第一沟槽210的步骤中,相邻第一沟槽210之间核心层200的宽度 w_1 与两倍第一侧墙的预设宽度 s_1 之和,等于第一沟槽210的宽度 w_2 与两倍第二侧墙的预设宽度 s_2 之差。

[0062] 在第一沟槽210中形成第一侧墙之后,还会一同去除第一侧墙、以及第二沟槽两侧的核心层,则相邻第一沟槽210之间核心层200的宽度 w_1 与两倍第一侧墙的预设宽度 s_1 之和为传递至待刻蚀层120中第四沟槽的位置(即第二目标结构的宽度),而在第一侧墙侧壁形成第二侧墙后,第二侧墙占据了部分第一沟槽210的空间且第二侧墙不会去除,后续以第二侧墙为掩膜图形化待刻蚀层120,则第一沟槽210的宽度 w_2 与两倍第二侧墙的预设宽度 s_2 之差为传递至待刻蚀层120中第四沟槽的位置(即第一目标结构的宽度),因此,才能够获得宽度相等的第一目标结构和第二目标结构,尤其本实施例中,第一目标结构和第二目标结构均匀同层的金属线,则能够获得宽度相等的金属线,有利于获得较好的工作性能。

[0063] 以下结合参考图9至图12,详细说明形成第一沟槽的步骤。

[0064] 结合参考图9和图10,形成覆盖核心层200的第一掩膜层300。

[0065] 第一掩膜层300用于作为刻蚀核心层200形成第一沟槽210的刻蚀掩膜。

[0066] 第一掩膜层300的材料为易于去除的材料,且去除第一掩膜层300的工艺对其它膜

层的损伤较小。本实施例中,第一掩膜层300的材料为旋涂碳(SOC)材料。在其他实施例中,第一掩膜层的材料还可以为ODL(organic dielectric layer,有机介电层)材料或BARC(Bottom Anti-Reflective Coating,底部抗反射涂层)材料。

[0067] 本实施例中,图形化第一掩膜层300,形成沿第一方向延伸且沿第二方向平行排列的第一掩膜开口310,第一掩膜开口310露出核心层200。

[0068] 第一掩膜开口310为刻蚀核心层200形成第一沟槽210的掩膜开口。

[0069] 结合参考图11和图12,图11为俯视图,图12为图11沿AA方向的剖视图,去除第一掩膜开口310露出的核心层200,形成第一沟槽210。

[0070] 与直接对核心层200进行图形化的方案相比,通过先形成第一掩膜开口310,有利于提高第一沟槽210的图形尺寸精度和位置精度,相应的,有利于提高沿第一沟槽210刻蚀待刻蚀层120形成的第四沟槽的图形尺寸精度和位置精度。

[0071] 本实施例中,形成第一沟槽210后,去除第一掩膜层300,为后续形成第二沟槽做准备。

[0072] 结合参考图13至图16,在核心层200中形成沿第二方向延伸的第二沟槽220,第二沟槽220与第一沟槽210相连通。

[0073] 第二沟槽220用于为后续形成隔断沿第一方向位于第二沟槽220两侧的第二侧墙提供空间位置,第二沟槽220与第一沟槽210相连通,从而能够在形成位于第一沟槽210侧壁的第二侧墙的同时,形成隔断沿第一方向位于第二沟槽220两侧的第二侧墙。

[0074] 本实施例中,采用干法刻蚀工艺形成第二沟槽220。

[0075] 干法刻蚀工艺具有各向异性刻蚀的特性,因此通过选取干法刻蚀工艺,有利于减小对第二沟槽220底部待刻蚀层120的损伤,同时,干法刻蚀更具刻蚀方向性,有利于提高第二沟槽220的侧壁形貌质量和尺寸精度。

[0076] 需要说明的是,本实施例示出了第二沟槽220连通沿第二方向相邻两个第一沟槽210的方式,在其他实施例中,第二沟槽还可以连通沿第二方向相邻的多个不限数量的第一沟槽,或者,第二沟槽沿第二方向还可以凸出第一沟槽的侧壁,第二沟槽凸出的端部可以与第一沟槽相连通或不相连通。

[0077] 以下结合参考图13至图16,详细说明形成第二沟槽的步骤。

[0078] 结合参考图13和图14,图13为俯视图,图14为图13沿AA方向的剖视图,形成覆盖核心层200的第二掩膜层400。

[0079] 第二掩膜层400用于作为刻蚀核心层200形成第二沟槽220的刻蚀掩膜。

[0080] 第二掩膜层400的材料为易于去除的材料,且去除第二掩膜层400的工艺对其它膜层的损伤较小。本实施例中,第二掩膜层400的材料为旋涂碳(SOC)材料。在其他实施例中,第二掩膜层的材料还可以为ODL材料或BARC材料。

[0081] 本实施例中,图形化第二掩膜层400,形成露出相邻第一沟槽210之间的部分核心层200的第二掩膜开口410。

[0082] 第二掩膜开口410为刻蚀核心层200形成第二沟槽220的掩膜开口。

[0083] 结合参考图15和图16,图15为俯视图,图16为图15沿AA方向的剖视图,去除第二掩膜开口410露出的核心层200,形成第二沟槽220。

[0084] 与直接对核心层200进行图形化的方案相比,通过先形成第二掩膜开口410,有利

于提高第二沟槽220的图形尺寸精度和位置精度,相应的,有利于提高沿第二沟槽220刻蚀待刻蚀层120形成的第四沟槽的图形尺寸精度和位置精度。

[0085] 本实施例中,形成第二沟槽220后,去除第二掩膜开口410,为后续形成第一侧墙做准备。

[0086] 结合参考图17至图20,在第一沟槽210和第二沟槽220侧壁形成第一侧墙510,且位于第二沟槽220侧壁的第一侧墙510之间具有间距。

[0087] 第一侧墙510用于占据第二沟槽220中的部分空间,减小第二沟槽220沿第一方向的尺寸,相应减小后续填充第二沟槽220的第二侧墙沿第一方向的尺寸,减小在待刻蚀层120中形成于第二沟槽220两侧的第五沟槽的端部之间的间距,从而减小形成于第五沟槽中的第二目标结构端部之间的间距,第一侧墙510还用于为后续第二侧墙的形成提供支撑。

[0088] 本实施例中,第一侧墙510选用与核心层200刻蚀速率相近的材料,以便于后续将第一侧墙510与核心层200一同去除。本实施例中,第一侧墙510的材料包括氧化硅。

[0089] 以下结合参考图17至图20,详细说明形成第一侧墙510的步骤。

[0090] 结合参考图17和图18,图17为俯视图,图18为图17沿BB方向的剖视图,形成覆盖第一沟槽210和第二沟槽220底部和侧壁、以及核心层200顶部的第一侧墙材料层500。

[0091] 第一侧墙材料层500用于形成第一侧墙510。

[0092] 本实施例中,采用原子层沉积工艺形成第一侧墙材料层500。

[0093] 采用原子层沉积工艺形成的第一侧墙材料层500的厚度均匀性好,且具有良好的台阶覆盖(step coverage)能力,使得第一侧墙材料层500能够很好的覆盖核心层200顶部、第一沟槽210和第二沟槽220侧壁和底部。

[0094] 本实施例中,第一侧墙材料层500的材料包括氧化硅,用于直接形成第一侧墙510。

[0095] 结合参考图19和图20,图19为俯视图,图20为图19沿BB方向的剖视图,去除覆盖第一沟槽210和第二沟槽220底部、以及核心层200顶部的第一侧墙材料层500,保留覆盖第一沟槽210和第二沟槽220侧壁的第一侧墙材料层500作为第一侧墙510。

[0096] 去除核心层200顶部、以及第一沟槽210和第二沟槽220底部的第一侧墙材料层500,能够更好地暴露核心层200的顶面,从而后续降低去除核心层200的工艺难度,而且,后续形成第二侧墙后,还需去除第一侧墙510,则去除第一沟槽210和第二沟槽220底部的第一侧墙材料层500,以防去除第一侧墙510时还会将第二侧墙底部的第一侧墙材料层500掏空,导致第二侧墙侧倾的风险。

[0097] 本实施例中,采用干法刻蚀工艺去除核心层200顶部、以及第一沟槽210和第二沟槽220底部的第一侧墙材料层500。

[0098] 干法刻蚀工艺具有各向异性刻蚀的特性,因此通过选取干法刻蚀工艺,有利于减小对第一侧墙510和待刻蚀层120的损伤,同时,干法刻蚀更具刻蚀方向性,有利于提高第一侧墙510的侧壁形貌质量和尺寸精度。

[0099] 结合参考图21至图24,在第一沟槽210和第二沟槽220侧壁形成第二侧墙530,且位于第二沟槽220侧壁的第二侧墙530相接触。

[0100] 也就是说,第二侧墙530填充第二沟槽220。

[0101] 第二侧墙530用于实现第一沟槽210与第三沟槽的隔离、以及沿第一方向相邻的第三沟槽的隔离,而且,后续将第一沟槽210与第三沟槽的图形传递至待刻蚀层120中时,第一

侧墙510作为刻蚀待刻蚀层120的掩膜。此外,第一侧墙510用于调节第一沟槽210与第三沟槽在第二方向上的间距。

[0102] 第二侧墙530选用与核心层200具有刻蚀选择性的材料,第二侧墙530的材料包括氧化钛、氮化钛、氧化硅、氮化硅、氮氧化硅和碳化硅中的一种或多种。本实施例中,第二侧墙530的材料为氧化钛。

[0103] 以下结合参考图21至图24,详细说明形成第二侧墙530的步骤。

[0104] 结合参考图21和图22,图21为俯视图,图22为图21沿BB方向的剖视图,形成覆盖第一沟槽210和第二沟槽220底部、第一侧墙510侧壁、核心层200顶部、且填充第二沟槽220的第二侧墙材料层520。

[0105] 第二侧墙材料层520用于形成第二侧墙530。

[0106] 本实施例中,采用原子层沉积工艺形成第二侧墙材料层520。

[0107] 采用原子层沉积工艺形成的第二侧墙材料层520的厚度均匀性好,且具有良好的台阶覆盖(step coverage)能力,使得第二侧墙材料层520能够很好的覆盖第一沟槽210和第二沟槽220底部、第一侧墙510侧壁、核心层200顶部、且填充第二沟槽220。

[0108] 本实施例中,第二侧墙材料层520的材料包括氧化钛、氮化钛、氧化硅、氮化硅、氮氧化硅和碳化硅中的一种或多种,用于直接形成第二侧墙530。

[0109] 结合参考图23和图24,图23为俯视图,图24为图23沿BB方向的剖视图,去除覆盖第一沟槽210和第二沟槽220底部、以及核心层200顶部的第二侧墙材料层520,保留覆盖第一侧墙510侧壁的第二侧墙材料层520作为第二侧墙530。

[0110] 去除核心层200顶部、以及第一沟槽210和第二沟槽220底部的侧墙材料层500,能够更好地暴露核心层200的顶面,从而后续降低去除核心层200的工艺难度,并为后续以第二侧墙530为刻蚀掩膜传递图形做准备。

[0111] 本实施例中,采用干法刻蚀工艺去除覆盖第一沟槽210和第二沟槽220底部、以及核心层200顶部的第二侧墙材料层520。

[0112] 干法刻蚀工艺具有各向异性刻蚀的特性,因此通过选取干法刻蚀工艺,有利于减小对第二侧墙530和待刻蚀层120的损伤,同时,干法刻蚀更具刻蚀方向性,有利于提高第二侧墙530的侧壁形貌质量和尺寸精度。

[0113] 结合参考图25和图26,图25是俯视图,图26是图25基于BB方向的剖视图,去除沿第一方向位于第二沟槽220两侧的核心层200和第一侧墙510,形成第三沟槽230。

[0114] 第三沟槽230用于定义后续形成于待刻蚀层120中的第五沟槽的形状、尺寸和位置。本实施例通过先在核心层200中形成第三沟槽230,再利用第二侧墙530形成第五沟槽,提高了第三沟槽230的图形精度,从而提高后续形成的第五沟槽的图形精度,相应提高图形传递的精度。

[0115] 此外,本实施例分别形成第一沟槽210、第二沟槽220和第三沟槽230,有利于提高形成第一沟槽210、第二沟槽220和第三沟槽230的工艺窗口(例如:改善光学邻近效应或缓解光刻工艺解析度的限制),使第一沟槽210、第二沟槽220和第三沟槽230的图形精度得到保障,并有利于减小了相邻的连通的第一沟槽210和第二沟槽220、与第三沟槽230之间的间隔。

[0116] 本实施例中,在同一步骤中去除第二沟槽220沿第一方向两侧的核心层200和第一

侧墙510,有利于提高工艺效率,简化工艺流程,节约工艺成本。

[0117] 本实施例中,采用刻蚀工艺去除第二沟槽220沿第一方向两侧的核心层200和第一侧墙510,其中,刻蚀工艺对核心层200和第一侧墙510的刻蚀速率相近,有利于在同一步骤中去除第二沟槽220沿第一方向两侧的核心层200和第一侧墙510。

[0118] 本实施例中,刻蚀工艺对核心层200和第二侧墙530具有刻蚀选择比、且对第一侧墙510和第二侧墙530也具有刻蚀选择比,减小刻蚀过程中对第二侧墙530的损伤。

[0119] 本实施例中,采用各向异性的刻蚀工艺去除第二沟槽220沿第一方向两侧的核心层200和第一侧墙510,有利于获得较高的刻蚀选择比,使得在去除核心层200和第一侧墙510时,减小对第二侧墙530的损伤。

[0120] 结合参考图27和图28,图27是俯视图,图28是图27基于BB方向的剖视图,沿第一沟槽210和第三沟槽230图形化待刻蚀层120,形成第四沟槽130和第五沟槽140,第四沟槽130与第一沟槽210相对应,第五沟槽140与第三沟槽230相对应。

[0121] 第四沟槽130为后续形成第一目标结构提供空间位置,第五沟槽140为后续形成第二目标结构提供空间位置。

[0122] 本实施例中,在第一沟槽210和第二沟槽220侧壁形成第一侧墙510,且位于第二沟槽220侧壁的第一侧墙510之间具有间距,形成覆盖第一侧墙510侧壁的第二侧墙530,且在第二沟槽220中,第一侧墙510相对侧壁的第二侧墙530相接触,第一侧墙510占据了第二沟槽220中的部分空间,则减小了第二沟槽220中第二侧墙530沿第一方向的尺寸,去除第二沟槽220沿第一方向两侧的核心层200和第一侧墙510,形成第三沟槽230,则减小了第二沟槽220两侧的第三沟槽230端部之间的间距,沿第一沟槽210和第三沟槽230图形化待刻蚀层120,形成第四沟槽130和第五沟槽140,第四沟槽130与第一沟槽210相对应,第五沟槽140与第三沟槽230相对应,相应减小了第三沟槽230对应的第五沟槽140端部之间的间距,后续在第四沟槽130中形成第一目标结构,在第五沟槽140中形成第二目标结构,则最终减小了第五沟槽140中的第二目标结构端部之间的间距,有利于使得后续在任一个第二目标结构顶部形成需要与其端部相接触的连接结构时,增大接触工艺窗口,有利于减小连接结构底部落于第二目标结构端部之间的而影响接触性能的概率,从而有利于提高半导体结构的性能。

[0123] 本实施例中,采用各向异性的刻蚀工艺刻蚀沿第一沟槽210和第三沟槽230图形化待刻蚀层120。

[0124] 各向异性的刻蚀工艺更具刻蚀方向性,有利于提高第四沟槽130和第五沟槽140的侧壁形貌质量和尺寸精度。

[0125] 本实施例中,以第二侧墙530为掩膜,刻蚀待刻蚀层120,形成第四沟槽130和第五沟槽140,与直接在待刻蚀层中形成第四沟槽和第五沟槽的方案相比,本方案易于形成宽度尺寸较小尺寸的第二侧墙530,相应有利于获得第四沟槽130和第五沟槽140之间较小的间隔,且第二侧墙530的尺寸和位置的精度较高,这相应有利于精确控制第四沟槽130和第五沟槽140的图形精度,相应提高了图形传递的精度。

[0126] 本实施例中,核心层200和待刻蚀层120之间形成有硬掩膜层,相应的,沿第一沟槽210和第三沟槽230图形化待刻蚀层120,形成第四沟槽130和第五沟槽140的步骤包括:沿第一沟槽210和第三沟槽230图形化硬掩膜层,形成第六沟槽和第七沟槽,第六沟槽与第一沟

槽相对应,第七沟槽与第三沟槽相对应;以图形化后的硬掩膜层为掩膜,图形化待刻蚀层120,形成第四沟槽130和第五沟槽140,第四沟槽130与第六沟槽相对应,第五沟槽140与第七沟槽相对应。

[0127] 经由图形化后的硬掩膜层向下传递图形,有利于提高图形化工艺的稳定性、以及图形传递的精度。

[0128] 本实施例中,第四沟槽130和第五沟槽140的形貌质量、尺寸精度和位置精度较高,相应提高了第一目标结构和第二目标结构的图形精度,使得后续形成第一目标结构和第二目标结构的形貌和布局满足设计需求,相应提高了半导体结构的性能。

[0129] 本实施例中,形成第四沟槽130和第五沟槽140之后,还包括:去除硬掩膜层和第二侧墙530,为后续形成第一目标结构和第二目标结构做准备。

[0130] 结合参考图29和图30,图29是俯视图,图30是图29沿BB方向的剖视图,在第四沟槽130中形成第一目标结构610;在第五沟槽140中形成第二目标结构620。

[0131] 本实施例中,第一目标结构610为第一金属层;第二目标结构620为第二金属层,第一金属层和第二金属层为同层的金属互连线。

[0132] 本实施例中,沿第二方向,相邻第一金属层和第二金属层之间通过第一介电层相间隔,沿第一方向,相邻第一金属层和第二金属层之间通过第一介电层相间隔。

[0133] 本实施例中,第一金属层的材料包括铜、铝和铜合金中的一种或多种,第二金属层的材料包括铜、铝和铜合金中的一种或多种,从而使得第一金属层和第二金属层用于实现较好的导电性。

[0134] 本实施例中,第一金属层和第二金属层为同层的金属互连线,因此,第一金属层和第二金属层的材料相同。

[0135] 本实施例中,在同一步骤中,填充第四沟槽130和第五沟槽140,形成第一目标结构610和第二目标结构620,有利于简化工艺流程,提高工艺效率。

[0136] 具体地,形成第一目标结构610和第二目标结构620的步骤包括:向第四沟槽130和第五沟槽140中填充目标材料层,目标材料层还覆盖待刻蚀层120顶部;对目标材料层进行回刻蚀处理(例如,干法刻蚀处理),保留第四沟槽130和第五沟槽140中的目标材料层分别作为第一目标结构610和第二目标结构620。

[0137] 结合参考图31和图32,图31是俯视图,图32是图31沿BB方向的剖视图,形成第一金属层和第二金属层之后,形成方法还包括:在第二金属层端部的顶部形成与第二金属层电连接的互连通孔结构710。

[0138] 互连通孔结构710用于与第二金属层电连接。

[0139] 本实施例中,在第二金属层端部的顶部形成与第二金属层电连接的互连通孔结构710的步骤包括:形成覆盖第一金属层、第二金属层和第一介电层的第二介电层700。

[0140] 第二介电层700用于为形成互连通孔结构710提供工艺平台。

[0141] 本实施例中,图形化第二介电层700,形成露出第二金属层端部的顶面的通孔(未示出)。

[0142] 通孔用于为形成互连通孔结构提供空间位置。

[0143] 本实施例中,减小了第五沟槽140中的第二目标结构620端部之间的间距,有利于使得在任一个第二目标结构620顶部形成露出第二目标结构620(即第二金属层)端部的顶

面的通孔时,增大接触工艺窗口,有利于减小通孔底部落于第二目标结构620端部之间的概率,从而有利于保障形成于通孔中的通孔互连结构710与第二金属层的充分接触。

[0144] 本实施例中,在通孔中形成互连通孔结构710。

[0145] 本实施例中减小了通孔底部落于第二目标结构620端部之间的概率,从而有利于保障形成于通孔中的通孔互连结构710与第二金属层的充分接触,保障第二金属层与互连通孔结构710的电连接性能,有利于保障第二金属层与上层金属层(如图31中虚线框所示)之间的电连接性能,从而有利于提高半导体结构的性能。

[0146] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

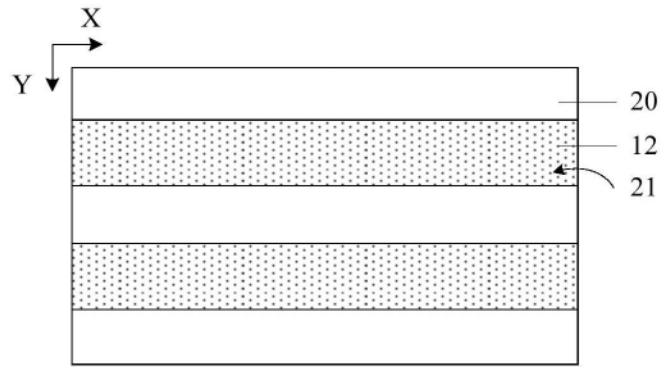


图1

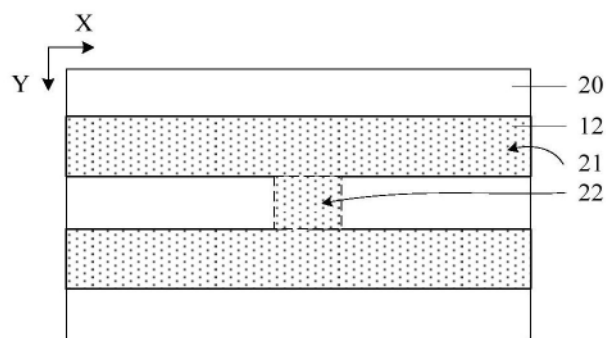


图2

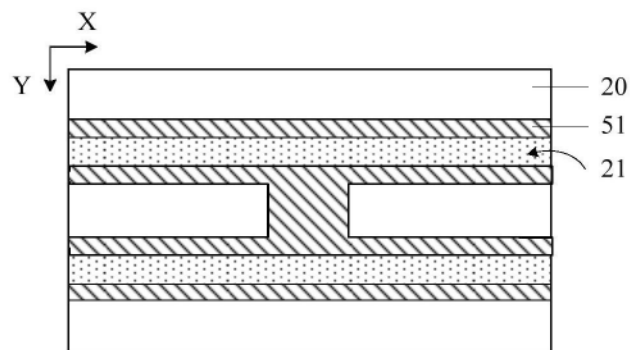


图3

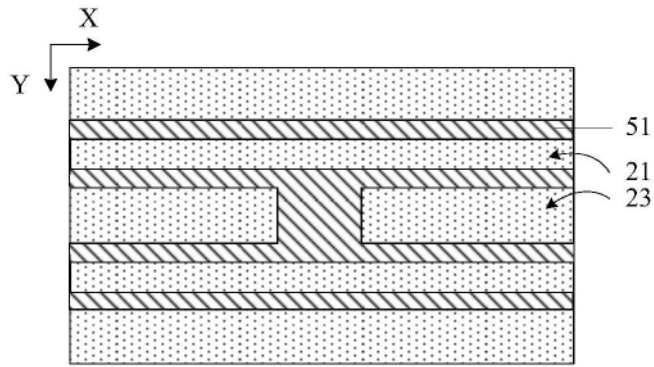


图4

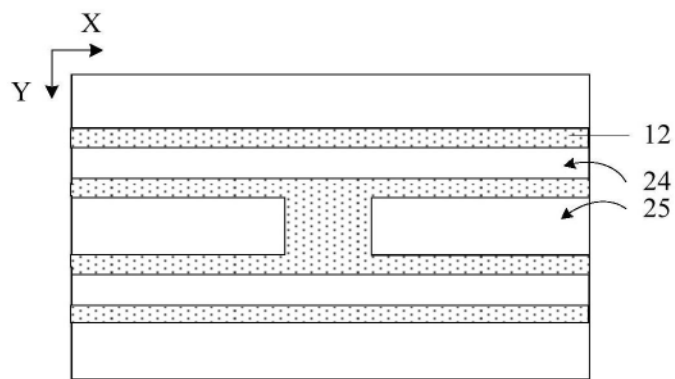


图5

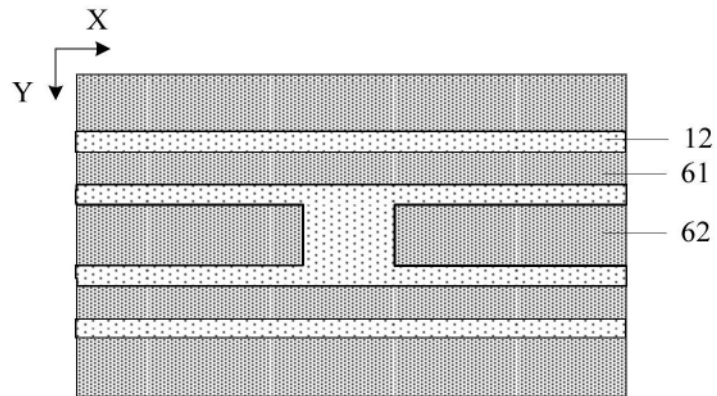


图6

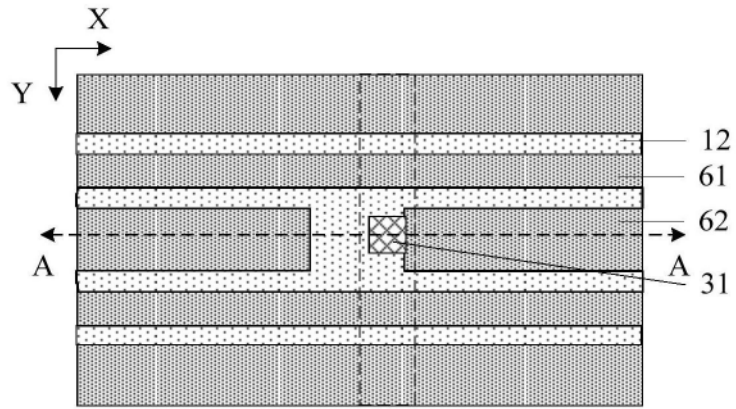


图7

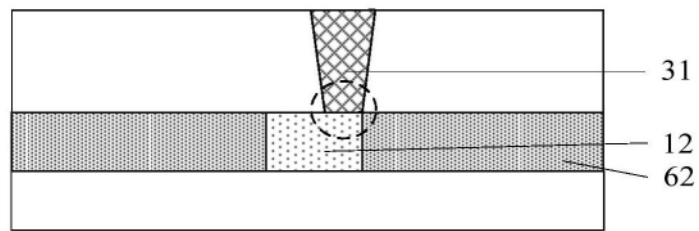


图8

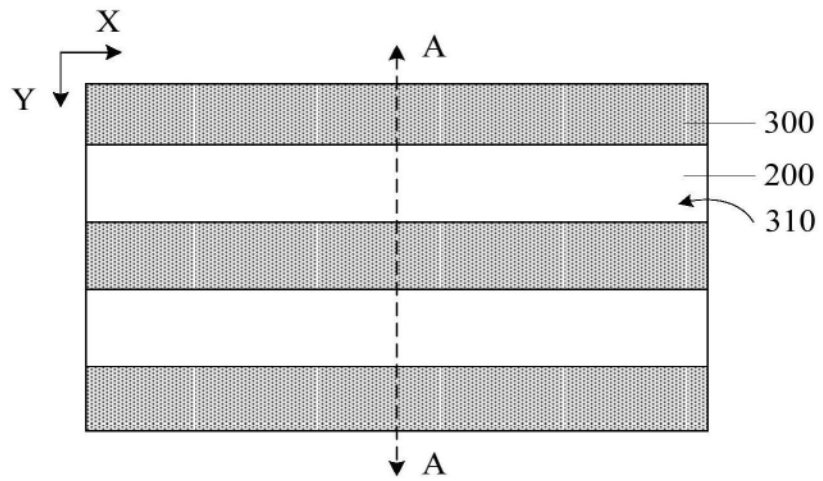


图9

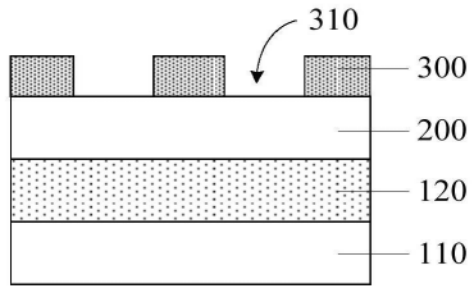


图10

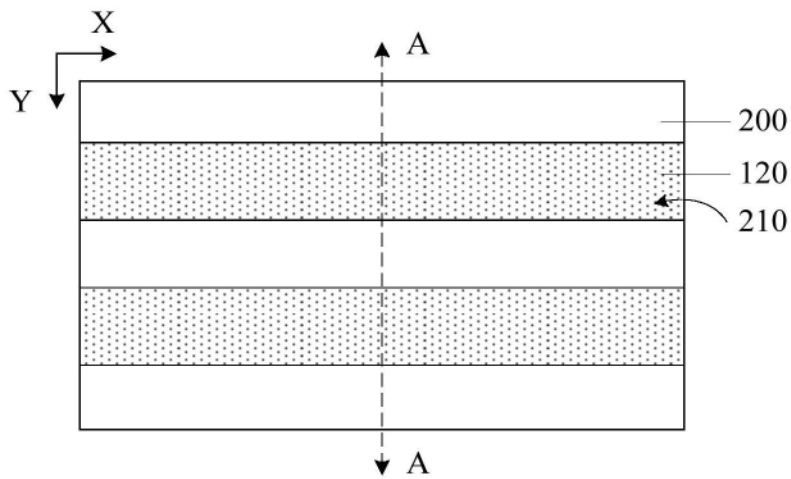


图11

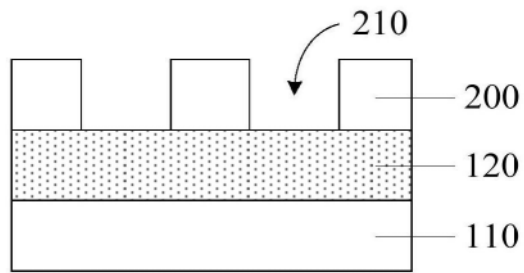


图12

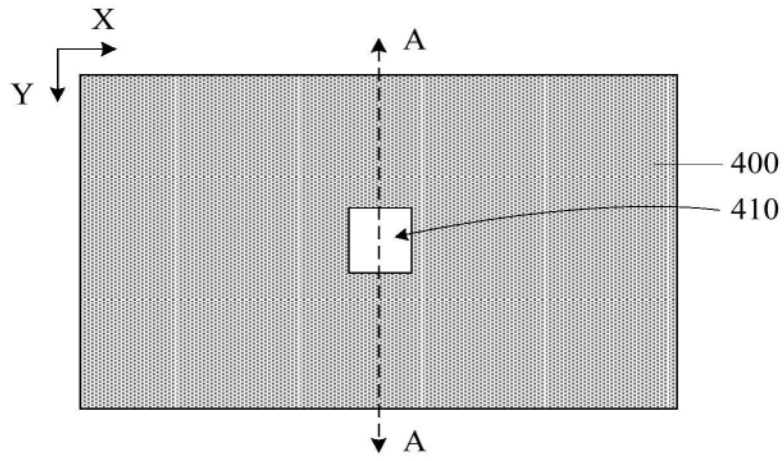


图13

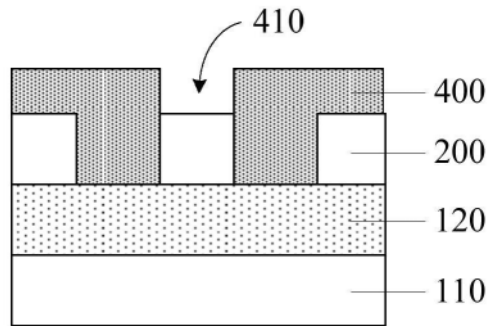


图14

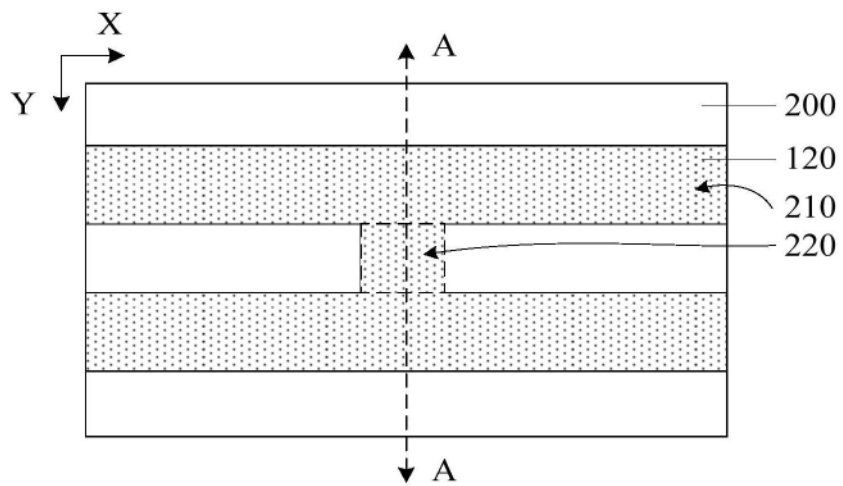


图15

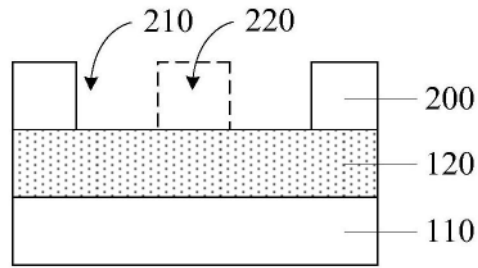


图16

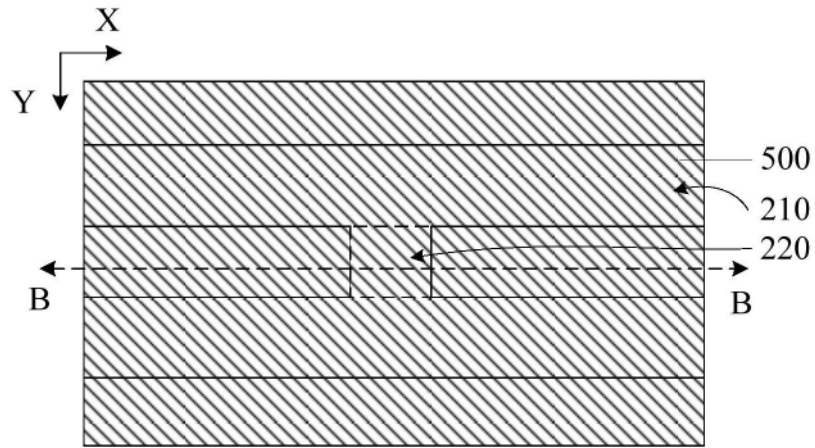


图17

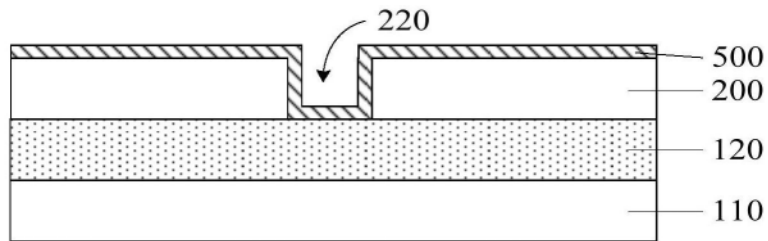


图18

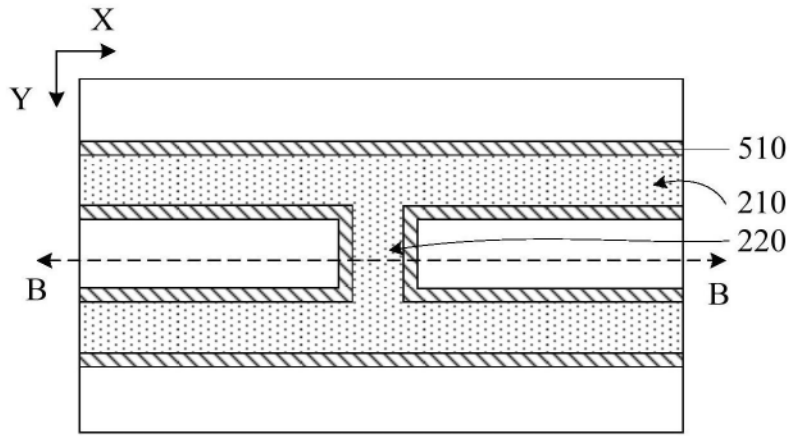


图19

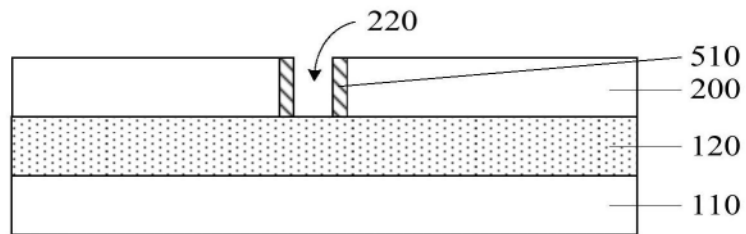


图20

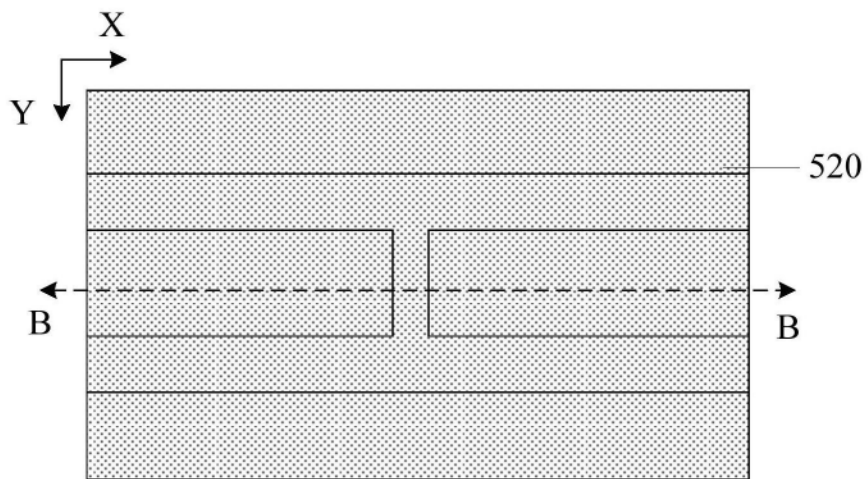


图21

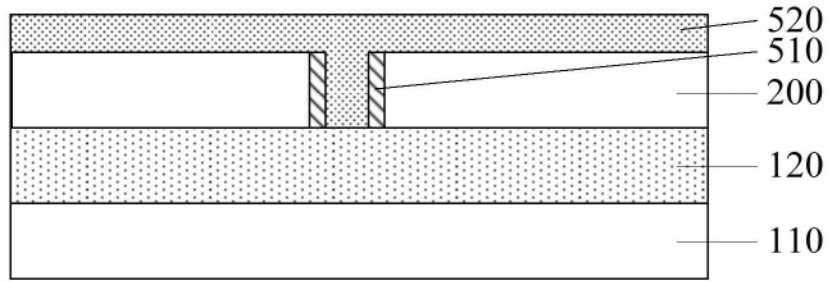


图22

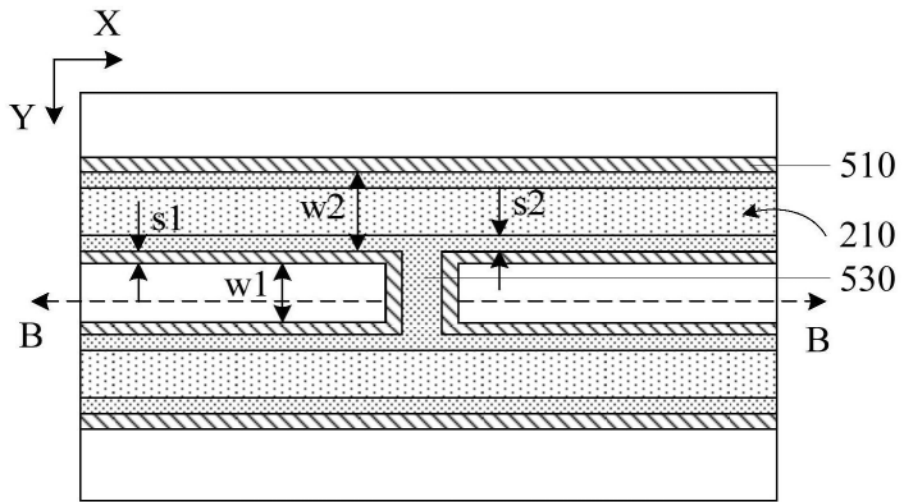


图23

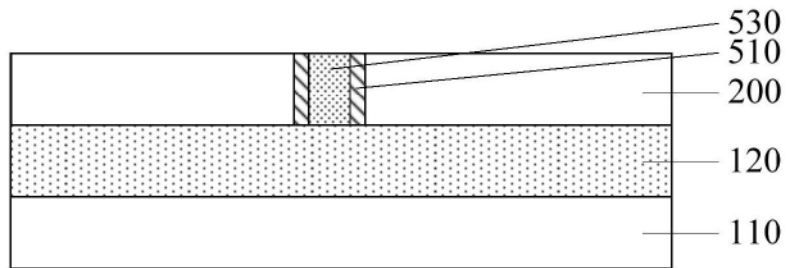


图24

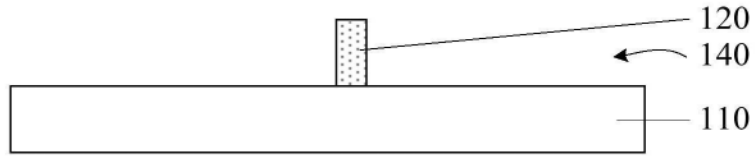


图28

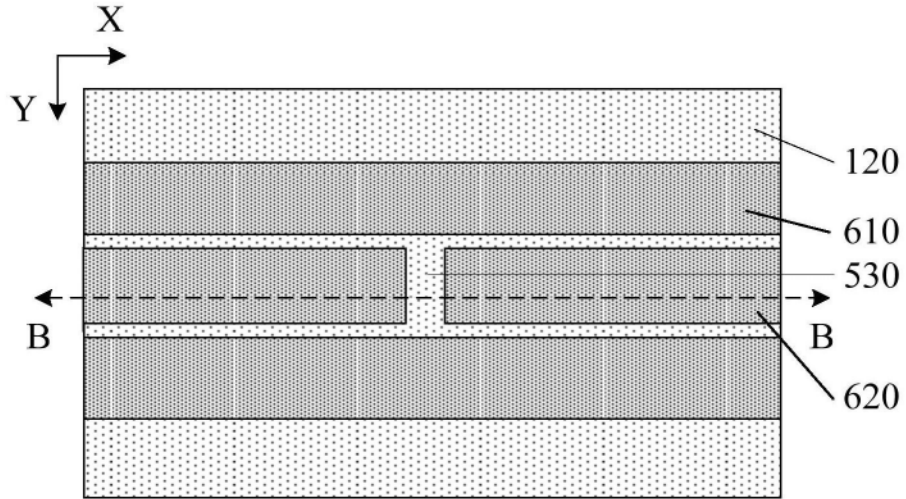


图29

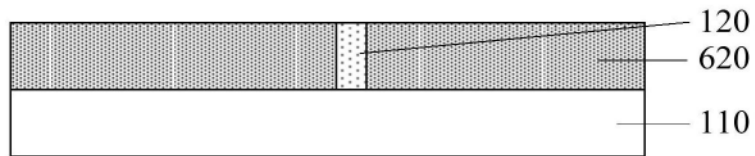


图30

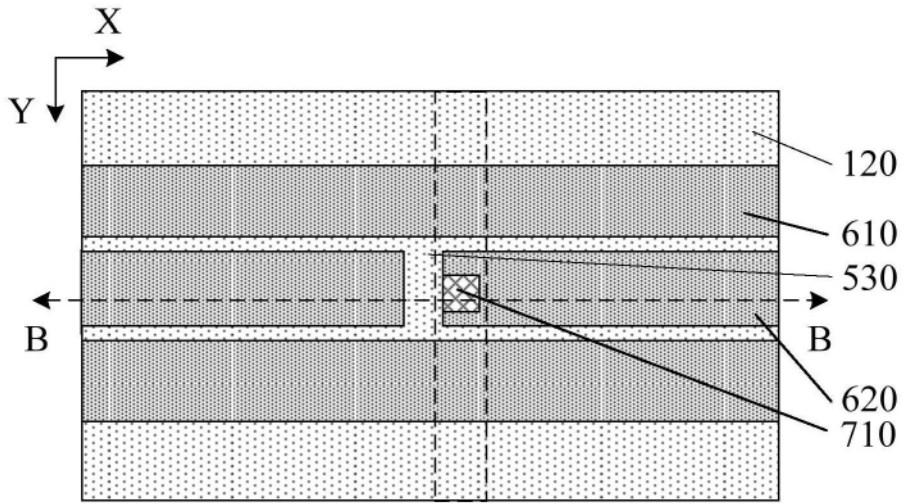


图31

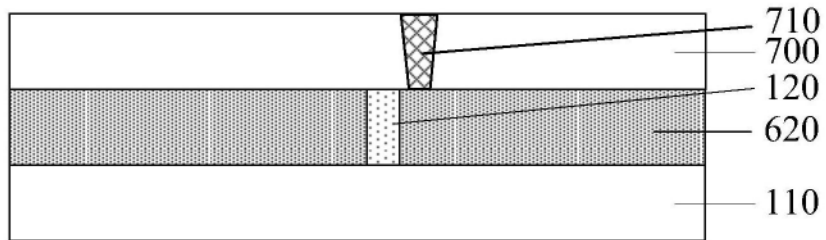


图32