



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월12일
(11) 등록번호 10-1746197
(24) 등록일자 2017년06월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01)
(21) 출원번호 10-2011-0059107
(22) 출원일자 2011년06월17일
심사청구일자 2016년06월14일
(65) 공개번호 10-2012-0000504
(43) 공개일자 2012년01월02일
(30) 우선권주장
JP-P-2010-145410 2010년06월25일 일본(JP)
(56) 선행기술조사문헌
JP2007115944 A
JP2008235328 A
US06441414 B1

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
고도 히로미치
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
요시토미 슈헤이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 10 항

심사관 : 홍종선

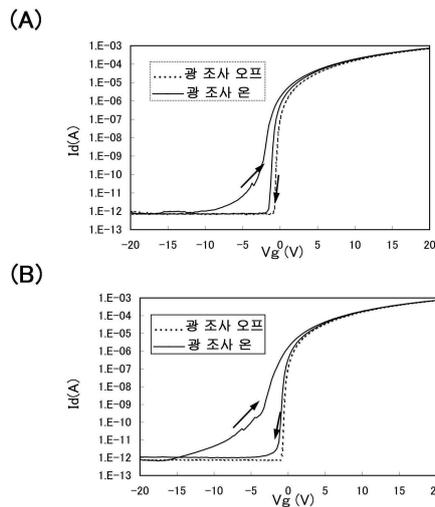
(54) 발명의 명칭 반도체 장치의 제작 방법 및 반도체 장치의 검사 방법

(57) 요약

본 발명의 일 형태는, BT시험보다 단시간이고, 또 낮은 스트레스(stress)로 정밀도 좋게, 신뢰성이 낮은 트랜지스터를 검지(檢知)하는 검사 방법을 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는, 신뢰성이 높은 트랜지스터를 BT시험보다 단시간으로 판별하여 신뢰성이 높은 전자 기기를 효율 좋게 제작하는 것을 과제의 하나로 한다.

트랜지스터에 광을 조사시키면서 V_g - I_d 측정을 행하고, 측정의 결과로서 나타나는 히스테리시스(hysteresis) 특성은, BT시험의 결과와 상관 관계가 있고, 트랜지스터의 신뢰성의 양부(良否)를 판별할 수 있다. BT시험보다 단시간, 또 낮은 스트레스로 정밀도 좋게, 신뢰성이 낮은 트랜지스터를 검지하는 검사 방법을 제공할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

트랜지스터의 신뢰성을 평가하는 검사 방법으로서,

광을 조사하며 V_g 를 마이너스로부터 플러스로 증가시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 1 I_d - V_g 곡선을 얻는 단계;

상기 제 1 I_d - V_g 곡선을 얻은 후, 광을 조사하며 V_g 를 상기 플러스로부터 상기 마이너스로 감소시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 2 I_d - V_g 곡선을 얻는 단계; 및

상기 트랜지스터의 상기 제 1 I_d - V_g 곡선과 상기 제 2 I_d - V_g 곡선의 히스테리시스(hysteresis) 특성을 해석하는 단계를 포함하고,

상기 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이 V_g 이고, 상기 트랜지스터의 드레인 전극과 상기 소스 전극 사이의 전류가 I_d 인, 트랜지스터의 신뢰성을 평가하는 검사 방법.

청구항 2

트랜지스터의 신뢰성을 평가하는 검사 방법으로서,

광을 조사하며 V_g 를 마이너스로부터 플러스로 증가시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 1 I_d - V_g 곡선을 얻는 단계;

상기 제 1 I_d - V_g 곡선을 얻은 후, 광을 조사하며 V_g 를 상기 플러스로부터 상기 마이너스로 감소시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 2 I_d - V_g 곡선을 얻는 단계; 및

상기 제 2 I_d - V_g 곡선으로부터 상기 트랜지스터의 상기 제 1 I_d - V_g 곡선의 시프트에 따른 상기 트랜지스터의 양부 판정의 검사를 행하는 단계를 포함하고,

상기 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이 V_g 이고, 상기 트랜지스터의 드레인 전극과 상기 소스 전극 사이의 전류가 I_d 인, 트랜지스터의 신뢰성을 평가하는 검사 방법.

청구항 3

삭제

청구항 4

반도체 장치의 제작 방법으로서,

트랜지스터를 제작하는 단계;

상기 트랜지스터를 제작한 후에, 광을 조사하며 V_g 를 마이너스로부터 플러스로 증가시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 1 I_d - V_g 곡선을 얻는 단계;

상기 제 1 I_d - V_g 곡선을 얻은 후, 광을 조사하며 V_g 를 상기 플러스로부터 상기 마이너스로 감소시키면서 I_d 를 측정함으로써 상기 트랜지스터의 제 2 I_d - V_g 곡선을 얻는 단계;

상기 트랜지스터의 상기 제 1 I_d - V_g 곡선을 사용하여 양부 판정의 검사를 행하는 단계; 및

상기 트랜지스터를 사용하여 상기 반도체 장치를 제작하는 단계를 포함하고,

상기 제 1 I_d - V_g 곡선과 상기 제 2 I_d - V_g 곡선은, 상기 트랜지스터의 게이트 전극과 소스 전극 사이의 전압(V_g)을 변화시키면서 상기 트랜지스터의 드레인 전극과 상기 소스 전극 사이의 전류(I_d)를 측정함으로써

얻어지는, 반도체 장치의 제작 방법.

청구항 5

제 4 항에 있어서,

상기 트랜지스터는 산화물 반도체층을 포함하는, 반도체 장치의 제작 방법.

청구항 6

제 4 항에 있어서,

상기 트랜지스터를 제작하는 상기 단계는,

기판 위에 하지 절연층을 형성하는 단계; 및

상기 하지 절연층 위에 상기 트랜지스터를 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 7

제 6 항에 있어서,

상기 하지 절연층은 무기 절연 재료를 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 4 항에 있어서,

상기 트랜지스터는 가요성 기판 위에 형성되는, 반도체 장치의 제작 방법.

청구항 9

제 4 항에 있어서,

상기 트랜지스터를 제작하는 상기 단계는,

기판 위에 상기 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 위에 반도체막을 형성하는 단계; 및

상기 반도체막 위에 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 10

제 9 항에 있어서,

상기 게이트 절연층은 무기 절연 재료를 포함하는, 반도체 장치의 제작 방법.

청구항 11

제 9 항에 있어서,

상기 게이트 절연층은 100nm 이상 500nm 이하의 두께를 갖는, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

- [0001] 본 발명은 트랜지스터로 구성된 회로를 갖는 반도체 장치의 제작 방법 및 그 검사 방법에 관한 것이다. 또한, 반도체 소자로서 산화물 반도체를 포함하여 구성되는 능동 소자가 예시되고, 상기 능동 소자를 사용한 표시 장치를 부품으로서 탑재한 전자 기기에 관한 것이다.
- [0002] 또한, 본 명세서 중에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반(全般)을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 종래, 액정 텔레비전으로 대표되는 표시 장치에는, 비정질 실리콘을 사용한 트랜지스터가 사용되지만, 트랜지스터를 제작하기 위하여 실리콘 반도체의 대체(代替) 재료로서 산화물 반도체가 주목을 받고 있다. 예를 들어, 액티브 매트릭스형의 표시 장치에 있어서의 트랜지스터의 활성층으로서, In, Ga, 및 Zn을 포함하는 비정질 산화물을 사용하여 상기 비정질 산화물의 전자 캐리어 밀도가 $10^{18}/\text{cm}^3$ 미만으로 한 것이 개시되어 있다(특허 문헌 1 참조).
- [0004] 그러나, 산화물 반도체를 사용한 트랜지스터에는 몇 개의 문제가 지적되고 있다. 그 문제 중의 하나는 특성의 안정성이고, 가시광 및 자외광을 조사함으로써 전기 특성이 변화되는 것이 지적되고 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2006-165528호 공보

발명의 내용

해결하려는 과제

- [0006] 트랜지스터를 복수 사용하는 전자 기기에 있어서, 전압 스트레스에 의한 임계값 전압의 변화량이 일정한 기준을 충족시키지 않는 트랜지스터를 갖는 경우, 최종적인 제품의 신뢰성을 보증(保證)할 수 없다는 우려가 있었다.
- [0007] 트랜지스터의 신뢰성을 조사하기 위한 검사 방법 중의 하나로서 바이어스-열 스트레스 시험(이하, BT시험이라고 말한다)이 있다. BT시험은 가속 시험의 1종이고, 장기간 사용함으로써 일어나는 트랜지스터의 특성 변화를 평가할 수 있다. 특히, 트랜지스터의 임계값 전압의 BT시험 전후의 변화량은, 신뢰성을 조사하기 위한 중요한 지표(指標)가 된다. BT시험 전후에 있어서, 임계값 전압의 변화량이 적을수록 트랜지스터를 갖는 제품의 신뢰성이 높다.
- [0008] 구체적으로는, 트랜지스터가 형성되는 기관의 온도(기관 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인을 같은 전위로 하고, 게이트에 소스 및 드레인과 상이한 전위를 일정한 시간, 예를 들어 1시간 인가한다. 또한, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 높은 경우를 "+BT시험"이라고 말하고, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 "-BT시험"이라고 말한다.
- [0009] 또한, BT시험을 행하는 데에, 아직 BT시험을 행하지 않는 트랜지스터를 사용하여 시험을 행한다. 예를 들어, +BT시험을 한번 행한 트랜지스터를 사용하여 -BT시험을 행하면, 앞의 +BT시험의 영향으로 인하여 -BT시험의 결과를 정확하게 평가할 수 없다. +BT시험을 한번 행한 트랜지스터를 사용하여 다시 한번+BT시험을 행한 경우도 마찬가지다. 따라서, BT시험에는 많은 샘플과 시간이 필요하다.

- [0010] 또한, BT시험은 가속 시험이기 때문에, BT시험을 행한 트랜지스터는 스트레스 대미지를 받기 때문에 그 트랜지스터를 최종 제품에 사용할 수 없다. 따라서, 트랜지스터를 제작한 후에 양부 판정의 검사를 행한 후, 그 검사 후의 트랜지스터를 사용하여 최종적인 제품을 제작한다. 즉, 반도체 장치의 제작 프로세스 중에 있어서 트랜지스터의 신뢰성을 예측하여 판별하는 것이 가능한 검사 방법이 요구된다.
- [0011] 본 발명의 일 형태는, BT시험보다 단시간이고, 또 낮은 스트레스로 정밀도 좋게, 신뢰성이 낮은 트랜지스터를 검지하는 검사 방법을 제공하는 것을 과제의 하나로 한다.
- [0012] 또한, 본 발명의 일 형태는 신뢰성이 높은 트랜지스터를 BT시험보다 단시간으로 판별하고, 신뢰성이 높은 전자 기기를 효율 좋게 제작하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0013] 본 명세서에서 개시하는 본 발명의 일 형태는, 트랜지스터의 신뢰성을 예측하는 검사 방법이며, 트랜지스터에 광을 조사시키면서 트랜지스터의 게이트 전극과 소스 전극의 사이의 전압(Vg)을 변화시켰을 때의 트랜지스터의 드레인 전극과 소스 전극의 사이의 전류(Id)를 측정하여 얻어지는 트랜지스터의 Id-Vg 곡선에 있어서의 히스테리시스(hysteresis) 특성을 해석하는 것을 특징으로 하는 반도체 장치의 검사 방법이다.
- [0014] 트랜지스터에 광을 조사시키면서 Vg-Id 측정을 행하고, 측정 결과에 나타나는 히스테리시스 특성은 BT시험의 결과와 상관 관계가 있고, 트랜지스터의 신뢰성의 양부를 판별할 수 있다.
- [0015] 이상적으로는, 트랜지스터에 광을 조사하면서 Vg-Id 측정을 행하고, 게이트 전압을 마이너스로부터 플러스로 일정한 전압 간격으로 변화시킨 Vg-Id 곡선과, 게이트 전압을 플러스로부터 마이너스로 일정한 전압 간격으로 변화시킨 Vg-Id 곡선을 비교한 경우, 거의 차이는 없고 대략 일치하는 것이 바람직하다.
- [0016] 또한, 광을 조사하면서 트랜지스터의 전기 특성을 측정함으로써 신뢰성을 예측하는 검사는 반도체 장치의 제작 프로세스 공정의 일 공정으로 할 수도 있고, 그 반도체 장치의 제작 방법은 트랜지스터를 제작하고, 트랜지스터를 제작한 후에 광을 조사하면서 트랜지스터의 게이트 전극과 소스 전극 사이의 전압(Vg)을 변화시켰을 때의 트랜지스터의 드레인 전극과 소스 전극의 사이의 전류(Id)를 측정하여 얻어지는 트랜지스터의 Id-Vg 곡선을 사용하여 양부 판정의 검사를 행하여 "양(良)" 판정의 트랜지스터를 사용하여 반도체 장치를 제작하는 반도체 장치의 제작 방법이다.
- [0017] 특히, 트랜지스터의 반도체층으로서 산화물 반도체 재료를 사용한 경우, 광을 조사하면서 -BT시험을 행한다. 즉, 마이너스 게이트·스트레스를 인가하면 트랜지스터의 열화가 가속하여 트랜지스터가 노멀리 온이 되는 현상이 확인된다. 이 열화를 "광 부 바이어스 열화"라고도 부른다.
- [0018] 광 부 바이어스 열화가 큰 트랜지스터는, 게이트 전압을 일정한 전압(예를 들어, 0.25V) 간격으로 마이너스로부터 플러스로 변화시킨 Vg-Id 곡선과, 게이트 전압을 일정한 전압 간격으로 플러스로부터 마이너스로 변화시킨 Vg-Id 곡선을 비교한 경우, 큰 차이를 확인할 수 있다.
- [0019] 또한, 광 부 바이어스 열화가 작은 트랜지스터는, 게이트 전압을 일정한 전압 간격으로 마이너스로부터 플러스로 변화시킨 Vg-Id 곡선과, 게이트 전압을 일정한 전압 간격으로 플러스로부터 마이너스로 변화시킨 Vg-Id 곡선을 비교한 경우, 차이가 작은 경향(傾向)이 있다.
- [0020] 또한, 본 명세서에 있어서, 산화물 반도체 재료란, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 가리킨다. 또한, 상기 산화물 반도체에 SiO₂를 포함하여도 좋다. 여기서, 예를 들어, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 뜻이고, 그 조성 비율은 특별히 불문한다. 또한, In과 Ga와 Zn 이외의 원소를 포함하여도 좋다.
- [0021] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우, 사용하는 타깃의 조성 비율은 원자수 비율로 In:Zn=50:1 내지 1:2(mol수 비율로 환산하면 In₂O₃: ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지

1:1(mol수 비율로 환산하면 $In_2O_3:ZnO=10:1$ 내지 1:2), 더 바람직하게는 $In:Zn=15:1$ 내지 1.5:1(mol수 비율로 환산하면 $In_2O_3:ZnO=15:2$ 내지 3:4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타깃은 원자수 비율이 $In:Zn:O=X:Y:Z$ 일 때, $Z>1.5X+Y$ 로 한다.

발명의 효과

[0022] BT시험보다 단시간이고, 또 낮은 스트레스로 정밀도 좋게, 신뢰성이 낮은 트랜지스터를 검지하는 검사 방법을 제공할 수 있다.

[0023] 또한, 신뢰성이 높은 트랜지스터를 BT시험보다 단시간으로 판별하고, 신뢰성이 높은 전자 기기를 효율 좋게 제작할 수 있다.

도면의 간단한 설명

[0024] 도 1(A) 및 도 1(B)는 본 발명의 일 형태를 도시한 그래프.

도 2는 본 발명의 일 형태를 도시한 단면 구조.

도 3은 광 응답성을 도시한 도면.

도 4(A) 및 도 4(B)는 본 발명의 일 형태를 도시한 그래프이고, 도 4(C)는 비교예.

도 5(A) 및 도 5(B)는 본 발명의 일 형태를 도시한 그래프이고, 도 5(C)는 비교예.

도 6(A) 내지 도 6(D)는 밴드 갭 중의 도너·트랩(정공을 포획하는 트랩)을 가정(假定)한 도면.

도 7(A-1), 도 7(A-2), 도 7(B-1), 도 7(B-2), 도 7(C-1), 도 7(C-2), 도 7(D-1), 및 도 7(D-2)는 계산 결과를 도시한 도면.

도 8은 산소 결손 상태의 상태 밀도를 도시한 도면.

도 9는 -BT시험의 결과를 도시한 도면.

도 10(A) 및 도 10(B)는 -BT시험의 결과를 도시한 도면(비교예).

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는, 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명을 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0026] (실시형태 1)

[0027] 본 실시형태에서는, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터의 광 조사시의 열화와, 히스테리시스 특성의 관계에 대해서 이하에 설명한다.

[0028] 우선, In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터(L/W=3 μm/50 μm)의 -BT시험의 결과를 도 10(A)에 도시한다. -BT시험의 시험 강도는 게이트 절연막에 인가하는 전계 강도를 -2MV/cm로 하기 때문에, Vd를 3V, Vg를 -6V로 하여 측정을 행하였다. 마이너스 게이트·스트레스를 인가한 상태로 유지 시간을 각각 0초, 300초, 1000초, 3600초, 10000초로 하였을 때에 Vg-Id 곡선을 측정한 결과, 유지 시간이 길수록 Vg-Id 곡선이 마이너스(도 10(A) 중의 화살표가 나타내는 방향)로 변동되는 것을 알 수 있다.

[0029] 또한, LED 광원(조도(照度) 36000럭스의 백색광)을 사용하여 광을 조사하면서 행한 -BT시험의 결과를 도 10(B)에 도시한다. 광 조사를 행하지 않는 시험 결과인 도 10(A)와 비교하여 도 10(B)는 Vg-Id 곡선이 마이너스로그로 크게 변동되는 것을 알 수 있다. 또한, -BT시험의 기관 온도를 실온으로 하였다.

[0030] 또한, In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터의 광 응답성을 도 3에 도시한다. 광원은 λ=400nm의

백색광을 사용한다. 또한, 도 3에 있어서, 광원을 온으로 한 타이밍을 위 쪽을 가리키는 화살표로 나타내고, 백색광을 600초 조사한 후, 광원을 오프로 한 직후의 타이밍을 아래 쪽을 가리키는 화살표로 나타낸다. 도 3에 도시한 바와 같이, In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터의 완화 시간 τ 는 길다. 완화 시간 τ 는 캐리어의 재결합의 모델에 의존한다. 완화 시간 τ 가 긴 원인으로서, In-Ga-Zn-O계 산화물 반도체는 광에 의하여 생긴 전자·정공의 쌍의 생성 또는 소멸의 완화가 느린 것을 들 수 있다.

[0031] In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터는, 광($\lambda=350\text{nm}$)을 조사하여 $V_g\text{-}I_d$ 곡선을 실온에서 측정하면, 히스테리시스 특성이 나타난다. 그 결과를 도 1(A) 및 도 1(B)에 도시한다.

[0032] 또한, 도 2에 광원(430)으로부터의 광($\lambda=350\text{nm}$)을 조사하면서 측정을 행한 상기 In-Ga-Zn-O계 산화물 반도체를 사용한 트랜지스터의 일 형태인 트랜지스터의 단면 구조를 도시한다. 도 2에 도시한 트랜지스터(410)는 보텀 게이트 구조의 트랜지스터의 하나이며, 역 스택거형 트랜지스터라고도 한다.

[0033] 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위에 절연 재료로 이루어지는 절연층(420), 게이트 전극(401), 절연 재료로 이루어지는 게이트 절연층(402), 산화물 반도체층(403), 소스 전극(405a) 및 드레인 전극(405b)을 포함한다. 또한, 트랜지스터(410)를 덮어 산화물 반도체층(403)에 접하는 절연 재료로 이루어지는 버퍼층(407)이 형성된다.

[0034] 도 1(A) 및 도 1(B)의 $V_g\text{-}I_d$ 측정의 결과는 게이트 전압을 0.25V 간격으로 -20V로부터 +20V로 하고, 그 후 +20V로부터 -20V로 변화(sweep)시킨다. 그 때, 1스텝당(0.25V)의 적분(積分) 시간을 짧게 설정하여 게이트 전압을 빠르게 변화시킨 경우(Fast Sweep)와, 1스텝당의 적분 시간을 길게 설정하여 게이트 전압을 천천히 변화시킨 경우(Slow Sweep)의 2종류의 측정을 행한다. 게이트 전압을 빠르게 변화시킨 경우(Fast Sweep)의 결과가 도 1(A)이고, 게이트 전압을 천천히 변화시킨 경우(Slow Sweep)의 결과가 도 1(B)이다. 표 1에 Fast Sweep와 Slow Sweep의 적분 시간을 각각 나타낸다. 측정기의 사정 때문에, 측정되는 드레인 전류에 따라 1스텝당의 적분 시간을 변화시킨다.

표 1

[0035]

드레인 전류의 범위	Fast Sweep	Slow Sweep
~10pA	1 sec	2 sec
10pA 내지 100pA	0.2 sec	3.2 sec
100pA 내지 1nA	0.1 sec	1.6 sec
1nA 내지 1A	0.02 sec	0.32 sec

[0036] 또한, 광을 조사하지 않는 경우의 $V_g\text{-}I_d$ 측정의 결과도 도 1(A) 및 도 1(B)에 도시하고, 히스테리시스 특성을 확인할 수 없었다.

[0037] 도 1(A) 및 도 1(B)에 있어서, 광($\lambda=350\text{nm}$)을 조사하였을 때, 히스테리시스 특성이 확인되고, 특히 -20V로부터 +20V의 범위에 있어서 $V_g\text{-}I_d$ 곡선이 마이너스 방향으로 변동한 것이 확인될 수 있었다. 또한, Fast Sweep보다 Slow Sweep가 히스테리시스 특성이 현저하였다.

[0038] 삭제

[0039] 삭제

[0040] 도 1(A) 및 도 1(B)의 광 조사시의 $V_g\text{-}I_d$ 특성에 대해서, -20V로부터 +20V로의 $V_g\text{-}I_d$ 곡선과 +20V로부터 -20V로의 $V_g\text{-}I_d$ 곡선을 비교한 경우, 특히 $V_g\text{-}I_d$ 곡선의 상승 부분에서 큰 차이(Δshift)가 있다. 이 상승 부분의 트랜지스터 특성은, 오프 전류의 값을 중요시(重要視)하는 장치에 있어서 특히 중요하다. 또한, 상승 부분의 트랜지스터 특성값의 하나인 shift값은, $V_g\text{-}I_d$ 곡선의 상승의 전압값을 나타내고, I_d 가 $1 \times 10^{-12}\text{A}$ 가 된 전압에 상당한다.

[0041] 히스테리시스 특성이 나타나는 원인으로서는 이하에서 설명하는 메커니즘을 고안하였다.

[0042] 광의 조사와 마이너스의 게이트 전압의 인가 양쪽이 행해지면, In-Ga-Zn-O계 산화물 반도체 중(특히, 게이트 절연막과의 계면 부근)에 정공이 유기(誘起)된다. 밴드 갭 중에 정공을 포획하는 트랩이 존재하면, 포획된 정공은 게이트 절연막과의 계면 부근에 양(正)의 전하로서 머무르기 때문에, Vg-Id 곡선이 마이너스 방향으로 변동하는 요인이 된다.

[0043] -20V로부터 +20V로의 변동에서는, 마이너스의 게이트 전압으로 인하여 계면 부근에 포획된 정공이 계속해서 머무름으로써, 커브(curve)를 마이너스 시프트시킨다. 또한, +20V로부터 -20V로의 변동에서는, 플러스의 게이트 전압으로 인하여 정공이 배척(排斥)되기 때문에, 마이너스 시프트는 일어나지 않는다. 도 1(A) 및 도 1(B)에서 확인할 수 있는 스위프(Sweep) 속도에 따른 히스테리시스 특성에 차이는, 정공과 트랩의 반응 속도가 영향을 주기 때문에 생긴 것이다. 산화물 반도체의 경우, 이 정공과 트랩의 반응이 매우 느리고, 광 조사에 의하여 발생한 정공은, 포획될 때까지 시간이 걸리고, 또한 일단 포획된 정공은 방출될 때까지 더 시간이 걸린다.

[0044] 가정한 메커니즘을 확인하기 위하여 디바이스 시뮬레이션(simulation)에 의한 검증을 행하였다. 계산은 디바이스 시뮬레이터 Atlas(Silvaco사 제조)을 사용하여 행하였다.

[0045] 계산에서 가정한 주된 파라미터를 표 2에 나타낸다.

표 2

[0046]	온도	300K
	밴드 갭	3.15eV
	전자 친화력	4.3eV
	유전율	10
	이동도 (전자)	10cm ² /Vs
	일 함수 (S/D)	4.0eV
	일 함수 (게이트)	4.9eV

[0047] 또한, 계산에서 가정한 재결합 모델의 수학적식 수학적식 1, 수학적식 2에 각각 나타낸다.

[0048] [수학적식 1]

$$R = \frac{pn - n_i^2}{\tau_n \left[p + n_i \exp\left(\frac{E_i - E_{trap}}{kT}\right) \right] + \tau_p \left[n + n_i \exp\left(\frac{E_{trap} - E_i}{kT}\right) \right]}$$

[0049]

[0050] [수학적식 2]

$$\tau_n = \tau_p = 1.0 \text{ msec}$$

[0051]

[0052] 시뮬레이션에서는, 실측(實測)의 트랜지스터와 같은 트랜지스터 구조를 갖는 트랜지스터를 가정하며, In-Ga-Zn-O계 산화물 반도체의 밴드 갭 중에 도 6(A) 내지 도 6(D)에서 도시한 트랩을 가정하였다. 도 6(A)는 트랩을 전혀 포함하지 않는 경우이고, 도 6(B) 내지 도 6(D)는 밴드 갭 중에 도너·트랩(정공을 포획하는 트랩)을 가정하는 경우가 된다. 도 6(B) 내지 도 6(D)간의 차이는, 가전자 대역(Ev)으로부터 트랩까지의 에너지 차이이다. 계산 결과를 도 7(A-1), 도 7(A-2), 도 7(B-1), 도 7(B-2), 도 7(C-1), 도 7(C-2), 도 7(D-1), 및 도 7(D-2)에 도시한다. 도 6(A)의 경우에 있어서, Fast Sweep의 계산 결과는 도 7(A-1)이다. 또한, 도 7(A-2)는 Slow Sweep의 계산 결과이다. 도 6(B)의 경우에 있어서, Fast Sweep의 계산 결과는 도 7(B-1)이다. 또한, 도 7(B-2)는 Slow Sweep의 계산 결과이다. 도 6(C)의 경우에 있어서, Fast Sweep의 계산 결과는 도 7(C-1)이다. 또한, 도 7(C-2)는 Slow Sweep의 계산 결과이다. 도 6(D)의 경우에 있어서, Fast Sweep의 계산 결과는 도 7(D-1)이다. 또한, 도 7(D-2)는 Slow Sweep의 계산 결과이다. 갭 내 준위로서 도너·트랩이 있다고 가정하였을 때에, 검증

결과는 측정 결과에서 확인할 수 있는 히스테리시스 특성을 재현(再現)하는 것을 알 수 있다. 또한, 트랩이 가전자(價電子) 대역 근방에 있을 때는(도 6(B) 및 도 6(C) 참조), 히스테리시스 특성이 작게 되는 경향이 확인되었다. 이것은, 포획된 정공이 실온과 같은 낮은 온도라도 간단히 가전자 대역으로 이동(detrap)하기 때문이라고 생각된다.

[0053] 또한, 측정 결과에서 확인된 스위프 속도에 따른 히스테리시스 특성의 차이에 대해서는, 이 원인은 정공과 트랩의 반응이 매우 느리고, 광 조사에 의하여 발생한 정공은 포획될 때까지 시간이 걸리고, 또한 일단 포획된 정공은 방출될 때까지 더 시간이 걸리는 메커니즘을 들 수 있다. 본 실시형태에서의 계산에서는 수학적 식 2의 식 중의 τ_n 및 τ_p 를 의도적으로 큰 수치로 설정하였다. 결과적으로, 측정 결과의 경향을 재현할 수 있었다.

[0054] 마지막으로 도너 준위에 대해서 이하에 고찰한다. In-Ga-Zn-O계 산화물 반도체로 대표되는 산화물 반도체층의 결합 준위로서 산소 결손이 있다. 산소 결손으로 인한 공공(空孔)이 남긴 상태인 경우, 전자는 국재(局在)한다고 생각할 수 있다. In-Ga-Zn-O계 산화물 반도체 중에서 산소의 공공을 남긴 산소 결손 상태의 상태 밀도를 도 8에 도시한다. 계산은, "VASP(Vienna Ab-initio Simulation Package)"를 사용하여 행하였다. 공공이 있는 산소 결손은 깊은 준위를 형성하는 것을 알 수 있다. 이 경우, 결합 준위는 전자로 점유되어 있고, 또한 가전자 대역에 가깝기 때문에 정공을 포획한다. 이것은 시뮬레이션에서 가정한 정공을 포획하는 도너 준위에 상당한다.

[0055] 또한, 도 9에 -BT시험의 양호한 결과에 있어서의 트랜지스터의 임계값 변동(ΔV_{th})을 도시한다. 샘플 1, 샘플 2, 샘플 3 중, 샘플 3이 가장 신뢰성이 높은 트랜지스터라고 말할 수 있다. 이들의 트랜지스터에 있어서도 광을 조사하면서 V_g - I_d 측정을 행하고, 각각 측정을 행하면 -BT시험과 상관 관계가 있기 때문에 나타나는 히스테리시스 특성을 사용하여 트랜지스터의 신뢰성을 양부를 판별할 수 있다. 광 부 바이어스 열화는 장시간 동안 인가된 스트레스로 인하여 트랩에 포획된 정공이 트랩으로부터 나갈 수 없는 현상이고, 히스테리시스 특성과 마찬가지로 정공 트랩에 유래한다. 따라서, -BT시험의 결과와 마찬가지로 광을 조사하면서 V_g - I_d 측정을 행하여 각각 비교하면 샘플 1, 샘플 2, 샘플 3 중, 변동이 가장 작은 샘플은 샘플 3이다.

[0056] V_g - I_d 측정을 행하여 히스테리시스 특성을 사용하는 양부 판단은, BT시험과 비교하여 단시간으로 측정할 수 있기 때문에 효율적이다.

[0057] (실시형태 2)

[0058] 본 실시형태에서는, 반도체 장치의 제작 프로세스의 일부로서 히스테리시스 특성을 사용한 검사를 행하는 예를 나타낸다.

[0059] 도 2를 사용하여 트랜지스터(410)의 제작 공정의 일례에 대해서 설명한다.

[0060] 우선, 기판(400) 위에 하지 절연층이 되는 절연층(420)을 형성한다. 절연층(420)은, 스퍼터링법이나 PCVD법을 사용하여 무기 절연 재료로 이루어지는 절연막을 형성한다. 절연층(420)으로서 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화갈륨막 등의 무기 절연막을 사용할 수 있다.

[0061] 기판(400)의 재질 등에 큰 제한은 없지만, 적어도 이 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖고 있는 것이 필요하다. 예를 들어, 유리 기판, 세라믹스 기판, 석영 기판, 사파이어 기판 등을 기판(400)으로서 사용할 수 있다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들의 기판 위에 반도체 소자가 설치되는 것을 기판(400)으로서 사용하여도 좋다.

[0062] 또한, 기판(400)으로서 가요성 기판을 사용하여도 좋다. 가요성 기판 위에 트랜지스터를 형성하는 경우, 가요성 기판 위에 접하여 트랜지스터를 제작하여도 좋고, 다른 기판에 트랜지스터를 형성한 후, 이것을 박리하여 가요성 기판에 전치(轉置)하여도 좋다. 또한, 트랜지스터를 박리하여 가요성 기판에 전치하기 위해서는, 상기 다른 기판과 트랜지스터의 사이에 박리층을 형성하면 좋다.

[0063] 다음에, 절연층(420) 위에 게이트 전극(401)을 형성한다. 게이트 전극(401)의 재료는, 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 알루미늄(Al), 구리(Cu), 네오디뮴(Nd), 스칸듐(Sc) 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 또는 적층시켜 형성할 수 있다.

[0064] 다음에, 게이트 전극(401)을 덮는 게이트 절연층(402)을 형성한다. 게이트 절연층(402)의 막 두께는, 100nm 이

상 500nm 이하로 하고, 적층의 경우는, 예를 들어, 막 두께 50nm 이상 200nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 막 두께 5nm 이상 300nm 이하의 제 2 게이트 절연층의 적층으로 한다.

- [0065] 게이트 절연층(402)은 스퍼터링법이나 PCVD법 등을 사용하여 무기 절연 재료로 이루어지는 절연막을 형성한다. 게이트 절연층(402)으로서, 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화갈륨막 등의 무기 절연막을 사용할 수 있다. 본 실시형태에서는, 30nm의 산화질화실리콘막을 사용한다.
- [0066] 다음에, 게이트 절연층(402) 위에 막 두께 5nm 이상 200nm 이하의 산화물 반도체막을 형성한다. 여기서는, In, Ga, 및 Zn를 포함하는 산화물 반도체 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수 비율])을 사용하여 기판과 타깃간의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 5kW, 산소(산소 유량 비율 50%) 분위기하, 기판 온도 200℃에서 형성한다.
- [0067] 다음에, 산화물 반도체막을 포토리소그래피 공정에 의하여 섬 형상의 산화물 반도체층(403)으로 가공한다.
- [0068] 다음에, 산화물 반도체층(403)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 400℃ 이상 기판의 변형점 미만, 바람직하게는 425℃ 이상으로 한다. 본 실시형태에서는, 650℃에서 6분의 가열 처리 후, 질소와 산소의 혼합 분위기하에서 450℃, 1시간의 가열 처리를 행한다.
- [0069] 또한, 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 대해서 행할 수도 있다. 그 경우에는, 가열 처리 후에, 가열 장치로부터 기판을 추출하여, 포토리소그래피 공정을 행한다.
- [0070] 다음에, 게이트 절연층(402) 및 산화물 반도체층(403) 위에 도전막을 형성한 후, 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극(405a) 및 드레인 전극(405b)을 형성한다. 소스 전극(405a) 및 드레인 전극(405b)의 재료는, Mo, Ti, Cr, Ta, W, Al, Cu, Nd, Sc 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 또는 적층시켜 형성할 수 있다.
- [0071] 여기서는, 소스 전극(405a) 및 드레인 전극(405b)으로서 막 두께 200nm의 Ti막을 사용한 샘플 A와, 막 두께 200nm의 W막을 사용한 샘플 B의 2종류의 트랜지스터를 제작한다.
- [0072] 다음에, 레지스트 마스크를 제거한 후, 질소 분위기하에서 300℃, 1시간의 가열 처리를 행한다.
- [0073] 다음에, 트랜지스터(410)를 덮는 버퍼층(407)을 형성한다. 버퍼층(407)은 스퍼터링법이나 PCVD법 등을 사용하여 무기 절연 재료로 이루어지는 절연막 또는 유기 절연 재료로 이루어지는 절연막의 단층, 또는 그들의 적층으로 한다. 버퍼층(407)으로서, 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화갈륨막 등의 무기 절연막이나, 아크릴 수지나 폴리이미드 수지 등의 유기 절연막을 사용할 수 있다. 본 실시형태에서는, 버퍼층(407)으로서 스퍼터링법을 행하여 얻을 수 있는 막 두께 300nm의 산화실리콘막과, 막 두께 1.5μm의 아크릴 수지막의 적층을 사용한다.
- [0074] 다음에, 도 2에는 도시하지 않았지만, 버퍼층에 콘택트 홀을 형성하고, 소스 전극(405a) 및 드레인 전극(405b)에 접속하는 접속 전극을 형성한다.
- [0075] 다음에, 백색 LED(직하형(直下型) 백 라이트 MDBL-CW100, MORITEX Corporation 제조)를 사용하여 조도 36000럭스의 광을 조사하면서 소스 전극(405a) 및 드레인 전극(405b)에 접속하는 접속 전극을 단자로서 사용하여 Vg-Id 측정을 행한다. 도 2에 도시한 바와 같이, 트랜지스터(410)에 광을 조사한다.
- [0076] 소스 전극(405a) 및 드레인 전극(405b)의 재료가 상이한 2종류의 트랜지스터에 대해서 광을 조사하면서 Vg-Id 측정을 행하여 게이트 전압을 0.25V 전압 간격으로 -6V로부터 +6V로의 Vg-Id 곡선과 +6V로부터 -6V로의 Vg-Id 곡선을 비교하였다.
- [0077] 소스 전극(405a) 및 드레인 전극(405b)의 재료로서 Ti막을 사용한 샘플 A의 트랜지스터를 측정할 때에, 1스텝당(0.25V)의 적분 시간을 짧게 설정하여 게이트 전압을 빠르게 변화시킨 경우(Fast Sweep)의 결과가 도 4(A)이고, 1스텝당의 적분 시간을 길게 설정하여 게이트 전압을 천천히 변화시킨 경우(Slow Sweep)의 결과가 도 4(B)이다. 또한, Fast Sweep와 Slow Sweep의 스위프 속도는 표 1에 나타낸 바와 같다. 또한, 도 4(A)의 Δshift는 1.0V, 도 4(B)의 Δshift는 2.4V이었다.
- [0078] 또한, 소스 전극(405a) 및 드레인 전극(405b)의 재료로서 W막을 사용한 샘플 B의 트랜지스터를 측정할 때에, 1스텝당(0.25V)의 적분 시간을 짧게 설정하여 게이트 전압을 빠르게 변화시킨 경우(Fast Sweep)의 결과가 도 5(A)이고, 1스텝당의 적분 시간을 길게 설정하여 게이트 전압을 천천히 변화시킨 경우(Slow Sweep)의 결과가 도

5(B)이다. 또한, 도 5(A)의 Δ shift는 0.7V, 도 5(B)의 Δ shift는 1.8V이었다.

[0079]

또한, 트랜지스터(410)의 사이즈는 $L/W=3\ \mu\text{m}/50\ \mu\text{m}$ 로 한다.

[0080]

샘플 A와 샘플 B를 비교하면, Ti막을 사용한 샘플 A의 V_g - I_d 곡선이 마이너스 방향으로 크게 변동한다.

[0081]

또한, 샘플 A와 샘플 B를 각각 -BT시험을 행하여 비교한 결과를 도 4(C) 및 도 5(C)에 도시한다. 이들의 결과에 따르면, -BT시험의 결과와 히스테리시스 특성의 결과에는 상관 관계가 있다. 또한, 도 4(C)의 Δ shift는 0.9V, 도 5(C)의 Δ shift는 0.6V이었다.

[0082]

따라서, 트랜지스터에 광을 조사하면서 V_g - I_d 곡선을 측정하여 양부 판정의 검사를 행한 후, 그 검사 후의 트랜지스터를 사용하여 최종적인 제품, 예를 들어 액정 표시 장치나, 반도체 칩 등을 제작할 수 있다. BT시험을 행하지 않아도 단시간으로 양부 판정의 검사를 행할 수 있고, 또 그 트랜지스터를 최종적인 제품의 일부로서 사용할 수 있기 때문에, 신뢰성이 높은 전자 기기를 효율 좋게 제작할 수 있다.

부호의 설명

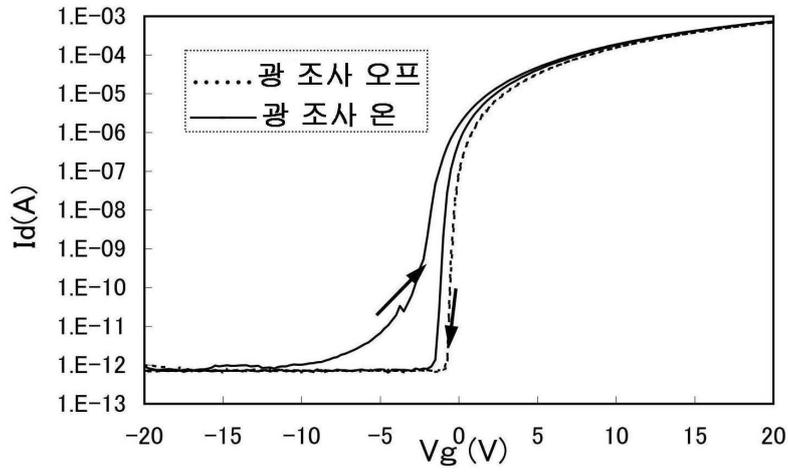
[0083]

400: 기판	401: 게이트 전극
402: 게이트 절연층	403: 산화물 반도체층
405a: 소스 전극	405b: 드레인 전극
407: 버퍼층	410: 트랜지스터
420: 절연층	430: 광원

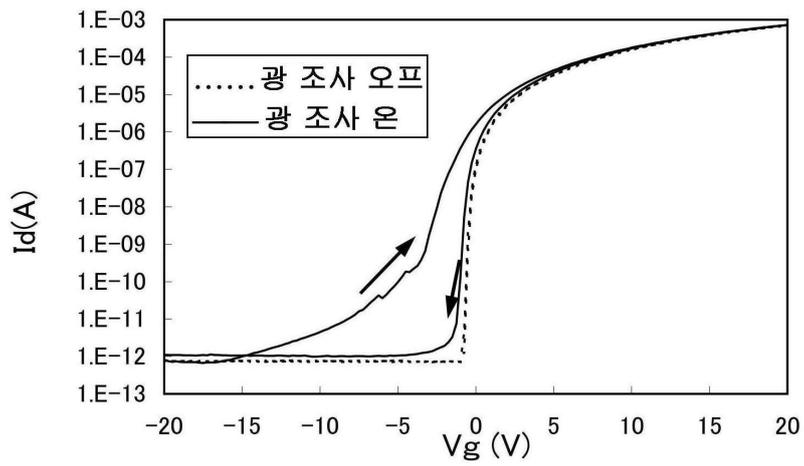
도면

도면1

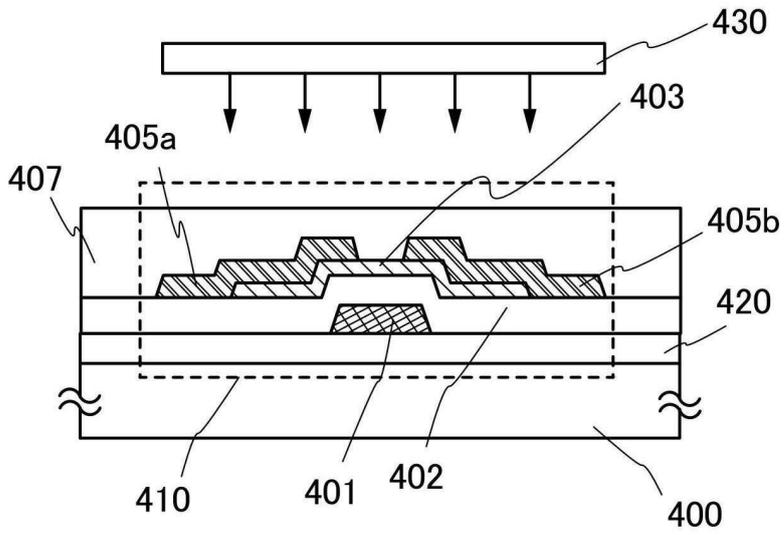
(A)



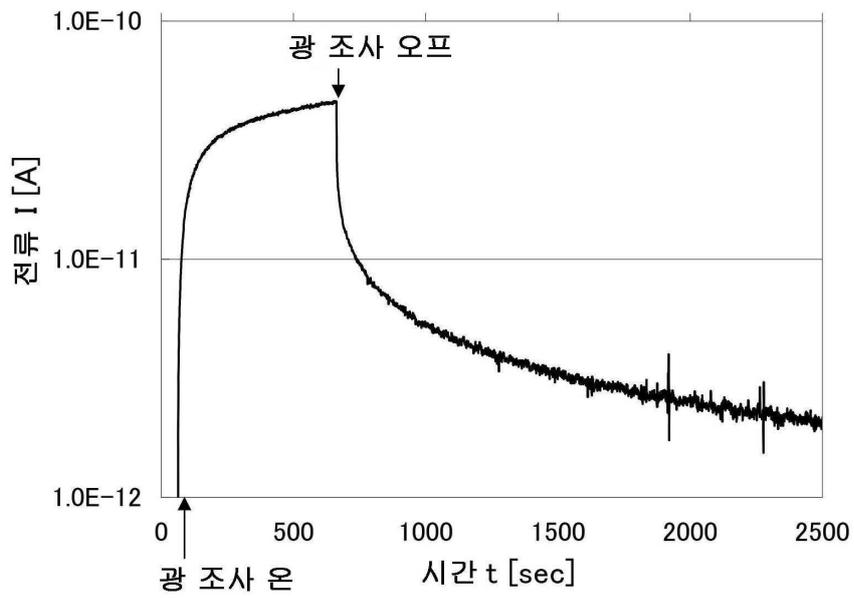
(B)



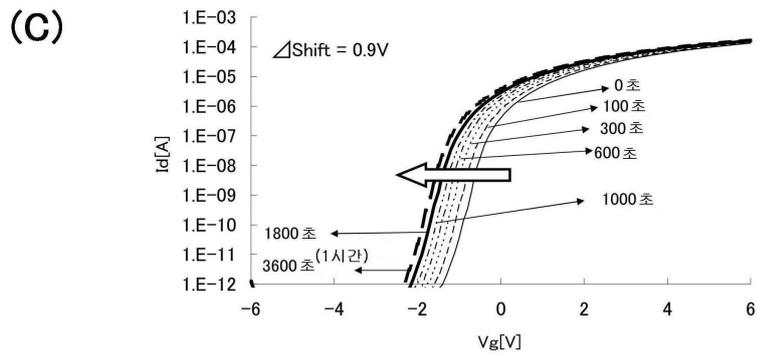
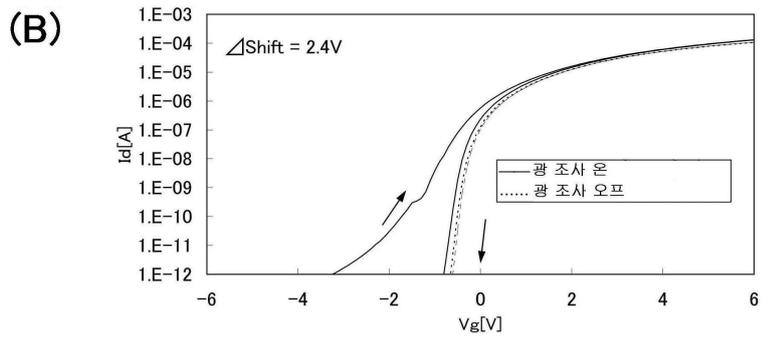
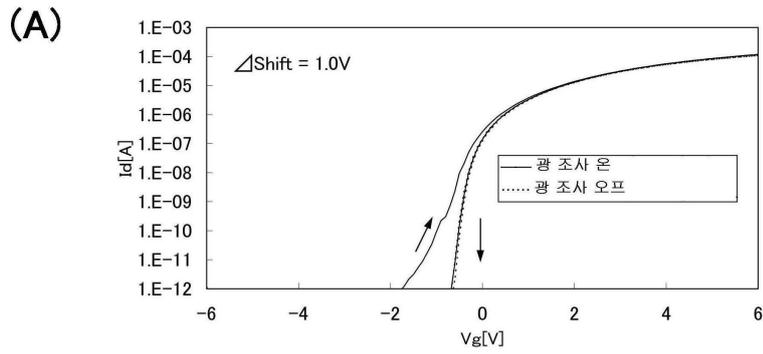
도면2



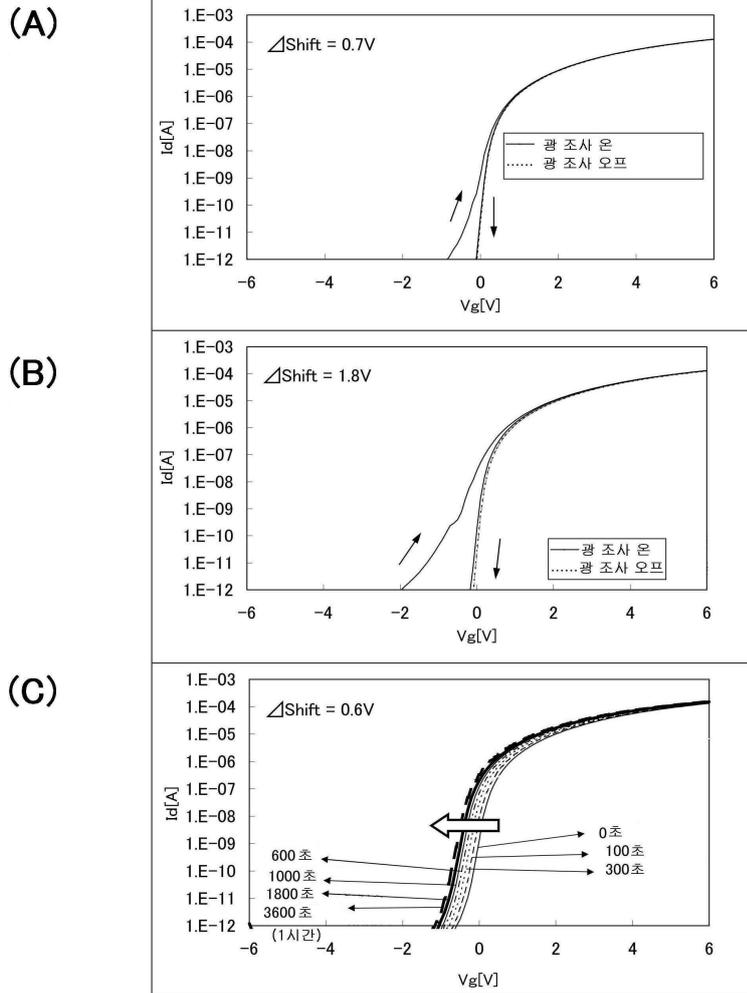
도면3



도면4

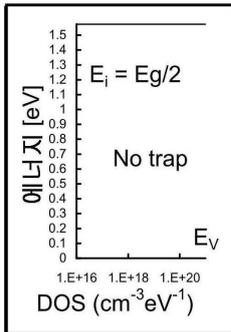


도면5

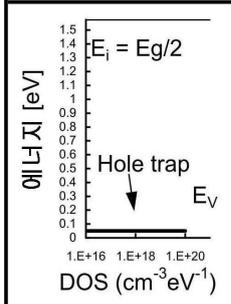


도면6

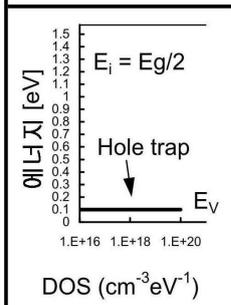
(A)



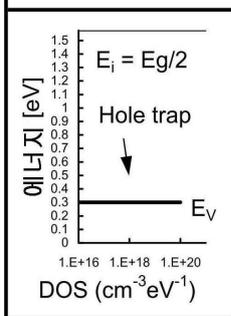
(B)



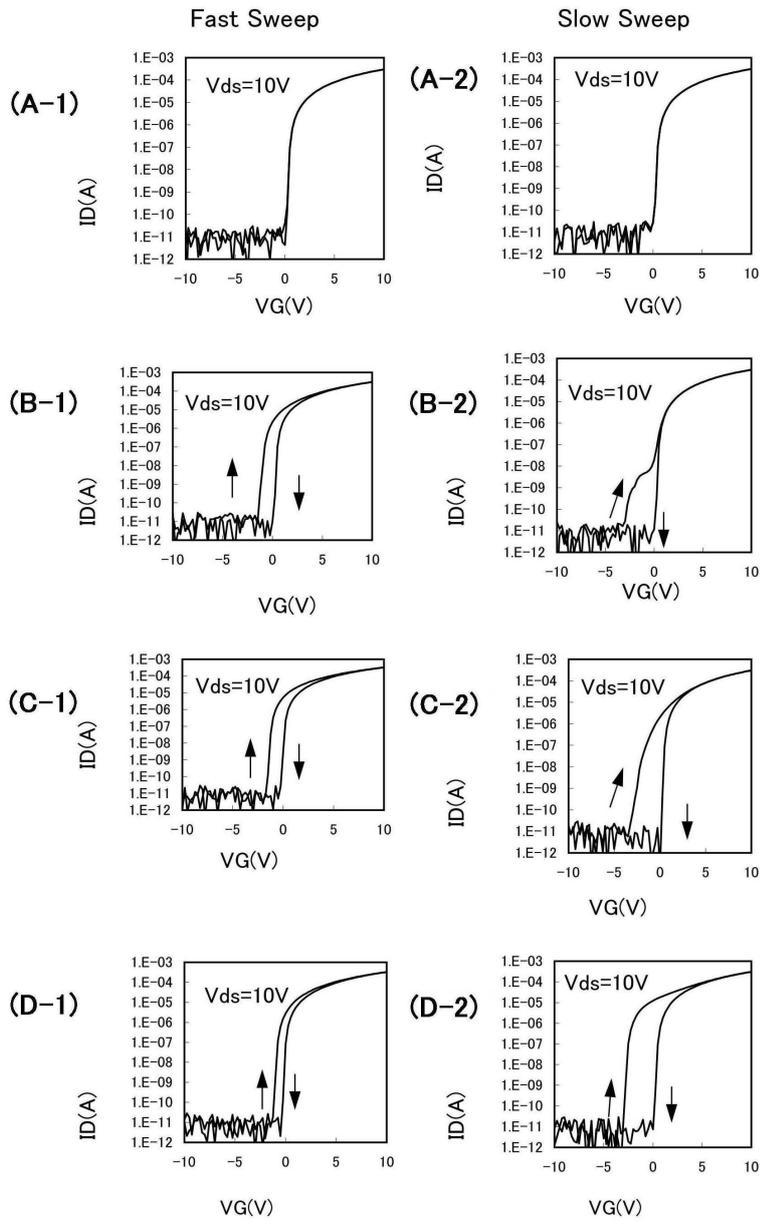
(C)



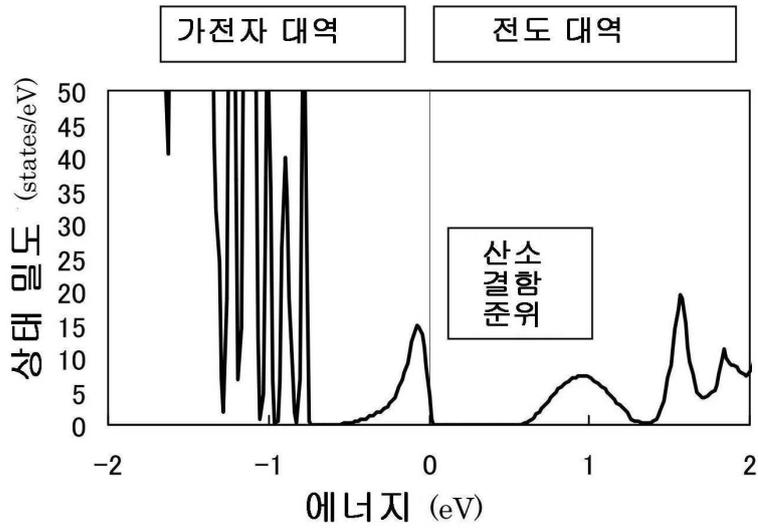
(D)



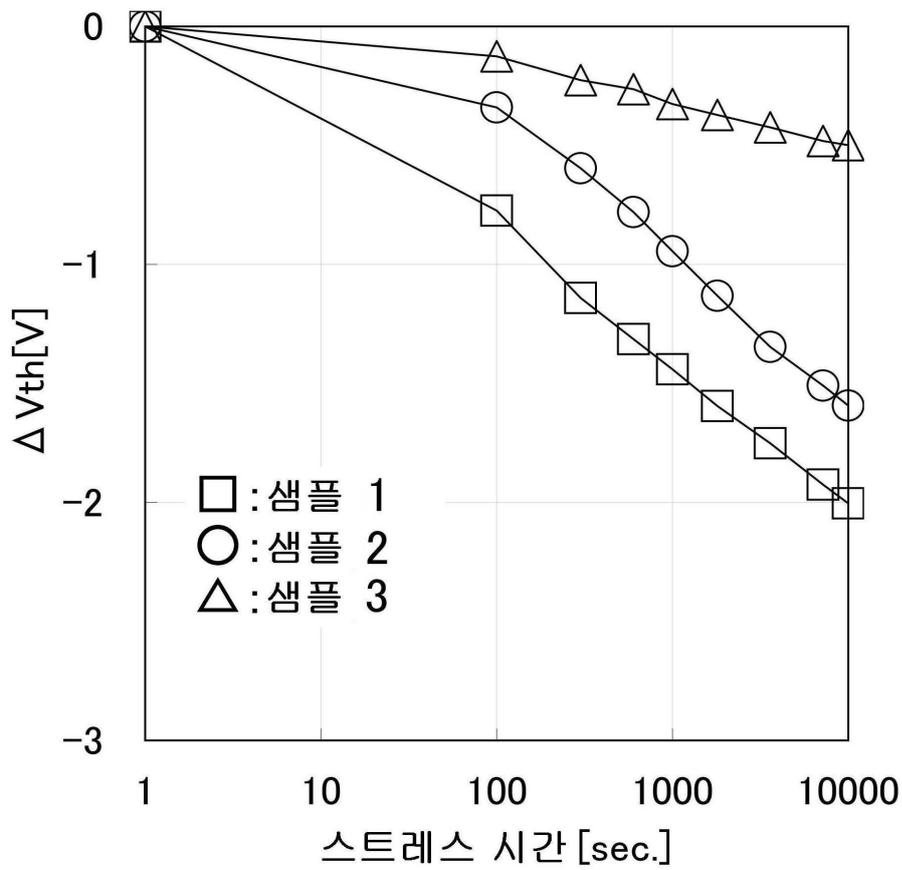
도면7



도면8

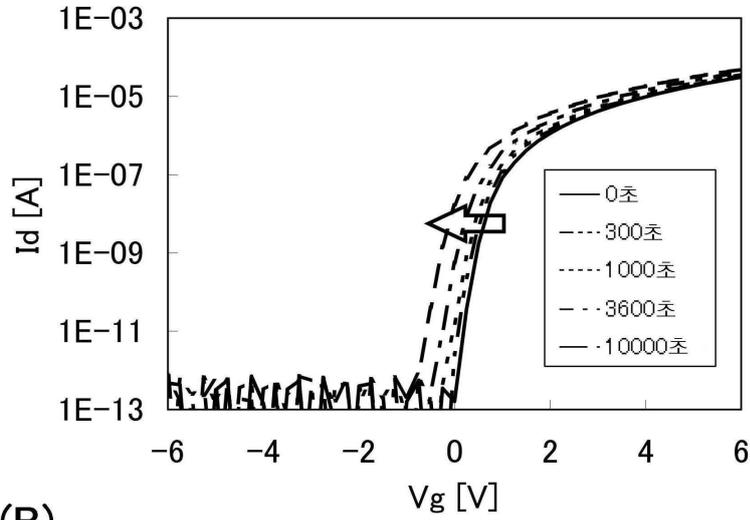


도면9



도면10

(A)



(B)

