(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G11C 5/06

(11) 공개번호 특1999-029049
(43) 공개일자 1999년04월15일

(21) 출원번호 특1998-700352
(22) 출원일자 1998년01월16일
번역문제출일자 1998년01월16일
(86) 국제출원번호 PCT/JP1997/01558 (87) 국제공개번호 WO 1997/43765
(86) 국제출원출원일자 1997년05월09일 (87) 국제공개일자 1997년11월20일
(81) 지정국 EP 유럽특허 : 독일 프랑스 영국
국내특허 : 중국 대한민국 미국
(30) 우선권주장 96-122051 1996년05월16일 일본(JP)
(71) 출원인 가시오게산키 가부시키가이샤 가시오 가즈오
일본국 도쿄도 시부야쿠 혼마치 1쵸메 6반 2고
(72) 발명자 아이하라 후미카즈
일본국 도쿄도 네리마쿠 기타마치 8-32-8
(74) 대리인 손은진

심사청구 : 있음

(54) 음성 기억 및 재생장치

요약

음성 기억/재생 장치는 복수개의 기억영역을 갖는 반도체 메모리와, 기억영역들 중에서 기억되거나 재생되는 기억영역을 지정하기 위한 기억영역 지정신호와 음성데이터의 기억을 지정하기 위한 기억지정신호가 입력되는 기억지정 입력단자와, 음성데이터의 재생을 지정하기 위한 재생지정신호가 입력되는 재생지정 입력단자와, 기억영역 지정신호에 따라 기억되거나 재생되는 기억영역을 지정하고 기억지정신호에 따라 지정기억영역에 음성데이터를 기억시키는 것을 물론, 재생지정신호에 따라 지정기억영역에 기억된 음성데이터를 판독도 하는 기억매체 제어장치를 갖는 반도체 칩을 구비한다. 상기 제어장치는 기억영역지정 스위치가 작동될 때 기억영역 지정신호를 기억지정 입력단자에 보내고, 기억영역 지정신호를 기억지정 입력단자에 보낸 다음 기록지정 스위치가 작동될 때 기억지정신호를 보내고, 재생지정 스위치가 작동될 때 재생지정신호를 재생지정 입력단자에 보내기 위한 제어회로를 구비한다.

대표도

도1

명세서

기술분야

본 발명은 음성데이터를 기억시키고 기억된 음성데이터를 재생하는 음성 기억 및 재생장치에 관한 것이다.

배경기술

미국특허 제4,368,988호에서 밝혀진 바와 같이, 외부에서 공급된 음성신호를 부호화(A/D 변환)하고, 이 신호를 RAM 같은 반도체 메모리에 기억시키고, 재생스위치 등의 동작에 따라 RAM으로부터 부호화된 신호를 판독하고, 판독된 신호를 해독(D/A변환)하여, 음성출력을 제공하는 음성 기억 및 재생장치가 있다.

종래의 음성 기억 및 재생장치에서, 단일 반도체 메모리가 단일 기록 및 재생장치로서 이용될 때, 기록이나 재생동작에 있어서, 제1주소에서 시작되면서 주소지정이 시작된다. 그러나 단일 반도체 메모리가 블록으로 나뉘어지고 그 블록이 선택적으로 기록되거나 재생되는 경우에, 선택된 블록의 시작주소에서 시작하면서 주소지정 시작되어야 한다. 이것을 하기 위해서는 시작주소에서 시작하면서, 선택블록의 시작주소에 대한 데이터를 주소제어부에 보내고 이것을 프리세트하여 주소를 갱신하는 것이 필요하다. 부호화된 데이터가 RAM같은 휘발성 메모리에 기억될 때, 배터리의 사용기간이 다 되었거나 배터리를 교체하거나 전력이 끊기는 경우에 기억된 내용은 사라질 것이다. 기억된 데이터의 손실을 피하기 위해서는 EEPROM 같은 불휘발성 메모리의 이용이 고려될 수 있다. 그러나 EEPROM은 예컨대 약 1V로 동작하는 CMOS 회로에 비하여 매우 높은 구동전압을 필요로한다. 이런 이유로 해서, 비교적 낮은 전압으로 동작하는 기록 및 재생장치를 제어하는 전자회로와, 불휘발성 메모리를 포함하는 전자회로는 개별 칩으로 구성되어야 하고 따로따로 다른 전압으로 제어되어야 한다. 전술한 바와 같이, 주 회로부와 불휘발성 메모리를 포함하는 전자회로가 개별 칩으로 조립되고 단일 불휘발성 메모리가 앞서 설명한 바와 같이 블록으로 나뉘어져 그 블록이 선택

적으로 기록되고 재생될 때, 각 블록의 시작주소는 직접 주소지정되어야 한다. 그 결과 복수개의 단자가 주소데이터용 단자로서 필요하게 되어 불휘발성 메모리를 포함하는 칩의 크기가 커지게 되는 문제점이 생긴다.

발명의 상세한 설명

본 발명의 목적은 메모리를 블록으로 나누어 회로구성을 복잡하게 하지 않고 그 블록에 의거하여, 선택적으로 데이터를 블록에 기억시키거나 블록으로부터 재생할 수 있는 음성 기억 및 재생장치를 제공하는데 있다.

전술한 목적은 다음의 음성 기억 및 재생장치를 제공함으로써 이루어진다.

상기 음성 기억 및 재생장치는:

복수개의 기억영역이 있는 반도체 메모리와,

반도체 메모리에 있는 복수개의 기억영역에서 기억되거나 재생되는 기억영역을 지정하기 위한 기억영역 지정신호와 음성데이터의 기억을 지정하기 위한 기억지정신호가 입력되는 기억지정 입력단자와,

음성데이터의 재생을 지정하기 위한 재생지정신호가 입력되는 재생지정 입력단자와,

기억영역 지정신호에 따라 기억되거나 재생되는 기억영역을 지정하고 기억지정신호에 따라 기억지정영역에 음성데이터를 기억하는 것 뿐만 아니라, 재생지정신호에 따라 지정기억영역에 기억된 음성데이터를 판독도 하는 기억매체 제어수단을 포함하는 반도체칩과;

기억영역지정 스위치수단과,

기록지정 스위치수단과,

재생지정 스위치수단과,

기억영역지정 스위치수단이 작동될 때 기억지정 입력단자에 기억영역 지정신호를 보내고, 이 기억영역 지정신호를 기억지정 입력단자에 보낸 후에 기록지정 스위치수단이 작동될 때 기록지정신호를 보내고, 재생지정 스위치수단이 작동될 때 재생지정 입력단자에 재생지정신호를 보내는 제어회로

를 포함하는 제어수단을 구비한다.

기억영역 지정신호 및 기억지정신호가 입력되는 기억지정 입력단자와 재생지정신호가 입력되는 재생지정 단자가 반도체 칩과 제어회로를 연결하기 때문에, 본 발명의 음성 기억 및 재생장치는 반도체 메모리가 블록으로 나뉘어질 수 있어서 회로구성이 복잡하지 않고 반도체 칩의 수가 증가되지 않고도 상기 블록이 블록마다 선택적으로 기록되거나 재생될 수 있는 장점이 있다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 휴대용 전자장치의 블록도이다.

도 2는 도 1에 있는 RAM(9)의 데이터구조의 개념도이다.

도 3은 도 1에 있는 제어부의 회로도이다.

도 4는 도 3에서의 기록제어신호(S1)(256Hz)와 클록(ø)(32Hz) 사이 관계의 설명을 돕는 개념도이다.

도 5는 주 동작의 설명을 돕는 흐름도이다.

도 6은 도 5에서의 키처리 동작의 설명을 돕는 흐름도이다.

도 7은 도 5에서의 키처리 동작의 설명을 돕는 흐름도이다.

도 8은 도 1의 LCD 표시장치(14)상의 재생모드표시의 일례를 도시한다.

도 9는 도 1의 LCD 표시장치(14)상의 기록모드표시의 일례를 도시한다.

<도면의 주요부분에 대한 부호의 설명>

1: 단일칩 제어 집적회로	2: 단일칩 메모리 제어 집적회로	
3: 키입력부	4,28: 발진회로	5: 주파수분할회로
6: 시간관리회로	7,20: 제어부	8: ROM
9: RAM	13: 드라이버	14: LCD표시장치
15, 29: 전원장치	21: 블록제어부	22: 주소제어부
23: 마이크로폰	24: 부호기	25: EEPROM
26: 해독기	27: 스피커	

실시예

이하, 첨부된 도면을 참고로하여 본 발명의 실시예에 따른 휴대용 전자장치인 전자손목시계에 대하여 설명한다.

A. 실시예의 구성.

도 1은 본 발명의 실시예에 따른 전자손목시계의 블록도이다. 이 도면에서, 실시예의 전자손목시계는 시계기능, 컴퓨터기능, 많은 이름과 전화번호 데이터 항목 및 그밖의 것들을 저장하고 이들을 표시하는 데이터뱅크기능, 및 외부에서 공급된 음성을 메모리에 기록하고 이것을 재생하는 메모기능을 구비한다.

전자손목시계는 시계기능, 컴퓨터기능, 및 데이터뱅크기능을 위한 처리회로와, 음성의 기록 및 재생을 제어하는 제어수단을 구비하는 예컨대 C-MOS 장치로 구성된 단일칩 제어 집적회로(1)와; 음성데이터가 기억되는 예컨대 플래시 EEPROM으로 구성된 불휘발성 메모리와, 불휘발성 메모리와 주소를 제어하는 제어수단을 구비하는 단일칩 메모리 제어 집적회로(2)를 구비한다. 제어 집적회로(1)와 메모리제어 집적회로(2)는 다른 구동전압으로 작동하지만 똑같은 배터리에서 전원이 공급된다. 이들은 각각은 집적회로에 있는 전원회로에서 필요한 전압을 발생시키도록 설계되어 있다.

우선, 제어 집적회로(1)와 이것의 주변회로에 대해 설명한다. 키입력부(3)는 다양한 종류의 데이터를 입력하기 위한 숫자키와 문자키, 음성데이터를 기록하기 위한 기록키(3a), 기록된 음성데이터를 재생하기 위한 재생키(3b), 및 후술하는 EEPROM(25)의 기억영역 블록(8개)에서 데이터가 기억되거나 재생되는 볼록을 선택하기 위한 선택키(3c)를 구비한다. 키입력부(3)로부터의 각각의 키입력 신호는 제어부(7)에 보내지고 키입력이 검지된다.

발진회로(4)는 특정주파수의 기준클록을 발생시키고 이것을 주파수 분할회로(5)에 공급한다. 주파수 분할회로(5)는 기준클록에 따라 시간관리회로(6), 제어부(7), 및 그밖의 각 부를 동작시키기 위해 시스템클록과 다양한 타이밍 클록을 발생시키고 출력한다. 주파수 분할회로(5)에서의 타이밍 클록중에서, 2분의 1신호인 시간관리용 기준클록에 기초하여, 시간관리회로(6)는 현재시간(날짜, 요일, 시간, 분, 초)을 클록하고 이것을 제어부(7)에 공급한다.

제어부(7)는 후술하는 ROM(8)에 기억되어 있는 특정 마이크로 프로그램을 실행함으로써 전자손목시계에 있는 전술한 여러가지 기능들을 수행하는 CPU(중앙처리장치)이다. 이 실시예에서, 특히 제어부는 이후에 설명하는 처리를 통해, 후술하는 EEPROM(25)을 나눔으로써 얻어진 블록에 음성데이터를 기록하거나 이곳에서 음성데이터를 재쟁한다. 좀더 자세히 설명하면, 제어부(7)는 기록되고 재생되는 블록이 선택키(3c)가 눌려질때마다 하나의 블록이 순환적으로 시프트되게끔 하여, 원하는 블록이 선택되도록 한다. 기록키(3a)가 눌려질 때, 제어부는 마이크로폰(5)에서 입력된 음성에 대한 음성데이터가 EEPROM(25)에 있는 선택된 블록에 기억되게끔 한다. 재생키(3b)가 눌려질 때, 제어부는 EEPROM(25)에 있는 선택된 블록에 기억된 음성데이터가 재생되게끔 한다. 기록키(3a)와 재생키(3b) 모두가 동시에 눌려질 때, 제어부는 후술하는 RAM(9)에 기억되어 있는 다양한 플래그 및 날짜 및 시간 데이터 항목이 지워지게끔 한다.

ROM(8)은 제어부(7)에 의해 실행되는 마이크로 프로그램과 여러 가지 초기 매개변수를 기억하고 있다. RAM(9)은 제어부(7)에서 프로그램을 실행한 결과로 발생된 여러 가지 데이터항목을 기억하는 레지스터와 작업영역으로 이용된다.

도 2는 RAM(9)의 데이터구조의 개념도이다. 도 2에서 표시레지스터는 후술하는 LCD 표시장치(액정표시장치)상에 다양한 데이터항목을 표시하는 데이터를 기억하기 위한 레지스터이다. 레지스터(M)는 음성데이터가 기억되어 있는 EEPROM(25)에 있는 8개 블록에서, 지정된 기록/재생 블록을 지정하기 위한 레지스터이다.

플래그(P)는 음성이 현재 기록되고 있다는 것을 지시하는 플래그이다. 플래그가 '1'일 때, 후술하는 마이크로폰(23)에서 입력된 음성이 부호화부(부호화 회로)(24)를 거쳐 얻어지고, EEPROM(25)에 음성데이터로서 기억된다. 플래그(L)는 음성이 현재 재생되고 있다는 것을 지시하는 플래그이다. 플래그가 '1'일 때, EEPROM(25)에서 판독된 음성데이터는 해독부(해독회로)(26)를 통해 후술하는 스피커(27)에 출력된다.

각각의 레지스터(R0, R1, ..., R7)는 음성데이터가 기록된 날짜와 시간을 기억하기 위한 영역(레지스터T)과, 블록이 기록되었는지를 지시하는 플래그(F)를 갖는 레지스터이다. EEPROM(25)에 있는 블록(이 실시예에서 8개 블록)에 이들 레지스터(R0, R1, ..., R7)가 각각 제공된다. 음성데이터가 전혀 기록되지 않았을 때 플래그(F)는 '0'이다. 음성데이터가 기록되었을 때, 플래그(F)는 '1'이다. 실시예에서, EEPROM(25)은 전술한 바와 같이 8개 블록으로 나뉘어져 있기 때문에 레지스터(M)는 3비트 블록지정데이터에 의해 블록이 기록되거나 재생된다는 것을 지정하는데 이용된다.

도 1에서, 드라이버(13)는 제어부(7)에서 공급된 시간, 계산데이터, 그리고 이름 및 전화번호 데이터에 관한 여러 가지 데이터 항목과, EEPROM(25)에 기억된 음성데이터를 LCD 표시장치(14)상에 표시한다. LCD 표시장치(14)는 도트매트릭스나 세그먼트형 전극을 포함한다. 클록모드에서, LCD 표시장치는 날짜, 현재시간, 및 블록이 기록되었다는 것을 표시한다. 음성데이터를 기록하거나 재생할 때, LCD 표시장치는, 후술하는 표시예로 나타낸 바와 같이, 적어도 현재시간, 현재 기록되는 블록, 및 기록시간을 표시한다.

제어부(7)는 기록키(3a), 재생키(3b), 선택기(3c)의 각 동작에 따라 다음의 3가지 방식으로 플립플롭(F1 및 F2)을 세트하거나 리세트한다.

(1) 선택키(3c)가 눌려질때마다 제어부는 플립플롭(F1)의 세트단자를 '1'로 세트하고, 그 다음에 리세트단자를 '1'로 세트하여, 플립플롭(F1)의 출력(Q)으로부터 1/256 주기(256 Hz)의 1펄스를 보낸다. 메모리 제어 집적회로(2)의 제어부(20)에서, 펄스는 EEPROM(25)에 있는 블록을 지정하기 위한 블록지정신호(BL)로서 블록제어부(21)에 공급된다.

(2) 기록키(3a)가 눌려질 때에, 우선 플립플롭(F1)이 1/256(256 Hz)주기로 7회 세트되고 리셋된 다음 제어부는 그 세트된 단자를 '1'로 설정하여 출력(Q)이 '1'이 되게 한다. 기록키(3a)가 해제될 때 제어부는 플립플롭(F1)의 리세트된 단자를 '1'로 설정하여 출력(Q)이 '0'이 되게 한다.

(30 재생키(3b)가 눌려질 때, 우선 플립플롭(F2)이 1/256주기(256 Hz)로 7회 세트되고 리셋된 다음 제어부는 세트된 단자를 '1'로 설정하여 출력(Q)이 '1'이 되게 한다. 재생키(3b)가 해제될 때, 제어부는 플립플롭(F2)의 리셋된 단자를 '1'로 설정하여 출력(Q)이 '0'이 되게 한다.

각각의 플립플롭(F1 및 F2)은 제어부(7)의 제어하에 출력레벨이 ON되거나 OFF되는 메모리제어 집적회로(2) 출력(Q)을 제어부(20)에 공급한다. 전원장치(15)는 공통 배터리(BT)에서의 공급전압을 제어 집적회로(1)를 동작시키기 위한 구동전압으로 변환시키고 이 구동전압을 전술한 각각의 부에 공급한다.

다음은 메모리제어 집적회로(2)와 이의 주변회로에 대하여 설명한다. 집적회로(1)에 있는 플립플롭(F1)에서 공급된 출력(Q)과 플리플롭(F2)에서 공급된 출력(Q)에 근거하여, 제어부(20)는 EEPROM(25)에 있는 블록을 지정하기 위한 블록신호와, 기록을 지시하는 기록신호와, 재생을 지시하는 재생신호와, 기록된 데이터를 지우기 위한 소거신호를 발생시키고 블록신호와 소거신호를 블록제어부(21)에 공급하고 기록신호와 재생신호와 소거신호를 주소제어부(22)에 공급한다.

도 3은 제어부(20)의 회로도이다. 이 도면에서, OR회로(20a)는 플립플롭(F1)의 출력(Q)이나 플립플롭(F2)의 출력(Q)중의 어느하나일 때 '1'이 되는 블록신호(BL)를 발생시키고 이 블록신호(BL)를 블록제어부(21)에 공급한다. 좀더 자세히 설명하면, 플립플롭(F1)이나 플립플롭(F2)의 어느하나가 OR회로에 1펄스를 공급할 때, OR회로는 블록제어부(21)에 1펄스블록신호를 공급한다. AND회로(20b)는 플립플롭(F1)의 출력(Q)과 플립플롭(F2)의 출력(Q) 모두가 '1'이 될 때, '1'이 되는 소거신호(CL)를 발생시키고 이 소거신호를 주소제어부(22)에 공급한다. 소거신호(CL)는 NOT회로(20c)에 의해 역으로 되고 역으로된 신호는 AND회로(20d 및 20h)에 공급된다.

AND회로(20d)는 소거신호(CL)가 0이고 클록(ø)(1/32 초 주기: 32 Hz)이 '1'일 때 플립플롭(F1)의 출력(Q)을 3비트 시프트 레지스터(20e)에 공급한다. 3비트 시프트 레지스터(20e)는 AND회로(20d)가 기록제어신호(S1)를 공급할때마다, 기억된 비트를 차례로 시프트하고 플립플롭(F3)의 세트단자(S)에 비트를 공급한다. 이어서, 3비트 시프트 레지스터(20e)는 클록(ø)의 제4클록이 AND회로(20d)에 공급될 때 플립플롭(F3)을 세트한다. 바꾸어 말하면, 플립플롭(F3)이 세트되고 나서야 비로소 클록(ø)의 제4클록이 플립플롭(F3)에 공급된다.

플립플롭(F3)은 3비트 시프트 레지스터(20e)로부터의 클록을 가질때에 세트된다(Q = 1). 플립플롭(F3)에는 플립플롭(F1)의 출력(Q)이 '0'이 될때 리세트신호가 공급되기 때문에, 플립플롭(F3)이 리세트된다(Q = 0).

도 1의 플립플롭(F1)이 플립플롭(F3)에 1/256주기를 갖는 클록을 공급할 때조차도, 클록(ø)이 32 Hz로 결정되기 때문에 플립플롭(F3)이 즉시 세트되는(Q = 1)것이 아니고 2/32 내지 3/32초 후에 세트된다(Q = 1).

플립플롭(F3)의 출력(Q)은 AND회로(20g)의 단일 입력단자에 공급된다. 플립플롭(F1)의 출력(Q)과 플립플롭(F3)의 출력(Q) 모두가 '1'일 때 즉, 플립플롭(F1)이 이것이(F1)이 리세된 때에 1/256주기를 갖는 클록을 공급한 시간보다 2/32 내지 3/32초 늦은 시간동안에, AND회로(20g)는 플립플롭(F1)의 출력(Q)과 플립플롭(F3)의 출력을 AND함으로써 '1'의 출력을 발생시킨다. AND회로는 출력 '1'을 기록제어신호(S1)로서 도 1의 주소제어부(22)에 공급한다.

위에서 설명한 바와 같이, 기록키(3a)가 눌려질 때 제어부(7)는 플립플롭(F1)을 세트하여 기록모드를 ON시킨다. 이 실시예로, 블록을 미리 선택하고 기록을 지정하는데 똑같은 플립플롭(F1)이 이용되기 때문에 블록신호(BL)는 기록모드가 ON될 때 OR회로(20a)를 거쳐 블록제어부(21)에 공급되어 그 결과, 선택된 블록이 변경된다. 이것을 피하기 위해, 이 실시예에 있어서 블록제어부(21)에 세트된 블록은 기록키(3a)가 눌려진 후 2/32 내지 3/32초 동안에 1/256주기로 특정 횟수(블록수 - 1: 이 실시예에서 7회) 플립플롭(F10의 세팅과 리세팅을 반복함으로써, 선택된 블록 바로앞의 블록이 된다. 그런 후에 플립플롭(F1)이 세트된다.

그 결과, 기록모드가 ON이 되게 플립플롭(F1)을 설정함으로써, 기록모드를 ON시키기 위한 기록제어신호(S1)가 제어부(20)에 공급되고 블록제어부(21)에 있는 블록이 그 위치에서 1씩 증가되어, 이전에 선택된 블록이 다시 세트된다. 이 실시예로, 플립플롭(F1)이 1/256주기로 세트 및 리세트되고 기록제어신호(S1)가 1/32 주기(32 Hz)의 클록(ø)의 제4클록에 보내지기 때문에, 기록제어신호(S1)는 플립플롭(F1)의 세팅 및 리세팅이 반복되는 한 보내지지 않는다. 그러므로, 블록 및 기록 모두의 지정은 싱글라인을 이용하여 행해질 수 있다.

그 다음은, 소거신호(CL)가 '0'이고 클록(ø)(1/32주기: 32 Hz)이 '1'일 때, AND회로(20h)는 플립플롭(F2)의 출력(Q)을 3비트 시프트 레지스터(20i)에 공급한다. AND회로(20h)가 재생제어신호(S2)를 공급할때마다, 3비트 시프트 레지스터(20i)는 기억된 비트를 차례로 시프트하고 이것을 플립플롭(F4)의 세트단자(S)에 공급한다. 그 결과 클록(ø)의 제4클록이 도 4에 도시한 바와 같이 AND회로(20h)에 공급되었을 때 3비트 시프트 레지스터(20i)는 플립플롭(F4)을 세트한다. 바꾸어 말하면, 플립플롭(F4)이 세트되고 나서야 비로소 클록(ø)의 제4클록이 AND회로(20h)에 공급된다.

3비트 시프트 레지스터(20i)에 클록이 공급되기 때문에, 플립플롭(F4)이 세트된다(Q = 1). 플립플롭(F2)의 출력(Q)이 '0'이 될 때, 리세트신호는 NOT회로(20j)를 통해 플립플롭(F4)에 공급되고 그 결과 플립플롭(F4)이 리세트된다(Q = 0). 플립플롭(F4)은 도 1에 도시한 플립플롭(F2)에서 1/256주기를 갖는 클록이 공급될 때 조차도 32 Hz의 클록(ø)을 이용하기 때문에 바로 세트되는(Q = 1) 것이 아니라 2/32 내지 3/32초 후에 세트된다(Q = 1).

플립플롭(F4)의 출력(Q)은 AND회로(20k)의 단일 입력단자에 공급된다. AND회로(20k)는 출력 모두가 '1'인 동안에, 즉 플립플롭(F2)가 이것(F2)이 리세트된 때에 1/256주기를 갖는 클록을 우선 공급한 때보다 2/32 내지 3/32초 늦은 시간중에, 플립플롭(F2)의 출력(Q)과 플립플롭(F4)의 출력(Q)을 AND하고 출력 '1'을 발생시킨다. AND회로(20K)는 재생제어신호(S2)로서의 출력 '1'을 도 1에 도시한 주소제어부(22)에 공급한다.

앞서 기술한 바와 같이, 재생키(3b)가 눌려질 때, 제어부(7)는 플립플롭(F2)를 기록모드가 ON이 되게 설정한다. 이 실시예로, 블록을 미리 선택하고 기록을 지정하는데 똑같은 플립플롭(F2)이 이용되기 때문에 블록신호(BL)는 기록모드가 ON될 때 OR회로(20a)를 거쳐 블록제어부(21)에 공급되고 그 결과, 선택된 블

록이 변경된다. 이것을 피하기 위해, 이 실시예에서 기록모드에서와 같이, 블록제어부(21)에 세트된 블록은 기록키(3a)가 눌려진 후 2/32 내지 3/32초 동안에 1/256주기로 특정 횟수(블록수 - 1: 이 실시예에서 7회) 플립플롭(F2)의 세팅과 리세팅을 반복함으로써, 선택된 블록 바로 앞의 블록이 된다. 그런 후에 플립플롭(F2)이 세트된다.

그 결과, 기록모드에서와 같이, 플립플롭(F2)을 재생모드가 ON이 되게 세트함으로써, 재생모드를 ON으로 하기 위한 재생제어신호(S2)가 제어부(20)에 공급되고 블록제어부(21)에 있는 블록이 그 위치에서 1씩 증가되어, 미리 선택된 블록이 다시 세트된다. 이 경우 역시, 플립플롭(F2)이 1/256주기로 세트 및 리세트되고 재생제어신호(S2)가 1/32 주기(32 Hz)를 갖는 클록(ø)의 제4클록에 보내지기 때문에, 재생제어신호(S2)는 플립플롭(F2)의 세팅 및 리세팅이 반복되는 한 보내지지 않는다. 그러므로, 재생을 위해 싱글라인이 충분하다.

도 1에서, 블록제어부(21)는 3비트 레지스터인데 이것은 제어부(20)에서 공급된 블록신호(BL)를 카운트하고 그 결과의 신호를 기록되거나 재생되는 블록을 지시하는 블록지정데이터(3비트)(BD)로서 주소제어부(22)에 공급한다. 주소제어부(22)는 제어부(20)에서 공급된 기록제어신호(S1), 재생제어신호(S2), 소거신호(CL), 및 블록지정신호(BD) 각각에 따라 EEPROM(25)에 주소지정하고 액세스한다. 마이크로폰(23)은 사용자의 음성을 모아 이 음성신호를 부호화부(24)에 공급한다. 증폭기, 필터, A/D변환기 회로(이들 3개 모두는 도시되지 않음)를 구비하는 부호화부(24)는 음성신호를 디지털 데이터(음성데이터)로 변환하고 변환된 신호를 EEPROM(25)에 공급한다. 해독부(26)는 주소제어부(22)에 의해 액세스된 EEPROM(25)에 있는 블록의 기억영역으로부터 공급된 음성데이터를 아날로그 신호로 변환한다. 그리서 나서 이 신호는 음성으로서 스피커(27)에서 출력된다.

EEPROM(25)은 약 2메가비트의 플래시메모리로 주로 구성되는데 이것은 8개의 블록(25a 내지 25h)을 갖는다. 마이크로폰(23)과 부호화부(24)를 통해 얻어진 음성데이터는 주소제어부(22)에 의한 액세스에 따라 특정블록에 차례로 기억된다. 발진회로(28)는 클록(ø), EEPROM(25)을 동작시키기 위한 특정클록, 및 그 밖의 것을 발생시키고 클록을 여러 부, 즉 제어부(20), 주소제어부(22), EEPROM(25)을 포함하는 부에 공급한다. 전원장치(29)는 공통 배터리(BT)에서의 공급전압을 메모리제어 집적회로(2)을 동작시키는 구동전압으로 변환하고 이 구동전압을 각 부에 공급한다.

B. 실시예의 동작

이하, 본 실시예인 전자손목시계의 동작에 대하여 설명한다. 클록기능, 컴퓨터기능, 및 데이터뱅크 기능은 종래의 것과 같으므로 이에 대한 설명은 생략한다. 이하 음성데이터를 기록하고 재생하는 동작에 대하여 설명한다.

(1)주 처리

도 5는 본 실시예의 주동작의 설명을 돕는 흐름도이다. 이하 설명하는 단계 S10 내지 S24는 키입력부(3)에서 키입력을 결정하고 키입력의 유무에 따라 실행되는 처리로 넘어가고 LCD표시장치(14)상에 여러 가지 데이터항목을 표시하는 처리이다. 단계 S10에서는 키입력부(3)에서 키가 눌려졌는지가 결정된다. 만일 어떤 키가 눌려졌다면, 제어는 단계 S12로 진행될 것이다. 단계 S12에서는, 후술하는 키처리가 눌려진 키(기록키(3a), 재생키(3b), 선택키(3c), 또는 그밖의 키)에 따라 실행될 것이다. 아무런 키도 눌려지지 않았다면, 제어는 단계 S14로 가서 지정기간중에 아무런 키도 눌려지지 않았는지가 결정된다. 지정기간중에 아무런 키도 눌려지지 않았다면, 기록플래그(P)와 재생플래그(L)는 단계 S16에서 소거되고 플립플롭(F1 및 F2)가 리세트될 것이다. 이 실시예로, 기록키(3a)가 눌려지거나 재생키(3b)가 눌려져 있는 동안 기록 및 재생이 이루어진다. 기록키(3a)나 재생키(3b)가 해제될 때 기록 및 재생이 종료된다. 단계 S16이나 S18은 기록키(3a)나 재생키(3b)가 해제될 때 기록 및 재생을 종료하는 처리이다.

단계 S12에서 키처리가 완료되었을 때나 단계 S14에서 지정기간중에 어떤 키가 눌려졌을 때 혹은 단계 S18이 종료되었을 때, 제어는 단계 S20으로 진행하여 이곳에서 재생플래그(L)가 '1'인지가 결정된다. 재생플래그(L)가 '1'일 때, 즉 재생모드에서, 제어는 단계 S22로 가게 되고, 기록 날짜 및 시간, 데이터가 이미 기억된 블록, 및 선택된(지정된) 블록은 LCD 표시장치상에 표시될 것이다. 좀더 자세히 설명하면, 재생모드에서, 도 8에 도시한 바와 같이, LCD 표시장치는 EEPROM(25)에 있는 블록을 상부에 지시하는 숫자(1 내지 8)와 각각의 숫자아래에, 블록 음성데이터가 기억되었다는 것을 지시하는 직사각형 기호를 표시한다. 도 8에서, 켜진(lighted) 직사각형 기호(도면에서 제1, 제2, 및 제8블록)는 데이터가 이미 기억된 블록을 지시한다. 깜박거리는 직사각형 기호(도면에서 제4블록)는 데이터가 이미 기억되었고 현재 재생되고 있는 선택블록을 지시한다. 또한 LCD표시장치는 RAM(9)에 있는 레지스터(R3)에 기억된 날짜(3-10)와 시간(18:10)을 표시하는데 이것은 음성이 제4블록에 기억된 기록날짜 및 시간을 지시한다.

재생플래그(L)가 '0'일 때, 즉 모드가 재생모드가 아닐 때 제어는 단계 S24로 진행하여 현재 날짜 및 시간, 데이터가 이미 기억된 블록, 및 선택블록이 LCD표시장치장에 표시될 것이다. 좀더 자세히 설명하면, 도 9에 도시한 바와 같이, LCD표시장치상에서, 켜진 직사각형 기호(도면에서 제2, 제4, 및 제8블록)는 데이터가 이미 기억되었다는 것을 지시하고 깜빡거리는 직사각형 기호(도면에서 제1블록)는 데이터가 현재 기록되고 있는 블록을 지시한다. 더욱이, LCD표시장치는 요일(SUN), 날짜(3-17), 및 시간(10:58 25) 즉, 시간관리회로(6)에서 얻어진 현재시간을 표시한다.

(2) 키 처리

다음은 전술한 키처리에 대하여 설명한다. 도 6 및 7은 키처리 동작의 설명을 돕는 흐름도이다.

2-1. 블록선택처리

아래에 설명된 단계 S30 내지 S36은 블록 음성데이터가 기록되거나 재생되는 블록을 결정하는 처리이다. 먼저, 단계 S30에서 선택키(3c)가 눌려졌는지가 결정된다. 만일 선택키(3c)가 눌려졌다면, 제어는 단계 S32로 가고 여기서 기록플래그(P)와 재생플래그(L)가 '0'인지가 결정된다. 만일 기록플래그(P)와 재생플래그(1)가 '0'이면, 즉 모드가 기록모드도 재생모드도 아닐 때, 제어는 단계 S34로 가고 여기서 플립플롭(F1)이 1/256주기(256 Hz)를 갖는 1펄스를 보내도록 세트 및 리세트될 것이다. 이것으로 도 3에 도시한

OR회로(20a)의 출력이 '1'이 될 수 있고, 블록제어부(21)에서의 카운트는 1씩 증가될 수 있다. 그 다음에 단계 S36에서, RAM(9)의 레지스터(M)에서 기록/재생 블록지정데이터는 1씩 증가된다. 그리고 나서 키처리가 종료된다.

전술한 바와 같이, 블록은 플립플롭(F1)을 한 번 세팅하고 리세팅함으로써 그 위치에서 1씩 증가된다. 선택키(3c)가 눌려질때마다 블록은 다음과 같은 순서 즉, 1 → 2 → 3 →... → 6 → 7 → 8 → 1→ 2 →...로 순환하여 시프트된다. 이 경우에 재생플래그(L)는 '0'이므로 제어가 도 5에 도시한 주요 루틴으로 돌아갈 때 도 8에 도시한 표시가 단계 S24에서 나타날 것이다. 사용자는 원하는 블록에 이를때까지 선택키(3c)를 누름으로써 원하는 블록을 고른다. 기록플래그(P)나 재생플래그(L)중의 어느 하나가 '1'일 때, 즉 기록모드나 재생모드중의 어느 하나가 ON일 때 단계 S32에서 판단결과는 NO이고 그 결과 선택키(3c)가 눌려지더라도 지정된 블록이 변경되지 않는다.

2-2. 기록모드

아래에 설명된 단계 S40 내지 S52는 마이크로폰(23)에서 입력되어 부호화부(24)에서 블록지정데이터(BD)에 의해 지정된 블록으로 변환된 음성데이터를 주소제어부(22)에서 기억하는 기록처리이다. 단계 S30에서 선택기(3c)가 눌려지지 않았을 때 제어는 단계 S40으로 가고 여기에서 기록키(3a)가 눌려졌는지가 결정된다. 만일 기록키(3a)가 눌려졌다면 제어는 단계 S42로 가고 이곳에서 재생플래그(L)가 '1'인지가 결정된다. 재생플래그(L)가 '1'이면, 이것은 기록키(3a)가, 눌려진 재생키(3b)와 함께 눌려졌다는 것을 의미한다. 재생플래그(L)가 '0'이면, 이것은 음성데이터가 EEPROM(25)에 기억되는 기록모드가 선택되었다는 것을 의미한다.

단계 S42에서 재생플래그(L)가 '0'일 때, 이것은 재생키(3b)가 눌려지지 않았다는 것을 의미하므로 제어는 단계 S44로 가서 기록플래그(P)가 '0'인지가 결정된다. 기록플래그(P)가 '0'이라면, 이것은 기록키(3a)가 눌려졌다는 것을 의미하므로 제어는 단계 S46으로 간다.

단계 S46에서 플립플롭(F1)의 세팅 및 리세팅이 1/256 주기(256 Hz)로 7회 반복된다. 그 이유는 전술한 블록선택처리에서 이미 선택된 블록이 기록을 위해 플립플롭(F1) 선택시 변화되는 것을 방지하기 위해서이다. 이 실시예에서 EEPROM(25)이 8개 블록으로 나뉘어지기 때문에 블록제어부(21)에 있는 블록지정데이터(BD)는 1/256주기(256 Hz)로 플립플롭(F1)의 세팅 및 리세팅을 미리 7회 반복함으로써 선택블록 바로 앞 블록에 세트된다. 그 다음에 단계 S48에서 플립플롭(F1)이 세트된다. 이것으로 음성데이터가 선택블록에 기록되게 된다. 그 다음에 단계 S50에서 시간관리회로(6)에서의 현재 날짜 및 시간은 RAM(9)에 있는 대응블록의 날짜 및 시간영역(T)에 기억된다. 이와 동시에, 대응플래그(F)는 '1'로 세트된다. 그 다음에 기록플래그(P)가 '1'로 세트되고 현처리가 종료된다. 기록플래그가 '1'이 되게하여, 기록키(3a)가 눌려져 있는 동안 단계 S44에서 판단결과는 'NO'가 될 수 있다. 그 결과 단계 S46 내지 S52는 기록키(3a)가 눌려질때만이 한 번 실행된다.

그 결과로서, 메모리제어 집적회로(2)에서, 기록제어신호(S1)가 제어부(20)에서 주소제어부(22)까지 공급된다. 더욱이 블록선택처리에 있어서, 블록선택 제어부(21)에 세트된 3비트 블록지정데이터(BD)는 주소제어부(22)에 공급된다. 이것으로, 주소제어부(22)는 마이크로폰(23)에서 입력되어 블록지정데이터(BD)로 지정된 블록으로 부호화부(24)에서 변환된 음성데이터를 기억하는 것이 가능하다. 이 경우 재생플래그(L)는 '0'이므로 제어가 도 5에 도시한 주 루틴으로 돌아갈 때 도 9의 표시는 단계 S24에서 나타난다.

기록키(3a)가 눌려져 있는 동안 음성데이터는 EEPROM(25)에 계속하여 기억된다. 기록키(3a)가 해제될 때 기록플래그(P)는 도 5의 단계 S16에서 소거되고(= 0) 그 다음에 플립플롭(F1)은 단계 S18에서 리세트되고 도 3의 플립플롭(F3)을 리세트하고 음성데이터의 기록을 종료한다.

2.3 재생모드

아래에 설명한 단계 S62 내지 S72는 해독회로(26)로 하여금, 재생키(3a)가 눌려지고 음성신호에 따라 스피커(27)에서 음성을 출력하는 동안, 주소제어부(22)에서 블록지정데이터에 의해 지정된 EEPROM(25)의 블록에 기억된 음성데이터를 아날로그 신호로 변환하게끔 하는 재생처리이다. 선택키(3c)나 기록키(3a)의 어느하나가 눌려지지 않을 때 제어는 단계 S30과 S40을 통과하여 도 7의 단계 S62로 가서 재생키(3b)가 눌려졌는지가 결정된다. 만일 재생키(3b)가 눌려졌다면, 제어는 단계 S64로 가서 기록플래그(P)까 '1'인지가 결정된다. 기록플래그가 '1'이면 이것은 재생키(3b)가, 눌려진 기록키(3a)와 함께 눌려졌다는 것을 의미한다. 기록플래그(P)가 '0'이라면 이것은 EEPROM(25)에 기억된 음성데이터가 재생되는 재생모드가 선택되었다는 것을 의미한다.

기록플래그(P)가 단계 S64에서 '0'일때, 기록키(3a)는 눌려지지 않았다. 그리고 나서 제어는 단계 S66으로 간다. 단계 S66에서 재생플래그(L)가 '0'인지가 결정된다. 만일 재생플래그(L)가 '0'이면 이것은 재생키(3b)가 처음으로 눌려졌다는 것을 의미하고 제어는 단계 S68로 간다.

단계 S68에서 플립플롭(F2)의 세팅 및 리세팅은 1/256 주기(256 Hz)로 7회 반복된다. 그 이유는 전술한 블록선택처리에서 이미 선택된 블록이 앞서 설명한 바와 같이, 플립플롭(F1)을 세팅하고 재생제어신호(S2)를 보낼때에 변화되는 것을 방지하기 위해서이다. 블록제어부(21)에 있는 블록지정데이터(BD)는 1/256주기(256 Hz)로 플립플롭(F2)의 세팅 및 리세팅을 미리 7회 반복함으로써 선택블록 바로 앞 블록에 세트된다. 그 다음에 단계 S70에서 플립플롭(F2)이 세트된다. 이것으로 음성데이터가 선택블록에 기록되게 된다. 그 다음에 단계 S72에서 재생플래그(L)는 '1'로 세트되고 현처리가 종료된다. 재생플래그가 '1'이 되게하여 재생키(3b)가 눌려져 있는 동안 판단결과는 'NO'가 될 수 있다. 그 결과 단계 S68 내지 S72는 재생키(3b)가 눌려질때만이 한 번 실행된다.

그 결과로서, 메모리제어 집적회로(2)에서, 재생제어신호(S2)가 제어부(20)에서 주소제어부(22)까지 공급된다. 더욱이 블록선택처리에 있어서, 블록선택 제어부(21)에 세트된 3비트 블록지정 데이터(BD)는 주소제어부(22)에 공급된다. 이것으로, 주소제어부(22)는, 마이크로폰(23)에서 입력되어 해독부(26)에서 블록지정데이터(BD)로 지정된 블록으로 변환되어 스피커(27)에 출력되는 음성데이터를 기억하는 것이 가능하다. 이 경우 재생플래그(L)는 '1'이므로 제어가 도 5에 도시한 주요 루틴으로 돌아갈 때 도 8의 표시가

단계 S22에서 나타난다.

재생키(3b)가 눌려져 있는 동안 음성데이터는 계속하여 재생된다. 기록키(3b)가 해제될 때, 재생된 플래그(L)는 도 5의 단계 S16에서 소거된(= 0) 후에 플립플롭(F2)가 단계 S18에서 리세트되고 음성데이터의 재생을 종료한다.

2-4. 소거처리

이하 설명하는 단계 S44 내지 S50은 기록키(3a)와 재생키(3b)가 동시에 눌려질 때 다양한 플래그 및 데이터항목을 지우는 소거처리이다. 기록키(P)가 눌려질 때 재생플래그(L)가 이미 '1'인 경우에(단계 S42), 또는 재생키(3b)가 눌려질 때 기록플래그(P)가 이미 '1'인 경우에(단계 S64), 도 6에 도시한 단계 S80 및 이후에서 소거처리가 실행된다. 바꾸어 말하면, 기록키(3a)가, 눌려진 재생키(3b)와 함께 눌려질 때, 혹은 재생키(3b)가, 눌려진 기록키(3a)와 함께 눌려질 때, 이것은 기록키(3a)가 재생키(3b)와 함께 눌려진다는 것을 의미하므로 소거처리가 실행된다.

단계 S80에서 플립플롭(F1)이 세트되고, 단계 S82에서 플립플롭(F2)이 세트된다. 플립플롭(F1)과 플립플롭(F2) 모두가 세트된 후에 AND회로(20b)의 출력은 도 3의 제어회로(20)에서 '1'이 되고 소거신호(CL)는 주소제어부(22)에 보내진다. 이것으로, 지정된 블록에 있는 모든 음성데이터가 일제히 소거될 수 있다. 그 다음에 단계 S84에서 플립플롭(F1 및 F2)이 리세트된다. 단계 S86에서, RAM(9)에 기억된 데이터(M), 기록플래그(P), 재생플래그(L), 날짜 및 시간, 및 플래그(F)를 지정하는 기록/재생 블록이 소거된다. 그리고 나서 현처리가 종료된다.

이 실시예에서 블록제어신호(BL)는 기록지정신호가 입력되는 단자(T1)를 통해 제어부(20)에 입력되지만, 이 블록제어신호는 재생지정신호가 입력되는 단자(T2)를 통해 제어부(20)에 입력될 수도 있다.

이 실시예, 즉 본 발명을 휴대용 전자손목시계에 적용하는 예에서, 본 발명은 전자손목시계와 다른 갖가지 종류의 전자장비에 적용될 수도 있다. 예컨대 본 발명은 휴대용 전화나 무선호출기 또는 전자 노트북 같은 정보장치, 또는 휴대형이 아닌 데스크탑의 갖가지 종류의 전자장치에 적용될 수도 있다.

음성데이터를 기억하기 위한 메모리는 플래시 EEPROM에 국한되지 않는다. 그밖의 휘발성 메모리나 불휘발성 메모리를 이용하는 것이 가능하다.

(57) 청구의 범위

청구항 1

음성데이터가 각각 기억되는 복수개의 기억영역을 갖는 반도체 메모리와,

상기 반도체 메모리에 있는 복수개의 기억영역 중에서 기억되거나 재생되는 기억영역을 지정하기 위한 기억영역 지정신호와 음성데이터의 기억을 지정하기 위한 기억지정신호가 입력되는 기억지정 입력단자와,

음성데이터의 재생을 지정하기 위한 재생지정신호가 입력되는 재생지정 입력단자와,

상기 기억영역 지정신호에 따라 상기 반도체 메모리에 있는 복수개의 기억영역 중에서 기억되거나 재생되는 기억영역을 지정하고 상기 기억지정신호에 의해 지정된 기억영역에 음성데이터를 기억시키는 것은 물론, 상기 재생지정신호에 의해 지정된 기억영역에 기억된 음성데이터를 판독도 하는 기억매체 제어수단을 포함하는 반도체 칩과;

기억영역지정 스위치수단과,

기록지정 스위치수단과,

재생지정 스위치수단과,

상기 기억영역지정 스위치수단이 작동될때 상기 기억지정 입력단자를 통해 상기 반도체 칩에 있는 기억매체 제어수단에 기억영역 지정신호를 보내고, 상기 기억지정 입력단자를 통해 상기 반도체 칩에 있는 기억매체 제어수단에 상기 기억영역 지정신호를 보낸 후에 상기 기록지정 스위치수단이 작동될때 상기 기억지정신호를 보내고, 상기 재생지정 스위치수단이 작동될 때 상기 재생지정 입력단자를 통해 상기 반도체 칩에 있는 기억매체 제어수단에 상기 재생지정신호를 보내는 제어회로를 포함하는 제어수단을 구비하는 음성 기억 및 재생장치.

청구항 2

제1항에 있어서, 상기 제어회로는 펄스신호를 상기 기억영역 지정신호로서 보내며, 상기 기억매체 제어수단은 상기 펄스신호가 공급될 때마다, 기억되거나 재생되는 기억영역을 한 위치 시프트하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 3

제1항에 있어서, 상기 제어회로는 상기 음성데이터의 기억이나 재생을 지정하기 전에 기억영역 정정신호로서 펄스신호를 특정주기로 보내는(기억영역수 - 1) 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 4

제3항에 있어서, 상기 기억매체 제어수단은 (특정주기 × 기억영역수)이상의 주기를 갖는 펄스신호와 특정주기를 갖는 상기 펄스신호를 적어도 AND하고, 논리곱의 결과에 기초하여, 상기 기억영역 지정신호나 상기 기억영역 정정신호를 상기 기억지정신호나 상기 재생지정신호와 구별하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 5

제1항에 있어서, 상기 반도체 메모리는 불휘발성 메모리인 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 6

제1항에 있어서, 상기 제어회로와 상기 반도체 칩은 다른 전압으로 작동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 7

제1항에 있어서, 상기 제어회로는 상기 반도체 칩과 다른 반도체 칩에 제공되며, 상기 두 개의 반도체 칩은 다른 전압으로 구동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 8

음성데이터가 각각 기억되는 복수개의 기억영역을 갖는 반도체 메모리와,

음성데이터의 기억을 지정하기 위한 기억지정신호가 입력되는 기억지정 입력단자와,

상기 반도체 메모리에 있는 복수개의 기억영역 중에서 기억되거나 재생되는 기억영역을 지정하기 위한 기억영역 지정신호와 음성데이터의 재생을 지정하기 위한 재생지정신호가 입력되는 재생지정 입력단자와,

상기 기억영역 지정신호에 따라 상기 반도체 메모리에 있는 복수개의 기억영역 중에서 기억되거나 재생되는 기억영역을 지정하고 상기 기억지정신호에 따라 지정기억영역에 음성데이터를 기억시키는 것은 물론, 상기 재생지정신호에 따라 지정기억영역에 기억된 음성데이터를 판독도 하는 기억매체 제어수단을 포함하는 반도체 칩과;

기억영역지정 스위치수단과,

기록지정 스위치수단과,

재생지정 스위치수단과,

상기 기억영역지정 스위치수단이 작동될 때 상기 재생지정 입력단자를 통해 상기 반도체 칩에 있는 기억매체 제어수단에 기억영역 지정신호를 보내고, 상기 기록지정 스위치수단이 작동될 때 상기 기억지정 입력단자를 통해 상기 기억영역 지정신호를 보내고, 상기 재생지정 스위치수단이 작동될 때 상기 재생지정 입력단자를 통해 상기 반도체 칩에 있는 기억매체 제어수단에 상기 기억영역 지정신호를 보낸 후에 상기 재생지정신호를 보내는 제어회로를 포함하는 제어수단을 구비하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 9

제8항에 있어서, 상기 제어회로는 상기 기억영역 지정신호로서 펄스신호를 보내고, 상기 기억매체 제어수단은 상기 펄스신호가 공급될때마다, 기억되거나 재생되는 기억영역을 하나씩 시프트하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 10

제8항에 있어서, 상기 제어회로는 상기 음성데이터의 기억이나 재생을 지정하기 전에 기억영역 정정신호로서 특정주기로 펄스신호를 보내는(기억영역수 - 1) 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 11

제10항에 있어서, 상기 기억매체 제어수단은 (지정주기 × 기억영역수) 이상의 주기를 갖는 펄스신호와 특정주기를 갖는 상기 펄스신호를 적어도 AND하고, 논리곱의 결과에 기초하여, 상기 기억영역 지정신호나 상기 기억영역 정정신호를 상기 기억지정신호나 상기 재생지정신호와 구별하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 12

제8항에 있어서, 상기 반도체 메모리는 불휘발성 메모리를 포함하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 13

제8항에 있어서, 상기 제어회로와 상기 반도체 칩은 다른 전압으로 작동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 14

제8항에 있어서, 상기 제어회로는 상기 반도체 칩과 다른 반도체 칩에 제공되며, 상기 두 개의 반도체 칩은 다른 전압으로 구동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 15

음성데이터가 각각 기억되는 복수개의 기억영역을 갖는 반도체 메모리와,

음성데이터의 기억을 지정하는 기억지정신호에 따라 음성데이터를 지정기억영역에 기억시키는 것은 물론, 음성데이터의 재생을 지정하는 재생지정신호에 따라 지정기억 영역에 기억된 음성데이터를 판독도 하는 기억매체 제어수단을 포함하는 반도체 칩과;

상기 복수개의 기억영역 중에서 기억되거나 재생되는 기억영역을 지정하는 기억영역 지정신호를 보낸 후에 상기 기억지정신호나 상기 재생지정신호를 보내는 제어회로를 구비하며;

상기 반도체 칩은 상기 제어회로에서 보내진 상기 기억영역 지정신호와 상기 기억지정신호가 입력되는 기억지정 입력단자와, 상기 재생지정신호가 입력되는 재생지정신호 입력단자를 추가로 포함하며,

상기 기억지정 입력단자와 상기 재생지정 입력단자는 상기 제어회로에 연결되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 16

제15항에 있어서, 상기 제어회로는 상기 기억영역 지정신호로서 펄스신호를 보내며, 상기 기억매체 제어수단은 상기 펄스신호가 공급될 때마다, 기억되거나 재생되는 기억영역을 하나씩 시프트하는 것을 특징으로 하는 음성 기억 및 재쟁장치.

청구항 17

제15항에 있어서, 상기 제어회로는 상기 음성데이터의 기억 및 재생을 지정하기 전에 기억영역 정정신호로서 특정주기로 펄스신호를 보내는(기억영역수 - 1) 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 18

제17항에 있어서, 상기 기억매체 제어수단은 (지정주기 × 기억영역수) 이상의 주기를 갖는 펄스신호와 특정주기를 갖는 상기 펄스신호를 적어도 AND하고, 논리곱의 결과에 기초하여, 상기 기억영역 지정신호나 상기 기억영역 정정신호를 상기 기억지정신호나 상기 재생지정신호와 구별하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 19

제15항에 있어서, 상기 반도체 메모리는 불휘발성 메모리를 포함하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 20

제15항에 있어서, 상기 제어회로와 상기 반도체 칩은 다른 전압으로 작동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 21

제15항에 있어서, 상기 제어회로는 상기 반도체 칩과 다른 반도체 칩에 제공되며, 상기 두 개의 반도체 칩은 다른 전압으로 구동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 22

음성데이터가 각각 기억되는 복수개의 기억영역을 갖는 반도체 메모리와,

음성데이터의 기억을 지정하기 위한 기억지정신호가 입력되는 기억지정 입력단자와,

음성데이터의 재생을 지정하기 위한 재생지정신호가 입력되는 재생지정 입력단자와,

기억지정 입력단자에서 입력된 기억지정신호에 따라 지정기억영역에 음성데이터를 기억시키는 것을 물론, 상기 재생지정 입력단자에서 입력된 재생지정신호에 따라 지정기억영역에 기억된 음성데이터를 판독도 하는 기억매체 제어수단

을 포함하는 반도체 칩과;

상기 기억지정 입력단자에 공급된 상기 기억지정신호 혹은 상기 재생지정 입력단자에 공급된 상기 재생지정신호를 특정주기를 갖는 펄스신호 형태로 보냄으로써 상기 음성데이터가 기억되거나 재생되는 기억영역을 지정하는 것은 물론, 상기 기억지정신호나 상기 재생지정신호를 일정레벨 신호의 형태로 보내기도 하는 제어회로를 포함하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 23

제22항에 있어서, 상기 제어회로는 상기 기억영역 지정신호로서 펄스신호를 보내고, 상기 기억매체 기억수단은 상기 펄스신호가 공급될 때마다, 기억되거나 재생되는 기억영역을 하나씩 시프트하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 24

제22항에 있어서, 상기 제어회로는 상기 음성데이터의 기억이나 재생을 지정하기 전에 기억영역 정정신호로서 특정주기로 펄스신호를 보내는(기억영역수 - 1) 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 25

제24항에 있어서, 상기 기억매체 제어수단은 (지정주기 × 기억영역수) 이상의 주기를 갖는 펄스신호와 특정주기를 갖는 상기 펄스신호를 적어도 AND하고, 논리곱의 결과에 기초하여, 상기 기억영역 지정신호나 상기 기억영역 정정신호를 상기 기억지정신호나 상기 재생지정신호와 구별하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 26

제22항에 있어서, 상기 반도체 메모리는 불휘발성 메모리를 포함하는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 27

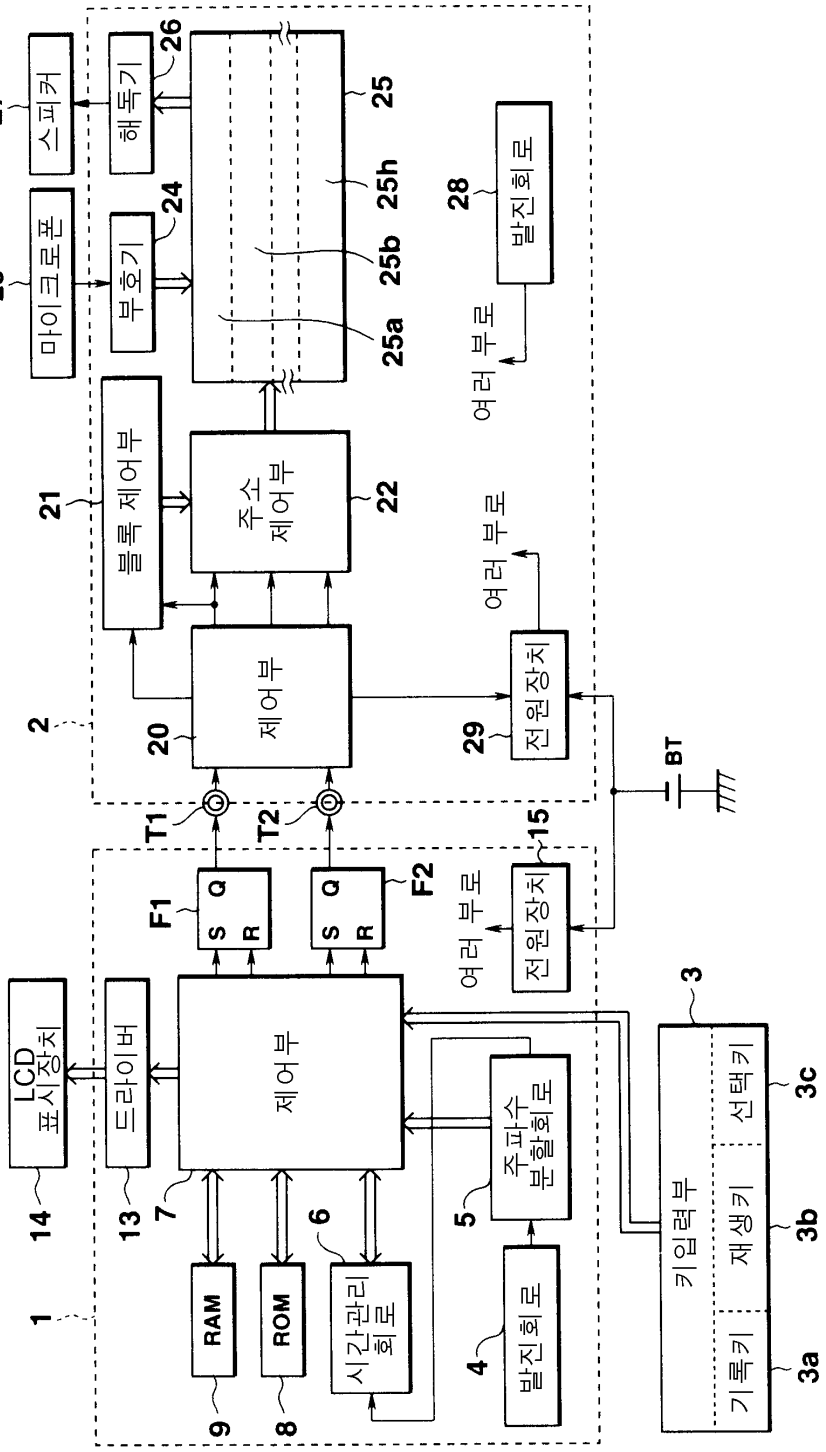
제22항에 있어서, 상기 제어회로와 상기 반도체 칩은 다른 구동전압으로 작동되는 것을 특징으로 하는 음성 기억 및 재생장치.

청구항 28

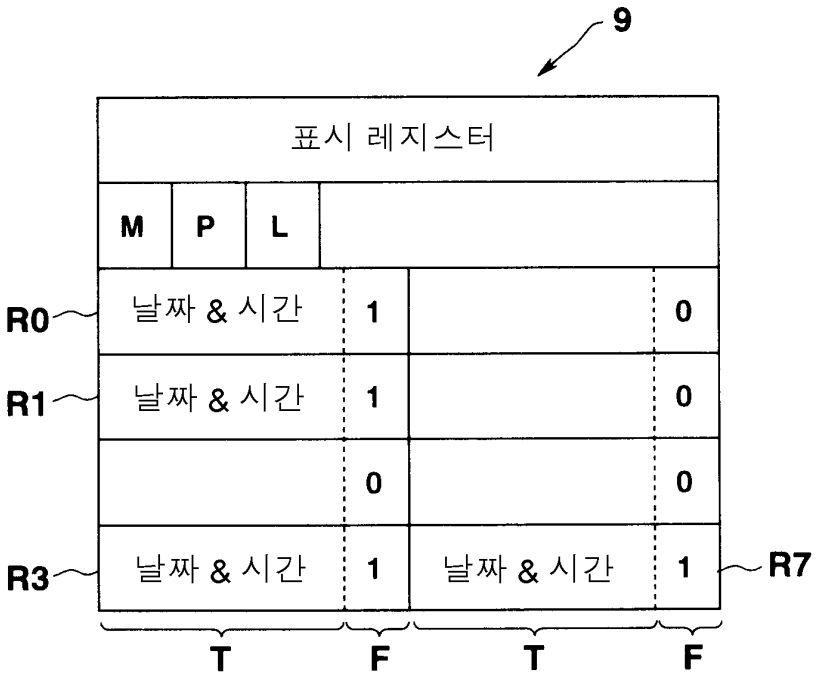
제22항에 있어서, 상기 제어회로는 상기 반도체 칩과는 다른 반도체 칩에 제공되며 상기 두 개의 반도체 칩은 다른 전압으로 구동되는 것을 특징으로 하는 음성 기억 및 재생장치.

도면

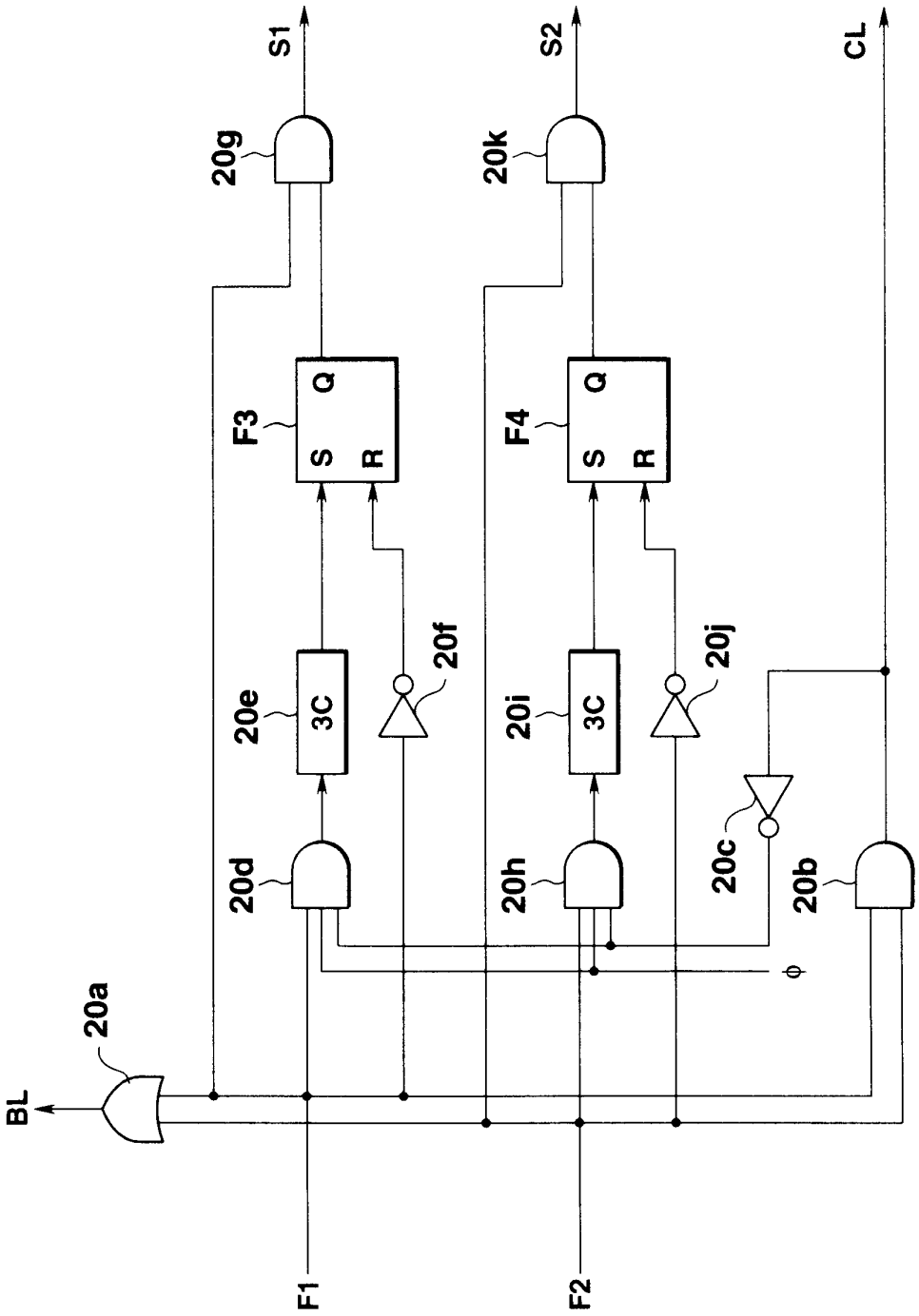
도면1



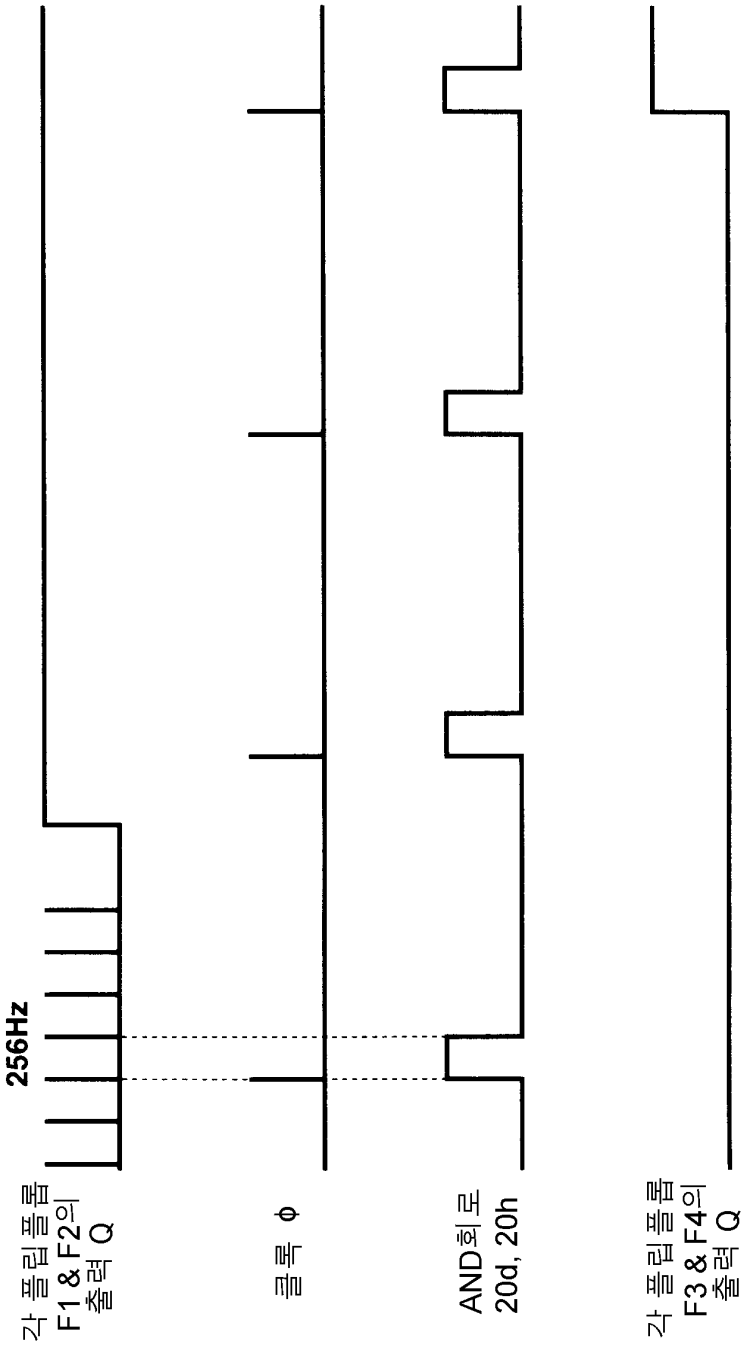
도면2



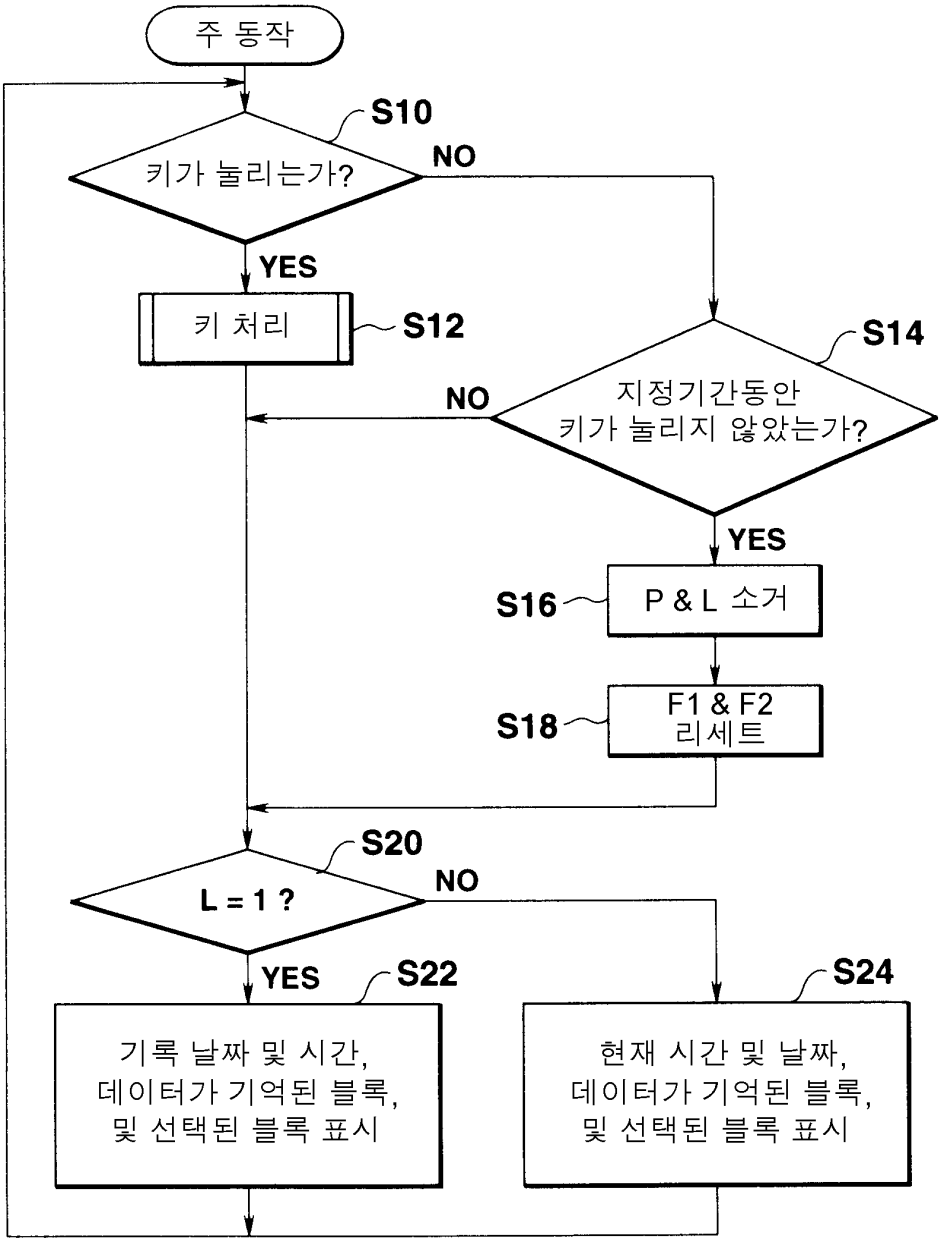
도면3


S1
S2
CL
20g
20k
F3
F4
Q
S
R
20e
20i
3C
20f
20j
20d
20h
20c
20b
20a
BL
F1
F2

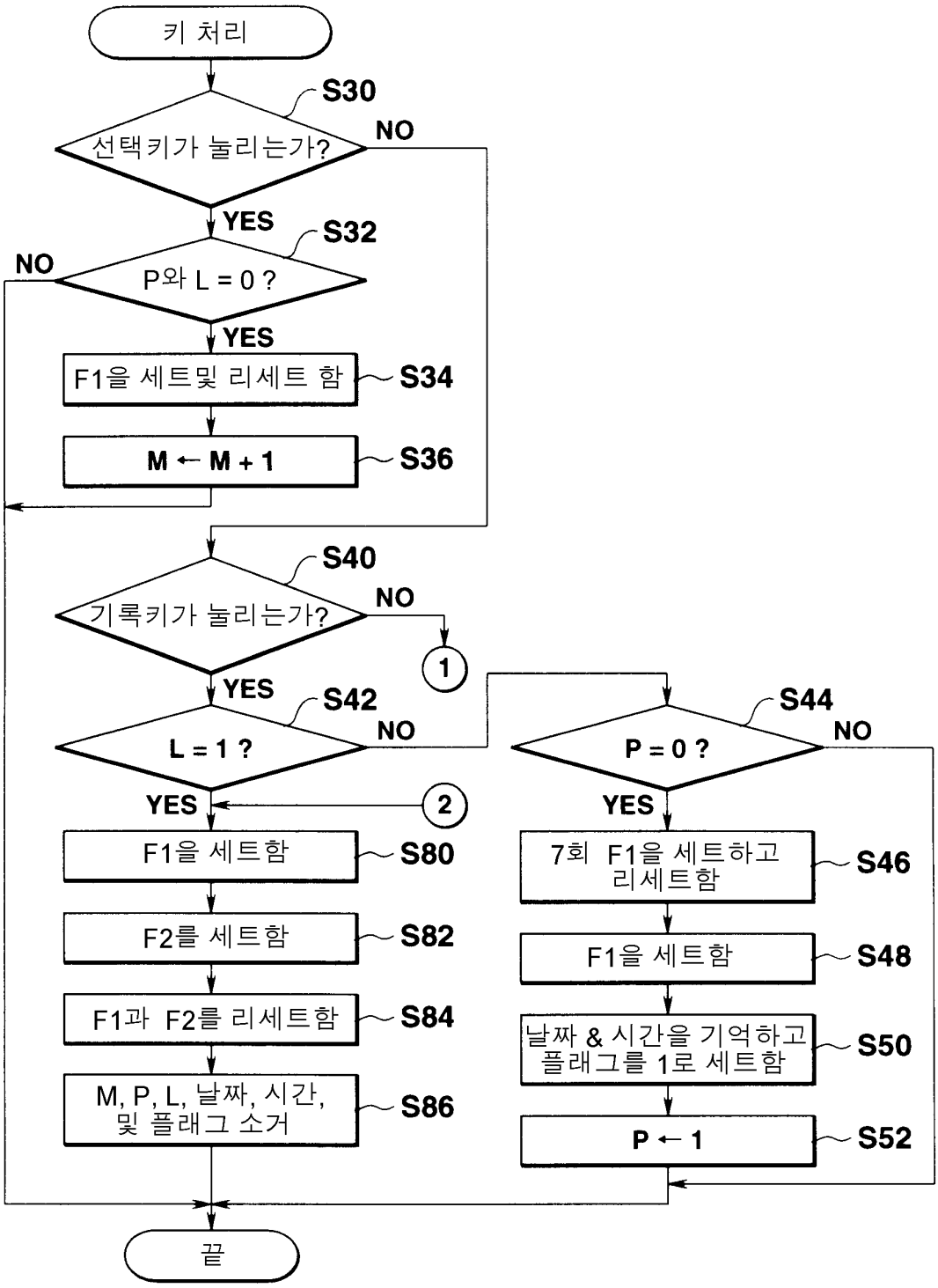
도면4



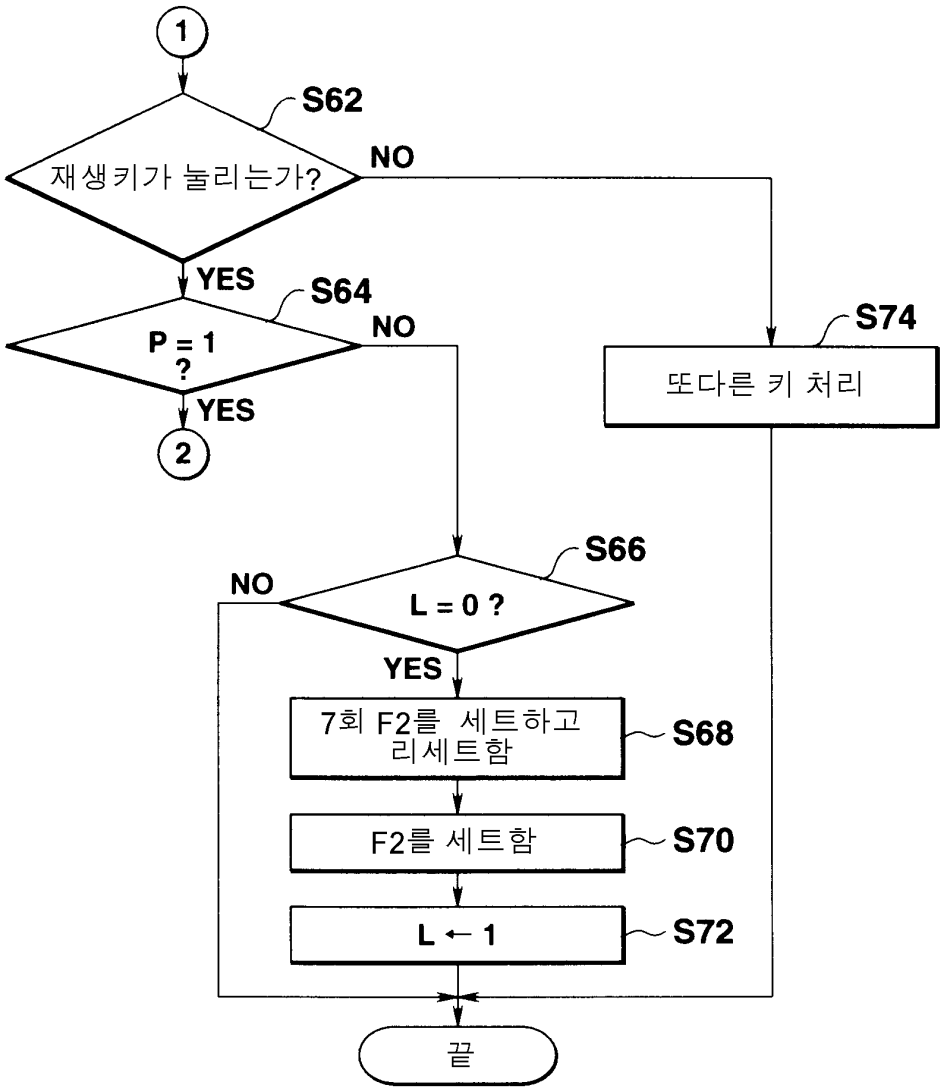
도면5


주 동작
S10
키가 눌리는가?
NO
YES
키 처리
S12
S14
지정기간동안
키가 눌리지 않았는가?
NO
YES
S16
P & L 소거
S18
F1 & F2
리세트
S20
L = 1 ?
NO
YES
S22
기록 날짜 및 시간,
데이터가 기억된 블록,
및 선택된 블록 표시
S24
현재 시간 및 날짜,
데이터가 기억된 블록,
및 선택된 블록 표시

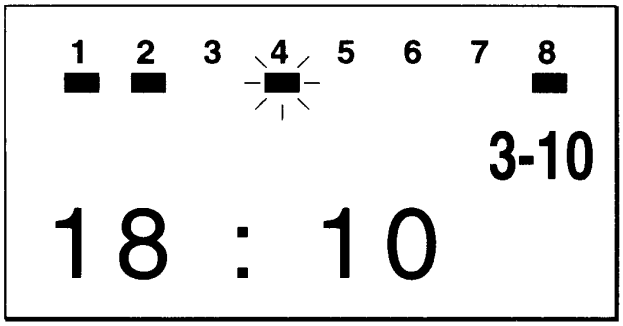
도면6


키 처리
S30
선택키가 눌리는가?
NO
YES
S32
P와 L = 0 ?
NO
YES
F1을 세트및 리세트 함
S34
M ← M + 1
S36
S40
기록키가 눌리는가?
NO
1
YES
S42
L = 1 ?
NO
YES
2
F1을 세트함
S80
F2를 세트함
S82
F1과 F2를 리세트함
S84
M, P, L, 날짜, 시간, 및 플래그 소거
S86
S44
P = 0 ?
NO
YES
7회 F1을 세트하고 리세트함
S46
F1을 세트함
S48
날짜 & 시간을 기억하고 플래그를 1로 세트함
S50
P ← 1
S52
끝

도면7


1
S62
재생키가 눌리는가?
NO
YES
S64
P = 1 ?
NO
YES
2
S74
또다른 키 처리
S66
NO
L = 0 ?
YES
7회 F2를 세트하고 리세트함
S68
F2를 세트함
S70
L ← 1
S72
끝

도면8


1 2 3 4 5 6 7 8
3-10
18 : 10

도면9

