

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-21416

(P2010-21416A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/266 (2006.01)	H O 1 L 21/265 M	5 F O 4 6
H O 1 L 21/027 (2006.01)	H O 1 L 21/30 5 7 4	5 F O 4 8
H O 1 L 21/336 (2006.01)	H O 1 L 21/30 5 7 6	5 F 1 4 0
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 Y	
H O 1 L 27/08 (2006.01)	H O 1 L 29/78 3 O 1 F	
審査請求 未請求 請求項の数 8 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2008-181456 (P2008-181456)	(71) 出願人	503121103
(22) 出願日	平成20年7月11日 (2008.7.11)		株式会社ルネサステクノロジ
			東京都千代田区大手町二丁目6番2号
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行
		最終頁に続く	

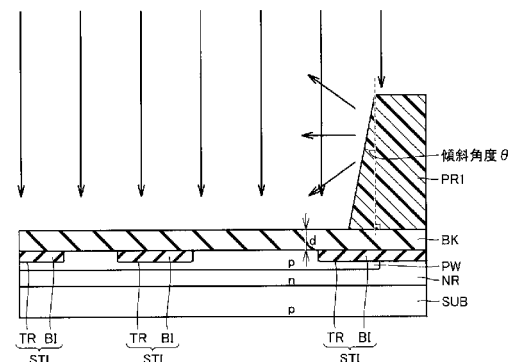
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】ウエル近接効果の発生を抑制することができる半導体装置の製造方法を提供する。

【解決手段】半導体装置の製造方法においては、半導体基板SUBの主表面上に反射防止膜BKが形成される。その反射防止膜BK上に、パターン端部において半導体基板SUB側に向かって広がるような傾斜を有するレジストパターンPR1が形成される。そのレジストパターンPR1をマスクとして半導体基板SUBの主表面にイオンが注入される。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

半導体基板の主表面上に反射防止膜を形成する工程と、
前記反射防止膜上に、パターン端部において前記パターンが前記半導体基板側に向かって広がるような傾斜を有するレジストパターンを形成する工程と、
前記レジストパターンをマスクとして前記半導体基板の前記主表面にイオンを注入する工程とを備えた、半導体装置の製造方法。

【請求項 2】

前記レジストパターンを形成する工程は、前記パターンの端部が 2°以上 5°以下の傾斜角度で前記半導体基板側に向かって広がるように前記レジストパターンを形成する工程を含む、請求項 1 に記載の半導体装置の製造方法。

10

【請求項 3】

半導体基板の主表面上にレジストパターンを形成する工程と、
前記レジストパターンの周囲にシリコンおよびゲルマニウムの少なくともいずれかを含む有機材料層を形成する工程と、
前記レジストパターンおよび前記有機材料層をマスクとして前記半導体基板の前記主表面にイオンを注入する工程とを備えた、半導体装置の製造方法。

【請求項 4】

前記有機材料層を形成する工程は、
シリコンおよびゲルマニウムの少なくともいずれかを含み、かつ前記レジストパターン中の酸成分を触媒として熱架橋反応を起こして硬化する有機材料を、前記レジストパターンを覆うように形成する工程と、
加熱処理を施して前記レジストパターンに接する部分の前記有機材料を熱硬化させることにより、前記レジストパターンの周囲に前記有機材料層を形成する工程とを含む、請求項 3 に記載の半導体装置の製造方法。

20

【請求項 5】

半導体基板の主表面上に、シリコン、ゲルマニウムおよび色素よりなる群から選ばれる 1 種以上を含むレジストパターンを形成する工程と、
前記レジストパターンをマスクとして前記半導体基板の前記主表面にイオンを注入する工程とを備えた、半導体装置の製造方法。

30

【請求項 6】

半導体基板の主表面上に、マイナスに帯電させたレジストパターンを形成する工程と、
前記レジストパターンをマスクとして前記半導体基板の前記主表面にイオンを注入する工程とを備えた、半導体装置の製造方法。

【請求項 7】

マイナスに帯電させたレジストパターンを形成する工程は、前記レジストパターンにエレクトロンを照射する工程を含む、請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記イオンは、前記半導体基板の前記主表面にウェルを形成するために前記主表面に注入される、請求項 1 ～ 7 のいずれかに記載の半導体装置の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置の製造方法に関し、特に、レジストパターンをマスクとしたイオン注入工程を有する半導体装置の製造方法に関するものである。

【背景技術】**【0002】**

従来、半導体基板上にトランジスタやダイオードなどの素子を形成するためには、選択的に不純物イオンを注入する必要があった。フォトリソグラフィ技術を使って、半導体基板上にレジストパターンを形成し、このレジストパターンをマスクとして、加速されたイ

50

オンが半導体ウエハへ注入されていた。レジストパターンのレジストが残っている部分ではイオンはレジスト膜内にトラップされ基板まで到達しない。一方、レジストパターンのレジストが残っていない部分では、イオンは基板内部に到達して不純物となり、n型やp型の半導体領域を形成することになる。

【0003】

レジスト内にトラップされたイオンは、レジストを構成する原子と衝突することで、分子を切断や重合させながら、エネルギーを失っていき、やがて停止する。レジストは樹脂や感光剤で構成される有機物なので、一般的には結晶ではなくアモルファス構造をとっている。したがって、レジスト内に注入されたイオンは、レジストを構成する原子と衝突することにより、あらゆる方向に散乱される。

10

【0004】

また、イオンが停止するまでの平均の距離（平均自由行程）は、加速電圧や、イオン種、レジストの組成にもよるが、概ね1 μm 程度である。そのため、イオンを確実にレジスト内にトラップするには、レジストの膜厚としては、1～2 μm が必要である。このように、レジストの内部では、イオンは完全に停止するまでに、1 μm 程度動いている。

【0005】

このようにレジスト内に注入されたイオンはレジスト内であらゆる方向に散乱されて平均自由行程を移動する。このため、レジストパターンの側壁から平均自由行程以内の範囲内のレジストに侵入したイオンの場合、平均自由行程に達する前に、レジスト側壁からレジスト外へ出て行くイオンが少なからず存在する。

20

【0006】

このレジスト外へ出たイオンは、半導体基板に到達するので、半導体基板にはイオンが必要以上に注入された領域ができ、不純物分布が不均一となる。すなわちpn分離境界近傍で形成される素子の性能は、他の位置の素子特性に比べて変動している。この効果はウエル近接効果（well proximity effect）と呼ばれている。

【0007】

このようなウエル近接効果に関しては、たとえば特開2007-36249号公報、特開2007-305858号公報などに開示されている。

【特許文献1】特開2007-36249号公報

【特許文献2】特開2007-305858号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

ウエル近接効果のため、pn分離境界近傍で形成される素子の性能が他の位置の素子特性に比べて変動している。これを、LSI（Large Scale Integrated Circuit）を設計する観点からみると、素子性能のばらつきが大きくなるという不具合として現れる。

【0009】

LSIを設計する際には、ある程度の素子の特性バラツキがあることを考慮した設計をすることが一般的である。しかし、ばらつきが大きいことを前提とすると、十分なマージンをとる必要があるので、結果としてチップサイズが拡大することになる。この時、ウエハ1枚に製造できる半導体集積回路の数が減り、チップ単価が上昇するという不具合が発生する。

40

【0010】

本発明は、上記の課題に鑑みてなされたもので、その目的は、ウエル近接効果の発生を抑制することができる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0011】

本実施の形態の半導体装置の製造方法は、以下の工程を備えている。

まず半導体基板の主表面上に反射防止膜が形成される。その反射防止膜上に、パターン端部においてそのパターンが半導体基板側に向かって広がるような傾斜を有するレジスト

50

パターンが形成される。そのレジストパターンをマスクとして半導体基板の主表面にイオンが注入される。

【発明の効果】

【0012】

本実施の形態の半導体装置の製造方法によれば、イオン注入の際に半導体基板の主表面上に反射防止膜が形成されている。このため、イオン注入時にレジストパターンの側壁から散乱された２次イオンが反射防止膜に捕捉され、半導体基板の主表面に到達しにくくなる。これにより、半導体基板の主表面への２次イオンの注入が抑制され、ウエル近接効果の発生を抑制することが可能となる。

【0013】

またレジストパターンのパターン端部は半導体基板側に向かって広がるような傾斜を有している。このため、レジストパターンから半導体基板の主表面へ向かう２次イオンの発生を抑制することができる。これにより、半導体基板の主表面への２次イオンの注入が抑制され、ウエル近接効果の発生を抑制することが可能となる。

【0014】

また反射防止膜の上にレジストパターンが形成されるため、レジストパターンの端部を半導体基板側に向かって広がるような傾斜にすることが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について図に基づいて説明する。

（実施の形態１）

図１は、本発明の実施の形態１における半導体装置の製造方法でのイオン注入プロセスを示すフロー図である。図１を参照して、イオン注入プロセスにおいては、まず半導体集積回路装置を形成するための半導体基板が準備される。この半導体基板がステージ上に固定される（ステップＳ１）。この状態で半導体基板上にフォトリソグが塗布される（ステップＳ２）。そのフォトリソグが選択的に露光され（ステップＳ３）、その露光後にレジストが現像されて微細パターンを有するレジストパターンが形成される（ステップＳ４）。このレジストパターンをマスクとして半導体基板の主表面に選択的にイオンが注入される（ステップＳ５）。この後、レジストパターンが除去される（ステップＳ６）。

【0016】

上記のイオン注入プロセスにより半導体基板の主表面に選択的にイオンが注入され、それによりたとえばウエル領域などが半導体基板の主表面に形成される。

【0017】

本発明の実施の形態における半導体装置の製造方法では、上記のイオン注入プロセスにおいて、光リソグラフィに特殊な改良が施される。それにより、レジストパターンから散乱された２次イオンが半導体基板の主表面に到達することが抑制されて、ほぼ均一なイオン注入プロファイルが実現される。

【0018】

本実施の形態においては、レジストパターンで散乱されたイオンが半導体基板の主表面に到達することを抑制する手段として、以下の手段が採られる。

【0019】

（１）ＢＡＲＣ（Bottom Anti-Reflective Coating）上にフォトリソグが形成されて、そのフォトリソグが現像された後に、そのフォトリソグをマスクとしてＢＡＲＣ越しに半導体基板の主表面にイオンが注入される。なおイオン注入後には、必要に応じてＢＡＲＣは剥離される。

【0020】

（２）半導体基板の主表面上にレジストパターンが形成された後、そのレジストパターンにＲＥＬＡＣＳ（Resolution Enhancement Lithography Assisted by Chemical Shrink）処理が行なわれて、レジストパターンの周囲にシリコン（Ｓｉ）、ゲルマニウム（Ｇｅ）を含んだ有機材料層が形成される。その有機材料層とレジストパターンとをマスクとし

10

20

30

40

50

て半導体基板の主表面にイオンが注入される。

【0021】

(3) シリコン、ゲルマニウムおよび色素を有するレジストパターンをマスクとして、半導体基板の主表面にイオンが注入される。

【0022】

(4) イオン注入工程前のフォトリソット(またはレジストパターン)に電子線が全面照射され、マイナスに帯電させたレジストパターンをマスクとして半導体基板の主表面にイオンが注入される。

【0023】

上記の(1)～(4)の手段で注入されたイオンの不純物プロファイル透過型電子顕微鏡で計測することにより、ウェル近接効果を定量化することができる。

【0024】

上記の(1)～(4)の手段により半導体基板の主表面にイオンを注入することにより、ウェル近接効果が軽減されるため、半導体基板内のpn分離境界(たとえばp型ウェルとn型ウェルとの境界)近傍に形成される素子の性能の変動を小さくすることができる。これを、LSI(Large Scale Integrated circuit)を設計する観点からみると、素子性能のばらつきが小さくなるという利点が発生する。

【0025】

LSIを設計する際には、ある程度の素子の特性バラツキがあることを考慮した設計をすることが一般的である。バラツキが小さいことは、必要以上の設計マージンをとらなくてもよいので、チップサイズが縮小できることを意味する。すなわち、ウェハ1枚に製造できる半導体集積回路の数が増え、チップ単価が下落するという利点が発生する。

【0026】

上記の(1)～(4)の手段は、ウェル近接効果の軽減の程度を考慮して、それ単独で採用することもでき、またそれらの任意の組み合わせを採用することもできる。

【0027】

(実施の形態2)

本実施の形態は実施の形態1の手段(1)に基づくものである。

【0028】

図2および図3(A)は、本発明の実施の形態2における半導体装置の製造方法を工程順に示す概略断面図である。また図3(B)は、図3(A)の一点鎖線IIIB-IIIBに沿うp型ウェルのp型不純物濃度の分布を示す図である。

【0029】

図2を参照して、本実施の形態の半導体装置の製造方法においては、まずp型の半導体基板SUBの主表面にn型領域NRが形成される。この半導体基板SUBの主表面にトレンチTRが形成され、このトレンチTR内を埋め込むように充填層BIが形成される。このトレンチTRと充填層BIとによりSTI(Shallow Trench Isolation)が構成される。

【0030】

この半導体基板SUBの主表面上に、BARCとなる反射防止膜BKが形成される。BARCとは、フォトリソットの下に形成される塗布型の反射防止膜のことであり、半導体基板SUBからの反射光をなくすことで、下地段差からのハレーションをなくす効果を有するものである。この反射防止膜BK上にフォトリソットPR1が塗布される。この後、フォトリソットPR1が光リソグラフィー法によりパターニングされて、レジストパターンPR1が形成される。

【0031】

この際、レジストパターンPR1のパターン端部が上部から半導体基板SUBの主表面に向かって広がるような傾斜となるようにレジストパターンPR1が形成される。このような傾斜を持ったレジストパターンPR1は、後述するように反射防止膜BKの厚みdを適切に設定することにより形成され得る。

10

20

30

40

50

【 0 0 3 2 】

このレジストパターン P R 1 のパターン端部の傾斜角度 θ は 2° 以上 5° 以下であることが好ましい。

【 0 0 3 3 】

レジストパターン P R 1 をマスクとして半導体基板 S U B の主表面にイオンが注入される。このイオン注入により、半導体基板 S U B の主表面に、たとえば p 型ウェル P W が形成される。この後、レジストパターンがたとえばアッシングなどにより除去され、さらに反射防止膜 B K がたとえばエッチングなどにより除去される。

【 0 0 3 4 】

図 3 (A) を参照して、上記の p 型ウェル P W の形成方法と同様の方法により半導体基板 S U B の主表面に、p 型ウェル P W と隣接するように n 型ウェル N W が形成される。この後、半導体基板 S U B の主表面にたとえば n チャネル M O S (Metal Oxide Semiconductor) トランジスタ (以下、n M O S トランジスタと称する) N T などの電子デバイスが形成される。この n M O S トランジスタ N T の形成においては、まず半導体基板 S U B の主表面にゲート酸化膜 G I とゲート電極 G E とが形成される。このゲート電極などをマスクとして半導体基板 S U B の主表面にイオン注入などを行うことにより半導体基板 S U B の主表面に比較的低濃度の n 型領域 L D が形成される。

【 0 0 3 5 】

この後、ゲート電極 G E の側壁を覆うように側壁絶縁層 S W が半導体基板 S U B の主表面上に形成される。この側壁絶縁層 S W 、ゲート電極 G E などマスクとして半導体基板 S U B の主表面にイオン注入などを行うことにより半導体基板 S U B の主表面に比較的高濃度の n 型領域 H D が形成される。

【 0 0 3 6 】

この比較的低濃度の n 型領域 L D と比較的高濃度の n 型領域 H D とにより L D D (Lightly Doped Drain) または M D D (Middle Doped Drain) 構造のソース / ドレイン領域 S D が形成される。そして 1 対のソース / ドレイン領域 S D と、ゲート酸化膜 G I と、ゲート電極 G E とにより n M O S トランジスタ N T が形成される。

【 0 0 3 7 】

またイオン注入などにより、p 型ウェル P W の表面には p⁺領域 P R が形成される。この p⁺領域 P R 、ソース / ドレイン領域 S D およびゲート電極 G E の各表面に接するように高融点金属が形成され熱処理が行なわれる。これにより、p⁺領域 P R 、ソース / ドレイン領域 S D およびゲート電極 G E の各々と高融点金属との接する部分に、高融点金属のシリサイド層 S C が形成される。この後、未反応の高融点金属が除去される。

【 0 0 3 8 】

以上により、図 3 (A) に示す本実施の形態の半導体装置が製造される。

次に、本実施の形態の作用効果について、図 4 (A) に示す方法でイオン注入した場合との対比で説明する。

【 0 0 3 9 】

図 4 (A) は、反射防止膜が形成されず、かつレジストパターンのパターン端部が傾斜していない状態でイオン注入を行なう様子を示す図である。また図 4 (B) は、図 4 (A) の一点鎖線 I V B - I V B に沿う位置における p 型不純物濃度の分布を示す図である。

【 0 0 4 0 】

図 4 (A) を参照して、反射防止膜が形成されず、かつレジストパターン P R のパターン端部が傾斜していない (つまりパターン端部が半導体基板 S U B の主表面に対して略垂直である) 場合、イオン注入時に 2 次イオンがレジストパターン P R の側壁から半導体基板 S U B の主表面に過剰に注入される。

【 0 0 4 1 】

これにより図 4 (B) に示すように、p 型不純物イオンがパターン端部の近傍 (p n 分離境界近傍) において過剰に注入され、p 型不純物の濃度分布が不均一となる。このため、p n 分離境界近傍に形成される素子の性能が他の位置 (たとえば p 型ウェル P W の中央

部)に形成される素子の特性に比べて変動する、いわゆるウエル近接効果が生じる。

【0042】

これに対して本実施の形態によれば、図2に示すイオン注入の際に半導体基板SUBの主表面上に反射防止膜BKが形成されている。このため、イオン注入時にレジストパターンPR1の側壁から散乱された2次イオンが反射防止膜BKに捕捉される。つまり、レジストパターンPR1から出る2次イオンは、既にある程度エネルギーを失っている上に、斜めに反射防止膜BKへ入射するので、反射防止膜BKの表面や内部にトラップされ得る。これにより、2次イオンが半導体基板SUBの主表面に到達しにくくなる。

【0043】

またレジストパターンPR1のパターン端部は上部から半導体基板SUBの主表面側に向かって広がるような傾斜を有している。このため、レジストパターンPR1から半導体基板SUBの主表面へ向かう2次イオンの発生を抑制することができる。これにより、半導体基板SUBの主表面への2次イオンの注入が抑制される。

10

【0044】

以上より本実施の形態によれば、図3(B)に示すように、p型ウエルPWの端部におけるp型不純物の濃度分布の不均一さが図4(B)よりも改善される。これにより、ウエル近接効果の発生を抑制することが可能となる。

【0045】

また反射防止膜BKにより半導体基板SUBからの反射光が抑制できるので、レジストパターンPR1の寸法の制御性が向上する。

20

【0046】

また本実施の形態においては、図2に示すレジストパターンPR1のパターン端部の傾斜角度 θ が2°以上5°以下であることが好ましい。以下、そのことを説明する。

【0047】

2次イオンは、レジストパターンPR1の側壁の法線方向を中心に再放出される。このことから、傾斜角度 θ を決めるに際して、以下の2つの要因を考慮する必要がある。

【0048】

(a)ウエル近接効果への改善効果を期待する観点から見ると、レジストパターンPR1のパターン端部における傾斜角度 θ は大きいほうがよい。

【0049】

(b)レジストパターンPR1のパターン端部における傾斜角度 θ が大きすぎると、傾斜の斜め部分のチップ面積が無駄になってしまう。よって、半導体チップの微細化を追求する観点から見ると、傾斜角度 θ は小さいほうがよい。

30

【0050】

上記(a)と(b)とは相反するので、最適値を見積もるために、本発明者はイオン注入のモンテカルロシミュレーションを実施した。

【0051】

このモンテカルロシミュレーションは、図5に示す構造を用いて行なった。図5はシミュレーションを行った構造の概略断面図を示している。図5を参照して、シミュレーションに用いた構造は、シリコン基板SUBと、そのシリコン基板SUBの表面に選択的に形成された酸化シリコン(SiO_2)よりなる反射防止膜BKと、反射防止膜BK上に形成されたレジストパターンPR1とを有している。

40

【0052】

この構造について、注入エネルギー：200keV、ドーズ量： $1 \times 10^{13} / \text{cm}^{-2}$ の条件でボロンイオン(B^+)をイオン注入してシリコン基板SUBにp型拡散層を形成する場合についてシミュレーションを行なった。その結果を、図6および図7に示す。

【0053】

なお図6は、図5の構造における一点鎖線VIA-VIAに沿う部分(中央)と、一点鎖線VIB-VIBに沿う部分(端)の各々における深さ方向(Z方向)の濃度分布を示している。また図7は、図5の構造における一点鎖線VIIA-VIIBに沿う部分の横

50

方向（X方向）の濃度分布を示している。

【0054】

図6の結果から、p型拡散層の中央部と端部との深さ方向の濃度分布を比較すると、傾斜角度がわずか $2^{\circ} \sim 3^{\circ}$ であっても、パターン端部が傾斜していると、2次イオンの影響が軽減されていることがわかる。特にp型拡散層の端部におけるシリコン基板SUBの表面近くにて、2次イオンの影響が顕著に軽減されている。

【0055】

また図7の結果から、レジストパターンPR1の影響で、p型拡散層の端部の濃度はp型拡散層の中央部の濃度より1桁ほど高くなっていることがわかる。また、傾斜角度 θ の依存性がp型拡散層の端部で若干あることがわかる。

10

【0056】

これらのモンテカルロシミュレーションの結果によると、傾斜角度 θ がわずか $2^{\circ} \sim 3^{\circ}$ であってもパターン端部が傾斜していると、2次イオンの影響（すなわちウェル近接効果）は軽減されている。また、傾斜角度 θ が大きすぎると（ $\theta = 10^{\circ}$ ）、レジストパターンを付き抜けてシリコン基板SUBの主表面に注入されるイオンを無視することができない。そこで、本実施の形態における傾斜角度 θ の好ましい範囲は $2^{\circ} \sim 5^{\circ}$ に設定される。

【0057】

次に、図2に示すレジストパターンPR1に傾斜角度 θ を付与する方法について説明する。

20

【0058】

傾斜角度 θ を付与する方法としては、BARCとなる反射防止膜BKを採用する方法がある。しかし、傾斜角度 θ を $2^{\circ} \sim 5^{\circ}$ に制御するには、以下のような方法が必要である。

【0059】

まず、通常のBARCプロセスでは、反射防止膜BKの上下面からの反射光の位相が 180° 反転するような反射防止膜BKの膜厚 d が用いられる。つまり、反射防止膜BKに入射する光に対して反射防止膜BKから反射する光の位相を 180° 反転させることにより、入射光と反射光とが互いに相殺しあって反射が防止される。

【0060】

ここで、たとえばレジストパターンPR1、反射防止膜BKおよび半導体基板SUBのそれぞれの屈折率を N_{resist} 、 N_{barc} 、 N_{sub} としたとき、 $N_{resist} < N_{barc} < N_{sub}$ の関係が成り立つとすると、この時、 $4 \times N_{barc} \times d = m \times \lambda$ の関係が成立する。さらに、 $N_{barc} \times N_{barc} = N_{resist} \times N_{sub}$ の関係が成立すると、最小の反射率に設定することができる。この条件は、マスクやウエハでの反射防止プロセスでよく用いられている関係である。

30

【0061】

しかし、レジストパターンPR1の傾斜角度 θ を $2^{\circ} \sim 5^{\circ}$ に設定するためには、反射光が完全に0にされるのではなく、制御された多少の反射光が必要である。たとえば、反射防止膜BKの上下面からの反射光の位相を 90° や 270° に設定するような反射防止膜BKの膜厚 d を用いることができる。

40

【0062】

この時、 $4 \times N_{barc} \times d = (m + 1/4) \times \lambda$ や $4 \times N_{barc} \times d = (m - 1/4) \times \lambda$ の関係がそれぞれ成立する。この条件が満たされると、レジストパターンPR1の下地である反射防止膜BKからの反射光がほどよく発生し、 $2^{\circ} \sim 5^{\circ}$ の傾斜角度 θ を持ったレジストパターンPR1が得られる。将来的には、プロセス全体の微細化に伴い、露光波長、レジスト、BARC材などが変更されていくので、その度に最適化作業が必要なのはいうまでもない。

【0063】

上記のように反射防止膜の膜厚 d を適切に設定することにより、 $2^{\circ} \sim 5^{\circ}$ の傾斜角度

50

θを持ったパターン端部を有するレジストパターンPR1を形成することが可能となる。

【0064】

(実施の形態3)

本実施の形態は実施の形態1の手段(2)に基づくものである。

【0065】

図8は、本発明の実施の形態3における半導体装置の製造方法を示す概略断面図である。図8を参照して、本実施の形態においては、実施の形態2と同様の工程を経て、半導体基板SUBの主表面にn型領域NRとSTIとが形成される。

【0066】

この後、半導体基板SUBの主表面上に、フォトリソストPR2が塗布される。この後、フォトリソストPR2が光リソグラフィー法によりパターンングされて、レジストパターンPR2が形成される。このレジストパターンPR2の周囲を覆うように、シリコンおよびゲルマニウムの少なくともいずれかを含む有機材料層REがたとえばRELACS処理により形成される。

【0067】

これらのレジストパターンPR1および有機材料層REをマスクとして半導体基板SUBの主表面にイオンが注入される。このイオン注入により、半導体基板SUBの主表面に、たとえばp型ウェルPWが形成される。この後、有機材料層REおよびレジストパターンが除去される。

【0068】

図3(A)を参照して、上記のp型ウェルPWの形成方法と同様の方法により半導体基板SUBの主表面に、p型ウェルPWと隣接するようにn型ウェルNWが形成される。この後、実施の形態1と同様の工程を経ることにより、半導体基板SUBの主表面にたとえばnMOSトランジスタNTなどの電子デバイスが形成される。これにより、図3(A)に示す本実施の形態の半導体装置が製造される。

【0069】

次に、図8に示す有機材料層REをRELACS処理により形成する方法について具体的に説明する。

【0070】

図9～図12は、本発明の実施の形態3における半導体装置の製造方法において、有機材料層REをRELACS処理により形成する方法を工程順に示す概略断面図である。図9を参照して、STIが形成された半導体基板SUBの主表面上にレジストパターンPR2が形成される。

【0071】

図10を参照して、このレジストパターンPR2を覆うように半導体基板SUBの主表面上に有機材料PR3が形成される。この有機材料PR3は、シリコンおよびゲルマニウムの少なくともいずれかを含み、かつレジストパターンPR2中の酸成分を触媒として熱架橋反応を起こして硬化する材料よりなっている。有機材料PR3は、たとえばシリコンおよびゲルマニウムの少なくともいずれかを含む水性塩基可溶性シリコン含有フェノール性ポリマーよりなっている。

【0072】

また有機材料PR3にシリコン含有レジストが用いられる場合には、たとえば特開2000-221687号公報に示されたような様々な構造や組成のシリコン含有レジストが用いられる。また2次イオンの遮蔽の観点からは、ベース樹脂のシリコンの含有率が高い構成が好ましい。

【0073】

上記のように有機材料層REが形成された後に加熱処理が施される。

図11を参照して、上記の加熱処理により、有機材料PR3は、レジストパターンPR2と接している部分において、レジストパターンPR2中の酸成分を触媒として熱架橋反応を起こして硬化する。これにより、レジストパターンPR2の周囲に、シリコンおよび

10

20

30

40

50

ゲルマニウムの少なくともいずれかを含む有機材料層 R E が形成される。この後、有機材料 P R 3 の未硬化部分がたとえば水洗により除去される。

【 0 0 7 4 】

図 1 2 を参照して、上記の水洗除去により有機材料 P R 3 の未硬化部分が除去されて、半導体基板 S U B の主表面が露出する。これにより、レジストパターン P R 2 の周囲を覆う有機材料層 R E が R E L A C S 処理により形成される。

【 0 0 7 5 】

次に、本実施の形態の作用効果について説明する。

本実施の形態によれば、イオン注入の際に、レジストパターン P R 2 の周囲に有機材料層 R E が形成されており、この有機材料層 R E にはシリコンおよびゲルマニウムの少なくともいずれかが含まれている。このため、イオン注入時に有機材料層 R E に注入されたイオンは有機材料層 R E 中でシリコンやゲルマニウムに衝突する。シリコンやゲルマニウムは炭素よりも重い元素であるため、シリコンやゲルマニウムに衝突したイオンは、炭素に衝突する場合よりも大きな運動エネルギーを失うため、有機材料層 R E 中のイオンの平均自由行程が小さくなる。したがって、イオンは有機材料層 R E から外部へ出にくくなり、半導体基板 S U B の主表面への 2 次イオンの注入が抑制される。

【 0 0 7 6 】

以上より本実施の形態においても、実施の形態 2 と同様、図 3 (B) に示すように、p 型ウェル P W の端部における p 型不純物の濃度分布の不均一さが図 4 (B) よりも改善される。これにより、ウェル近接効果の発生を抑制することが可能となる。

【 0 0 7 7 】

(実施の形態 4)

本実施の形態は実施の形態 1 の手段 (3) に基づくものである。

【 0 0 7 8 】

図 1 3 は、本発明の実施の形態 4 における半導体装置の製造方法を示す概略断面図である。図 1 3 を参照して、本実施の形態においては、実施の形態 2 と同様の工程を経て、半導体基板 S U B の主表面に n 型領域 N R と S T I とが形成される。

【 0 0 7 9 】

この後、半導体基板 S U B の主表面上に、シリコン、ゲルマニウムおよび色素よりなる群より選ばれる 1 種以上を含むフォトリソレジスト P R 4 が塗布される。この後、フォトリソレジスト P R 4 が光リソグラフィー法によりパターニングされて、レジストパターン P R 4 が形成される。

【 0 0 8 0 】

このレジストパターン P R 4 をマスクとして半導体基板 S U B の主表面にイオンが注入される。このイオン注入により、半導体基板 S U B の主表面に、たとえば p 型ウェル P W が形成される。この後、レジストパターン P R 4 がたとえばアッシングなどにより除去される。

【 0 0 8 1 】

図 3 (A) を参照して、上記の p 型ウェル P W の形成方法と同様の方法により半導体基板 S U B の主表面に、p 型ウェル P W と隣接するように n 型ウェル N W が形成される。この後、実施の形態 1 と同様の工程を経ることにより、半導体基板 S U B の主表面にたとえば n M O S トランジスタ N T などの電子デバイスが形成される。これにより、図 3 (A) に示す本実施の形態の半導体装置が製造される。

【 0 0 8 2 】

上記においてフォトリソレジスト P R 4 にシリコン含有レジストが用いられる場合には、特開 2 0 0 0 - 2 2 1 6 8 7 号公報に示されたような水性塩基可溶性シリコン含有フェノール性ポリマーを用いたレジストを用いることができる。

【 0 0 8 3 】

またフォトリソレジスト P R 4 に用いるシリコン含有レジストとしては、特開 2 0 0 0 - 2 2 1 6 8 7 号公報に示されたような様々な構造や組成のシリコン含有レジストがある。ま

10

20

30

40

50

た２次イオンの遮蔽の観点からは、ベース樹脂のシリコン含有率が高い構成が好ましい。

【００８４】

また上記においてフォトリソグＰＲ４に色素入りレジストが用いられる場合には、フォトリソグＰＲ４に含ませる色素としてアゾ色素を用いることができる。アゾ色素には、特開２００８－７７３２号公報に示されるような様々な構造や組成がある。２次イオンの遮蔽の観点からは、なるべく原子番号の大きい原子が含まれていることが好ましい。

【００８５】

本実施の形態によれば、レジストパターンＰＲ４にはシリコン、ゲルマニウムおよび色素の少なくともいずれかが含まれている。このため、イオン注入時にレジストパターンＰＲ４に注入されたイオンはレジストパターンＰＲ４中でシリコンやゲルマニウムや色素に衝突する。シリコンやゲルマニウムや色素は炭素よりも重いため、シリコンやゲルマニウムや色素に衝突したイオンは、炭素に衝突する場合よりも大きな運動エネルギーを失うため、レジストパターンＰＲ４中のイオンの平均自由行程が小さくなる。したがって、イオンはレジストパターンＰＲ４から外部へ出にくくなり、半導体基板ＳＵＢの主表面への２次イオンの注入が抑制される。

【００８６】

以上より本実施の形態においても、実施の形態２と同様、図３（Ｂ）に示すように、ｐ型ウェルＰＷの端部におけるｐ型不純物の濃度分布の不均一さが図４（Ｂ）よりも改善される。これにより、ウェル近接効果の発生を抑制することが可能となる。

【００８７】

（実施の形態５）

本実施の形態は実施の形態１の手段（４）に基づくものである。

【００８８】

図１４は、本発明の実施の形態５における半導体装置の製造方法を示す概略断面図である。図１４を参照して、本実施の形態においては、実施の形態２と同様の工程を経て、半導体基板ＳＵＢの主表面にｎ型領域ＮＲとＳＴＩとが形成される。

【００８９】

この後、半導体基板ＳＵＢの主表面上に、マイナスに帯電させたレジストパターンＰＲ５が形成される。このレジストパターンＰＲ５をマイナスに帯電させる工程には、たとえばフォトリソグにエレクトロンシャワーを照射する工程が含まれる。

【００９０】

このマイナスに帯電したレジストパターンＰＲ５をマスクとして半導体基板ＳＵＢの主表面にイオンが注入される。このイオン注入により、半導体基板ＳＵＢの主表面に、たとえばｐ型ウェルＰＷが形成される。この後、レジストパターンＰＲ４がたとえばアッシングなどにより除去される。

【００９１】

図３（Ａ）を参照して、上記のｐ型ウェルＰＷの形成方法と同様の方法により半導体基板ＳＵＢの主表面に、ｐ型ウェルＰＷと隣接するようにｎ型ウェルＮＷが形成される。この後、実施の形態１と同様の工程を経ることにより、半導体基板ＳＵＢの主表面にたとえばｎＭＯＳトランジスタＮＴなどの電子デバイスが形成される。これにより、図３（Ａ）に示す本実施の形態の半導体装置が製造される。

【００９２】

本実施の形態によれば、レジストパターンＰＲ５がエレクトロンシャワーの照射によりマイナスに帯電している。またイオン注入の際に半導体基板ＳＵＢに注入されるイオンは通常プラスイオンである。このため、イオン注入の初期段階では、クーロン引力によりイオンはレジストパターンＰＲ５に引き寄せられ、またレジストパターンＰＲ５に注入されたイオンが２次イオンとなってレジストパターンＰＲ５から放出されにくくなる。したがって、イオンはレジストパターンＰＲ５から外部へ出にくくなり、半導体基板ＳＵＢの主表面への２次イオンの注入が抑制される。

【００９３】

以上より本実施の形態においても、実施の形態 2 と同様、図 3 (B) に示すように、p 型ウェル P W の端部における p 型不純物の濃度分布の不均一さが図 4 (B) よりも改善される。これにより、ウェル近接効果の発生を抑制することが可能となる。

【 0 0 9 4 】

(実施の形態 6)

本実施の形態では、実施の形態 1 ~ 5 におけるイオン注入方法により改善された、図 3 (B) に示すようなイオンの不純物濃度プロファイルが透過型電子顕微鏡により計測されることで、ウェル近接効果が定量化される。

【 0 0 9 5 】

このように透過型電子顕微鏡を用いてウェル近接効果を定量化できるので、実施の形態 1 ~ 5 による改善効果をモニタすることができる。このモニタの結果、仮に改善効果が不足していた場合には、実施の形態 2 ~ 5 の条件を変更したり、実施の形態 2 ~ 5 の複数の形態を組み合わせる使用することができる。また、仮に改善効果が過剰であった場合には、改善効果が適切となるように、実施の形態 2 ~ 5 の条件を変更するなどして調整することができる。これにより、効果的にウェル近接効果を軽減でき、トランジスタの性能のバラツキを軽減することができる。

10

【 0 0 9 6 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

【産業上の利用可能性】

【 0 0 9 7 】

本発明は、レジストパターンをマスクとしたイオン注入工程を有する半導体装置の製造方法に特に有利に適用され得る。

【図面の簡単な説明】

【 0 0 9 8 】

【図 1】本発明の実施の形態 1 における半導体装置の製造方法でのイオン注入プロセスを示すフロー図である。

【図 2】本発明に係る実施の形態 2 における半導体装置の製造方法の第 1 工程を示す概略断面図である。

30

【図 3】本発明に係る実施の形態 2 における半導体装置の製造方法の第 1 工程を示す概略断面図 (A)、および (A) の一点鎖線 I I I B - I I I B に沿う p 型ウェルの p 型不純物濃度の分布を示す図 (B) である。

【図 4】反射防止膜が形成されず、かつレジストパターンのパターン端部が傾斜していない状態でイオン注入を行なう様子を示す図 (A)、および (A) の一点鎖線 I V B - I V B に沿う位置における p 型不純物濃度の分布を示す図 (B) である。

【図 5】モンテカルロシミュレーションを行った構造の概略断面図を示している。

【図 6】図 5 の構造における一点鎖線 V I A - V I A に沿う部分 (中央) と、一点鎖線 V I B - V I B に沿う部分 (端) の各々における深さ方向の濃度分布を示している。

40

【図 7】図 5 の構造における一点鎖線 V I I A - V I I B に沿う部分の横方向の濃度分布を示している。

【図 8】本発明の実施の形態 3 における半導体装置の製造方法を示す概略断面図である。

【図 9】本発明の実施の形態 3 における半導体装置の製造方法において、有機材料層 R E を R E L A C S 処理により形成する方法の第 1 工程を概略断面図である。

【図 10】本発明の実施の形態 3 における半導体装置の製造方法において、有機材料層 R E を R E L A C S 処理により形成する方法の第 2 工程を概略断面図である。

【図 11】本発明の実施の形態 3 における半導体装置の製造方法において、有機材料層 R E を R E L A C S 処理により形成する方法の第 3 工程を概略断面図である。

【図 12】本発明の実施の形態 3 における半導体装置の製造方法において、有機材料層 R

50

EをRELAES処理により形成する方法の第4工程を概略断面図である。

【図13】本発明の実施の形態4における半導体装置の製造方法を示す概略断面図である。

【図14】本発明の実施の形態5における半導体装置の製造方法を示す概略断面図である。

【符号の説明】

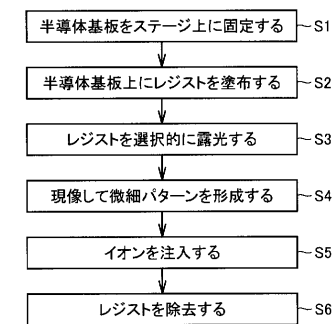
【0099】

BI 充填層、BK 反射防止膜、GE ゲート電極、GI ゲート酸化膜、HD 比較的高濃度の領域、LD 比較的低濃度の領域、NR n型領域、NT nMOSトランジスタ、PR, PR1, PR2, PR4, PR5 レジストパターン、PR3 有機材料、PW p型ウェル、RE 有機材料層、SC シリサイド層、SD ソース/ドレイン領域、SUB 半導体基板、SW 側壁絶縁層、TR トレンチ。

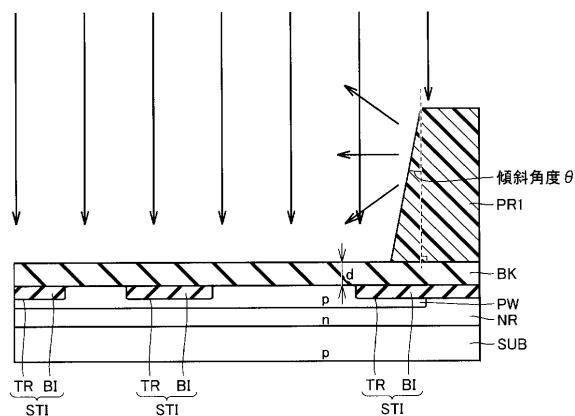
10

【図1】

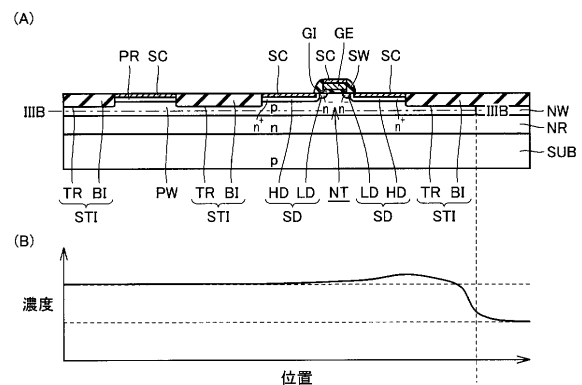
イオン注入プロセス



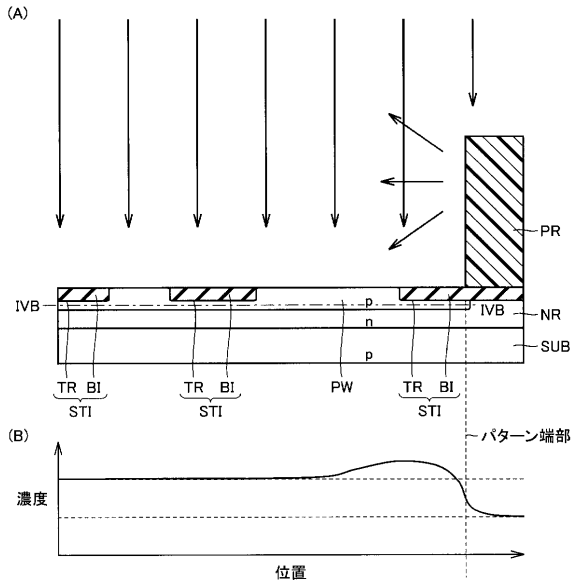
【図2】



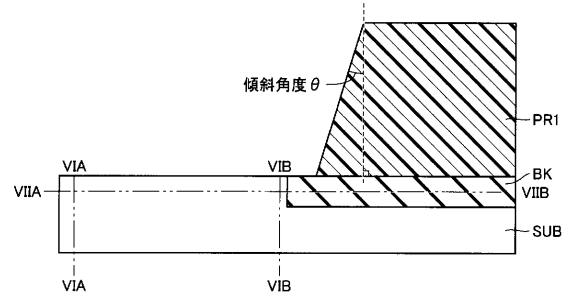
【図3】



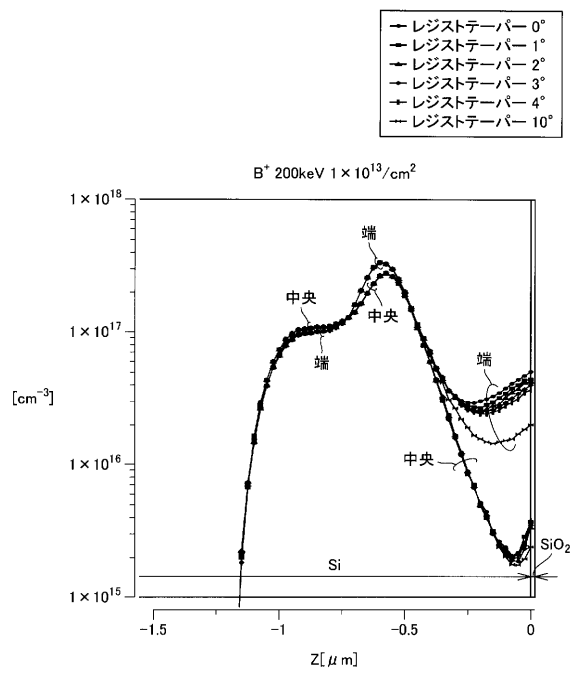
【図 4】



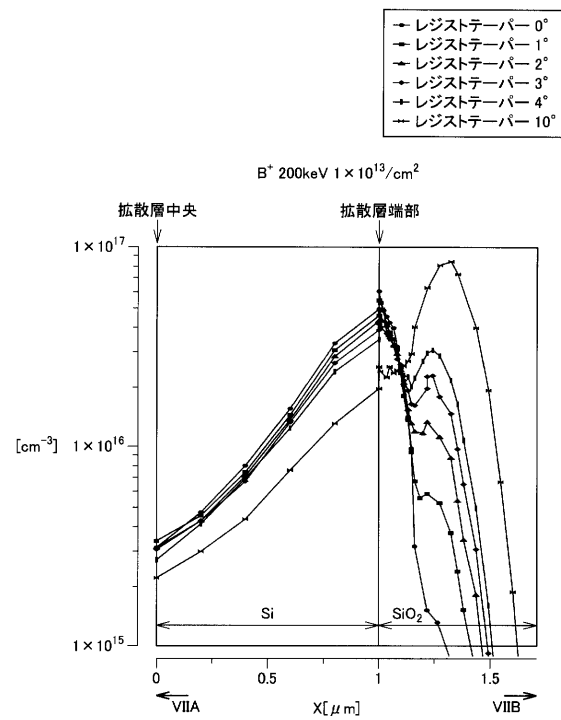
【図 5】



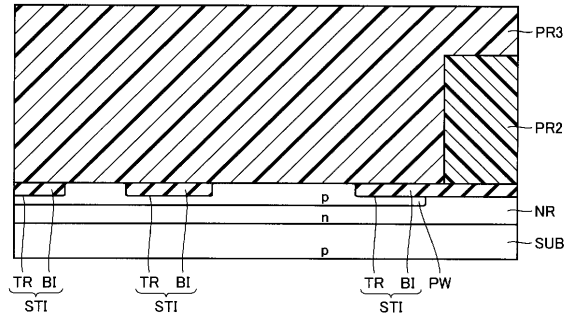
【図 6】



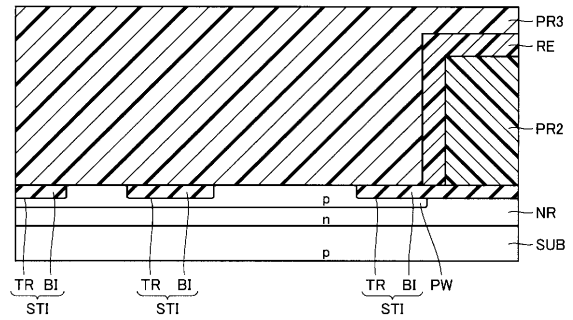
【図 7】



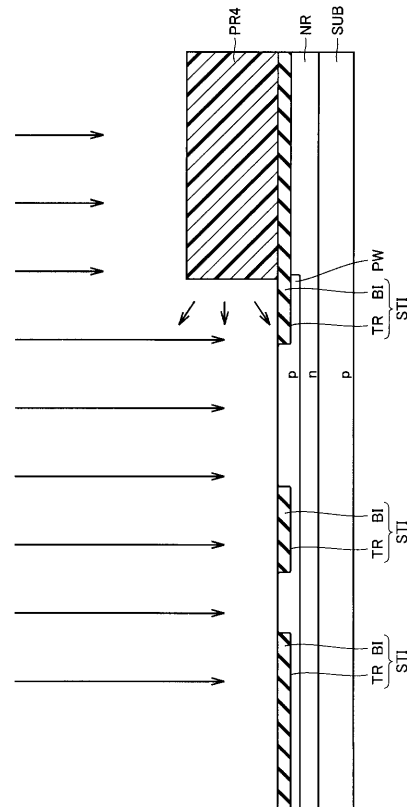
【 図 1 0 】



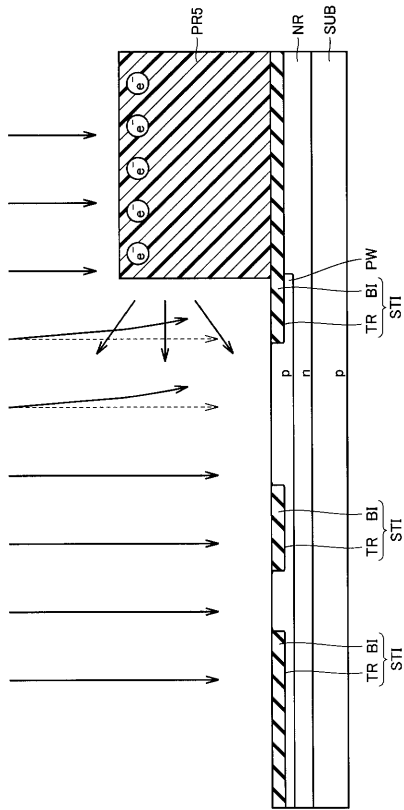
【 図 9 】



【 ㄨ 1 3 】



【図 14】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/08 3 3 1 D

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 加門 和也

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

Fターム(参考) 5F046 BA03 DA07 DA30 PA01

5F048 AA07 AC03 BA01 BA14 BB05 BB08 BB12 BC06 BE01 BE03

BE10 BF06 BF16 BG13 DA25

5F140 AA00 BF04 BF11 BF18 BG08 BG34 BG45 BH15 BJ01 BJ08

BK13 BK34 BK39 CB04 CB08 CE14 CF04