(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03M 1/66

(11) 공개번호 특1999-0077863
(43) 공개일자 1999년10월25일

(21) 출원번호 10-1999-0008532
(22) 출원일자 1999년03월13일

(30) 우선권주장 9805354.9 1998년03월14일 영국(GB)
(71) 출원인 샤프 가부시키가이샤 마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고
(72) 발명자 카이른스그래이함앤드류
영국 옥스포드 오엑스28엔에이치 커티슬로웨번클로스22
브라운로우마이클제임스
영국 옥스포드 오엑스44와이비 샌드포드온템스처치로드124
(74) 대리인 장수길, 구영창, 주성민

심사청구 : 있음

(54) 디지탈-아날로그 변환기

요약

본 발명은 병렬 디지탈 입력 신호를 대응하는 아날로그 출력 전압으로 변환하기 위한 디지탈-아날로그 변환기에 관한 것으로서, 상기 디지탈-아날로그 변환기는, 상기 디지탈 입력 신호를 수신하도록 구성된 입력; 상기 대응하는 아날로그 출력 전압을 출력하기 위한 출력; 및 상기 입력 및 상기 출력에 유기적으로 결합되어, 상기 출력 전압을 기준값에서 제1 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키기 위한 변환 수단을 포함하고, 상기 제1 값의 크기는 상기 디지탈 입력 신호의 값과 일치하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제1 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제1 값에서 다시 상기 기준값으로 이동한다.

또한, 병렬 디지탈 입력 신호를 대응하는 아날로그 출력 전압으로 변환하는 방법도 개시되어 있는데, 이 방법은, 상기 디지탈 입력 신호를 수신하는 단계; 및 상기 출력 전압을 기준값에서 제1 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키는 단계를 포함하고, 상기 제1 값의 크기는 상기 디지탈 입력 신호의 값과 일치하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제1 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제1 값에서 다시 상기 기준값으로 이동한다.

대표도

도7

색인어

디지탈-아날로그 변환기, 액티브 매트릭스 디스플레이, 데이타 라인, 주사 라인, 화소

명세서

도면의 간단한 설명

도 1의 (a) 및 (b)는 의사-단열 충전의 개념을 도시한 종래 기술의 회로를 도시한 도면.

도 2는 종래 기술의 액티브 매트릭스 LCD 및 연관된 구동 부품을 도시한 도면.

도 3의 (a), (b) 및 (c)는 LCD 화소의 극성을 변경하기 위한 종래 기술의 3가지 방법을 도시한 도면.

도 4는 액티브 매트릭스 디스플레이의 데이타 라인을 충전하는데 사용되는 종래 기술의 한번에 한 라인(line-at a time) 디지털 데이타 구동기의 내용을 도시한 도면.

도 5는 AMLCD 디지털 데이타 구동기에 사용될 수 있는 종래 기술의 전하-스케일링 디지탈-아날로그 변환기 회로를 도시한 도면.

도 6의 (a)는 ±3.75V의 전압으로 화소를 프로그램하는데 사용될 때 도 5의 종래 기술의 디지탈-아날로그 변환기의 데이타 라인 전압을 도시한 도면.

도 6의 (b)는 ±3.75V의 전압으로 화소를 프로그램하는데 사용될 때 도 5의 종래 기술의 디지탈-

아날로그 변환기의 순간적인 전력 소모를 도시한 도면.

도 7은 2단계 의사-단열 데이타 라인 충전 및 방전을 수행하는 4비트 전하-스케일링 디지탈-아날로그 변환기의 형식인 본 발명의 제1 실시예를 도시한 도면.

도 8은 상기 제1 실시예에서 사용되는 (다른 표준 액티브 매트릭스 신호에 대해) 4개의 클럭 신호의 타이밍을 도시한 도면.

도 9의 (a)는 상기 제1 실시예의 디지탈-아날로그 변환기를 사용하여 풀-스케일 LC 스위칭에 대한 스텝된 데이타 라인 충전 및 방전을 도시한 도면.

도 9의 (b)는 데이타 라인의 집중 데이타 라인 저항 R1에서의 순간적인 전력 소모를 도시한 도면.

도 10은 4단계 의사-단열 데이타 라인 충전 및 방전을 수행하는 4비트 전하-스케일링 디지탈-아날로그 변환기의 형식인 본 발명의 제2 실시예를 도시한 도면.

도 11은 상기 제2 실시예에 의해 사용되는 (다른 표준 액티브 매트릭스 신호에 대해) 8개의 클럭 신호의 타이밍을 도시한 도면.

도 12의 (a)는 상기 제2 실시예를 사용하여 풀-스케일 LC 스위칭에 대한 스텝된 데이타 라인 충전 및 방전을 도시한 도면.

도 12의 (b)는 집중 데이타 라인 저항 R1에서의 순간적인 전력 소모를 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

스위치 S_1, S_2 및 S_3

10 : 액티브 매트릭스 디스플레이

12 : 데이타 라인

14 : 데이타 라인 구동기

16 : 주사 라인

18 : 주사 라인 구동기

20 : 화소

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지탈-아날로그 변환기에 관한 것으로, 특히, 배타적이지는 않지만, 박막 트랜지스터계(TFT계) 액티브 매트릭스 액정 디스플레이(AMLCDs)와 같은 박막 디스플레이 패널을 제어하는데 사용하기 위한 디지탈-아날로그 변환기에 관한 것이다.

본 발명은, 예를 들면, 병렬 RGB 비디오 데이타가 공급되고 D/A 변환의 임무를 수행하는 저전력 디스플레이 패널의 구동기 회로, 및 디지털 휴대용 장치의 구동기 회로에 사용될 수 있다.

충전 용량성 부하와 관련된 전력을 특정 전압 레벨로 최소화시키기 위해 이른바 '의사-단열 충전(quasi-adiabatic charging)'을 실행하는 것이 공지되어 있다. 이러한 스킴의 응용은 A. Chandrakason and R. Brodersen, Low Power Digital CMOS Design, Kluwer Academic Publishers, 1995; 및 미국 특허 제5,474,526호에 기술되어 있다. 의사-단열 충전의 원리가 지금부터 간략하게 설명될 것이다.

도 1의 (a)는 두개의 스위치 S_1 및 S_2에 직렬로 접속된 캐패시터 C 및 저항 R을 도시한다. 캐패시터는 초기에 방전되고 S_1 및 S_2 모두가 개방되는 것으로 가정하면, 캐패시터의 플레이트 모두는 접지되어 전위가 0이 된다. S_1이 전압 공급 V에 접속된다. S_1이 폐쇄될 때, 캐패시터는 시간 상수 RC에 따라 전압 V로 충전된다. 평형에 도달할 때, 저항을 통해 흘러서 바로 캐패시터에 축적되는 총 전하는 CV이다. 충전 절차 동안에, 저항 양단의 전압 강하는 V에서 0볼트로 변하고, (캐패시턴스가 선형인 것으로 가정하면) V/2의 평균치를 갖는다. 따라서, 저항에서 소모되는 에너지는 $CV^2/2$이다. 캐패시터가 방전될 때, S_1을 개방하고 S_2를 폐쇄함으로써, 동일한 에너지량이 저항에서 소모된다. 충전 및 방전 위상이 주파수 f에서 수행되면, 저항에서 소모되는 전력은 CV^2f이다.

도 1의 (b)는 동일한 RC 부하, 즉 스위치 S_1, S_2 및 S_3에 의해 각각 3개의 기준 전압 V, V/2 및 접지중 하나에 접속되는 시간을 도시한다. 초기에, 캐패시터는 방전되고 모든 스위치는 개방된다. S_2가 폐쇄될 때, 캐패시터는 V/2로 충전되고 소모 에너지는 $CV^2/8$이다. S_2가 개방되고, S_1이 폐쇄되고, 또한 $CV^2/8$이 소모된다. 스위치의 동작을 제어함으로써 캐패시터가 V/2 및 접지로 방전되면, 여분의 소모 에너지는 $CV^2/4$이다. 스텝된 충전 및 방전 위상이 주파수 f에서 반복되면, 시스템의 ㅊ총 전력 소모는 $CV^2f/2$이다. 이는 도 1의 (a)의 시스템에 비해 1/2 전력량이다.

캐패시터의 충전 및 방전이 N개의 동일 전압 단계에서 각각 수행될 때, 주파수 f에서 전력 소모는 CV^2f/N이다. 사실, N의 한계로 극소의 작은 전류가 각각의 충전 및 방전 사이클 동안에 흐르고 시스템에서 전력은 소모되지 않고, 캐패시터는 단열적으로 충전 및 방전된다고 한다.

본 개시에서, 스텝된 충전(및 방전)은 의사-단열 충전(및 방전)이라 한다. 의사-단열 충전의 기술은 분명하게 전력 소모를 감소시킨다. 그러나, 여러 단계에서 부하를 충전함으로써 발생되는 시간 장애 때문에 응용하는데 제약이 따르는 것으로 밝혀졌다. 더욱이, 여분의 기준 전압 및 스위치가 있다(실제로는, 그들 자신이 전력을 소모함).

도 2는 A. Lewis and W. Turner, Driver circuits for AMLCDs, Journal of the Society for Information Display, pages 56-64, 1995에 개시된 N행 및 M열의 화소(20)를 구비하는 전형적으로 공지된 액티브 매트릭스 디스플레이(10)를 도시한다. 이는 아날로그 데이타 전압을 액정(LCD) 화소의 전극들에 제공하는 데이타 라인 구동기(14) 및 주사 라인 구동기(18)의 조합 기능이다. 이는 다음과 같이 단일행의 화소에 대해 실현된다.

데이타 구동기(14)는 디스플레이될 화소 데이타의 라인을 '판독'하고 데이타 라인(12)을 대응하는 화소 전압으로 충전 상승시킨다. 적절한 주사 라인(16)은 화소 TFT(24)의 적절한 행이 스위치 온되도록 활성화된다. 화소 TFT(24)는 각각의 전압이 동일할 때까지 데이타 라인(12)으로부터의 전하를 화소 축적 캐패시턴스로 이송한다. 이 때, 주사 라인(16)은 비활성화되고 화소 TFT(24)의 행은 높은 임피던스 상태로 복귀한다. 상기 동작은 디스플레이(10)에서 화소(20)의 각 행에 대해 반복된다.

전형적인 액정셀은, 이온 드리프트로 DC 전압이 액정을 적당히 스위칭시키는 것을 방지하기 때문에 구동될 필요가 있다. 액티브 매트릭스의 AC 구동은, 일반적으로 (대향하는) 공통 액정(LC) 단자의 전위를 일정하게 유지하면서 연속적인 화상 프레임 동안에 데이타 라인 신호중 하나에 의해 실현된다. 제2 방법은 공통 카운터 전극 전위의 반전 및 연속적인 화상 프레임 동안에 데이타 라인값의 반전을 포함한다. 디스플레이 플리커를 방지하기 위해, 각각의 프레임 동안에, 화소의 절반이 양성의 전압에 의해 구동되고, 화소의 절반은 음성의 전압에 의해 구동된다. 도 3은 화소를 두 그룹으로 분할하는 다른 방식을 도시한다. 도 3의 (a)에는, 열 반전이 도시되어 있다. 이 스킴은 디스플레이 플리커를 감소시키기 위한 가장 우수한 것이 아니라는 것이 연구 결과로 나타났다. 예를 들면, Y. Hirai and S. Kaneko, 13 inch EWS high resolution display with improved display quality by dot inversion drive, Nikkei Micro-Device Flat Panel Display 1993, 페이지 120-123을 참조한다. 도 3의 (b)는 플리커 문제에 대해 개선시키는 행 반전을 도시하지만, 화상 '고스팅(ghosting)'에 귀착하는 일부 누화 결과를 초래한다. 상술된 Hirai 및 Kaneko 참조에서 나타나 있듯이, 플리커 및 누화 모두를 감소시키기 위한 가장 우수한 스킴은 도 3의 (c)에 도시되어 있는 화소 반전(또한 도트 반전이라 공지됨)이다.

AMLCD 장치의 액티브 매트릭스내의 전력 소모는 매트릭스를 어드레스하는 데이타 및 게이트 라인을 통해 (TFT 게이트 캐패시턴스, 화소 축적 캐패시턴스 및 기생 기판, 중첩 및 프린지 캐패시턴스를 포함하는) 분산된 용량성 부하의 충전 및 방전과 관련이 있다. MxN=1024x768 화소 및 행 또는 열 반전을 사용하는 60Hz의 프레임 속도 f를 갖는 전형적인 10인치 대각선 XGA 디스플레이의 데이타 및 게이트 라인에 소모되는 전력은 아래와 같이 계산된다. 전형적인 데이타 라인의 캐패시턴스를 100pF이라 하고, 전형적인 데이타 라인의 과도 전압(액정(LC)이 완전히 스위칭된다고 하면)이 8V(즉, -4V 내지 +4V)로 하면, 데이타 라인의 전력 소모는 $P_{d1}=M\frac{cv^2}{2}fN=1024X\frac{100X10^{-12}X8^2}{2}X768X60=151mw$ 이다. 전형적인 게이트 라인 캐패시턴스를 200pF이고, 전형적인 게이트 라인의 과도 전압은 20V로 하면, 게이트 라인의 전력 소모는 $Pg1=NCV^2f=768x200x10^{-12}x20^2x60=3.68mW$이다.

게이트 라인의 보다 높은 캐패시턴스 부하 및 전압에도 불구하고, 데이타 라인의 충전(및 방전)과 관련된 전력 소모는 분명하게 가장 중요한 성분이다. 따라서, 이 전력 소모를 감소시키기 위한 편리한 방법이 바람직하다.

발명이 이루고자하는 기술적 과제

본 발명에 따르면, 상기 디지털 입력 신호를 수신하는 단계 및 상기 출력 전압을 제1 값에서 제2 값으로 이동시키는 방법을 포함하되, 상기 제2 값은 상기 디지털 입력 신호와 대응하고 상기 출력 전압은 하나 이상의 중간값을 거쳐 적어도 두개의 단계에서 상기 제1 값에서 상기 제2 값으로 이동되는, 디지털 입력 신호를 대응하는 아날로그 출력 전압으로 변환시키는 방법이 제공된다.

단일 단계 보다는 오히려 두 이상의 단계에서 상기 출력 신호를 출력하는 장점은, 상기 출력 전압이 용량성 부하에 접속되면, 용량성 부하는 의사-단열적으로 충전 또는 방전될 것이라는 것이다.

다시 액티브 매트릭스 데이타 라인 구동기 회로에 적용될 때 본 발명의 그다지 명백하지 않은 장점으로는 픽쳐 품질이 개선되는 것이다. 데이타 라인이 더이상 고속-변경 과도 전압을 갖지 않아 데이타 라인 간의 누화가 감소되기 때문에 개선되는 것이다.

본 발명의 한 실시예에 따르면, 상기 출력 전압의 상기 제1 및 제2 값의 크기는 상기 디지털 입력 신호의 값에 대응하고, 상기 출력 전압의 상기 제1 및 제2 값은 대향 극성으로 된다.

본 발명의 실시예는, 예를 들면, 상기 출력 전압이 AMLCD의 데이타 라인에 인가되는 경우에 유용하다.

본 발명의 대체적인 실시예에서, 상기 출력 전압의 상기 제1 값은 상기 디지털 입력 신호의 상기 값을 즉시 계속 진행시키는 상기 디지털 입력 신호의 즉각적인 진행값에 대응한다.

본 발명은, 또한 디지탈-아날로그 변환기가 상기 디지털 입력 신호를 수신하도록 배치된 입력부, 상기 대응하는 아날로그 출력 전압을 출력하기 위한 출력부, 및 상기 출력 전압을 상기 제1 값에서 상기 제2 값으로 이동시키기 위한 변환 수단을 포함하며, 상기 방법을 실행하도록 배치된 디지탈-아날로그 변환기를 제공한다.

상기 입력부는 복수의 이진-가중 캐패시터를 포함할 수 있다.

디지탈-아날로그 변환기는 또한 피드백 캐패시터가 제공되는 연산 증폭기를 포함할 수 있고, 상기 연산 증폭기는 상기 이진-가중 캐패시터 및 상기 피드백 캐패시터 간에 이송되는 전하량에 따라 상기 출력 전압을 변경시킬 수 있다.

각각의 이진-가중 캐패시터는 상기 디지털 입력 신호의 대응하는 비트값에 따라 활성화되는 각각의 비트 스위치에 의해 기준 전압에 접속될 수 있다.

이 경우에, 각각의 비트 스위치는 하나 이상의 기준 스위치와 직렬로 접속되며, 그들 자신들은 상호 병렬로 접속되되, 각각의 기준 스위치는 연관 클럭 신호에 의해 활성화되어 대응하는 이진-가중 캐패시터를 상기 기준 전압에 접속하는 것을 제어한다.

각각의 이진-가중 캐패시터는 연관 클럭 신호에 따라 활성화되는 적어도 하나의 제2 공급 스위치에 의해 제2 공급 전압에 접속될 수 있다.

상기 기준 스위치 및 상기 제2 공급 스위치는 상기 기준 및 상기 제2 공급 전압의 소정의 고정값, 및 각각의 상기 비트 스위치의 소정의 위치에 대해, 상기 피드백 캐패시터의 전하는 상기 제1 및 제2 전하값의 중간에 놓이는 제3 전하값을 거쳐 상기 출력 전압의 상기 제1 및 제2 값에 각각 대응하는 제1 전하값 및 제2 전하값 간의 스텝-형 방식으로 변한다.

상기 디지털 입력 신호의 최상위 비트는 상기 출력 전압에서 상기 단계를 생성하기 위해 서로 다른 시간에서 충전되거나 방전되도록 배치된 둘 이상의 캐패시터로 표현될 수 있다.

상기 출력 전압은 다른 이진-가중 캐패시터중 적어도 일부로부터 다른 시간에서 이진-가중 캐패시터 또는 상기 디지털 입력 신호의 최상위 비트에 대응하는 캐패시터를 충전 또는 방전시킴으로써 상기 단계에서 이동될 수 있다.

상기 출력 전압은 n개의 단계에서 상기 제1 값에서 상기 제2 값으로 이동될 수 있고, 상기 이진-가중 캐패시터는 n개의 중첩되지 않은 클럭 신호에 의해 제어될 수 있다.

본 발명은 또한 화소 스위치를 거쳐 데이타 라인에 접속되는 화소 전극이 각각 제공된 복수의 픽쳐 소자(화소)를 포함하되, 상기 데이타 라인은 상술된 바와 같이 디지탈-아날로그 변환기의 출력부에 접속된다.

발명의 구성 및 작용

지금부터, 본 발명의 바람직한 실시예가 첨부한 도면을 참조하여 예로써만 설명될 것이다.

전형적인 종래 기술의 디지털 데이타 구동기(14)(도 2 참조)의 내용은 도 4에 도시되어 있다. 디지털 구동기 스킴은 정상적으로 한번에 한 라인 구동을 사용하여 일반적으로 래치에 근거한 두개의 라인 메모리를 포함한다. 디지털 비디오 데이타는 전형적으로 n비트 병렬 RGB 포맷으로 통신된다. 데이타 비트가 도달함에 따라, 입력 레지스터(32)에 의해 샘플화된다. 일단 전체 라인이 샘플화되고 임시 저장되면, 입력 레지스터(32)의 내용은 다른 기억 레지스터(34)에 이송된다. 이 레지스터(32)는 디지탈-아날로그 변환기(36)에 사용된다.

사용되는 디지탈-아날로그 변환기의 유형은 액티브 매트릭스의 크기 및 컬러/그레이-스케일 해상도에 상당히 의존한다. 소형 화면 디스플레이인 경우, 디지탈-아날로그 변환기는 데이타 라인(12)(도 2 참조)를 직접 접속시켜, 간단한 전하 공유에 의해 충전시킬 수 있으나, 보다 높은 성능의 디스플레이인 경우, 부가된 버퍼(38)를 통해 데이타 라인(12)을 충전시킨다. 대부분 공통적으로 사용되는 디지탈-아날로그 변환기는 Y. Matsueda, S. Takenaka, T. Ozawa, S. Fujikawa, T. Nakazawa, and H. Ohshima, Low temperature poly-Si TFT-LCD with integrated 6-bit digital data drivers. Society for information Display 96 Digest, 페이지 21-24, 1996에 개시된) 병렬 변환기 및 램프 변환기이다.

도 5는 P. Allen and D. Holberg. CMOS Analog Circuit Design. Harcourt Brace Jovanovich College Publishers, 1987에 개시되고 미국 특허 제5,453,757호의 AMLCD 구동에 대해 제안된 종래 기술의 4비트 전하-스케일링 디지탈-아날로그 변환기를 도시한다.

도 5의 회로는 연산 증폭기(39)의 반전 입력부에 병렬로 접속되고 다른 입력부는 접지일 수 있는 전압 Vm에 접속되는 C/2, C/4, C/8 및 C/16을 갖는 4개의 이진-가중 캐패시터(37)를 포함한다. 디지털 입력 신호는 도 5에 b(0) 내지 b(3)으로 표현된 4개의 논리 비트로 구성된다. 피드백 캐패시터(41)는 도 5에 도시된 바와 같이, 연산 증폭기(39)의 출력부 및 반전 입력부 간에 접속된다. 각각의 이진-가중 캐패시터(37)의 좌측 단자는 제1 클럭 펄스 ck1 동안에 폐쇄되는 제1 스위치(40)에 의해 기준 전압 v_r에 접속되고, (중첩되지 않은) 제2 클럭 펄스 ck2 동안에 폐쇄되는 제2 스위치(42)에 의해 전압 v_m에 접속된다. 더욱이, 상기 제1 스위치(40)의 각각은, 대응하는 디지털 비트, b(0) 내지 b(3)이 각각 논리 상태 '1' 또는 '0'일 때 폐쇄되거나 또는 개방되는 각각의 디지털 비트 스위치(44)와 직렬로 접속된다.

더욱이, 스위치(46 및 48)는 피드백 캐패시터(41)를 방전시키고 연산 증폭기의 출력 전압 v_0을 각각 클럭 펄스 ck1 및 ck2 동안에 부하에 접속시키기 위해 제공된다. 부하 저항값 및 캐패시턴스는 R1 및 C1으로 표현된다. 회로는 2-위상 비중첩 클럭 신호, ck1 및 ck2를 필요로 하고, 다음과

같이 변환을 수행한다. ck1 동안에, 연산 증폭기(39)의 피드백 캐패시터(41)는 부하 캐패시턴스 c1과 같이 방전된다. 이 동일한 클럭 위상 동안에 이진-가중 캐패시터(37)의 좌측 단자는 디지털 비트, b(0) 내지 b(3)의 논리 상태에 따라 전압 v_r로 선택적으로 충전된다. ck2 동안에, 캐패시터(37)의 좌측 단자는 전위 v_m으로 취해진다. 이는 모든 이진-가중 캐패시터(37)상에 축적된 전하를 피드백 캐패시터(41)에 이송하는 효과를 갖는다. ck1 및 ck2 위상의 총 전하를 동일시함으로써, 연산 증폭기(39)의 출력 전압, v_o은 수학식 1과 같이 간단하게 표시된다.

$$v_r = \frac{(v_r - v_m)}{16} \sum_{i=0}^{3} 2^i b(i)$$

상기 개시된 본 발명의 실시예는 도 5에 도시된 디지탈-아날로그 변환기의 유형에 근거한다.

도 7 및 도 10에 도시된 본 발명의 실시예를 설명하기 전에, 종래 기술의 디지탈-아날로그 변환기에 의해 소모되는 에너지는 계산되어 도 7 및 도 10의 회로가 비교될 수 있는 벤치마크 전력 소모 추정치를 제공할 것이다.

액티브 매트릭스 데이타 라인 부하는 도 5에 도시된 간단한 집중 RC 소자로서 모델화된다. 부하 저항값 R1은 데이타 라인(12)(도 2 참조)의 저항값과 동일하다. 부하 캐패시턴스 C1은 TFT 게이트-소오스 중첩 캐패시턴스뿐만 아니라 데이타 라인 기생 캐패시턴스(기판, 주사 라인들의 중첩, 및 프린지 효과)로부터 발생한다. 100pF의 값이 높지만, 대용량 고해상도 디스플레이에 대해서는 합당하다.

도 6의 (a)는 회로 동작 동안에 도 5의 회로에서 몇몇 지점에 대한 전압을 도시한다. v_r은 LC 기준 전압이고 v_o는 연산 증폭기(39)의 출력부에서의 전압이고, v_l은 데이타 라인 전압을 나타낸다. 기준 전압 v_r은 (행 반전 또는 화소 반전에 대한) 매 라인 주기마다 +4V 및 -4V 사이에서 변동하고 풀-스케일 D/A 변환의 한계를 정의한다. 모든 입력 비트, b(0) 내지 b(3)는 1로 설정된 것으로 하면, 연속하는 각각의 라인 주기 동안에 (15/16)x4V=3.7V 및 -3.75V 사이에서 흔들린다. 도 6의 (b)는 이들 전압 천이중 하나 동안에 부하 저항값 R1에서 소모되는 시뮬레이트된 전력을 도시한다. 전력 곡선하에서 영역이 소모하고 한정하는 에너지는 수학식 2과 같이 제공되고 C1=100pF 및 v_r=4V인 경우 2813pJ의 값을 갖는다.

$$E = 1/2CV^2 = 1/2C1(2X(15/16)V_r)^2 = 1.76C1V_r^2$$

이는 라인 주기(즉, v_r이 변하는 간격)가 20㎲이면(도 6 참조), XGA 디스플레이의 1024 데이타 라인이 거의 $(2813\times10^{-12}\times1024)/(20\times10^{-6})$=144mW을 소모한다는 것을 나타낸다. 도 5에서, 연산 증폭기(39)를 데이타 라인(12)에 접속시키는 스위치(48)를 제거하는 것은 데이타 라인(12)이 ck1 위상 동안에 전압 vm로 리셋된다는 것을 의미한다는 것을 알아야 한다. 따라서, 데이타 라인 충전은 각각의 라인 주기 동안에 v_m 중간-지점으로부터 발생하여, 충전 전력은 감소된다. 그러나, (가능한 매우 다른 회로 아키텍쳐를 갖는) 많은 액티브 매트릭스 버퍼된 디지탈-아날로그 변환기에서, 데이타 라인(12)은 일반적으로 리셋되지 않는다. 따라서, 본 발명의 실시예의 전력 소모를 도 5의 데이타 라인 스위치(48)가 위치한 경우에 대해 계산된 전력 소모와 비교하는 것이 바람직하다.

본 발명의 두가지 실시예가 도 7 및 도 10에 도시되어 있다. 회로 모두는 본 발명이 이러한 용도에 한정되지 않지만 회로의 바람직한 응용인 액티브 매트릭스 데이타 라인 구동에 사용되는 것으로 고려된다. 제1 실시예는 2단계 의사-단열 충전 및 방전을 일체화하는 4비트 디지탈-아날로그 변환기이고, 제2 실시예는 4단계 의사-단열 충전 및 방전을 일체화하는 4비트 디지탈-아날로그 변환기이다. 발명의 개념이 임의의 해상도(즉, 임의의 수의 비트 또는 단계)의 디지탈-아날로그 변환기에 적용될 수 있다는 것을 알아야 한다.

도 7은 본 발명의 제1 실시예를 도시한다. 이는 2단계에서 부하 캐패시턴스를 충전 및 방전시키는 4비트 전하-스케일링 디지탈-아날로그 변환기이다. 도 5의 회로에서의 유사한 부분에 대응하는 도 7의 회로 일부는 동일한 참조 번호가 제공되었다. 4개의 이진-가중 캐패시터(37) 및 복수의 스위치(40, 42, 44, 50 및 52)를 포함한 이진-가중 캐패시터 어레이는 도 5에 도시된 것과 유사하다. 주된 차이는 값 C/2의 최상위 비트(MSB) 캐패시터(37)에 접속된 스위치에 관련이 있다. 어레이에서의 보다 작은 캐패시터(37)처럼, 이 캐패시터는 이 경우에 MSB 논리 비트 b(3), 클럭 펄스 ck1에 의해 제어되는 두개의 직렬-접속된 스위치(44 및 40)를 거쳐 기준 전압 v_r에 접속된다. 이 스위치(44 및 40)는 클럭 위상 ck1 동안에 b(3)의 논리 상태가 하이이면 MSB 캐패시터 C/2의 좌측 캐패시터 플레이트가 전위 v_r로 상승되는 것을 보장한다. MSB 캐패시터 C/2의 좌측 캐패시터 플레이트는 또한 ck3에 의해 제어되는 제3 스위치(50)에 의해 v_m에 접속된다. 이 스위치(50)는, C/2의 좌측 단자가 제3 클럭 펄스 ck3 동안에 캐패시터상의 임의의 전하가 피드백 캐패시터(41)에 이송된다는 것을 의미하는 전위 v_m에 접속되도록 한다. vr은 또한 제4 클럭 펄스 ck4에 의해 제어되는 제4 스위치(52)와 관련하여 b(3) 데이타 신호의 작용에 의해 MSB 캐패시터 C/2의 좌측 단자에 접속될 수 있다. 또한 도 7에 도시된 것은 화소 TFT(도 2 참조)를 나타내고, 주사 신호 S에 의해 제어되는 주사 스위치(54) 및 화소 축적 캐패시턴스를 나타내는 추가된 부하 캐패시턴스 Clc이다.

도 7의 디지탈-아날로그 변환기의 동작은 도 8에 도시된 총 4개의 비중첩 클럭 신호(ck1 내지 ck4)를 필요로 한다. 도 8은 또한 회로의 동작에 포함된 다른 신호의 타이밍을 도시하고, 이들 신호들은 이하 설명된다. 도 7의 디지탈-아날로그 변환기의 동작은 다음과 같이 풀-스케일 변환(즉, 모든 4개의 입력 논리 비트가 논리 상태 '1'과 동일하며, 이하 b(0:3)='1111'로 표현됨)로 진행한다.

클럭 펄스 ck1 동안에, 이진-가중 캐패시터(37)는 전압 v_r-v_m으로 선택적으로 충전된다. 모든 입력 데이타 비트(b(0) 내지 b(3))가 이 경우에 하이이기 때문에, 모든 캐패시터(37)는 충전된다. 동시에, 연산 증폭기(39)의 피드백 캐패시터(41)의 단자들은 단락되어, 전압 v_m으로 변하는 데이타 라인 전위 v_1에 귀착한다(연산 증폭기(39)의 출력 전압 v_o이 v_m이 되기 때문임).

클럭 위상이 ck2인 동안, 캐패시터들 C/4, C/8 및 C/16의 좌측 단자들은 v_m에 접속된다. 이에 따라, 이들의 결합된 전하가 피드백 캐패시터(41)에 전달되고, 상대적인 캐패시터 사이즈들로 인해, v_o (연산 증폭기(39)의 출력)는 7/16 Volts가 된다. 이것은 상기에 주어진 v_o에 대한 공식을 따른다 (비록 b(0:3) = '1111'이더라도, 처음 3개의 캐패시터들만이 ck2 동안 방전되어, 수식 상으로, b(0:3) = '1110'으로 고려할 수 있다.). 데이타 라인 전압 v_1은 출력 전압 v_o를 따라가지만, 시간 상수 R1(C1 + C1c) 만큼 지연된다. 이것이 제1 데이타 라인 충전 단계이다.

ck3이 하이이면, MSB 캐패시터 C/2의 좌측 단자가 v_m에 접속된다. 이것은 추가의 전하가 피드백 캐패시터(41)에 분기되도록 유발하고, 연산 증폭기(39)의 출력 전압 v_o이 15/16(v_r-v_m) Volts로 변하도록 유발한다. 이것이 제2 충전 단계이고, 데이타 라인 전압 v1은 이 새로운 출력 레벨을 따라간다.

상술한 처음 세개의 클럭 위상들 동안, 스캔 라인 신호 S는 액티브로 되어 (즉, 스위치(54)가 폐방됨) 픽셀 캐패시턴스 C1c를 가로지른 전압 v_p은 방전 개시 전에 단순히 데이타 라인 전압 v_1을 복재한다. 중요한 그 다음 단계는 스캔 라인 S의 전이와, 이에 따른 스위치(54)의 개방 단계이고, 이에 따라 픽셀 저장 캐패시턴스 C1c가 방전을 개시하기 전에 데이타 라인 전압 v_1을 래치한다.

제4 클럭 펄스 ck4가 하이로 되면, MSB 캐패시터 C/2의 좌측 단자가 다시 v_r 신호에 접속된다. 이것은 전하량 (C/2(v_r-v_m)과 같음)이 피드백 캐패시터(41)로부터 다시 MSB 캐패시터 C/2(최상위 비트 b(3)가 여전히 하이임)에 '당겨지도록' 유발한다. 출력 전압 v_o은 7/16(v_r-v_m) Volts로 다시 하강하고, 데이타 라인은 1/2(v_r-v_m) 만큼 방전된다. 이것이 제1 방전 단계이다.

ck1이 다시 하이로 되면, 2진-가중 캐패시터들(37)이 반대 극성으로 충전된다. 또한, 클럭 위상이 ck1인 동안 피드백 캐패시터(41)의 단락은 제2 데이타 라인 방전 단계가 이 데이타 라인이 반대 극성으로 충전되기 전에 완료되는 것을 보장한다. 상기 시퀀스의 동작들은 다음번 라인 주기 동안 반대 극성의 기준 전압 v_r' (도 8을 본다)을 사용하여 반복된다.

도 8은 제어 신호들의 타이밍을 나타낸다. VSYNC와 HSYNC 펄스들은 각각 프레임과 라인 주기들의 시작을 알린다. S1, S2, 및 S3은 제1, 제2, 및 제3 스캔 라인들의 스캔 신호들이다 (즉, 각각의 데이타 라인의 스위치들(54)을 제어하는 신호들임). SAMPLE 신호는 단순히 문제의 디지탈-아날로그 변환기의 컬럼 구동기에 대한 데이타가 전송되는 (그리고, 이에 따라 입력 레지스터에 의해 샘플링됨 -도 4를 참조함) 때를 나타낸다. 컬럼 구동 신호 SAMPLE는 데이타 구동 주기를 따라 웨이의 대략 2/3에 위치됨이 명백하다. 클럭 신호들 ck1 내지 ck4은 데이타 구동기(14) 내의 모든 디지탈-아날로그 변환기들의 동작을 제어하는 4-위상 비중첩형 클럭 신호들이다. v_r은 상술한 바와 같이 디지탈-아날로그 변환기의 기준 전압이고 LC 픽셀들의 로우 반전을 위해 라인 타임의 주기로 변화한다. 픽셀 반전을 위해, 상보의 v_r' 신호가 또한 필요하며, 이것은 기준 전압 vr 대신에 번갈아 컬럼 구동기에 라우트된다.

스캔 라인 신호들 (S_1, S_2, S_3 등), 기준 전압들(v_r, v_r'), 클럭 신호들(ck1 내지 ck4), 및 데이타 비트 신호들(b(0) 내지 b(3))은 세심한 제어를 필요로 한다. 첫번째 제약은, 도 8의 하단에 표시한 것과 같이,입력 레지스터(32)로부터의 데이타 비트들이 라인 타임의 종료시에 저장 레지스터(34)에 전송되어야 한다는 것이고, 이에 따라서, 이 라인 주기 내에 클럭 신호들 ck1, ck2, ck3, 및 ck4는 모두 액티브이다. 또한, 스캔 라인 신호들 (S1, S2, S3)은, 제4 클럭 위상 ck4 전에 스캔 신호들이 강하되고 데이타 라인 전압을 래치하도록, (통상의 한번에 한 라인의 스캔 신호와 비교하여) 하나의 클럭 위상 주기 만큼 앞서도록 초래된다. 이것은, 상술한 바와 같이, 데이타 라인 전압 v_1이 피크치 (클럭 위상 ck3인 동안 달성됨)인 동안 그리고 제4 클럭 펄스인 ck4 동안 발생하는 제1 방전 단계 이전에 픽셀 저장 캐패시턴스 C1c가 데이타 라인 전압 v1으로부터 (개방 스위치(54)에 의해 - 즉, 스위치(54)로 나타낸 TFT를 스위칭 오프함으로써) 개방되어야 하기 때문에 중요하다.

클럭 신호들 ck1 내지 ck4의 발생은 영국 특허 출원 제 9706941.3호에 개재된 바와 같이 할당된 시프트 레지스터 제어기를 사용하여 달성될 수 있다. 이것은 디스플레이 트랜지스터들로서 동일 기판 상에 제공되는 통합적으로 집적된 데이타 드라이버들(monolithically-integrated data drivers)에 특히 편리한다.

도 9의 (a)는 도 7에 도시된 전압들 v_1, v_o, v_p, 및 v_r의 시뮬레이션 트레이스를 나타낸다. 이 시뮬레이션에서 v_m = 0V이다. 이 시뮬레이션에서 라인 타임 (즉, v_r이 변화하는 시간 간격)은 XGA

디스플레이들에서 통상적인 바와 같이 20㎲이다. 2-단계 데이타 라인 충전 및 방전은 v_1 트레이스에서 명백히 알 수 있다. 데이타 라인 전압 v_1은 상술한 시간 상수 R1(C1+C1c) 때문에 v_o에 약간 뒤쳐진다. 스캔 신호 S_2(도시되지 않음)는 35㎲에서 발생하고 데이타 라인 전압 v_1을 픽셀 저장 캐패시터 C1c에 래치하는데, 이것은 3.75V (즉, $15/16(v_r-v_m)$)에서 래치되는 픽셀 전압 v_p으로 도 9에 도시되어 있다.

도 9의 (b)는 40㎲와 60㎲ 사이의 라인 주기 동안 저항 R1에서 소모되는 전력을 시뮬레이트한 결과를 나타낸다 (도 9의 (a)를 참조한다.). 이 주기 내에서, 제1 과도 전력은 방전 단계와 연관되고, 그 다음 2개는 충전 과도 전력들이고, 네번째는 방전 과도 전력이다. 소모되는 총 에너지는 수학식 3과 같다.

$$E=1/2CV^2=1/2C1((7/16v_r)^2+(7/16v_r)^2+(1/2v_r)^2+(1/2v_r)^2+(7/16v_r)^2)$$
$$=0.441C1v_r^2$$

이 도면은 상기에서 계산된 $1.76C1v_r^2$의 벤치마크 도면과 바람직하게 유사하다. 상기에서 C1=100 pF이고 v_r=4V이고, 라인 주기가 20㎲로 주어진다고 가정하면, E=706pJ이고, 도 7의 디지탈-아날로그 변환기를 채택한 XGA 디스플레이의 1024 데이타 라이들에서 소모되는 전력은 비슷한 비율로 낮아져 대략 $(706\times10^{-12}\times1024)/(20\times10^{-6})$=36.1mW로 낮아진다.

도 10은 본 발명의 제2 실시예를 나타내는데, 유사한 4-비트 디지탈-아날로그 변환기 형태로써, 여기서는 이 회로가 4-단계 준단열 데이타 라인 충전 및 방전을 구현하기 위해 연장되어 있다. 도 7의 디지탈-아날로그 변환기의 유사 부분들

[표 1]

클럭 펄스	증폭기 출력 전압 Vo
ck_1	Vm
ck_2	3/16(Vr-Vm)
ck_3	7/16(Vr-Vm)
ck_4	1/16(Vr-Vm)
ck_5	15/16(Vr-Vm)
ck_6	11/16(Vr-Vm)
ck_7	7/16(Vr-Vm)
ck_8	3/16(Vr-Vm)
ck_1	Vm

중간점 전압 Vm으로부터 시작하여, Vm으로 역행하는 후속 4 단계에서 방전되기 전에, 요구 데이타 전압(15/16(Vr-Vm))으로 4단계에서 데이타 라인이 충전된다는 것을 알 수 있다. 도 11에 나타난 타이밍도는 다상 클럭 펄스 ck1 내지 ck8, 기준 전압 Vr* 및 주사 신호들 S_1, S_2 및 S_3이 동기된다.

도 12의 (a)는 회로 전압용 시뮬레이션 결과를 나타낸다. 각 주사 라인 기간 동안 +4V와 -4V 사이에서 기준 전압 Vr이 번갈아 나타나는 것을 알 수 있다. 데이타 라인 전압 V1은 시정수 lag R1(C1+C1c)에 출력 전압 Vo가 뒤따른다. 회소 전압 Vp는 데이타 라인이 충분히 (3.75V로)충전될 때 화소 저장 커패시터 C1c 상에 래치된다. 래치 인스턴트(latching instant)는 도 7에 나타난 동일 방식으로 주사 신호들 S1, S2 및 S3에 의해 제어된다.

부하 저항 R1에 분산된 전력은 도 12의 (b)에 나타나 있다. 라인 시간 동안 확장된 전체 에너지는

$$E=1/2CV^2=1/2C1((3/16)^2+(3/16)^2+(1/4)^2+(1/4)^2+(1/4)^2+(1/4)^2+(1/4)^2$$
$$+(1/4)^2)Vr^2=0.222C1Vr^2$$

이 도면은 미리 계산된 벤치마크보다 8배 작은 펙터이고 데이타 라인 전력 분산은 통상적인 XGA 디스플레이용 18.2mW 보다 작게 될 것이 확실하다.

보다 높은 비트 디지탈-아날로그 변환기가 결합된 본 발명의 실시예는 2진-가중 커패시터 어레이에 MSB의 커패시터 또는 MSB들의 커패시터들에 전술된 원리를 적용함으로써 제공될 수 있다. 도 10의 4-스텝 디지탈-아날로그 변환기는 예를 들면, 2진-가중 커패시터 어레이에 사이즈 C/32 및 C/64의 커패시터 및 스위치들(신호들 ck_1과 ck_2 및 2개의 LSB 데이타 비트들에 의해 제어됨)을 부가함으로써 간단하게 6-비트 변환기로 변환될 수 있다.

게다가, 전술된 특정 실시예들은 대향 극성의 출력 값들 사이에서 변화하는 교류 출력 전압을 제

공하는 디지탈-아날로그 변환기들에 관한 것인데 반하여, 본 발명은 디지탈 입력 신호가 변할 때만 변하는 일정 출력 전압을 제공하는 디지탈-아날로그 변환기들에 적용 가능하다. 이 경우, 디지탈 입력 신호의 값이 변화할 때, 출력 전압은 적어도 2개의 단계들에서 새로운 값에 대응하여 변화하는데, 이는 부하의 의사-단열 충전 또는 방전을 달성하기 위한 것이다.

발명의 효과

본 발명은 그 범위내에 회로들의 2진 가중 커패시터들의 스위칭을 통제하는 2k 비중첩 클럭 신호에 의해 제어된 디지탈-아날로그 변환기 회로(보다 구체적으로, 충전 스케일링 병렬 디지탈-아날로그 변환기 회로)를 포함한다. 클럭 신호의 사용으로 인해 의사-단열 프로세스의 k 단계에서 용량성(RC) 부하를 충방전할 수 있게 됨으로써, 전체 전력 소비(출력 버퍼의 공급 전압으로부터 유출된 전체 전력일 수 있음)가 감소하게 된다.

그러한 디지탈-아날로그 변환기 회로는 비교적 낮은 주파수에서 충방전되어야 하는 커다란 용량성 부하를 가진 시스템에 특히 유리하다. 예를 들면, 디지탈-아날로그 변환기 회로가 로우 반전 구조 또는 화소 반전 구조와 같은 어드레싱 구조에 액티브 매트릭스 액정 디스플레이 장치의 디지탈 데이타 드라이버에 사용될 때, 데이타 라인 저항이 소비한 전체 전력은 k 계수만큼 감소된다.

(57) 청구의 범위

청구항 1

병렬 디지탈 입력 신호를 대응하는 아날로그 출력 전압으로 변환하기 위한 디지탈-아날로그 변환기에 있어서,

상기 디지탈 입력 신호를 수신하도록 구성된 입력;

상기 대응하는 아날로그 출력 전압을 출력하기 위한 출력; 및

상기 입력 및 상기 출력에 유기적으로 결합되어, 상기 출력 전압을 기준값에서 제1 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키기 위한 변환 수단을 포함하고, 상기 제1 값의 크기는 상기 디지탈 입력 신호의 값과 일치하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제1 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제1 값에서 다시 상기 기준값으로 이동하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 2

제1항에 있어서, 상기 변환 수단은 후속하여 상기 출력 전압을 상기 기준값에서 제2 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키는 기능들을 더 포함하고, 상기 제2 값의 크기는 상기 디지탈 입력 신호의 상기 값 또는 상기 디지탈 입력 신호의 후속값과 일치하고, 상기 제2 값은, 상기 기준값에 관하여, 상기 제1 값과 반대 극성을 가지며, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제2 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제2 값에서 다시 상기 기준값으로 이동하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 3

제2항에 있어서, 상기 변환 수단은 상기 출력 전압을 상기 제1 값, 제2 값 및 기준값간에 이동시키는 프로세스를 상기 디지탈 입력 신호의 여러 값들에 대하여 복수 회 반복하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 4

제1항에 있어서, 상기 출력 전압의 상기 기준값은 그라운드인 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 5

제1항에 있어서, 상기 입력은 복수 개의 2진 가중 커패시터들(binary-weighted capacitors)인 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 6

제5항에 있어서, 상기 디지탈 입력 신호의 최상위 유효 비트는 상기 출력 전압에서 상기 스텝들을 생성하기 위하여 상이한 시간들에서 충전 또는 방전되도록 구성된 2 이상의 커패시터들로 대표되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 7

제5항에 있어서, 상기 출력 전압은 상기 디지탈 입력 신호의 최상위 유효 비트에 대응하는 2진 가중 커패시터 또는 커패시터들을 그 외의 2진 가중 커패시터들 중 적어도 일부와는 상이한 시간에서 충전 또는 방전시킴으로써 상기 스텝들로 이동하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 8

제5항에 있어서, 상기 출력 전압은 n개의 스텝으로 상기 제1 값에서 상기 제2 값으로 이동하고, 상기 2진 가중 커패시터들은 n개의 오버랩하지 않는 클럭 신호들에 의해 제어되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 9

제5항에 있어서, 상기 변환 수단은 피드백 커패시터가 구비된 연산 증폭기를 포함하고, 상기 연산 증폭기는 상기 2진 가중 커패시터들과 상기 피드백 커패시터간에 전송된 전하량에 따라서 상기 출력 전압을 변화시키는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 10

제9항에 있어서, 각각의 2진 가중 커패시터는 상기 디지탈 입력 신호의 대응하는 비트의 값에 따라서 액티베이트되는 각각의 비트 스위치에 의해 기준 전압에 접속되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 11

제10항에 있어서, 각각의 비트 스위치는 서로 병렬로 접속되어 있는 1 이상의 기준 스위치들과 직렬로 접속되고, 각각의 기준 스위치는 관련 클럭 신호에 의해 액티베이트되고 대응하는 2진 가중 커패시터를 상기 기준 전압에 접속시키는 것을 제어하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 12

제5항에 있어서, 각각의 2진 가중 커패시터는 상기 디지탈 입력 신호의 대응하는 비트의 값에 따라서 액티베이트되는 각각의 비트 스위치에 의해 기준 전압에 접속되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 13

제12항에 있어서, 각각의 비트 스위치는 서로 병렬로 접속되어 있는 1 이상의 기준 스위치들과 직렬로 접속되고, 각각의 기준 스위치는 관련 클럭 신호에 의해 액티베이트되고 대응하는 2진 가중 커패시터를 상기 기준 전압에 접속시키는 것을 제어하는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 14

제13항에 있어서, 각각의 2진 가중 커패시터는 1 이상의 제2 전원 스위치(supply switch)에 의해 제2 전원 전압에 접속되고, 각각의 제2 전원 스위치는 관련 클럭 신호에 따라서 액티베이트되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 15

제14항에 있어서, 상기 기준 스위치들 및 제2 전원 스위치들은, 상기 기준 전압 및 제2 전원 전압의 주어진 일정값들에 대하여, 또한 각각의 상기 비트 스위치의 주어진 위치에 대하여, 상기 피드백 커패시터 상의 전하가 상기 출력 전압의 상기 기준값과 제1 값에 각각 대응하는 제1 충전값과 제2 충전값 사이에서 상기 제1 충전값과 상기 제2 충전값 중간에 있는 제3 충전값을 경유하여 스텝식으로 변화하도록, 상기 클럭 신호들에 의해 제어되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 16

제5항에 있어서, 각각의 2진 가중 커패시터는 1 이상의 제2 전원 스위치에 의해 제2 전원 전압에 접속되고, 각각의 제2 전원 스위치는 관련 클럭 신호에 따라서 액티베이트되는 것을 특징으로 하는 디지탈-아날로그 변환기.

청구항 17

액티브 매트릭스 액정 디스플레이에 있어서,

픽셀 스위치를 경유하여 데이타 라인에 접속된 픽셀 전극이 각각 구비된 복수 개의 화소들(픽셀들)을 포함하고,

각각의 상기 데이타 라인은 병렬 디지탈 입력 신호를 대응하는 아날로그 출력 전압으로 변환하기 위한 디지탈-아날로그 변환기의 출력에 접속되고,

각각의 디지탈-아날로그 변환기는,

상기 디지탈 입력 신호를 수신하도록 구성된 입력;

상기 대응하는 아날로그 출력 전압을 출력하기 위한 출력; 및

상기 입력 및 상기 출력에 유기적으로 결합되어, 상기 출력 전압을 기준값에서 제1 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키기 위한 변환 수단을 포함하고, 상기 제1 값의 크기는 상기 디지탈 입력 신호의 값과 일치하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제1 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제1 값에서 다시 상기 기준값으로 이동하는 것을 특징으로 하는 액티브 매트릭스 액정 디스플레이.

청구항 18

병렬 디지탈 입력 신호를 대응하는 아날로그 출력 전압으로 변환하는 방법에 있어서,

상기 디지탈 입력 신호를 수신하는 단계; 및

상기 출력 전압을 기준값에서 제1 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키는 단계를 포함하고,

상기 제1 값의 크기는 상기 디지탈 입력 신호의 값과 일치하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제1 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제1 값에서 다시 상기 기준값으로 이동하는 것을 특징으로 하는 방법.

청구항 19

제18항에 있어서,

후속하여 상기 출력 전압을 상기 기준값에서 제2 값으로 이동시킨 다음 다시 상기 기준값으로 이동시키는 단계를 더 포함하고,

상기 제2 값의 크기는 상기 디지탈 입력 신호의 상기 값 또는 상기 디지탈 입력 신호의 후속값과 일치하고, 상기 제2 값은, 상기 기준값에 관하여, 상기 제1 값과 반대 극성을 가지며,

상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 기준값에서 상기 제2 값으로 이동하고, 상기 출력 전압은 1 이상의 중간값들을 경유하여 2 이상의 스텝으로 상기 제2 값에서 다시 상기 기준값으로 이동하는 것을 특징으로 하는 방법.

청구항 20

제19항에 있어서, 상기 출력 전압을 상기 제1 값, 제2 값 및 기준값간에 이동시키는 상기 단계들은 상기 디지탈 입력 신호의 여러 값들에 대하여 복수 회 반복되는 것을 특징으로 하는 방법.

청구항 21

제20항에 있어서, 상기 출력 전압의 상기 기준값은 그라운드인 것을 특징으로 하는 방법.

청구항 22

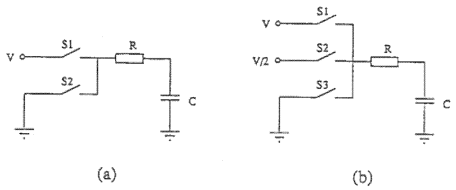
제18항에 있어서, 상기 출력 전압의 상기 기준값은 그라운드인 것을 특징으로 하는 방법.

청구항 23

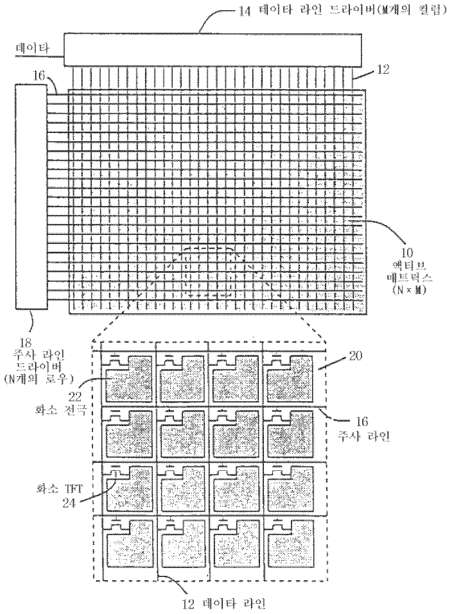
제19항에 있어서, 상기 출력 전압의 상기 기준값은 그라운드인 것을 특징으로 하는 방법.

도면

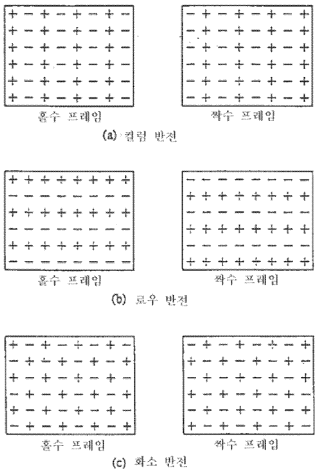
도면1



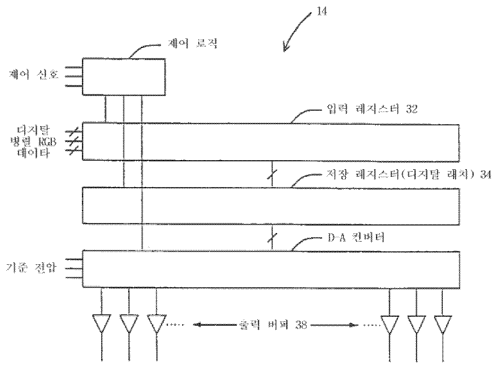
도면2


14 데이타 라인 드라이버(M개의 컬럼)
데이타
16
12
10
액티브
매트릭스
(N×M)
18
주사 라인
드라이버
(N개의 로우)
22
화소 전극
20
16
주사 라인
화소 TFT
24
12 데이타 라인

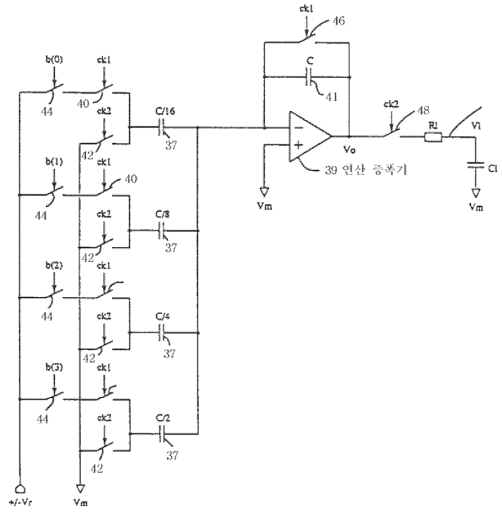
도면3


홀수 프레임
짝수 프레임
(a) 컬럼 반전
홀수 프레임
짝수 프레임
(b) 로우 반전
홀수 프레임
짝수 프레임
(c) 화소 반전

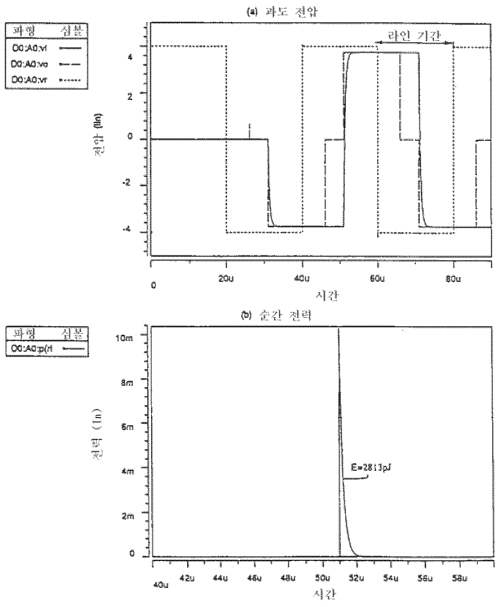
도면4


14
제어 로직
제어 신호
입력 레지스터 32
디지탈
병렬 RGB
데이타
저장 레지스터(디지탈 래치) 34
D-A 컨버터
기준 전압
출력 버퍼 38

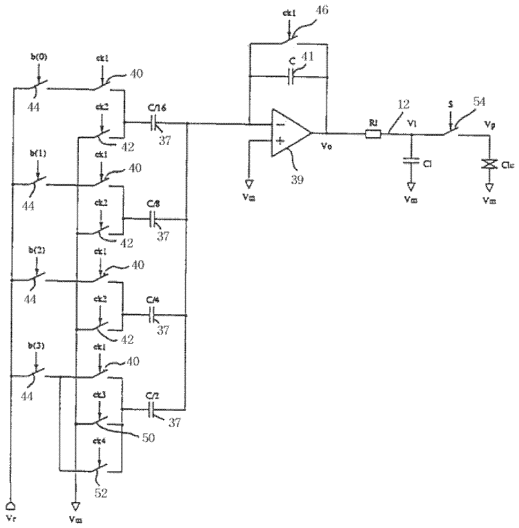
도면5


ck1
46
C
41
b(0)
ck1
44
40
ck2
C/16
37
42
b(1)
C/8
b(2)
C/4
b(3)
C/2
ck2
48
RL
VL
CL
Vo
39 연산 증폭기
Vm
+/-Vr

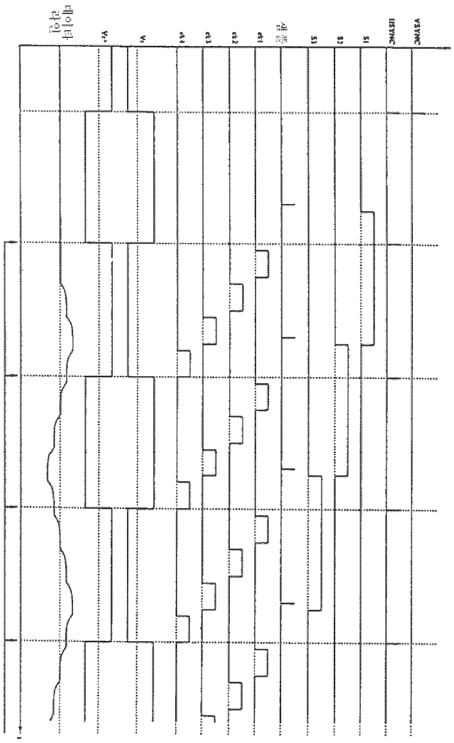
도면6


(a) 과도 전압
라인 기간
파형 심볼
D0:A0:vl
D0:A0:vo
D0:A0:vr
전압 (lin)
시간
(b) 순간 전력
D0:A0:p(l
전력 (lin)
E=2813pJ

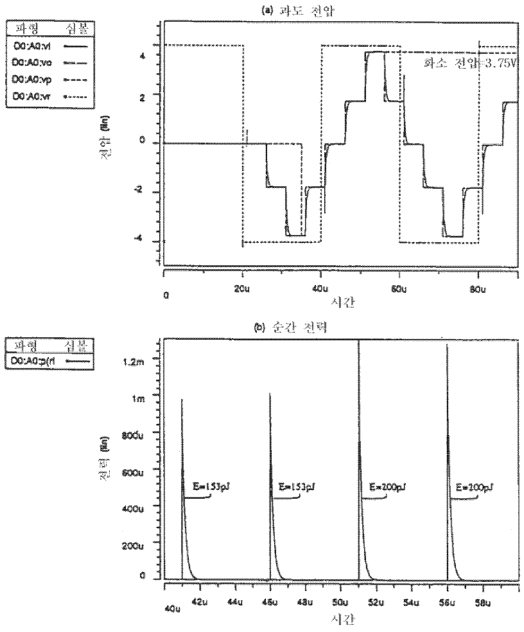
도면7



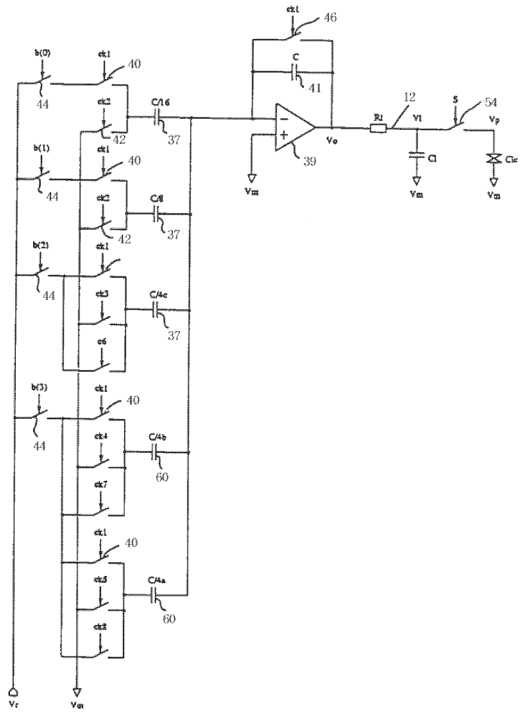
도면8



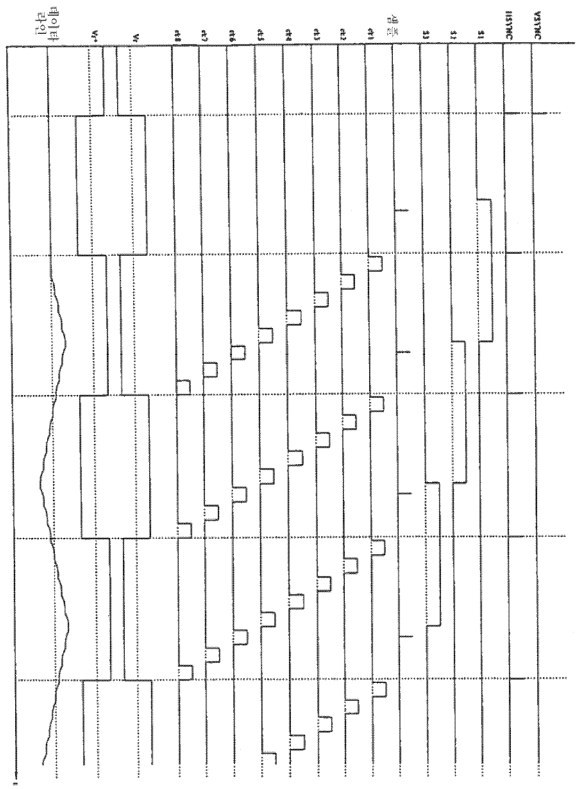
도면9


(a) 과도 전압
파형 심볼
D0:A0:vi
D0:A0:vo
D0:A0:vp
D0:A0:vr
화소 전압 3.75V
전압 (V)
시간
(b) 순간 전력
D0:A0:p(r
E=153pJ
E=153pJ
E=200pJ
E=200pJ
전력 (W)
시간

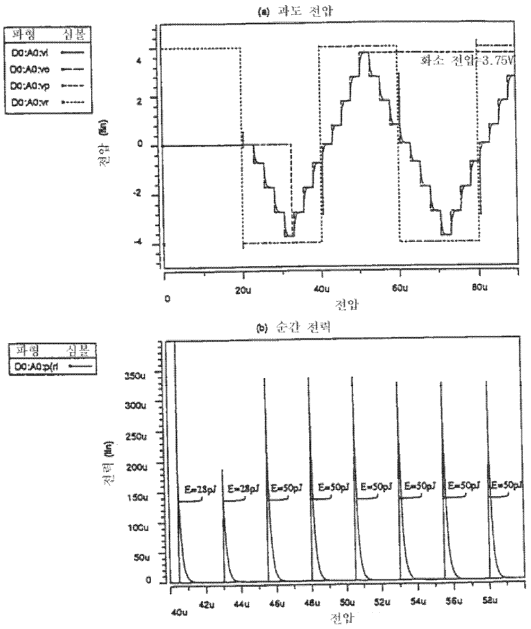
도면10


ck1
46
C
41
12
Ri
Vi
S
54
Vp
Ci
Cic
Vo
39
Vm
b(0)
40
44
ck2
42
C/16
37
b(1)
C/8
b(2)
ck3
C/4c
ck6
b(3)
C/4b
60
ck7
C/4a
ck8
Vr

도면11



도면12


(a) 과도 전압
파형 심볼
D0:A0:vi
D0:A0:vo
D0:A0:vp
D0:A0:vr
화소 전압 3.75V
전압 (lin)
전압
(b) 순간 전력
파형 심볼
D0:A0:p(r
전력 (lin)
E=28pJ
E=50pJ
전압