



(12) 发明专利

(10) 授权公告号 CN 101326587 B

(45) 授权公告日 2011.09.28

(21) 申请号 200780000546.5

(22) 申请日 2007.01.25

(30) 优先权数据

017563/2006 2006.01.26 JP

(85) PCT申请进入国家阶段日

2007.12.03

(86) PCT申请的申请数据

PCT/JP2007/051655 2007.01.25

(87) PCT申请的公布数据

W02007/086601 EN 2007.08.02

(73) 专利权人 卡西欧计算机株式会社

地址 日本东京都

(72) 发明人 两泽克彦

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 王英

(51) Int. Cl.

G11C 19/00(2006.01)

G11C 19/28(2006.01)

(56) 对比文件

CN 1135625 A, 1996.11.13, 全文.

US 2004/0189584 A1, 2004.09.30, 全文.

CN 1609939 A, 2005.04.27, 全文.

US 2005/0220262 A1, 2005.10.06, 全文.

CN 1116752 A, 1996.02.14, 全文.

US 2005/0156859 A1, 2005.07.21, 全文.

审查员 李元

权利要求书 4 页 说明书 12 页 附图 9 页

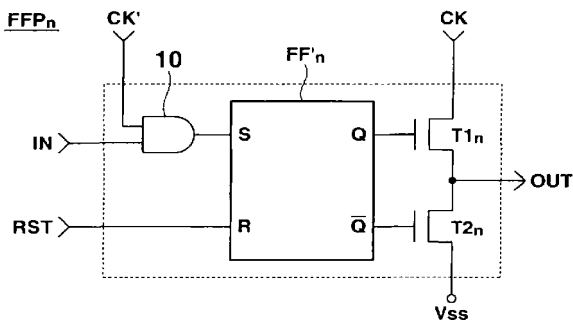
(54) 发明名称

移位寄存器电路以及显示驱动装置

(57) 摘要

公开了一种移位寄存器电路,其包括多级信号保持电路 (FF' n), 将其级联以基于提供的输入信号来保持信号, 基于所保持的信号将输出信号 (out) 输出, 并且将所述输出信号作为输入信号输出到下一级, 其中该所保持的信号是基于所提供的输入信号, 所述多级信号保持电路中的每一个包括提供有两种类型的时钟信号的输出电路, 该两种类型的时钟信号由第一时钟信号 (ck) 和第二时钟信号 (ck') 构成, 使第二时钟信号的時刻相对于施加输入信号 (IN) 的時刻延迟预定的延迟时间, 所述输出电路在相对于施加所述输入信号的時刻延迟了所述第二时钟信号的所述延迟时间的時刻提供有信号, 并且所述输出电路在响应于第一时钟信号的時刻输出所述输出信号 (OUT)。还公开了一种包括该移位寄存器电路的显示驱动装置。

CN 101326587 B



1. 一种移位寄存器电路,其包括:

多级信号保持电路,将其级联以基于被提供的输入信号来保持信号,基于所保持的信号将输出信号输出,并且将所述输出信号作为输入信号输出到下一级,其中该所保持的信号是基于被提供的输入信号;

所述多级信号保持电路中的每一个被提供有两种类型的时钟信号,该两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,

所述多级信号保持电路中的每一个包括输出电路,所述输出电路在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻,被提供有基于所保持的信号的信号,并且所述输出电路在响应于所述第一时钟信号的时刻输出所述输出信号。

2. 如权利要求 1 所述的移位寄存器电路,其中所述多级信号保持电路中的每一个被提供有复位信号,其在与所述第一时钟信号的下降时刻同步的时刻将所保持的信号复位。

3. 如权利要求 2 所述的移位寄存器电路,其中所述多级信号保持电路中的每一个还包括锁存器电路,其响应所述第二时钟信号在延迟了所述延迟时间的时刻保持所述输入信号并响应于所述复位信号将所保持的信号复位,以及

所述输出电路在响应于所述第一时钟信号的时刻将保持在所述锁存器电路中的所述信号作为所述输出信号输出。

4. 如权利要求 2 所述的移位寄存器电路,其中所述多级信号保持电路中的每一个还包括锁存器电路,其保持所述输入信号并响应于所述复位信号将所保持的信号复位,以及

所述输出电路响应所述第二时钟信号在延迟了所述延迟时间的时刻将保持在所述锁存器电路中的所述信号作为所述输出信号输出。

5. 如权利要求 2 所述的移位寄存器电路,其中所述复位信号是在获得所述第一时钟信号的反相的时刻施加的信号。

6. 如权利要求 2 所述的移位寄存器电路,其中所述复位信号是从下一级的所述信号保持电路输出的所述输出信号。

7. 如权利要求 2 所述的移位寄存器电路,其中所述输出电路具有至少一个晶体管,

所述晶体管仅在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间导通。

8. 如权利要求 1 所述的移位寄存器电路,其中,在所述多级信号保持电路当中,施加到偶数级的所述信号保持电路的所述两种类型的时钟信号是通过使施加到奇数级的所述信号保持电路的所述两种类型的时钟信号反相而获得的信号。

9. 如权利要求 1 所述的移位寄存器电路,其中所述第二时钟信号是通过使所述第一时钟信号的相位移位以便延迟其上升时刻而获得的信号。

10. 如权利要求 1 所述的移位寄存器电路,其中所述第二时钟信号的下降时刻同于或早于所述第一时钟信号的下降时刻。

11. 如权利要求 2 所述的移位寄存器电路,其中所述输出电路包括:输出所述输出信号的输出端;第一晶体管,将所述第一时钟信号施加到该第一晶体管的漏极,并且其源极连

接到所述输出端；以及第二晶体管，其漏极连接到所述输出端，并且其源极连接到低电位电源，

在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间，将用于使所述第一晶体管导通的驱动信号提供给所述第一晶体管的栅极，并且将所述驱动信号的反相信号提供给所述第二晶体管的栅极。

12. 如权利要求 11 所述的移位寄存器电路，其中所述多级信号保持电路中的每一个包括：

第一时钟信号输入端，其被提供有所述第一时钟信号；

第二时钟信号输入端，其被提供有所述第二时钟信号；

第一信号输入端，其被施加有所述输入信号；

第二信号输入端，其被施加有所述复位信号；

第三晶体管，其栅极连接到所述第一信号输入端，并且其漏极连接到高电位电源；

第四晶体管，其栅极连接到所述第三晶体管的源极，其漏极连接到所述第二时钟信号输入端，并且其源极连接到所述第一晶体管的栅极；

第五晶体管，其栅极连接到所述第二信号输入端，其漏极连接到所述第四晶体管的栅极，并且其源极连接到低电位电源；以及

第六晶体管，其栅极连接到所述第二信号输入端，其漏极连接到所述第一晶体管的栅极，并且其源极连接到所述低电位电源。

13. 如权利要求 1 所述的移位寄存器电路，其中所述信号保持电路由具有单一导电性的多个场效应晶体管形成。

14. 如权利要求 13 所述的移位寄存器电路，其中所述场效应晶体管是非晶硅薄膜晶体管。

15. 一种移位寄存器电路，包括：

多级信号保持电路，其被提供有输入信号，并将其级联以基于所述输入信号将输出信号输出，并将所述输出信号作为输入信号提供给下一级，

其中所述多级信号保持电路中的每一个被提供有两种类型的时钟信号以及复位信号，所述两种类型的时钟信号由第一时钟信号和第二时钟信号构成，其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间，并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号，所述多级信号保持电路中的每一个包括：

锁存器电路，其响应所述第二时钟信号在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻保持所述输入信号，并响应所述复位信号将所保持的输入信号复位；以及输出电路，其在响应于所述第一时钟信号的时刻将所保持的输入信号作为所述输出信号输出。

16. 如权利要求 15 所述的移位寄存器电路，其中所述输出电路具有至少一个晶体管，以及

所述晶体管仅在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间导通。

17. 一种移位寄存器电路，包括：

多级信号保持电路,其被提供有输入信号,并将其级联以基于所述输入信号将输出信号输出,并将所述输出信号作为输入信号提供给下一级,

其中所述多级信号保持电路中的每一个被提供有两种类型的时钟信号以及复位信号,所述两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,所述多级信号保持电路中的每一个包括:

锁存器电路,其保持所述输入信号并响应所述复位信号将所保持的输入信号复位;以及输出电路,其相应所述第二时钟信号在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻将所保持的输入信号作为所述输出信号输出。

18. 如权利要求 17 所述的移位寄存器电路,其中所述输出电路具有至少一个晶体管,以及

所述晶体管仅在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间导通。

19. 一种显示驱动装置,其将用于显示所需图像的信号输出到具有为矩阵形状的多个显示像素的显示面板,该显示驱动装置包括:

移位寄存器电路,其依次输出控制信号,该些控制信号用于输出所述用于显示图像的信号,

其中所述移位寄存器电路包括多级信号保持电路,将其级联以基于被提供的输入信号来保持信号,基于所保持的信号将输出信号输出作为所述控制信号,并且将所述输出信号作为输入信号提供给下一级,其中该所保持的信号是基于被提供的输入信号,并且

所述多级信号保持电路中的每一个被提供有两种类型的时钟信号,该两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,

所述多级信号保持电路中的每一个具有输出电路,所述输出电路在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻,被提供有基于所保持的信号的信号,并且所述输出电路在响应于所述第一时钟信号的时刻输出所述输出信号。

20. 如权利要求 19 所述的显示驱动装置,其中所述多级信号保持电路中的每一个被提供有复位信号,其在与所述第一时钟信号的下降时刻同步的时刻将所保持的信号复位。

21. 如权利要求 20 所述的显示驱动装置,其中所述复位信号是从下一级的所述信号保持电路输出的所述输出信号。

22. 如权利要求 20 所述的显示驱动装置,其中所述输出电路具有至少一个晶体管,

所述晶体管仅在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间导通。

23. 如权利要求 19 所述的显示驱动装置,其中,在所述多级信号保持电路当中,施加到偶数级的所述信号保持电路的所述两种类型的时钟信号是通过使施加到奇数级的所述信号保持电路的所述两种类型的时钟信号反相而获得的信号。

24. 如权利要求 19 所述的显示驱动装置,其中所述第二时钟信号是通过使所述第一时钟信号的相位移位以便延迟其上升时刻而获得的信号。

25. 如权利要求 20 所述的显示驱动装置,其中所述输出电路包括:输出所述输出信号的输出端;第一晶体管,将所述第一时钟信号施加到该第一晶体管的漏极,并且其源极连接到所述输出端;以及第二晶体管,其漏极连接到所述输出端,并且其源极连接到低电位电源,

在从施加所述输入信号的时刻延迟了所述延迟时间的时刻和施加所述复位信号的时刻之间,将用于使所述第一晶体管导通的驱动信号提供给所述第一晶体管的栅极,并且将所述驱动信号的反相信号提供给所述第二晶体管的栅极。

26. 如权利要求 25 所述的显示驱动装置,其中所述多级信号保持电路中的每一个包括:

第一时钟信号输入端,其被提供有所述第一时钟信号;

第二时钟信号输入端,其被提供有所述第二时钟信号;

第一信号输入端,其被施加有所述输入信号;

第二信号输入端,其被施加有所述复位信号;

第三晶体管,其栅极连接到所述第一信号输入端,并且其漏极连接到高电位电源;

第四晶体管,其栅极连接到所述第三晶体管的源极,其漏极连接到所述第二时钟信号输入端,并且其源极连接到所述第一晶体管的栅极;

第五晶体管,其栅极连接到所述第二信号输入端,其漏极连接到所述第四晶体管的栅极,并且其源极连接到低电位电源;以及

第六晶体管,其栅极连接到所述第二信号输入端,其漏极连接到所述第一晶体管的栅极,并且其源极连接到所述低电位电源。

27. 如权利要求 19 所述的显示驱动装置,其中所述信号保持电路由具有单一导电性的多个场效应晶体管形成。

28. 如权利要求 27 所述的显示驱动装置,其中所述场效应晶体管是非晶薄膜晶体管。

29. 如权利要求 28 所述的显示驱动装置,其中所述显示驱动装置形成在与所述显示面板相同的基板上。

移位寄存器电路以及显示驱动装置

技术领域

[0001] 本发明涉及一种移位寄存器电路和包括该电路的显示驱动装置,尤其涉及一种能很好地应用于显示装置如液晶显示装置的驱动电路的移位寄存器电路和显示驱动装置。

[0002] 背景技术

[0003] 近些年,非常流行诸如计算机、蜂窝移动电话或个人数字助理(PDA)的信息设备、以及诸如数字摄像机、数字照相机或扫描仪的图像处理相关设备。在这种设备中,液晶显示器(LCD)频繁地用作显示装置。

[0004] 例如,有源矩阵液晶显示装置如下构造。将装配有诸如薄膜晶体管的像素晶体管的显示像素(液晶像素)设置成矩阵形状。对于装显示面板利用栅极驱动器在有源状态下依次确立扫描线,所述显示面板配有用于在行方向上连接显示像素的扫描线、以及用于在列方向上连接显示像素的数据线。利用源极驱动器将预定信号电压施加到每一条数据线;然后,将根据图像信息的信号电压写入到在有源状态下确立的显示像素中,从而控制显示像素中的液晶的取向状态,以便以预定的对比度显示所需图像信息。这里,例如,在栅极驱动器中,作为构成元件提供移位寄存器电路,用于依次输出扫描信号,以在有源状态下确立扫描线。此外,移位寄存器电路与数据线相关联地设置在源极驱动器中,所述移位寄存器电路用于设定采样和获得将要提供的显示数据的时刻。

[0005] 图 8A 是示出常规移位寄存器电路的典型结构的电路图。

[0006] 图 8B 是用于说明图 8A 的移位寄存器操作的时序图。

[0007] 图 9A 是示出构成常规移位寄存器的信号保持部分的结构电路图。

[0008] 图 9B 是用于说明图 8A 的信号保持部分操作的时序图。

[0009] 如图 8A 所示,将移位寄存器电路构造成使得多个(多级)信号保持部分串联级联。然后,在信号保持部分中保持的信号作为输出信号 OUT_n 向外输出,并依次传递(移位)到下一级的信号保持部分。

[0010] 如图 8A 所示,通过组合置位/复位型触发器 FF_n 和由两个 MOS 晶体管 T1_n 和 T2_n (n = 1、2、3、4、...) 构成的推/挽电路来构造每个信号保持部分。

[0011] 即,建立连接使得将输入信号 IN 提供给触发器 FF_n 的置位信号输入端 S,并且将复位信号 RST 提供给复位信号输入端 R。此外,构成推/挽电路的第一和第二 MOS 晶体管 T1_n 和 T2_n 串联连接在施加有预定时钟信号 CK 的端子和施加有低电位电源 V_{SS} 的端子之间。第一 MOS 晶体管 T1_n 的栅极连接到触发器 FF_n 的输出端 Q,并且第二 MOS 晶体管 T2_n 的栅极连接到触发器 FF_n 的反相输出端 \bar{Q} 。然后,输出信号 OUT 从两个 MOS 晶体管 T1_n 和 T2_n 之间的连接触点输出。

[0012] 在由此构造的信号保持部分中,如图 8B 的时序图所示,当在高电平下获得提供给触发器 FF_n 的置位输入端 S 的输入信号 IN 时,使触发器 FF_n 置位;从其输出端 Q 输出高电平信号,并从反相输出端 \bar{Q} 输出低电平信号。即使输入信号翻转到低电平也能保持触发器 FF_n 的输出信号的状态。

[0013] 然后,当在高电平下获得提供给复位信号输入端 R 的复位信号 RST 时,将该信号复

位,从触发器 FF_n 的输出端 Q 输出低电平信号,然后从反相输出端 \bar{Q} 输出高电平信号。

[0014] 当因此根据输入信号 IN 的高电平从触发器 FF_n 的输出端 Q 输出高电平信号时,将高电平电压施加到推 / 挽电路的第一 MOS 晶体管 T_{1n} 的栅极,于是第一 MOS 晶体管 T_{1n} 导通。另外,此时,从触发器 FF_n 的反相输出端 \bar{Q} 输出低电平信号。因此,将低电平电压提供给推 / 挽电路的第二 MOS 晶体管 T_{2n} 的栅极,于是第二 MOS 晶体管 T_{2n} 截止。此时,当将高电平脉冲信号 CK 提供给推 / 挽电路时,以高电平获得输出信号 OUT。

[0015] 然后,当在高电平下获得复位信号 RST 时,分别从触发器 FF_n 的输出端 Q 和反相输出端 \bar{Q} 输出低电平信号和高电平信号。以这种方式,第一 MOS 晶体管 T_{1n} 截止,第二 MOS 晶体管 T_{2n} 导通。因此,在低电平下获得输出信号 OUT。

[0016] 如图 8A 所示,通过使具有上述结构的多个信号保持部分串联级联来构造移位寄存器电路。即,从第 n 级的信号保持部分的推 / 挽电路获得输出信号 OUT_n,并且将获得的信号提供给第 n+1 级信号保持部分的触发器 FF_{n+1} 的置位端 S。建立与第 n 级的信号保持部分的触发器 FF_n 的复位端 R 的连接,以便从第 n+1 级的信号保持部分反馈输出信号 OUT_{n+1}。这里,将预定起始信号 ST 提供给第一级的信号保持部分的触发器 FF_n 的置位端 S。另外,从外部将复位信号提供给最后一级的信号保持部分的触发器 FF_n 的复位端 R。然后,将第一脉冲信号 CK1 提供给奇数级的信号保持部分的推 / 挽电路,并且将具有第一脉冲信号 CK1 的反相波形的第二脉冲信号 CK2 提供给偶数级的信号保持部分的推 / 挽电路。

[0017] 根据所构造的移位寄存器电路,如图 8B 的时序图所示,在提供起始信号 ST 之后,依次传递(移位)高电平输出信号 OUT₁、OUT₂、OUT₃、OUT₄、...,然后与脉冲信号 CK1 和 CK2 的高电平施加时刻同步地将其输出。然后,例如,当将基于这些输出信号 OUT₁、OUT₂、OUT₃、OUT₄、...的扫描信号依次提供给液晶显示装置的扫描线时,进行线顺序选择操作使得在有源状态下在一行一行的基础上确立连接到扫描线的显示像素。

[0018] 该信号保持部分中的推 / 挽电路的第一 MOS 晶体管 T_{1n} 在信号输出和向下一级进行传递方面起着重要的作用。即,不夸张地说,该第一 MOS 晶体管 T_{1n} 的特性确定了整个移位寄存器电路的性能。

[0019] 另一方面,已经研发出将诸如有源矩阵液晶显示装置中的栅极驱动器和源极驱动器的驱动电路通过由非晶硅(α -Si)或多晶硅(p-Si)制成的薄膜晶体管整体形成在显示面板基板(TFT 基板)上,从而促进显示装置的成本和厚度的降低。特别地,非晶硅在成本降低方面是有利的,这是由于其能与形成构造像素的 TFT 同时形成。

[0020] 然而,在如上所述的信号保持部分由 MOS 晶体管构成的情况下,其中所述 MOS 晶体管由非晶硅 TFT 或多晶硅 TFT 制成,可以通过实验获知,在这种 MOS 晶体管中,阈值特性由于施加到栅极的信号电平的时间积分值(或积分电压)的正负极性的反常而变化,从而相对于由单晶硅制成的晶体管,随着导通电流降低的时间的变化相对较大。因此,在使用这种 MOS 晶体管构造移位寄存器电路的情况下,特别是,在信号输出和向下一级进行传递方面起重要作用的推 / 挽电路的第一 MOS 晶体管 T_{1n} 的特性随着时间而退化;输出信号 OUT 的信号电平随着时间而降低;不恰当地进行每个晶体管的开关操作;并且会发生移位寄存器电路出现故障或者操作特性退化。

[0021] 发明内容

[0022] 在根据本发明的移位寄存器电路和包括该电路的显示驱动装置中,负责信号输出和向下一级进行传递的晶体管的特性变化得到了抑制,从而可以有利的改善移位寄存器电路以及包括该电路的显示驱动装置的长期可靠性。

[0023] 为了实现上述优点,根据本发明的一种移位寄存器电路,其包括:多级信号保持电路,将其级联以基于被提供的输入信号来保持信号,基于所保持的信号将输出信号输出,并且将所述输出信号作为输入信号输出到下一级,其中该所保持的信号是基于被提供的输入信号;所述多级信号保持电路中的每一个被提供有两种类型的时钟信号,该两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,所述多级信号保持电路中的每一个包括输出电路,所述输出电路在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻,被提供有基于所保持的信号的信号,并且所述输出电路在响应于所述第一时钟信号的时刻输出所述输出信号。

[0024] 为了实现上述优点,根据本发明的一种移位寄存器电路,包括:多级信号保持电路,其被提供有输入信号,并将其级联以基于所述输入信号将输出信号输出,并将所述输出信号作为输入信号提供给下一级,其中所述多级信号保持电路中的每一个被提供有两种类型的时钟信号以及复位信号,所述两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,所述多级信号保持电路中的每一个包括:锁存器电路,其响应所述第二时钟信号在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻保持所述输入信号,并响应所述复位信号将所保持的输入信号复位;以及输出电路,其在响应于所述第一时钟信号的时刻将所保持的输入信号作为所述输出信号输出。

[0025] 为了实现上述优点,根据本发明的一种移位寄存器电路,包括:多级信号保持电路,其被提供有输入信号,并将其级联以基于所述输入信号将输出信号输出,并将所述输出信号作为输入信号提供给下一级,其中所述多级信号保持电路中的每一个被提供有两种类型的时钟信号以及复位信号,所述两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,所述多级信号保持电路中的每一个包括:锁存器电路,其保持所述输入信号并响应所述复位信号将所保持的输入信号复位;以及输出电路,其相应所述第二时钟信号在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻将所保持的输入信号作为所述输出信号输出。

[0026] 为了实现上述优点,提供了一种显示驱动装置,其将用于显示所需图像的信号输出到具有为矩阵形状的多个显示像素的显示面板,该显示驱动装置包括:移位寄存器电路,其依次输出控制信号,该些控制信号用于输出所述用于显示图像的信号,其中所述移位寄存器电路包括多级信号保持电路,将其级联以基于被提供的输入信号来保持信号,基于所保持的信号将输出信号输出作为所述控制信号,并且将所述输出信号作为输入信号提供给

下一级,其中该所保持的信号是基于被提供的输入信号,并且所述多级信号保持电路中的每一个被提供有两种类型的时钟信号,该两种类型的时钟信号由第一时钟信号和第二时钟信号构成,其中所述第二时钟信号的上升时刻处于所述第一时钟信号的下降时刻和所述第一时钟信号的上升时刻之间,并且所述多级信号保持电路中的每一个与所述第一时钟信号的下降时刻同步地被提供有所述输入信号,所述多级信号保持电路中的每一个具有输出电路,所述输出电路在延迟了从施加所述输入信号的时刻到所述第二时钟信号的上升时刻为止的延迟时间的时刻,提供基于所保持的信号,并且所述输出电路在响应于所述第一时钟信号的时刻输出所述输出信号。

[0027] 附图说明

[0028] 图 1A 是示出构成根据本发明的移位寄存器电路的信号保持部分的一个实施例的典型结构的方框图;

[0029] 图 1B 是用于说明图 1A 的信号保持部分操作的时序图;

[0030] 图 2 是用于说明输出时钟信号和驱动时钟信号之间的时序关系的时序图,在本实施例中将这两个信号提供给信号保持部分;

[0031] 图 3A 是示出构成根据本发明的移位寄存器电路的信号保持部分的一个实施例另一典型结构的方框图;

[0032] 图 3B 是用于说明图 3A 的信号保持部分操作的时序图;

[0033] 图 4A 是示出根据本实施例的信号保持部分的具体结构的实例的电路图;

[0034] 图 4B 是用于说明图 4A 的信号保持部分操作的时序图;

[0035] 图 5 是示出使用根据本实施例的信号保持部分的移位寄存器电路的典型结构的电路图;

[0036] 图 6 是用于说明图 5 的移位寄存器电路操作的时序图;

[0037] 图 7A 是示出将根据本发明的移位寄存器电路应用于其的液晶显示装置的整个结构的示意图;

[0038] 图 7B 是示出根据该应用实例的液晶显示装置的主要部分结构的详图;

[0039] 图 8A 是示出常规移位寄存器电路的典型结构的电路图;

[0040] 图 8B 是用于说明图 8A 的移位寄存器电路操作的时序图;

[0041] 图 9A 是示出构成常规移位寄存器电路的信号保持部分的结构电路图;以及

[0042] 图 9B 是用于说明图 8A 的信号保持部分操作的时序图。

具体实施方式

[0043] 现在,将通过附图所示的实施例对根据本发明的移位寄存器电路和包括该电路的显示驱动装置进行详细的说明。

[0044] 虽然为了实施本发明而在技术上优选的各种限制适用于下述实施例,但是这并不意味着本发明的范围局限于以下实施例以及用于说明的实例。

[0045] 图 1A 是示出构成根据本发明的移位寄存器电路的信号保持部分的一个实施例的典型结构的方框图。

[0046] 图 1B 是用于说明图 1A 的信号保持部分操作的时序图;

[0047] 图 2 是用于说明输出时钟信号(第一时钟信号)和驱动时钟信号(第二时钟信

号)之间的时序关系的时序图,在本实施例中将这两个信号提供给信号保持部分。

[0048] 如稍后描述的图 4 所示,本发明中的移位寄存器电路具有这样的结构,其中使图 1A 所示的多个(多级)信号保持部分(信号保持电路)FFP_n 串联级联。如在常规移位寄存器电路中那样,保持在信号保持部分中的信号作为输出信号向外输出,并随后作为输入信号依次传递到下一级的信号保持部分。

[0049] 如图 1A 所示,通过例如将置位/复位型触发器 FF' _n、两个 AND 电路 10 以及由第一 MOS 晶体管(第一晶体管)T1_n 和第二 MOS 晶体管(第二晶体管)T2_n (n = 1、2、3、4...) 构成的推/挽电路组合在一起,来构造每一个构成本发明中的移位寄存器电路的信号保持部分 FFP_n。该推/挽电路形成本发明中的输出电路。

[0050] 然后,建立连接以将输入信号 IN 提供给 AND 电路 10 的一个信号输入端(第一信号输入端),将驱动时钟信号(第二时钟信号)CK' 提供给另一信号输入端(第二时钟信号输入端),并且将 AND 电路 10 的输出提供给触发器 FF' _n 的置位信号输入端 S。此外,建立连接以将复位信号 RST 提供给触发器 FF' _n 的复位信号输入端(第二信号输入端)R。

[0051] 构成推/挽电路的第一和第二 MOS 晶体管 T1_n 和 T2_n 串联连接在施加有输出时钟信号(第一时钟信号)的端子(第一时钟信号输入端)和施加有低电位电源 V_{ss} 的端子之间,其中所述输出时钟信号的时序不同于驱动时钟信号(第二时钟信号)CK' 的时序。然后,第一 MOS 晶体管 T1_n 的栅极连接到触发器 FF' _n 的输出端 Q,并且第二 MOS 晶体管 T2_n 的栅极连接到触发器 FF' _n 的反相输出端 \bar{Q} 。然后,MOS 晶体管 T1_n 和 T2_n 之间的连接触点用作输出端,于是输出信号 OUT 从其输出。

[0052] 现在,将参考图 1B 时序图对本实施例中的信号保持部分 FFP_n 的操作进行说明。

[0053] 首先,将高电平输入信号 IN 提供给 AND 电路 10 的一个信号输入端(第一信号输入端)。此时,在低电平下获得提供给 AND 电路 10 的另一个信号输入端(第二时钟信号输入端)的驱动时钟信号(第二时钟信号)CK'。因此,AND 电路 10 的输出也在低电平下获得。以这种方式,将低电平信号提供给触发器 FF' _n 的置位信号输入端 S,因此,此时不将触发器 FF' _n 置位。从其输出端 Q 输出低电平信号,并且从反相输出端 \bar{Q} 输出高电平信号。

[0054] 然后,如果驱动时钟信号 CK' 升高,并在高电平下获得该信号,同时,在高电平下获得输入信号 IN,则也在高电平下获得 AND 电路 10 的输出。以这种方式,将高电平信号提供给触发器 FF' _n 的置位信号输入端 S,于是将触发器 FF' _n 置位。因此,从触发器 FF' _n 的输出端 Q 输出高电平信号,并从反相输出端 \bar{Q} 输出低电平信号。即使输入信号 IN 或驱动时钟信号 CK' 翻转到低电平,也能保持从该触发器 FF' _n 的输出端 Q 和 \bar{Q} 输出的信号的状态。以这种方式,将高电平电压施加到推/挽电路的第一 MOS 晶体管 T1_n 的栅极,并将低电平电压施加到第二 MOS 晶体管 T2_n 的栅极。因此,第一 MOS 晶体管 T1_n 导通,第二 MOS 晶体管截止。此时,在推/挽电路的第一和第二 MOS 晶体管 T1_n 和 T2_n 中,将输出时钟信号(第一时钟信号)CK 提供给第一 MOS 晶体管 T1 的漏极(第一时钟信号输入端),并将低电位电源 V_{ss} 施加到第二 MOS 晶体管 T2_n 的源极。因此,获得从 MOS 晶体管 T1_n 和 T2_n 之间的连接点处的输出端取出的输出信号 OUT,作为其电平响应于输出时钟信号 CK 的信号。即,当在低电平下获得输出时钟信号 CK 时,在低电平下获得输出信号 OUT。当在高电平下获得输出时钟信号 CK 时,也在高电平下获得输出信号 OUT。

[0055] 然后,当将高电平复位信号 RST 提供给复位信号输入端(第二信号输入端)R时,将触发器 FF' n 复位,并从其输出端 Q 输出低电平信号,且从反相输出端 \bar{Q} 输出高电平信号。以这种方式,推/挽电路的第一 MOS 晶体管 T1n 截止,并且第二 MOS 晶体管 T2n 导通,于是在低电平下获得来自输出端的输出信号 OUT。

[0056] 如上所述,将本实施例中的信号保持部分 FFPn 构造成,除了输出时钟信号(第一时钟信号)CK 之外,还将另一时钟信号(驱动时钟信号 CK': 第二时钟信号)用作时钟信号,并且当输入信号 IN 和驱动时钟信号 CK' 每一个都在高电平下获得时,推/挽电路的第一 MOS 晶体管 T1n 导通。此外,与在高电平下获得输入信号 IN 的时刻相比,在高电平下获得驱动时钟信号 CK' 的时刻被更明显地延迟,由此,如图 1B 中的 D2 所示,可以将电压施加到推/挽电路的第一 MOS 晶体管 T1n 的栅极的时间设为时间 D2,其比图 8B 所示的常规时间 D1 短。为了比较,图 8B 中的 D1 也显示在图 1B 中。以这种方式,可以减小施加到栅极的电压应力,其是在使用非晶硅 TFT 的情况下随时间退化的主要因素,于是可以抑制推/挽电路的第一 MOS 晶体管的退化。

[0057] 现在参考图 2,将对于上述的输出时钟信号(第一时钟信号)CK 和驱动时钟信号(第二时钟信号)CK' 之间所要求的时序关系进行说明。

[0058] 如上所述,在信号保持部分 FFPn 和包括该部分的移位寄存器电路中,与在高电平下获得输入信号 IN 的时刻相比,在高电平下获得驱动时钟信号 CK' 的时刻被更明显地延迟,从而与常规结构相比降低了将电压施加到推/挽电路的第一 MOS 晶体管 T1n 的栅极的时间。此外,在移位寄存器电路中,在第二级或随后级获得的输入信号 IN 为前一级的信号保持部分 FFPn 的输出信号,并且其为响应于输出时钟信号 CK 的时序的信号。即,如图 1A 所示,于在低电平下获得时钟信号 CK 的时刻获得 IN 作为高电平信号的输入信号,而于在高电平下获得输出时钟信号 CK 的时刻获得作为低电平信号的输入信号 IN。

[0059] 因此,如图 2 的①所示,驱动时钟信号 CK' 升高的时刻需要晚于输出时钟信号 CK 降低的时刻。此外,如该图的②所示,上述时刻需要早于输出时钟信号 CK 上升的时刻。

[0060] 此外,根据将高电平复位信号 RST 提供给复位信号输入端 R 的时刻确定复位触发器 FF' n、从输出端 Q 输出低电平信号、并从反相输出端 \bar{Q} 输出高电平信号的时刻。上述时刻与驱动时钟信号 CK' 下降的时刻无关。因此,驱动时钟信号 CK' 下降的时刻可以同于或早于输出时钟信号 CK 下降的时刻。即,由图 2 中示出的③所表示的时间可以为零。即,在图 1A 和 2 中,虽然驱动时钟信号 CK' 具有占空比与输出时钟信号 CK 相等且相位与其不同的波形,但是驱动时钟信号 CK' 可以不具有与输出时钟信号 CK 相等的占空比,只要上升时刻满足上述条件即可。例如,如由图 2 中的虚线所示,可以产生这样的驱动时钟信号 CK', 即其波形的占空比与输出时钟信号 CK 不同且其下降时刻与输出时钟信号 CK 下降的时刻相同。

[0061] 在图 1A 中,虽然信号保持部分 FFPn 由置位/复位型触发器 FF' n 和每一个都设置在触发器 FF' n 的置位信号输入端 S 侧处的两个输入 AND 电路 10、以及推/挽电路的组合构成,但是该保持部分可以具有其它构造元件,只要其以如上所述的相同方式运行即可。

[0062] 图 3A 是示出构成根据本发明的移位寄存器电路的信号保持部分的一个实施例的另一典型结构的方框图。

[0063] 图 3B 是用于说明图 3A 信号保持部分操作的时序图。

[0064] 对于图 1A 和 1B 所示的相似构造元件,将给出简要的说明或者省略对其的说明。

[0065] 如图 3A 所示,该典型结构中的信号保持部分 FFPn 通过以下组合构成:置位/复位型触发器 FF' n;每一个都设置在触发器 FF' n 的输出端 Q 侧处的两个输入 AND 电路 11;每一个都设置在反相输出端 \bar{Q} 侧处的两个输入 AND 电路 12;设置在 2 输入 AND 电路 11 和 12 之间的反相电路(反相器)13;以及由第一 MOS 晶体管 T1n 和第二 MOS 晶体管 T2n 构成的推/挽电路。

[0066] 建立连接,以将输入信号 IN 提供给触发器 FF' n 的置位信号输入端 S,并将复位信号 RST 提供给触发器 FF' n 的复位信号输入端 R。此外,触发器 FF' n 的输出端 Q 连接到 AND 电路 11 中的一个的信号输入端,并且将反相输出端 \bar{Q} 连接到 AND 电路 12 中的一个的信号输入端。将驱动时钟信号 CK' 提供给 AND 电路 11 中的另一个的信号输入端,并且驱动时钟信号经由反相电路 13 提供给 AND 电路 12 中的另一个的信号输入端。并且建立连接,以使 AND 电路 11 的输出提供给构成推/挽电路的第一 MOS 晶体管 T1n 的栅极,并且将 AND 电路 12 的输出提供给第二 MOS 晶体管 T2n 的栅极。

[0067] 在本实施例中的信号保持部分 FFPn 的操作中,如图 3B 的时序图所示,首先,将高电平输入信号 IN 提供给触发器 FF' n 的置位信号输入端 S,从而将触发器 FF' n 置位,从其输出端 Q 输出高电平信号,并从反相输出端 \bar{Q} 输出低电平信号。以这种方式,将高电平信号提供给 AND 电路 11 中的一个的信号输入端,并且将低电平信号提供给 AND 电路 12 中的一个的信号输入端。此时,在低电平下获得驱动时钟信号(第二时钟信号)CK'。由此,将低电平信号提供给 AND 电路 11 中的另一个的信号输入端,并将高电平信号提供到 AND 电路 12 中的另一个的信号输入端。由此,在低电平下获得 AND 电路 11 的输出,并且在高电平下获得 AND 电路 12 的输出。

[0068] 然后,如果驱动时钟信号 CK' 升高并在高电平下获得该信号,同时在高电平下获得输入信号 IN,则将高电平信号提供给 AND 电路 11 中的另一个的信号输入端,并且将低电平信号提供给 AND 电路 12 中的另一个的信号输入端。由此,在高电平下获得 AND 电路 11 的输出,并且在低电平下获得 AND 电路 12 的输出。以这种方式,将高电平电压施加到推/挽电路的第一 MOS 晶体管 T1n 的栅极;将低电平电压施加到第二 MOS 晶体管 T2n 的栅极;并且获得从 MOS 晶体管 T1n 和 T2n 之间的连接触点处的输出端取出的输出信号 OUT,作为其电平响应于输出时钟信号 CK 的信号。

[0069] 此后,当在高电平下获得复位信号 RST 时,将触发器 FF' n 复位,从其输出端 Q 输出低电平信号,并且从其反相输出端 \bar{Q} 输出高电平信号。以这种方式,将低电平信号提供给 AND 电路 11 中的一个的信号输入端,并将高电平信号提供给 AND 电路 12 中的一个的信号输入端。在低电平下获得 AND 电路 11 的输出,在高电平下获得 AND 电路 12 的输出,于是在低电平下获得来自输出端的输出信号 OUT。

[0070] 如上所述,还是在该典型结构中,与图 1A 中所示结构的情况相同,如下提供结构。通过使用输出时钟信号 CK 以及另一个驱动时钟信号 CK' 作为时钟信号,与在高电平下获得输入信号 IN 的时刻相比,在高电平下获得驱动时钟信号 CK' 的时刻被更明显地延迟。然后,当在高电平下获得输入信号 IN 和驱动时钟信号 CK' 时,推/挽电路的第一 MOS 晶体管 T1n 导通,由此将电压施加到推/挽电路的第一 MOS 晶体管 T1n 的栅极的时间能设为比图 8B 所

示的常规时间 D1 短的时间 D2。以这种方式,可以抑制推 / 挽电路的第一 MOS 晶体管 T1n 的退化。

[0071] 现在,将对具体电路结构的实例进行说明,所述具体电路结构用于实现构成根据本实施例的移位寄存器电路的信号保持部分。

[0072] 图 4A 是示出根据本实施例的信号保持部分的具体结构实例的电路图。

[0073] 图 4B 是用于说明图 4A 中的信号保持部分操作的时序图。

[0074] 在图 4A 中,示意性地示出构成信号保持部分的多个 MOS 晶体管的参考标记,同时为了简化省略了下标“n”。并且在以下说明中,省略了下标。

[0075] 每一个信号保持部分 FFPn 主要构成为具有:构成上述推 / 挽电路的第一 MOS 晶体管 T1 和第二 MOS 晶体管 T2;以及六个 MOS 晶体管 T11 至 T16。MOS 晶体管 T11 至 T16 每一个都构成与上述的 AND 电路和置位 / 复位型触发器相似的功能。此外,构成推 / 挽电路的第一和第二 MOS 晶体管 T1 和 T2 形成本发明中的输出电路。

[0076] 这里,MOS 晶体管 T11 形成本发明中的第三晶体管;MOS 晶体管 T12 形成第四晶体管;MOS 晶体管 T15 形成第五晶体管;MOS 晶体管 T16 形成第六晶体管;并且 MOS 晶体管 T14 形成第七晶体管。

[0077] 在作为第三晶体管的 MOS 晶体管 T11 中,栅极连接到提供有输入信号 IN 的信号输入端(第一信号输入端),并且漏极连接到高电位电源 Vdd,其用作高电位侧的工作电压。此外,该 MOS 晶体管 T11 的源极连接到作为第四晶体管的 MOS 晶体管 T12 的栅极。

[0078] MOS 晶体管 T12 的漏极连接到第二时钟信号输入端,并且将与输出时钟信号(第一时钟信号)CK 具有预定时序关系的驱动时钟信号(第二时钟信号)CK' 提供给她,如之前描述的图 2 所示。此外,该 MOS 晶体管 T12 的源极连接到第一 MOS 晶体管 T1 的栅极。

[0079] 此外,该 MOS 晶体管 T12 的源极二极管式连接到高电位电源 Vdd,并连接到作为第七晶体管的 MOS 晶体管 T14 的栅极,所述第七晶体管的漏极和源极连接在用作负载的 MOS 晶体管 T13 和用作在低电位侧获得的工作电压的低电位电源之间。然后,该 MOS 晶体管 T14 的漏极连接到第二 MOS 晶体管 T2 的栅极。

[0080] 此外,在作为第五晶体管的 MOS 晶体管 T15 中,栅极连接到提供有复位信号 RST 的复位信号输入端(第二信号输入端);漏极连接到 MOS 晶体管 T11 的源极;并且源极连接到低电位电源 Vss。此外,在作为第六晶体管的 MOS 晶体管 T16 中,栅极连接到提供有复位信号 RST 的第二信号输入端 RST;漏极连接到 MOS 晶体管 T12 的源极;并且源极连接到低电位电源 Vss。

[0081] 图 4A 所示的电路结构与前述图 1A 所示的信号保持部分的方框图等效;MOS 晶体管 T11 和 T12 各自具有与图 1A 的 AND 电路 10 等效的功能;并且 MOS 晶体管 T13 至 T16 各自具有与图 1A 的置位 / 复位型触发器 FF' n 等效的功能。此外, MOS 晶体管 T12 的源极与图 1A 的触发器 FF' n 的输出端 Q 等效,并且 MOS 晶体管 T14 的漏极与图 1A 的触发器 FF' n 的反相输出端 \bar{Q} 等效。

[0082] 这里,所有上述八个 MOS 晶体管 T1、T2 以及 T11 至 T16 都由 n 沟道型非晶硅 TFT 构成。

[0083] 现在,将参考图 4B 的时序图对由此构造的信号保持部分 FFPn 的操作进行说明。

[0084] 首先,将高电平输入信号 IN 提供给连接到 MOS 晶体管 T11 的栅极的信号输入端

(第一信号输入端)。以这种方式, MOS 晶体管 T11 导通。将高电位电源 Vdd 提供给该 MOS 晶体管 T11 的漏极, 因此 MOS 晶体管 T11 的源极的电位由于 MOS 晶体管 T11 的导通而升高。以这种方式, 连接到 MOS 晶体管 T11 的源极的 MOS 晶体管 T12 的栅极电位升高, 于是该 MOS 晶体管 T12 导通。

[0085] MOS 晶体管 T12 的漏极连接到第二时钟信号输入端, 并且将驱动时钟信号 (第二时钟信号) CK' 提供给它。然后, 在高电平下获得输入信号 IN。在 MOS 晶体管 T11 导通的时刻在低电平下获得驱动时钟信号 CK', 由此也在低电平下获得 MOS 晶体管 T12 的源极 (等效于输出端 Q)。以这种方式, 也在低电平下获得连接到 MOS 晶体管 T12 的源极的第一 MOS 晶体管 T1 的栅极。以这种方式, 第一 MOS 晶体管 T1 截止。

[0086] 此外, 也在低电平下获得连接到 MOS 晶体管 T12 的源极的 MOS 晶体管 T14 的栅极。以这种方式, MOS 晶体管 T14 也截止。因此, 通过高电位电源 Vdd 经由用作二极管 (负载) 的 MOS 晶体管 T13 在高电平下获得 MOS 晶体管 T14 的漏极 (与反相输出端 \bar{Q} 等效), 并且也在高电平下获得连接到 MOS 晶体管 T14 的漏极的第二 MOS 晶体管 T2 的栅极。以这种方式, 第二 MOS 晶体管 T2 导通。

[0087] 因此, 在低电平下获得从第一和第二 MOS 晶体管 T1 和 T2 之间的连接触点处的输出端 OUT 取出的输出信号, 所述低电平与提供给第二 MOS 晶体管 T2 的源极的低电位电源 Vss 等效。

[0088] 然后, 在高电平下获得输入信号 IN 的同时, 驱动时钟信号 CK' 升高并在高电平下获得该信号。然后, 将高电平驱动时钟信号 CK' 提供给 MOS 晶体管 T12 的漏极。此时, MOS 晶体管 T12 导通, 由此在高电平下获得该 MOS 晶体管 T12 的源极 (输出端 Q)。以这种方式, 第一 MOS 晶体管 T1 的栅极和 MOS 晶体管 T14 的栅极每一个都在高电平下获得, 于是 MOS 晶体管 T1 和 T14 导通。

[0089] 当 MOS 晶体管 T14 导通时, 构成从高电位电源 Vdd 经由 MOS 晶体管 T13 和 T14 到高电位电源 VDD 的电流路径, 并且降低了 MOS 晶体管 14 的漏极 (反向输出端 \bar{Q})。因此, 在低电平下获得第二 MOS 晶体管 T2 的栅极。以这种方式, 第二 MOS 晶体管 T2 截止。

[0090] 因此, 输出从第一和第二 MOS 晶体管 T1 和 T2 之间的连接触点处的输出端取出的输出信号 OUT, 作为其电平响应于输出时钟信号 (第一时钟信号) CK 的信号, 将所述输出时钟信号 CK 提供给连接到第一 MOS 晶体管 T1 的漏极的第二时钟信号输入端。即, 在低电平下获得输出时钟信号 CK 的同时, 在低电平下获得输出信号 OUT。

[0091] 此外, 当在高电平下获得输出时钟信号 CK 时, 在高电平下获得输出信号 OUT。此时, 将低电平输入信号 IN 提供给 MOS 晶体管 T11 的栅极。然而, 由于 MOS 晶体管 T11 的栅极的寄生电容而使电荷保持一段预定的时间。因此, 不立即确立截止状态; 使导通状态保持上述的一段预定的时间, 然后确立截止状态。因此, 在所述预定时间段内, 保持 MOS 晶体管 T11、T12 以及 T14 的导通状态。以这种方式, 使第一 MOS 晶体管 T1 的栅极保持在高电平下, 第二 MOS 晶体管 T2 的栅极保持在低电平下, 并且在高电平下获得输出信号 OUT。

[0092] 此后, 当将低电平驱动时钟信号 CK' 提供给 MOS 晶体管 T12 的漏极时, 由于 MOS 晶体管 T14 和 T1 的栅极的寄生电容, 而使电荷保持一段预定的时间。因此, 这些 MOS 晶体管 T14 和 T1 都不立即截止; 使导通状态保持上述的一段预定的时间, 然后确立截止状态。因此, 在所述预定时间段内, 保持这些 MOS 晶体管 T14 和 T1 的导通状态。以这种方式, 将输出

信号 OUT 保持在高电平下。

[0093] 然后,当将高电平复位信号 RST 提供给连接到 MOS 晶体管 T15 和 T16 的栅极的第二信号输入端时,这些 MOS 晶体管 T15 和 T16 导通。以这种方式,MOS 晶体管 T15 的漏极和 MOS 晶体管 T16 的漏极(输出端 Q) 每一个都在低电平下获得,使保持在 MOS 晶体管 T12、T14 和 T1 的栅极上的电荷快速放电,于是这些 MOS 晶体管 T12、T14 和 T1 截止。因此。在低电平下获得输出信号 OUT。

[0094] 虽然在以上说明中每个 MOS 晶体管都是 n 沟道型,但是其也可以是 p 沟道型,只要每个这种 MOS 晶体管的导通 / 截止操作以与上述相同的方式进行即可。而且,该 MOS 晶体管可以既包括 n 沟道型又包括 p 沟道型。在这种情况下,适当地设置每个这种信号的电平,以便以与上述相同的方式进行每个 MOS 晶体管的导通 / 截止操作。

[0095] 如上所述,在本实施例中的信号保持部分 FFPn 中,如在图 1A 所示的结构中那样,通过使用两个时钟信号,即输出时钟信号(第一时钟信号)CK 和驱动时钟信号 CK' (第二时钟信号),使在高电平下获得驱动时钟信号 CK' 的时刻与在高电平下获得输入信号 IN 的时刻相比被更明显地延迟。以这种方式,可以将电压施加到构成推 / 挽电路的第一 MOS 晶体管 T1n 的栅极的时间设为时间 D2,与常规结构的情况相比该时间要短。因此,可以抑制推 / 挽电路的第一 MOS 晶体管 T1n 的恶化。

[0096] 现在,将对通过级联根据本实施例的多个信号保持部分而构造的移位寄存器电路的结构进行说明。

[0097] 图 5 是示出使用根据本实施例的信号保持部分的移位寄存器电路的典型结构的电路图。

[0098] 图 6 是用于说明图 5 的移位寄存器电路操作的时序图。

[0099] 如图 5 所示,通过串联级联图 1A、3A 和 4A 所示的多个信号保持部分 FFPn 来构造根据本发明的移位寄存器电路。

[0100] 即,从外部取得第 n 级的信号保持部分 FFPn 的输出信号 OUTn,并将获得的信号作为输入信号 IN 提供给第 n+1 级的信号保持部分 FFPn+1 的信号输入端(第一信号输入端)。此外,确立连接以使来自第 n+1 级的信号保持部分 FFPn+1 的输出信号 OUTn+1 作为复位信号 RST 反馈到第 n 级的信号保持部分 FFPn 的复位信号输入端(第二信号输入端)。这里,将预定起始信号 ST 提供给第一级的信号保持部分 FFP1 的信号输入端。此外,从外部将复位信号提供给最后一级的信号保持部分的触发器 FFn 的复位信号输入端。

[0101] 此外,例如,在移位寄存器电路需要“m”个输出级的情况下,使用 m+1 个级的信号保持部分,并且最后一级的信号保持部分用作虚拟部分以便可以将其最后一级的输出信号 OUT 作为复位信号 RST 提供给第 m 级的信号保持部分的复位信号输入端,而不向外输出输出信号 OUT。

[0102] 此外,提供这样的结构,分别将第一输出时钟信号 CK1 和满足以上对于第一输出时钟信号所述的条件的第一驱动时钟信号 CK1' 作为输出时钟信号(第一时钟信号)CK 和驱动时钟信号(第二时钟信号)CK' 提供给奇数信号保持部分 FFP1、FFP3、…。此外,分别将具有上述第一输出时钟信号 CK1 的反相波形的第二输出时钟信号 CK2 和满足以上对于第二输出时钟信号所述的条件的第二驱动时钟信号 CK2' 作为输出时钟信号 CK 和驱动时钟信号 CK' 提供给偶数信号保持部分 FFP2、FFP4、…。

[0103] 根据由此构造的移位寄存器电路,如在常规移位寄存器电路的情况下那样并如图 6 的时序图所示,在提供起始信号之后,依次传递(移位)高电平输出信号 OUT1、OUT2、OUT3、OUT4、...,并与脉冲信号 CK1 和 CK2 的高电平施加时刻同步地将其输出。

[0104] 如上所述,在根据本发明的移位寄存器中,除输出时钟信号 CK 之外,另一驱动时钟信号 CK' 还用作时钟信号,并且与在高电平下获得输入信号 IN 的时刻相比,在高电平下获得驱动时钟信号 CK' 的时刻被更显著地延迟。以这种方式,与常规情况相比可以更加显著地降低将电压施加到推/挽电路的第一 MOS 晶体管 T1 的栅极的时间段,可以抑制 MOS 晶体管 T1 随时间的恶化,并且可以改善移位寄存器电路的长期可靠性。

[0105] 现在,将参考附图对根据本发明的移位寄存器电路的应用实例进行具体说明。

[0106] 图 7A 是示出将根据本发明的移位寄存器电路应用于其的液晶显示装置的整个结构的示意图。

[0107] 图 7B 是示出根据该应用实例的液晶显示装置的主要部分的结构详图。

[0108] 这里,将对使用有源矩阵型液晶显示面板作为液晶显示装置的液晶显示装置进行说明。

[0109] 如图 7A 所示,根据该应用实例的液晶显示装置粗略地构成为具有:液晶显示面板(显示装置)10;源极驱动器(信号驱动器;显示驱动装置)20;栅极驱动器(扫描驱动器;显示驱动装置)30;LCD 控制器 40;系统控制电路 50;以及数字/模拟转换器(以下称作 D/A 转换器)60。

[0110] 现在,将在以下对构成元件进行说明。如图 7B 所示,液晶显示面板 10 构成为具有:液晶电容 C1c,其由设置成矩阵形状的像素电极和设置成与像素电极相对的共用电极(共用电压 Vcom)以及在像素电极和共用电极之间充电的液晶构成;其源极连接到像素电极的 TFT(以下称作“像素晶体管 TFT”);扫描线 Lg,其在矩阵的行方向上延伸并连接到多个像素晶体管 TFT 的栅极;以及信号线 Ld,其在矩阵的列方向上延伸并连接到多个像素晶体管 TFT 的漏极。

[0111] 然后,将信号电压施加到通过稍后所述的源极驱动器 20 和栅极驱动器 30 选择的像素电极,从而控制液晶的设置,并显示和输出预定的图像信息。这里,Cs 是充电电容,并且液晶电容 C1c、充电电容 Cs 以及像素晶体管 TFT 构成液晶像素(显示像素)11。

[0112] 基于从稍后所述的 LCD 控制器 40 提供的水平控制信号,源极驱动器 20 将与图像信号 R、G 和 B 相对应的信号电压经由信号线 Ld 提供给像素电极。

[0113] 这里,如图 7B 所示,源极驱动器 20 示意性地构成为具有:采样保持电路 22,其输入有 R、G 和 B 图像信号;以及移位寄存器 21,其用于控制采样保持电路 22 的采样保持操作。依次将通过移位寄存器 21 而在预定方向上移位和输出的采样保持控制信号施加到采样保持电路 22,从而将与所施加的 R、G 和 B 图像信号相对应的信号电压发送到液晶显示面板 10 的信号线 Ld。

[0114] 另一方面,在栅极驱动器 30 中,基于从 LCD 控制器 40 提供的垂直控制信号,依次将扫描信号施加到扫描线 Lg,并使其有效。然后,源极驱动器 20 执行线顺序驱动,将提供给信号线 Ld 的信号电压施加(写入)到设置在与信号线 Ld 交叉的位置处的像素电极(显示像素)。

[0115] 如图 7B 所示,栅极驱动器 30 示意性地构造具有移位寄存器 31 和缓冲器 32。依

次将通过移位寄存器 31 而在预定方向上移位和输出的控制信号作为预定的栅极信号施加到液晶显示面板 10 的扫描线 Lg, 从而驱动和控制像素晶体管 ITFT, 并且将通过源极驱动器 20 施加到信号线 Ld 的信号电压经由像素晶体管 TFT 施加到像素电极。

[0116] LCD 控制器 40 基于从系统控制电路 50 提供的水平同步信号 HD、垂直同步信号 VD 和系统时钟 SYSCK 产生水平控制信号和垂直控制信号。然后, 将所产生的控制信号分别提供给源极驱动器 20 和栅极驱动器 30, 从而进行控制以在预定的时刻将信号电压施加到像素电极, 并且在液晶显示面板 10 上显示所需的图像信息。

[0117] 系统控制电路 50 将系统时钟 SYSCK 提供给源极驱动器 20、LCD 控制器 40、D/A 转换器 60 等, 并将与该系统时钟 SYSCK 同步的水平同步信号 HD 和垂直同步信号 VD 提供给 LCD 控制器 40。此外, 由数字 RGB 信号形成的视频图像信号经由 D/A 转换器 60 作为模拟 RGB 信号 (图像信号 R、G 和 B) 输出到源极驱动器 20。

[0118] 即, LCD 控制器 40 和系统控制电路 50 各自构成驱动控制信号产生装置, 其基于经由接口 (未示出) 向外提供的视频图像信号产生用于将所需图像信息显示在液晶显示面板 10 上的各种控制信号, 并且将所产生的控制信号输出到源极驱动器 20 和栅极驱动器 30。

[0119] 在具有上述结构的液晶显示装置中, 根据本发明的移位寄存器电路 (图 5) 可以适当地用作设置在源极驱动器 20 中的移位寄存器 21 和设置在栅极驱动器 30 中的移位寄存器 31。即, 基于输出时钟信号 CK1 和 CK2 以及驱动时钟信号 CK1' 和 CK2', 其每一个都具有预定周期, 各自从上述信号保持部分 FFPn (图 1A、3A 和 4A) 顺序输出的输出信号 OUTn 可以用作采样保持控制信号或输出到缓冲器 32 的控制信号。

[0120] 这里, 例如, 在移位寄存器 21 和 31 中, 可以将用于执行与根据本发明的移位寄存器电路相似操作的操作控制信号 (输出时钟信号 CK1 和 CK2、驱动时钟信号 CK1' 和 CK2'、以及起始信号 ST) 构造成是通过 LCD 控制器 40 而产生和输出的。此外, 可以利用其中通过 LCD 控制器 40 仅产生和输出起始信号 ST 的结构, 产生输出时钟信号 CK1 和 CK2 以及驱动时钟信号 CK1' 和 CK2', 并且省略对源极驱动器 20 和栅极驱动器 30 的举例说明。

[0121] 通过将根据本发明的这种移位寄存器电路用于液晶显示装置, 当移位寄存器 21 和 31 以移位方式进行操作且执行上述线顺序驱动时, 与常规情况相比可以更加显著地降低将电压施加到构成移位寄存器 21 和 31 的推 / 挽电路的第一 MOS 晶体管 T1 的栅极的时间段。以这种方式, 可以抑制 MOS 晶体管 T1 的退化。而且, 可以提供一种能够改善移位寄存器电路的长期可靠性并在很长的一段时间内减少或显示特性的失常或退化的液晶显示装置。

[0122] 此外, 诸如由移位寄存器 21 和 31 构成的源极驱动器 20 和栅极驱动器 30 的驱动电路可以利用非晶硅 TFT 而整体形成在显示面板 10 的基板 (TFT 基板) 上, 并且能够促进液晶显示装置的成本和厚度的降低。

[0123] 虽然已经通过一个实施例对本发明进行了说明, 但是本发明不限于上述的这样一个实施例。当然, 可以进行各种修改和应用而不脱离本发明的精神。

[0124] 例如, 作为例子提供图 4A 所示的电路结构, 用于实现本发明的功能。只要能够实现相似的功能, 就不需要电路系统, 即, 晶体管的数量或者其连接可以是不同的。

[0125] 此外, 晶体管可以是 p 沟道型而不限于是 n 沟道型的非晶硅 TFT。此外, 可使用具有相同导电性的多晶硅 TFT 或者具有相同导电性的 ZnO-TFT 等。

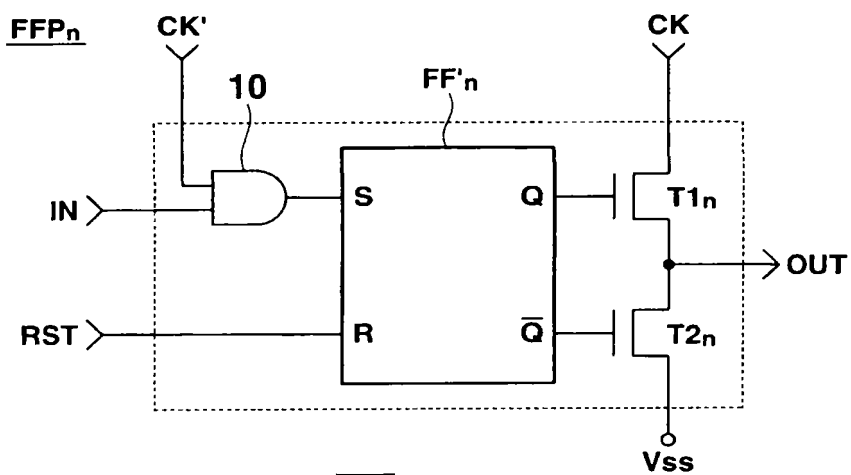


图1A

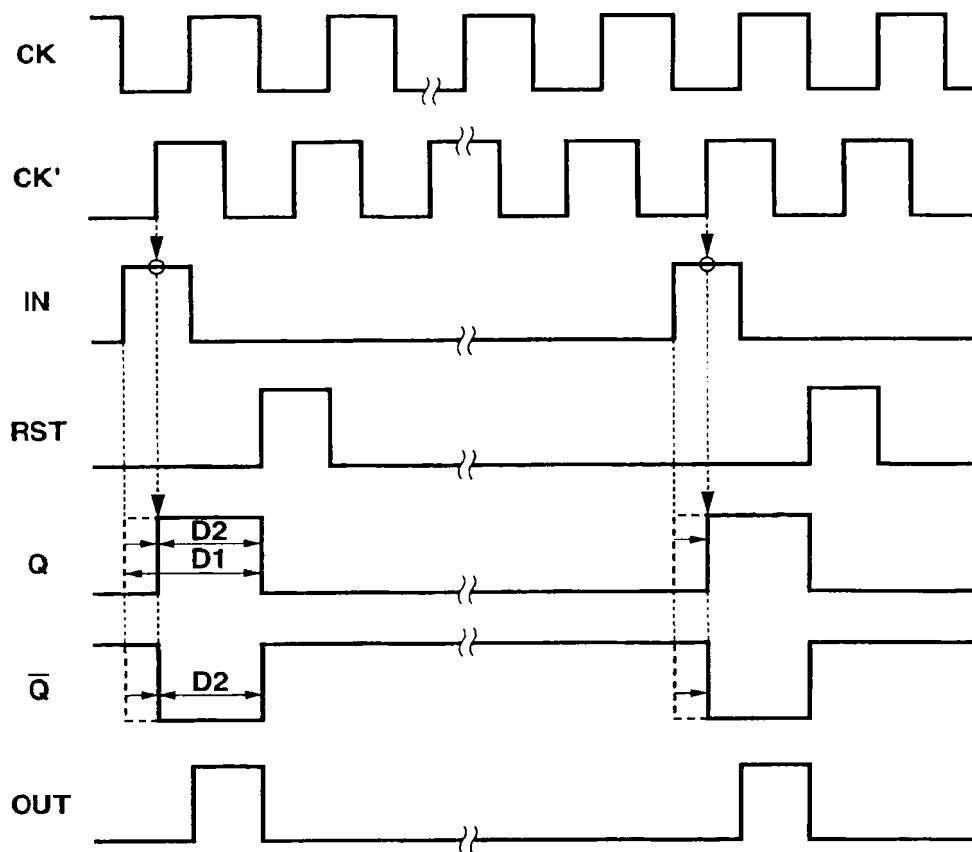


图1B

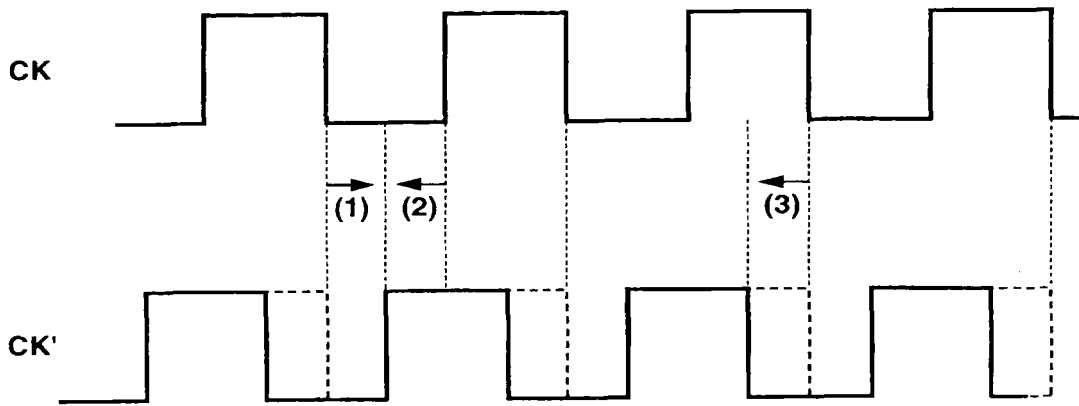


图2

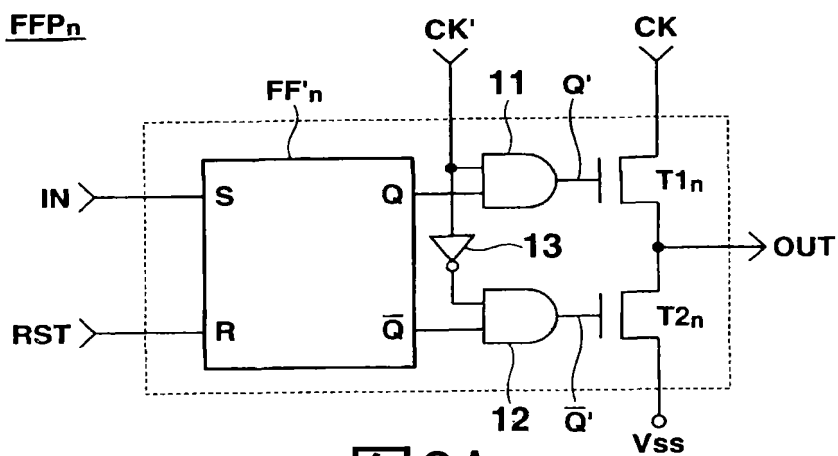


图3A

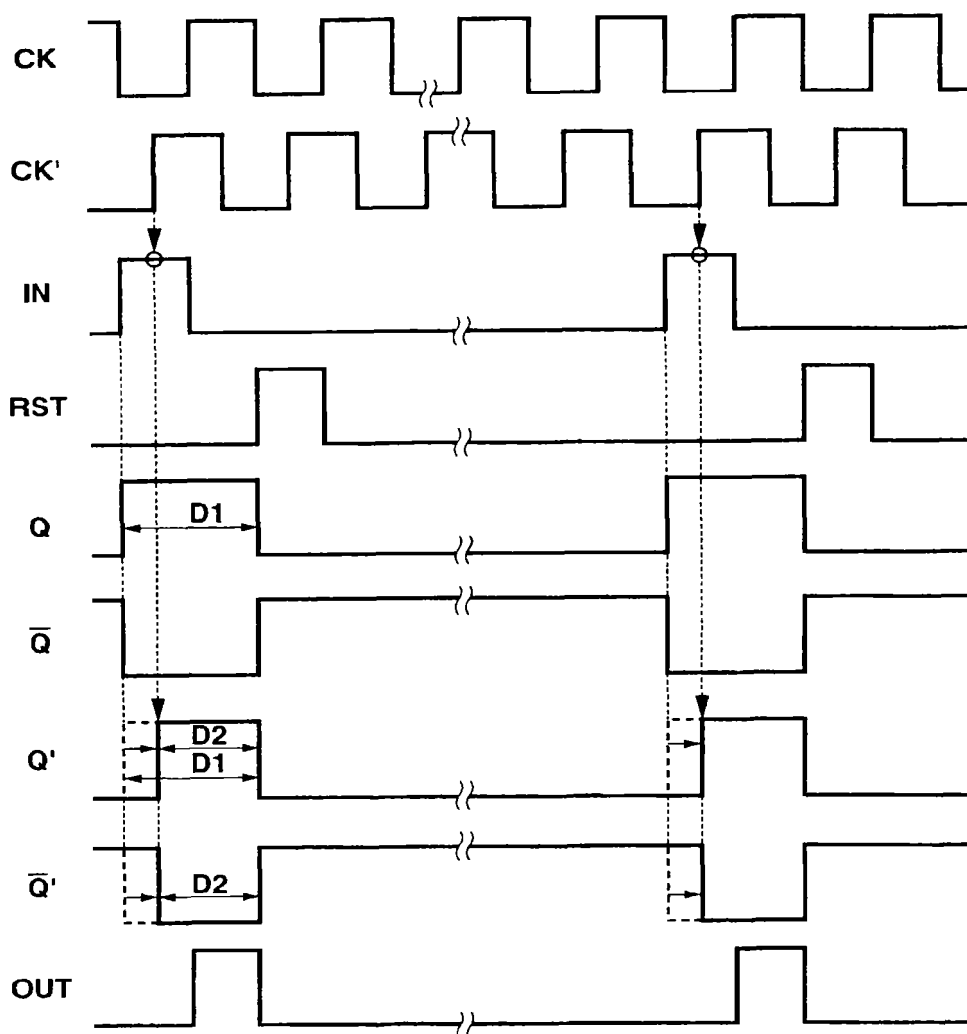


图3B

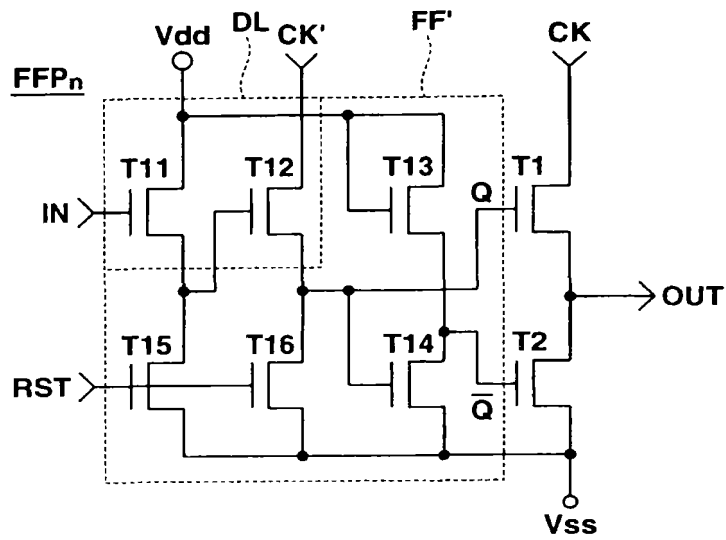


图4A

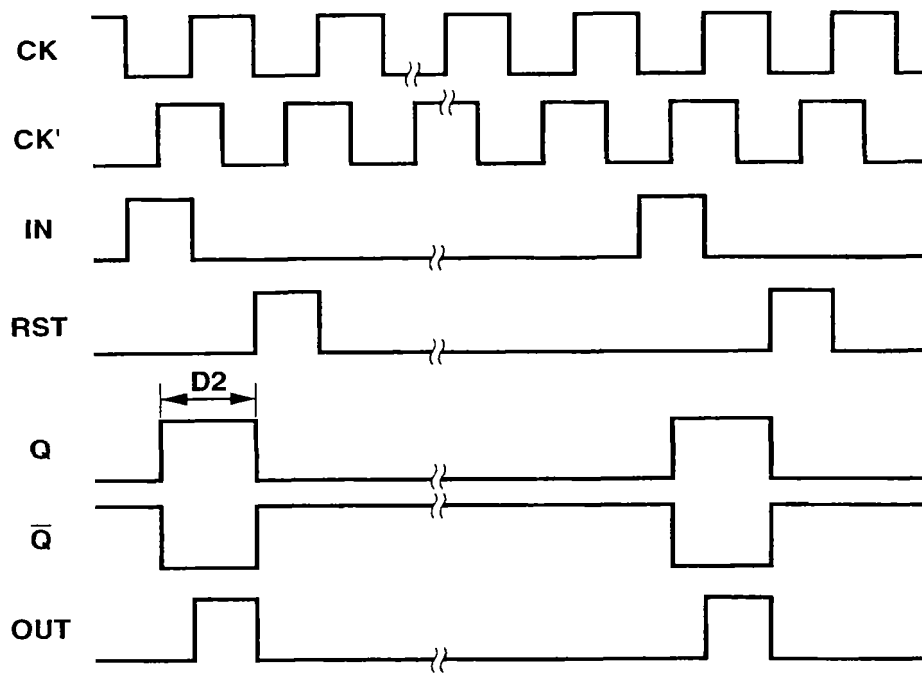


图4B

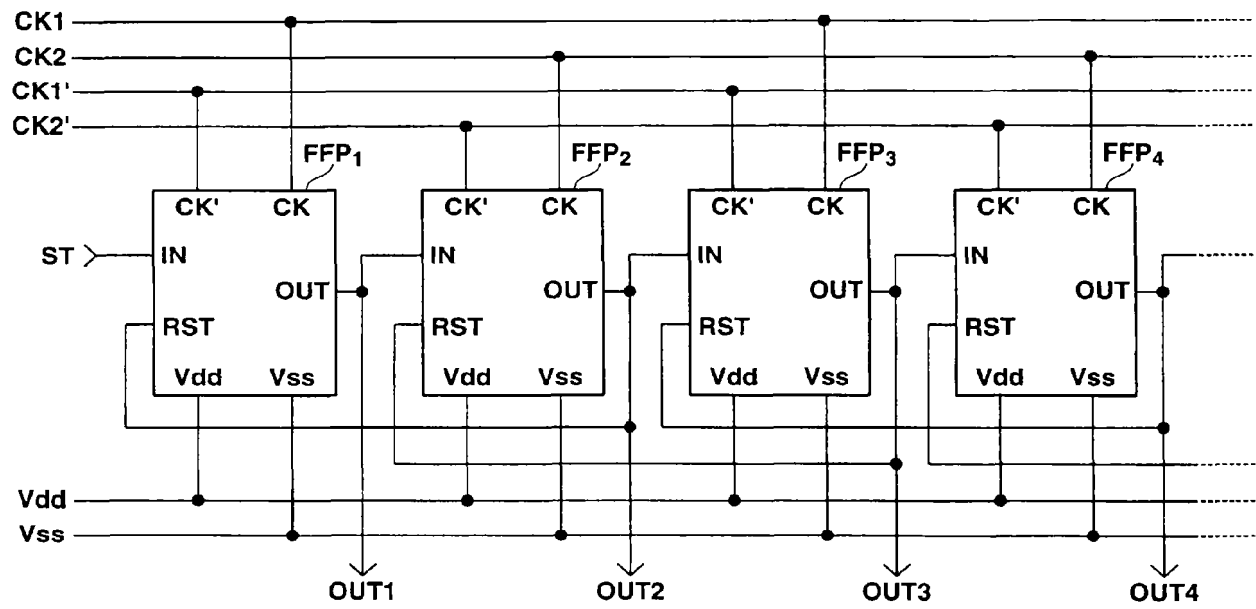


图5

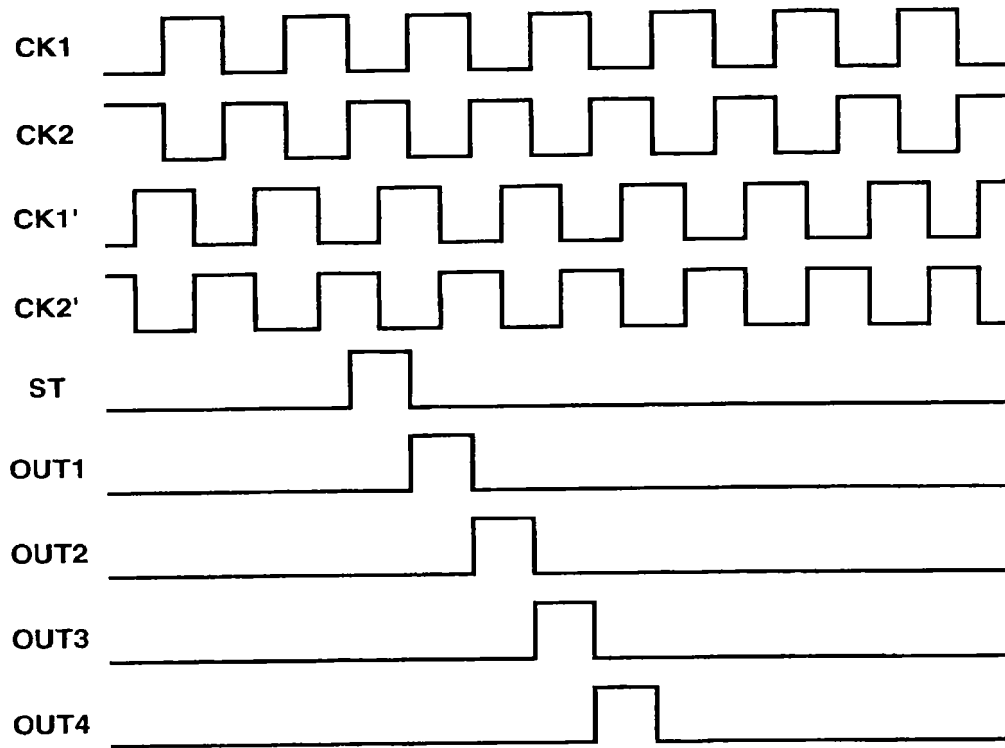


图6

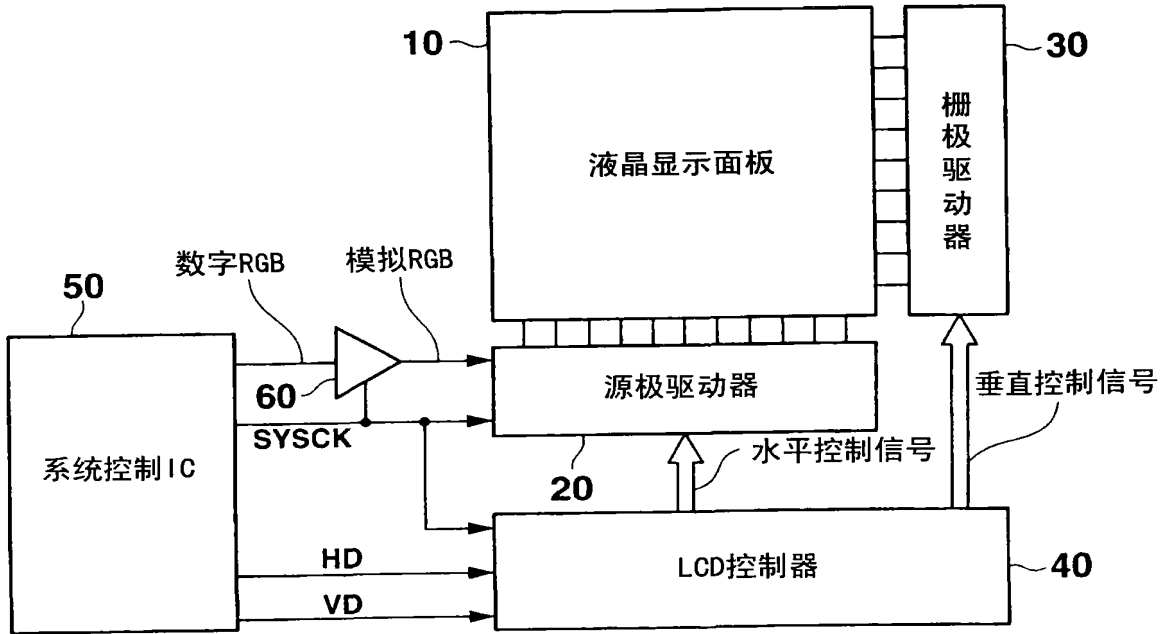


图7A

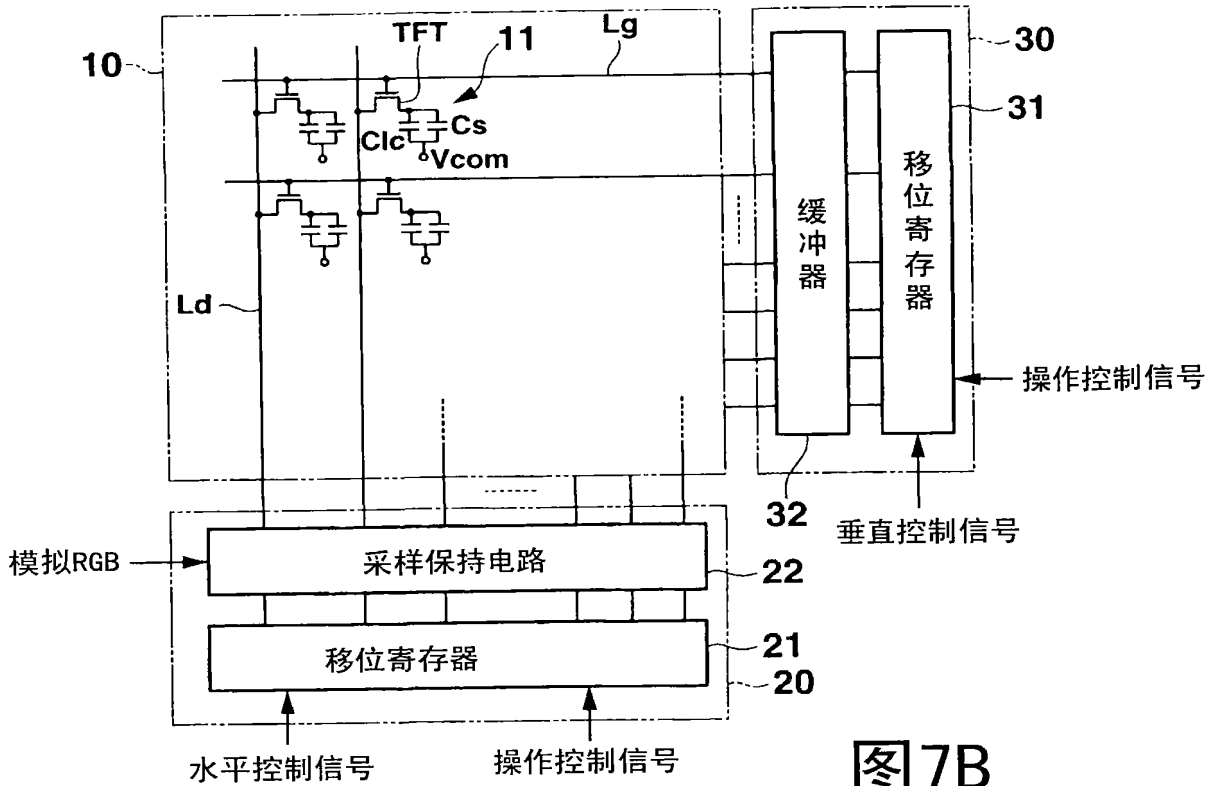


图7B

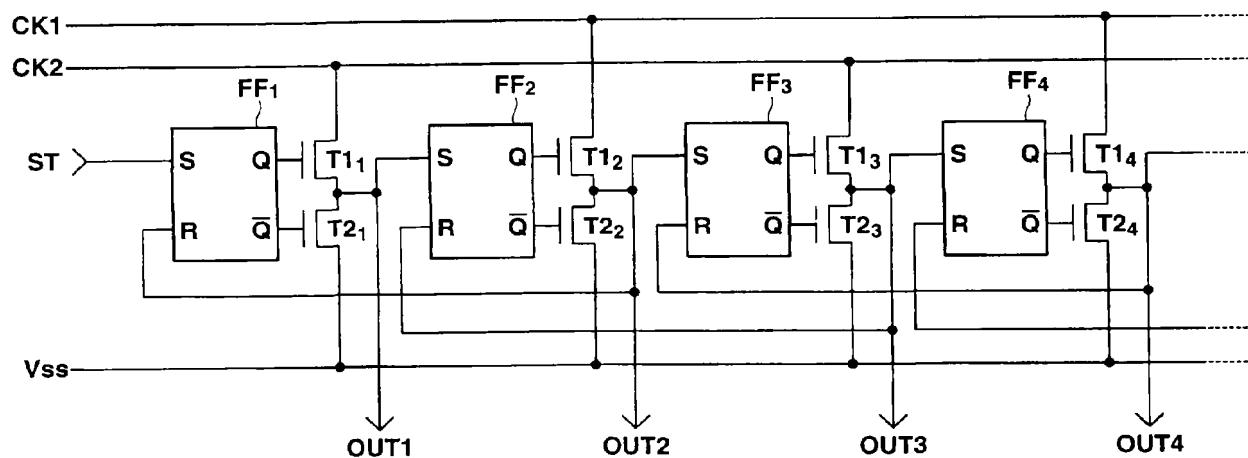


图8A

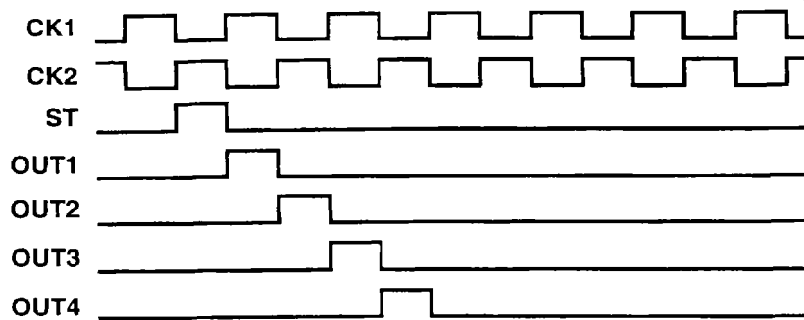


图8B

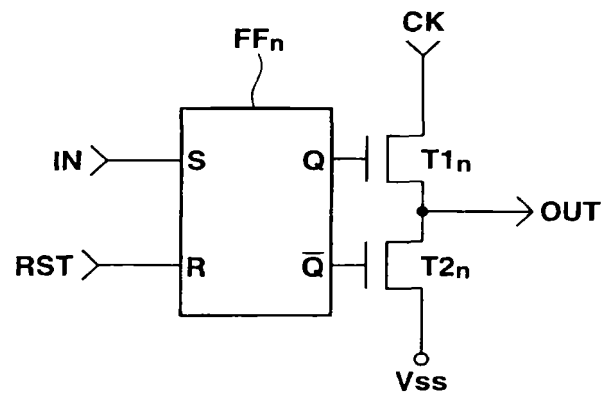


图9A

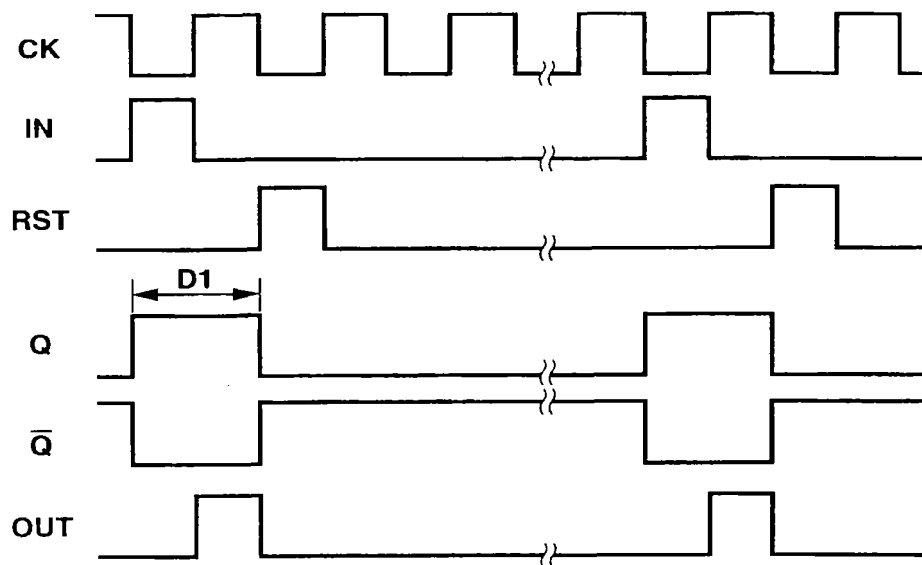


图9B