

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6214904号
(P6214904)

(45) 発行日 平成29年10月18日 (2017.10.18)

(24) 登録日 平成29年9月29日 (2017.9.29)

| | |
|------------------------------|-------------------|
| (51) Int.Cl. | F I |
| H03K 17/687 (2006.01) | H03K 17/687 Z NMG |
| H01L 29/786 (2006.01) | H01L 29/78 618B |
| | H01L 29/78 613Z |
| | H01L 29/78 614 |

請求項の数 4 (全 20 頁)

| | | | |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2013-81959 (P2013-81959) | (73) 特許権者 | 000153878 |
| (22) 出願日 | 平成25年4月10日 (2013.4.10) | | 株式会社半導体エネルギー研究所 |
| (65) 公開番号 | 特開2013-236365 (P2013-236365A) | | 神奈川県厚木市長谷398番地 |
| (43) 公開日 | 平成25年11月21日 (2013.11.21) | (72) 発明者 | 米田 誠一 |
| 審査請求日 | 平成28年4月8日 (2016.4.8) | | 神奈川県厚木市長谷398番地 株式会社 |
| (31) 優先権主張番号 | 特願2012-91727 (P2012-91727) | | 半導体エネルギー研究所内 |
| (32) 優先日 | 平成24年4月13日 (2012.4.13) | | |
| (33) 優先権主張国 | 日本国 (JP) | 審査官 | 及川 尚人 |

最終頁に続く

(54) 【発明の名称】 アイソレータ回路及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1及び第2の端子と、第1及び第2のトランジスタと、第1及び第2のバッファと、を有し、

前記第1の端子は、前記第1のトランジスタのソース及びドレインの一方と、前記第2のバッファの出力端子に電氣的に接続され、

前記第1のトランジスタのソース及びドレインの他方は、前記第1のバッファの入力端子に電氣的に接続され、

前記第2のバッファの入力端子は、前記第2のトランジスタのソース及びドレインの一方に電氣的に接続され、

前記第2の端子は、前記第1のバッファの出力端子と、前記第2のトランジスタのソース及びドレインの他方に電氣的に接続され、

前記第1及び第2のトランジスタのオフ電流は、チャンネル幅 $1\ \mu\text{m}$ あたり $1 \times 10^{-17}\ \text{A}$ 以下であり、

前記第1及び第2のトランジスタは、チャンネルが形成される領域に非単結晶の酸化物半導体を有し、

前記チャンネルが形成される領域は、c軸配向した結晶を有し、透過型電子顕微鏡を用いた観察によって結晶粒界が確認されない領域を有することを特徴とするアイソレータ回路

。

【請求項 2】

請求項 1 において、

前記第 1 及び第 2 のバッファにはインバータ及びクロックドインバータが設けられていることを特徴とするアイソレータ回路。

【請求項 3】

論理回路と信号線が、請求項 1 または請求項 2 に記載のアイソレータ回路を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 または請求項 2 に記載のアイソレータ回路と、論理回路と、をそれぞれ複数有し、

前記論理回路の一は、前記アイソレータ回路の一を介して信号線に電氣的に接続されていることを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子として、例えば薄膜トランジスタが挙げられる。従って、液晶表示装置及び記憶装置なども半導体装置に含まれる。

【背景技術】

【0002】

近年、モバイルコンピュータなどの可搬型の半導体装置が急速に普及している。このような可搬型の半導体装置は蓄電部を有しており、該蓄電部からの給電により動作するが、該蓄電部の充放電容量は有限である。そのため、可能な限り消費電力を低減したいという要請がある。

20

【0003】

一方で、半導体装置が高性能化するに伴い、プロセッサにおける消費電力も増大してきている。そのため、処理を行っていない論理回路への給電を停止して消費電力を抑制するパワーゲーティング技術を用いることで、プロセッサの消費電力の低減を図る試みがなされている（特許文献 1 を参照）。

【0004】

プロセッサにパワーゲーティング技術を適用する際に、給電が停止された論理回路と給電されている論理回路を電氣的に接続する信号線があると、電源線への電流の逆流や中間電位による消費電流の増大を引き起こすおそれがある。この問題は、論理回路と信号線の間にアイソレータ回路を配することで解決することができる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2008 - 172230 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

40

本発明の一態様は、双方向の電氣的な遮断が可能である新規なアイソレータ回路と、これを搭載した半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、片方向の電氣的な遮断が可能である 2 つの片方向アイソレータ回路を組み合わせたアイソレータ回路である。

【0008】

本発明の一態様は、論理回路と信号線が、前記構成のアイソレータ回路を介して電氣的に接続されていることを特徴とする半導体装置である。

【0009】

50

本発明の一態様は、前記構成のアイソレータ回路と、論理回路と、をそれぞれ複数有し、前記論理回路の一は、前記アイソレータ回路の一を介して信号線に電氣的に接続されていることを特徴とする半導体装置である。

【発明の効果】

【0010】

双方向の電氣的な遮断が可能である新規なアイソレータ回路と、これを搭載した半導体装置を得ることができる。

【図面の簡単な説明】

【0011】

【図1】本発明の一態様であるアイソレータ回路の一構成例と適用例を説明する図。

10

【図2】本発明の一態様であるアイソレータ回路の一構成例を説明する図。

【図3】図1のアイソレータ回路の一部の具体的な構成を説明する図。

【図4】本発明の一態様である半導体装置を説明する図。

【図5】図4の第1の論理回路402及び第1のアイソレータ回路404を説明する図。

【図6】本発明の一態様に適用可能なトランジスタの断面の一例を説明する図。

【図7】本発明の一態様に適用可能なトランジスタの断面の一例を説明する図。

【発明を実施するための形態】

【0012】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0013】

(実施の形態1)

本実施の形態では、本発明の一態様であるアイソレータ回路について、図1乃至図5を参照して説明する。

【0014】

図1(A)には、本発明の一態様であるアイソレータ回路として機能する回路100を示している。図1(A)の回路100は、第1の端子102及び第2の端子104に電氣的に接続されている。例えば、第1の端子102は入力端子であり、第2の端子104は出力端子であるが、これに限定されず、第1の端子102が出力端子であり、第2の端子104が入力端子であってもよい。

30

【0015】

ここで、第1の端子102は、第1のトランジスタ106のソース及びドレインの一方に電氣的に接続され、第1のトランジスタ106のソース及びドレインの他方は、第1のバッファ108の入力端子に電氣的に接続され、第1のバッファ108の出力端子は、第2の端子104に電氣的に接続されている。

【0016】

また、第1の端子102は、第2のバッファ110の出力端子に電氣的に接続され、第2のバッファ110の入力端子は、第2のトランジスタ112のソース及びドレインの一方に電氣的に接続され、第2のトランジスタ112のソース及びドレインの他方は、第2の端子104に電氣的に接続されている。

40

【0017】

第1のトランジスタ106のゲートは、端子114に電氣的に接続されている。端子114の電位は制御可能であり、端子114の電位が高電位(H)であれば第1のトランジスタ106はオンし、端子114の電位が低電位(L)であれば第1のトランジスタ106はオフする。

【0018】

第1のバッファ108には、端子116が電氣的に接続されている。端子116の電位は制御可能であり、端子116は、後に説明する図3の第3の端子310に相当する。

50

【0019】

第2のバッファ110には、端子118が電氣的に接続されている。端子118の電位は制御可能であり、端子118は端子116と同様に、後に説明する図3の第3の端子310に相当する。

【0020】

第2のトランジスタ112のゲートは、端子120に電氣的に接続されている。端子120の電位は制御可能であり、端子120の電位が高電位(H)であれば第2のトランジスタ112はオンし、端子120の電位が低電位(L)であれば第2のトランジスタ112はオフする。

【0021】

第1のトランジスタ106及び第2のトランジスタ112は、オフ電流の小さいトランジスタであればよい。

【0022】

ここで、オフ電流の小さいトランジスタでは、チャネル幅1 μ mあたりのオフ電流が、10aA(1×10^{-17} A)以下であるとよい。オフ電流の小さいトランジスタのチャネル幅1 μ mあたりのオフ電流は、1aA(1×10^{-18} A)以下であることが好ましく、10zA(1×10^{-20} A)以下であることがより好ましく、1zA(1×10^{-21} A)以下であることがさらに好ましく、100yA(1×10^{-22} A)以下にすることが最も好ましい。

【0023】

第1のバッファ108及び第2のバッファ110は、トランジスタとバッファの間にデータ保持部を形成することができ、且つ端子116または端子118の電位が高電位(H)となることでデータ保持部のデータを第1の端子102または第2の端子104に出力することが可能な構成であればよい。このような構成は、例えばインバータとクロックドインバータを組み合わせることで実現することができる。なお、第1のバッファ108及び第2のバッファ110の具体的な構成は、図3を参照して後に説明する。なお、データ保持部は図1(A)の太線で示した部分である。

【0024】

図1(B)は、図1(A)に示す回路100の適用例を説明する図である。図1(B)では、第1の論理回路150と第2の論理回路152の間に回路100が配されている。

【0025】

第1の論理回路150から出力されたデータが第2の論理回路152に入力されて第2の論理回路152が処理を行う場合には、端子114、端子118及び端子120の電位を低電位(L)とし、端子116の電位を高電位(H)とする。すると、第1の論理回路150をオフしても第2の論理回路152は、第1のトランジスタ106と第1のバッファ108の間に設けられたデータ保持部のデータにより処理を続行することができる。

【0026】

ここで、本発明の他の態様のアイソレータ回路について説明する。図2(A)には、本発明の他の態様のアイソレータ回路の例として回路200を示している。図2(A)の回路200は、第1の端子202及び第2の端子204に電氣的に接続されている。

【0027】

ここで、第1の端子202は、第1のトランスミッションゲート206の入力端子に電氣的に接続され、第1のトランスミッションゲート206の出力端子は、第1のトランジスタ208のソース及びドレインの一方と、第2の端子204に電氣的に接続されている。

【0028】

また、第1の端子202は、第2のトランジスタ210のソース及びドレインの一方と、第2のトランスミッションゲート212の出力端子に電氣的に接続され、第2のトランスミッションゲート212の入力端子は、第2の端子204に電氣的に接続されている。

【0029】

なお、第1のトランスミッションゲート206及び第2のトランスミッションゲート212の入力端子と出力端子は、逆であってもよい。

【0030】

図2(B)には、第1のトランスミッションゲート206または第2のトランスミッションゲート212の具体的な構成の一例を示している。

【0031】

第1のトランスミッションゲート206は、第1の制御端子214及び第2の制御端子216に電氣的に接続されている。第1の制御端子214及び第2の制御端子216の電位は制御可能である。

【0032】

第1の制御端子214の電位が高電位(H)であり、第2の制御端子216の電位が低電位(L)である場合には、第1のトランスミッションゲート206中のpチャネル型トランジスタとnチャネル型トランジスタは、ともにオフする。

【0033】

第1の制御端子214の電位が低電位(L)であり、第2の制御端子216の電位が高電位(H)である場合には、第1のトランスミッションゲート206中のpチャネル型トランジスタとnチャネル型トランジスタは、ともにオンする。

【0034】

第1のトランジスタ208のゲートは端子218に電氣的に接続されている。第1のトランジスタ208のソース及びドレインの他方は端子220に電氣的に接続されている。端子218の電位は制御可能であり、端子218の電位を高電位(H)とすると第1のトランジスタ208はオンし、低電位(L)とすると第1のトランジスタ208はオフする。端子220は、低電位電源線Vssに電氣的に接続されている。

【0035】

第2のトランジスタ210のゲートは端子222に電氣的に接続されている。第2のトランジスタ210のソース及びドレインの他方は端子224に電氣的に接続されている。端子222の電位は、制御可能であり、端子222の電位を高電位(H)とすると第2のトランジスタ210はオンし、低電位(L)とすると第2のトランジスタ210はオフする。端子224は、低電位電源線Vssに電氣的に接続されている。

【0036】

第2のトランスミッションゲート212は、第1の制御端子226及び第2の制御端子228に電氣的に接続されている。第1の制御端子226及び第2の制御端子228の電位は制御可能である。

【0037】

第1の制御端子226の電位が高電位(H)であり、第2の制御端子228の電位が低電位(L)である場合には、第2のトランスミッションゲート212中のpチャネル型トランジスタとnチャネル型トランジスタは、ともにオフする。

【0038】

第1の制御端子226の電位が低電位(L)であり、第2の制御端子228の電位が高電位(H)である場合には、第2のトランスミッションゲート212中のpチャネル型トランジスタとnチャネル型トランジスタは、ともにオンする。

【0039】

図2(C)には、本発明の他の態様のアイソレータ回路の例として回路250を示している。図2(C)の回路250は第1の端子252及び第2の端子254に電氣的に接続されている。

【0040】

ここで、第1の端子252は、第1の論理積回路256の入力端子の一方に電氣的に接続され、第1の論理積回路256の出力端子は第2の端子254に電氣的に接続されている。なお、第1の論理積回路256の入力端子の他方は、端子260に電氣的に接続されている。

10

20

30

40

50

【0041】

また、第1の端子252は、第2の論理積回路258の出力端子に電氣的に接続されている。第2の論理積回路258の入力端子の一方は第2の端子254に電氣的に接続され、第2の論理積回路258の入力端子の他方は端子262に電氣的に接続されている。

【0042】

端子260及び端子262の電位は制御可能である。端子260を高電位(H)とし、第1の端子252から信号が供給される(第1の端子252が高電位(H)になる)と、この信号は第1の論理積回路256の出力端子から出力される。端子260が低電位(L)であれば、第1の端子252から信号が供給されても(第1の端子252が高電位(H)になっても)第1の論理積回路256の出力端子からは信号が出力されない。このようにして信号の伝搬を制御することができる。

10

【0043】

しかしながら、図2(A)及び(C)に示す本発明の他の態様の構成では、データ保持部が存在しないため、電源をオフするとデータは消去される。そのため、データを保持するためには、別途データ保持部を設ける必要がある。そこで、好ましい形態として、本発明の一態様である図1(A)に示す構成を採用すると、アイソレータ回路内にデータ保持部が設けられるため、別途データ保持部を設けることなく、電源をオフしてもデータが消去されないアイソレータ回路を得ることができる。

【0044】

従って、一の論理回路(出力する側)の出力結果を用いて他の論理回路(入力される側)が処理を行っている場合に、当該出力する側の論理回路への給電を停止しても当該入力される側の論理回路が処理を続行することができる。

20

【0045】

図1(A)に示す本発明の一態様である好ましい形態は、一の論理回路(入力される側)に入力されるデータを出力する別の論理回路(出力する側)がオフされても前記一の論理回路(入力される側)が処理を続行することができる半導体装置を提供することを課題とする。

【0046】

図1(A)に示す本発明の一態様である好ましい形態は、一の論理回路(入力される側)に入力されるデータを別の論理回路(出力する側)から出力する場合であっても、前記一の論理回路(入力される側)に入力されるデータを出力する別の論理回路(出力する側)をオフすることができる半導体装置を提供することを課題とする。

30

【0047】

また、図1(A)に示す本発明の一態様である好ましい形態は、データ保持部を別途設けることなく前記課題を解決することを課題とする。

【0048】

図1(A)に示す本発明の一態様である好ましい形態は、外部にデータ保持部を別途設けることなくアイソレータ回路内にデータ保持部を設け、出力する側の論理回路に入力されるデータを該データ保持部に記憶することを特徴とする。

【0049】

図1(A)に示す本発明の一態様である好ましい形態は、第1及び第2の端子と、第1及び第2のトランジスタと、第1及び第2のバッファと、を有し、前記第1の端子は、前記第1のトランジスタのソース及びドレインの一方と、前記第2のバッファの出力端子に電氣的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第1のバッファの入力端子に電氣的に接続され、前記第2のバッファの入力端子は、前記第2のトランジスタのソース及びドレインの一方に電氣的に接続され、前記第2の端子は、前記第1のバッファの出力端子と、前記第2のトランジスタのソース及びドレインの他方に電氣的に接続され、前記第1及び第2のトランジスタのオフ電流は、チャネル幅1 μm あたり10 aA (1×10^{-17} A)以下であることを特徴とするアイソレータ回路である。

40

【0050】

50

前記構成のアイソレータ回路において、前記第１及び第２のバッファにはインバータ及びクロックドインバータが設けられているとよい。

【００５１】

前記構成のアイソレータ回路において、前記第１及び第２のトランジスタは、チャネルが酸化物半導体層に形成されるとよい。

【００５２】

図１（Ａ）に示す本発明の一態様である好ましい形態を採用すると、一の論理回路（入力される側）に入力されるデータを出力する別の論理回路（出力する側）のデータがアイソレータ回路内に設けられたデータ保持部に保持されるため、前記別の論理回路（出力する側）がオフされても前記一の論理回路（入力される側）が処理を続行することができる。

10

【００５３】

図１（Ａ）に示す本発明の一態様である好ましい形態を採用すると、一の論理回路（入力される側）に入力されるデータを出力する別の論理回路（出力する側）のデータがアイソレータ回路内に設けられたデータ保持部に保持されるため、前記一の論理回路（入力される側）が処理を続行する場合であっても前記別の論理回路（出力する側）をオフすることができる。

【００５４】

なお、図１（Ａ）に示す本発明の一態様である好ましい形態では、データ保持部はアイソレータ回路内に設けられているため、データ保持部を別途設ける必要がない。

20

【００５５】

図３には、図１（Ａ）における第１のバッファ１０８及び第２のバッファ１１０の具体的な構成例として回路３００を示している。図３の回路３００は、第１の端子３０２及び第２の端子３０４に電氣的に接続されている。

【００５６】

図３の回路３００は、第１のトランジスタ３０６と第２のトランジスタ３０８により構成されるインバータ回路と、第３のトランジスタ３１４、第４のトランジスタ３１６、第５のトランジスタ３１８及び第６のトランジスタ３２０により構成されるクロックドインバータ回路と、を有する。

【００５７】

30

第１の端子３０２は、第１のトランジスタ３０６のゲート及び第２のトランジスタ３０８のゲートに電氣的に接続されている。第１のトランジスタ３０６のソース及びドレインの一方は、高電位電源線Ｖｄｄに電氣的に接続され、第１のトランジスタ３０６のソース及びドレインの他方は、第２のトランジスタ３０８のソース及びドレインの一方に電氣的に接続され、第２のトランジスタ３０８のソース及びドレインの他方は、低電位電源線Ｖｓｓに電氣的に接続されている。

【００５８】

第３の端子３１０は、論理否定回路３１２の入力端子と第６のトランジスタ３２０のゲートに電氣的に接続されている。論理否定回路３１２の出力端子は、第３のトランジスタ３１４のゲートに電氣的に接続されている。

40

【００５９】

第４のトランジスタ３１６のゲート及び第５のトランジスタ３１８のゲートは、第１のトランジスタ３０６のソース及びドレインの他方と、第２のトランジスタ３０８のソース及びドレインの一方に電氣的に接続されている。

【００６０】

第３のトランジスタ３１４のソース及びドレインの一方は、高電位電源線Ｖｄｄに電氣的に接続され、第３のトランジスタ３１４のソース及びドレインの他方は、第４のトランジスタ３１６のソース及びドレインの一方に電氣的に接続され、第４のトランジスタ３１６のソース及びドレインの他方は、第５のトランジスタ３１８のソース及びドレインの一方に電氣的に接続され、第５のトランジスタ３１８のソース及びドレインの他方は、第６

50

のトランジスタ 3 2 0 のソース及びドレインの一方に電氣的に接続され、第 6 のトランジスタ 3 2 0 のソース及びドレインの他方は、低電位電源線 V_{ss} に電氣的に接続されている。

【 0 0 6 1 】

第 4 のトランジスタ 3 1 6 のソース及びドレインの他方と第 5 のトランジスタ 3 1 8 のソース及びドレインの一方は、第 2 の端子 3 0 4 に電氣的に接続されている。

【 0 0 6 2 】

なお、第 1 のトランジスタ 3 0 6、第 3 のトランジスタ 3 1 4 及び第 4 のトランジスタ 3 1 6 は、p チャネル型トランジスタであり、第 2 のトランジスタ 3 0 8、第 5 のトランジスタ 3 1 8 及び第 6 のトランジスタ 3 2 0 は、n チャネル型トランジスタである。

10

【 0 0 6 3 】

第 1 の端子 3 0 2 は、回路 3 0 0 の入力端子である。第 2 の端子 3 0 4 は、回路 3 0 0 の出力端子である。

【 0 0 6 4 】

第 3 の端子 3 1 0 の電位は制御可能であり、第 3 の端子 3 1 0 は図 1 (A) の端子 1 1 6 または端子 1 1 8 に相当する。

【 0 0 6 5 】

以上説明した本発明の一態様であるアイソレータ回路は、半導体装置に適用することができる。本発明の一態様である、前記アイソレータ回路を搭載した半導体装置について以下に説明する。

20

【 0 0 6 6 】

図 4 には、本発明の一態様である半導体装置として半導体装置 4 0 0 を示している。半導体装置 4 0 0 は、第 1 の論理回路 4 0 2、第 2 の論理回路 4 0 6 及び第 3 の論理回路 4 1 0 を有する。第 1 の論理回路 4 0 2 には第 1 のアイソレータ回路 4 0 4 が電氣的に接続され、第 2 の論理回路 4 0 6 には第 2 のアイソレータ回路 4 0 8 が電氣的に接続され、第 3 の論理回路 4 1 0 には第 3 のアイソレータ回路 4 1 2 が電氣的に接続されている。

【 0 0 6 7 】

第 1 のアイソレータ回路 4 0 4、第 2 のアイソレータ回路 4 0 8 及び第 3 のアイソレータ回路 4 1 2 は、図 1 (A) の回路 1 0 0 に相当する。

【 0 0 6 8 】

30

第 1 の論理回路 4 0 2、第 2 の論理回路 4 0 6 及び第 3 の論理回路 4 1 0 は、論理回路であればよく、特定の構成に限定されるものではない。

【 0 0 6 9 】

半導体装置 4 0 0 に設けられた第 1 の論理回路 4 0 2、第 2 の論理回路 4 0 6 及び第 3 の論理回路 4 1 0 は、それぞれ、第 1 のアイソレータ回路 4 0 4、第 2 のアイソレータ回路 4 0 8 及び第 3 のアイソレータ回路 4 1 2 のいずれかーを介して、共有している信号線 4 1 4 に電氣的に接続されている。すなわち、第 1 の論理回路 4 0 2、第 2 の論理回路 4 0 6 及び第 3 の論理回路 4 1 0 は、一の信号線を共有する構成である。

【 0 0 7 0 】

ここで、図 4 のように複数の論理回路が共有する一の信号線に電氣的に接続されている構成について図 5 を参照して説明する。

40

【 0 0 7 1 】

図 5 には、第 1 の論理回路 4 0 2 及び第 1 のアイソレータ回路 4 0 4 のみに着目してその構成を示している。第 1 のアイソレータ回路 4 0 4 は、図 1 (A) の回路 1 0 0 に相当するため、図 1 (A) と同じ符号を用いる。また、第 1 の端子 5 0 2 は図 1 (A) の第 1 の端子 1 0 2 に相当し、第 2 の端子 5 0 4 は図 1 (A) の第 2 の端子 1 0 4 に相当する。

【 0 0 7 2 】

第 1 の論理回路 4 0 2 をオフすることなく第 1 の論理回路 4 0 2 からのデータを信号線 5 0 0 に出力する場合には、端子 1 1 4 及び端子 1 1 6 の電位を高電位 (H) とし、端子 1 1 8 及び端子 1 2 0 の電位を低電位 (L) とする。なお、信号線 5 0 0 は図 4 に示す信

50

号線 4 1 4 に相当する。

【 0 0 7 3 】

第 1 の論理回路 4 0 2 をオフすることなく第 1 の論理回路 4 0 2 が処理するデータを信号線 5 0 0 から入力する場合には、端子 1 1 4 及び端子 1 1 6 の電位を低電位 (L) とし、端子 1 1 8 及び端子 1 2 0 の電位を高電位 (H) とする。

【 0 0 7 4 】

第 1 の論理回路 4 0 2 からのデータを信号線 5 0 0 に出力している途中、第 1 の論理回路 4 0 2 をオフする前に、端子 1 1 4、端子 1 1 8 及び端子 1 2 0 の電位を低電位 (L) とし、端子 1 1 6 の電位を高電位 (H) とする。すると、第 1 の論理回路 4 0 2 をオフしても信号線 5 0 0 には必要なデータが出力されることになる。または、信号線 5 0 0 に第 1 の論理回路 4 0 2 からの出力データが必要な場合であっても、第 1 の論理回路 4 0 2 をオフすることができる。このようにして、オフした第 1 の論理回路 4 0 2 と他のオンしている回路を電氣的に遮断しつつ、第 1 の論理回路 4 0 2 の出力結果を他の回路で用いることができる。なお、信号線 5 0 0 に第 1 の論理回路 4 0 2 の出力が必要でない場合には端子 1 1 6 を低電位 (L) とすればよい。

【 0 0 7 5 】

ただし、信号線 5 0 0 から第 1 の論理回路 4 0 2 にデータを入力している途中に他のオンしている回路をオフする場合には、他のオンしている回路をオフする前に端子 1 1 4、端子 1 1 6、端子 1 1 8 及び端子 1 2 0 のすべてを低電位 (L) にする。このようにして、オフした第 1 の論理回路 4 0 2 と他のオンしている回路を電氣的に遮断することができる。

【 0 0 7 6 】

以上説明したように、本発明の好ましい一態様である半導体装置は、本発明の好ましい一態様であるアイソレータ回路を有する。該アイソレータ回路を用いることで、半導体装置が有するそれぞれの論理回路をオフすることができるため、消費電力を効果的に低減することができる。このように、オフした回路とオンしている回路を電氣的に遮断することで、電源線への電流の逆流や中間電位による消費電流の増大を防ぐとともに、オフした回路のオフする直前の出力結果を用いて他の回路が処理を行う事ができる。

【 0 0 7 7 】

(実施の形態 2)

本実施の形態では、本発明の一態様である半導体装置の構造の一例について説明する。

【 0 0 7 8 】

まず、本発明の一態様である半導体装置に適用可能なオフ電流の小さいトランジスタの構造の一例について、図 6 の断面模式図を参照して説明する。なお、図 6 に示す各構成要素は、実際の寸法とは異なる場合がある。

【 0 0 7 9 】

図 6 (A) に示すトランジスタは、半導体層 6 0 4 と、絶縁層 6 1 0 と、導電層 6 1 2 と、絶縁層 6 1 4 a 及び 6 1 4 b と、絶縁層 6 1 6 と、導電層 6 1 8 a 及び 6 1 8 b と、絶縁層 6 2 0 と、を有する。

【 0 0 8 0 】

半導体層 6 0 4 は、絶縁層 6 0 2 を介して素子被形成層 6 0 0 上に設けられている。なお、これに限定されず、素子被形成層 6 0 0 上に半導体層 6 0 4 が直接設けられていてもよい。

【 0 0 8 1 】

半導体層 6 0 4 は、ドーパントが添加された領域 6 0 6 a 及び領域 6 0 6 b を有し、領域 6 0 6 a 及び領域 6 0 6 b の間にチャネル形成領域 6 0 8 を有する。

【 0 0 8 2 】

絶縁層 6 1 0 は、半導体層 6 0 4 の一部の上に設けられている。

【 0 0 8 3 】

導電層 6 1 2 は、絶縁層 6 1 0 を介して半導体層 6 0 4 に重畳して設けられている。

【 0 0 8 4 】

絶縁層 6 1 4 a 及び絶縁層 6 1 4 b は、導電層 6 1 2 の側面に接して設けられたサイドウォール絶縁層である。

【 0 0 8 5 】

絶縁層 6 1 6 は、導電層 6 1 2 上に設けられている。

【 0 0 8 6 】

導電層 6 1 8 a は領域 6 0 6 a に接して設けられており、導電層 6 1 8 b は領域 6 0 6 b に接して設けられている。導電層 6 1 8 a は、絶縁層 6 1 4 a の側面にも接して設けられている。導電層 6 1 8 b は、絶縁層 6 1 4 b の側面にも接して設けられている。

【 0 0 8 7 】

絶縁層 6 2 0 は、導電層 6 1 8 a 及び導電層 6 1 8 b の上に設けられる。

【 0 0 8 8 】

導電層 6 1 8 a 及び導電層 6 1 8 b、並びに絶縁層 6 2 0 は、例えば、CMP 処理を行うことで形成される。

【 0 0 8 9 】

また、図 6 (B) に示すトランジスタは、導電層 6 5 2 と、絶縁層 6 5 4 と、絶縁層 6 5 6 と、半導体層 6 5 8 と、導電層 6 6 0 a 及び導電層 6 6 0 b と、導電層 6 6 2 a 及び導電層 6 6 2 b と、絶縁層 6 6 4 と、を有する。

【 0 0 9 0 】

導電層 6 5 2 は、素子被形成層 6 5 0 の上に設けられている。

【 0 0 9 1 】

絶縁層 6 5 4 は、素子被形成層 6 5 0 の上に設けられている。導電層 6 5 2 及び絶縁層 6 5 4 の表面は平坦であることが好ましい。

【 0 0 9 2 】

導電層 6 5 2 及び絶縁層 6 5 4 は、例えば、CMP 処理を行うことで形成される。

【 0 0 9 3 】

絶縁層 6 5 6 は、導電層 6 5 2 及び絶縁層 6 5 4 の上に設けられている。

【 0 0 9 4 】

半導体層 6 5 8 は、絶縁層 6 5 6 を介して導電層 6 5 2 に重畳して設けられている。

【 0 0 9 5 】

導電層 6 6 0 a 及び導電層 6 6 0 b は、半導体層 6 5 8 に接して設けられている。このとき、トランジスタのチャネル長に相当する導電層 6 6 0 a と導電層 6 6 0 b の間隔は、50 nm 未満であることが好ましい。例えば、電子ビームで露光して形成したレジストマスクを用いて導電膜の一部をエッチングすることにより、導電層 6 6 0 a と導電層 6 6 0 b の間隔を 50 nm 未満にすることができる。また、導電層 6 6 0 a と導電層 6 6 0 b の間隔は、図 6 (B) に示すように、導電層 6 6 2 a と 6 6 2 b の間隔よりも短いことが好ましい。

【 0 0 9 6 】

導電層 6 6 2 a は、導電層 6 6 0 a の一部の上に接して設けられており、導電層 6 6 2 b は、導電層 6 6 0 b の一部の上に接して設けられている。また、導電層 6 6 2 a 及び導電層 6 6 2 b の単位面積あたりの電気抵抗は、導電層 6 6 0 a 及び 6 6 0 b の単位面積あたりの電気抵抗よりも低いことが好ましい。

【 0 0 9 7 】

絶縁層 6 6 4 は、半導体層 6 5 8 の上を覆って設けられている。

【 0 0 9 8 】

次に、図 6 (A) 及び (B) に示される構成要素のそれぞれについて説明する。ただし、これらの構成要素は、単層であってもよいし、複数の層が積層されたものであってもよい。

【 0 0 9 9 】

絶縁層 6 0 2 は、下地層である。絶縁層 6 0 2 としては、例えば、酸化シリコン、窒化

10

20

30

40

50

シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウムまたは酸化ハフニウムなどの材料により形成すればよい。

【0100】

絶縁層654は、絶縁層602と同様の材料により形成すればよい。

【0101】

半導体層604及び半導体層658は、トランジスタのチャネルが形成される層（チャネル形成層）としての機能を有する。ここで、図6（A）の半導体層604及び図6（B）の半導体層658について説明する。

【0102】

半導体層604及び半導体層658としては、例えば酸化物半導体層を用いることができる。

【0103】

以下では、酸化物半導体層の構造について説明する。

【0104】

酸化物半導体層は、単結晶酸化物半導体層と非単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、非晶質酸化物半導体層、微結晶酸化物半導体層、多結晶酸化物半導体層、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）層などをいう。

【0105】

非晶質酸化物半導体層は、層中における原子配列が不規則であり、結晶成分を有さない酸化物半導体層である。微小領域においても結晶部を有さず、層全体が完全な非晶質構造の酸化物半導体層が典型である。

【0106】

微結晶酸化物半導体層は、例えば、1nm以上10nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体層は、非晶質酸化物半導体層よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体層は、非晶質酸化物半導体層よりも欠陥準位密度が低いという特徴がある。

【0107】

CAAC-OS層は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS層に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS層は、微結晶酸化物半導体層よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS層について詳細な説明を行う。

【0108】

CAAC-OS層を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0109】

CAAC-OS層を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS層の層を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS層の被形成面または上面と平行に配列する。

【0110】

一方、CAAC-OS層を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

10

20

30

40

50

【0111】

断面TEM観察および平面TEM観察より、CAAC-OS層の結晶部は配向性を有していることがわかる。

【0112】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0113】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

10

【0114】

CAAC-OS層に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS層の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0115】

一方、CAAC-OS層に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体層であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS層の場合は、 2θ を 56° 近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

20

【0116】

以上のことから、CAAC-OS層では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

30

【0117】

なお、結晶部は、CAAC-OS層を形成した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS層の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS層の被形成面または上面の法線ベクトルと平行にならないこともある。

【0118】

また、CAAC-OS層中の結晶化度が均一でなくてもよい。例えば、CAAC-OS層の結晶部が、CAAC-OS層の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS層に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

40

【0119】

なお、InGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、ZnGa₂O₄の結晶の(311)面に帰属されることから、InGaZnO₄の結晶を有するCAAC-OS層中の一部に、ZnGa₂O₄の結晶が含まれることを示している。CAAC-OS層は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

50

【 0 1 2 0 】

C A A C - O S 層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 2 1 】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、C A A C - O S 層のうち、二種以上を有する積層であってもよい。

【 0 1 2 2 】

酸化物半導体としては、例えばインジウム及びガリウム的一方若しくは双方と、亜鉛と、を含む金属酸化物、または該金属酸化物に含まれるガリウムの一部若しくは全部の代わりに他の金属元素を含む金属酸化物などが挙げられる。

10

【 0 1 2 3 】

前記金属酸化物としては、例えばI n 系金属酸化物、Z n 系金属酸化物、I n - Z n 系金属酸化物、またはI n - G a - Z n 系金属酸化物などを用いることができる。また、前記I n - G a - Z n 系金属酸化物に含まれるガリウムの一部若しくは全部の代わりに他の金属元素を含む金属酸化物を用いてもよい。

【 0 1 2 4 】

前記他の金属元素としては、例えばガリウムよりも多くの酸素原子と結合が可能な金属元素を用いればよく、例えばチタン、ジルコニウム、ハフニウム、ゲルマニウム、及び錫のいずれか一つまたは複数の元素を用いればよい。また、前記他の金属元素としては、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムのいずれか一つまたは複数の元素を用いればよい。これらの金属元素は、スタビライザーとしての機能を有する。なお、これらの金属元素の添加量は、金属酸化物が半導体として機能することが可能な量である。ガリウムよりも多くの酸素原子と結合が可能な金属元素を用い、さらには金属酸化物中に酸素を供給することにより、金属酸化物中の酸素欠陥を少なくすることができる。

20

【 0 1 2 5 】

例えば、前記I n - G a - Z n 系金属酸化物に含まれるガリウムの全部に代えて錫を用いるとI n - S n - Z n 系金属酸化物となり、前記I n - G a - Z n 系金属酸化物に含まれるガリウムの一部に代えてチタンを用いるとI n - T i - G a - Z n 系金属酸化物となる。

30

【 0 1 2 6 】

また、半導体層 6 0 4 及び半導体層 6 5 8 として酸化物半導体層を用いる場合、脱水化・脱水素化を行い、酸化物半導体層中の水素、水、水酸基、または水素化物（水素化合物ともいう）などの不純物を排除し、且つ酸化物半導体層に酸素を供給すると、酸化物半導体層を高純度化させることができるため好ましい。例えば、酸化物半導体層に接する層として酸素を含む層を形成して加熱処理を行うことにより、酸化物半導体層を高純度化させることができる。

【 0 1 2 7 】

また、成膜直後の酸化物半導体層は、化学量論的組成より酸素が多い過飽和の状態であることが好ましい。例えば、スパッタリング法を用いて酸化物半導体層を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気（酸素ガス 1 0 0 % ）で成膜を行うことが好ましい。また、酸化物半導体層に十分な酸素が供給されて酸素を過飽和の状態とするために、酸化物半導体層に接する絶縁層（絶縁層 6 0 2、絶縁層 6 1 0、絶縁層 6 5 6、絶縁層 6 6 4 など）として過剰酸素を含む絶縁層（S i O_x（x > 2））を形成してもよい。

40

【 0 1 2 8 】

過剰酸素を含む絶縁層は、C V D 法またはスパッタリング法における成膜条件を調整し、膜中に酸素を多く含ませて形成する。また、より多くの過剰酸素を絶縁層に含ませたい場合には、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加すれば

50

よい。また、酸化物半導体層に酸素を添加してもよい。

【0129】

また、酸化物半導体層の形成時のスパッタリング装置には、吸着型の真空ポンプを用いることが好ましい。成膜室内の残留水分は、少ないことが好ましいためである。また、スパッタリング装置にコールドトラップが備えられていてもよい。

【0130】

また、酸化物半導体層は、好ましくは、350 以上基板の歪み点未満の基板温度、より好ましくは、350 以上450 以下の基板温度で加熱処理を行うとよい。さらに、その後の工程において加熱処理を行ってもよい。このとき、用いる加熱処理装置には特に限定はなく、電気炉を用いてもよいし、GRTA (Gas Rapid Thermal Annealing) 装置またはLRTA (Lamp Rapid Thermal Annealing) 装置などのRTA (Rapid Thermal Annealing) 装置を用いてもよい。また、加熱処理は複数回行ってもよい。

10

【0131】

また、前記加熱処理を行った後、その加熱温度を維持しつつ、またはその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、または超乾燥エア（露点が-40 以下、好ましくは-60 以下の雰囲気）を導入するとよい。このとき、酸素ガスまたは N_2O ガスが、水及び水素などを含まないことが好ましい。また、加熱処理の装置に導入する酸素ガスまたは N_2O ガスの純度は、6N以上であるとよく、好ましくは7N以上とするとよい。すなわち、酸素ガスまたは N_2O ガス中の不純物濃度は、1ppm以下、好ましくは0.1ppm以下とする。この工程により、酸化物半導体層に酸素が供給され、酸化物半導体層中の酸素欠陥を抑制することができる。なお、前記高純度の酸素ガス、高純度の N_2O ガス、または超乾燥エアの導入は、前記加熱処理時に行ってもよい。

20

【0132】

高純度化させた酸化物半導体層の水素濃度のSIMS測定値は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とするとよい。

【0133】

高純度化させた酸化物半導体層を電界効果トランジスタに用いることにより、酸化物半導体層のキャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができる。このようにキャリア密度を小さくすることで、チャネル幅1 μm あたりの電界効果トランジスタのオフ電流を $1 \times 10^{-19} \text{ A}$ (100zA)以下、より好ましくは $1 \times 10^{-22} \text{ A}$ (100yA)以下にまで抑えることができる。

30

【0134】

領域606a及び領域606bに含まれるドーパントとしては、例えば元素周期表における13族の元素（例えば、ホウ素など）、15族の元素（例えば、窒素、リン及びヒ素など）、及び希ガス元素（例えば、ヘリウム、アルゴン及びキセノンなど）を挙げることができ、これらのいずれか一または複数を用いればよい。

40

【0135】

絶縁層610及び絶縁層656は、トランジスタのゲート絶縁層として機能する。絶縁層610及び絶縁層656としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウムまたは酸化ハフニウムなどの材料を含む層を用いればよい。

【0136】

導電層612及び導電層652は、トランジスタのゲートとして機能する。導電層612及び導電層652としては、例えば、モリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジムまたはスカンジウムなどの金属材料を含む層を用いればよい。

50

【 0 1 3 7 】

絶縁層 6 1 4 a、絶縁層 6 1 4 b 及び絶縁層 6 1 6 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、または酸化ハフニウムなどの材料を含む層を用いればよい。

【 0 1 3 8 】

導電層 6 1 8 a 及び導電層 6 1 8 b、導電層 6 6 0 a 及び導電層 6 6 0 b、並びに導電層 6 6 2 a 及び導電層 6 6 2 b は、トランジスタのソースまたはドレインとして機能する。導電層 6 1 8 a 及び導電層 6 1 8 b、導電層 6 6 0 a 及び導電層 6 6 0 b、導電層 6 6 2 a 及び導電層 6 6 2 b としては、例えば、モリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、スカンジウム、またはルテニウムなどの導電性材料を含む層を用いればよい。

10

【 0 1 3 9 】

絶縁層 6 2 0 及び絶縁層 6 6 4 は、保護層として機能する。絶縁層 6 2 0 及び絶縁層 6 6 4 としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、または酸化ハフニウムなどの材料を含む層を用いることができる。

【 0 1 4 0 】

さらに、一例として図 6 (A) に示すトランジスタを用いた場合の半導体装置の構造の一例について、図 7 を参照して説明する。図 7 は、本実施の形態の半導体装置の構造の一例を説明するための断面模式図である。

20

【 0 1 4 1 】

図 7 に示す半導体装置は、チャネル形成層である単結晶シリコン層 7 0 8 を含むトランジスタ 7 0 0 と、絶縁層 7 1 2、絶縁層 7 1 4 及び絶縁層 7 1 6 を介してトランジスタ 7 0 0 の上に積層され、図 6 (A) に示すトランジスタで構成されるトランジスタ 7 0 2 と、を有する。また、トランジスタ 7 0 2 に接して絶縁層 7 2 0 が設けられている。

【 0 1 4 2 】

単結晶シリコン層 7 0 8 は、絶縁層 7 0 6 (B O X 層ともいう) を介して基板 7 0 4 上に設けられている。なお、基板 7 0 4、絶縁層 7 0 6 及び単結晶シリコン層 7 0 8 に代えて、単結晶半導体基板における埋め込み絶縁領域に囲まれた半導体領域を用いてトランジスタ 7 0 0 を構成してもよい。

30

【 0 1 4 3 】

絶縁層 7 1 2 は、保護層として機能する。また、絶縁層 7 1 4 は、保護層のみならず、平坦化層としても機能する。また、絶縁層 7 1 6 は、下地層として機能する。絶縁層 7 1 2、絶縁層 7 1 4 及び絶縁層 7 1 6 としては、絶縁層 6 0 2 と同様の材料を含む層を用いればよい。

【 0 1 4 4 】

トランジスタ 7 0 2 のソースまたはドレインとしての機能を有する導電層 7 1 8 は、トランジスタ 7 0 0 のゲートとして機能する導電層 7 1 0 に接続されている。なお、導電層 7 1 8 と導電層 7 1 0 は、複数の導電層を介して接続されていてもよい。

40

【 0 1 4 5 】

また、トランジスタ 7 0 2 を前記オフ電流の低いトランジスタとすることで、メモリセルのデータの保持期間を長くすることができる。

【 0 1 4 6 】

また、トランジスタ 7 0 0 を用いて、C P U 及び信号処理回路などの論理回路 (揮発性記憶回路を含む) を構成することができる。これにより、動作速度を速くすることができる。

【 0 1 4 7 】

図 7 のトランジスタ 7 0 2 は、実施の形態 1 で説明した図 1 (A) の第 1 のトランジスタ 1 0 6 に相当する。そして、図 7 のトランジスタ 7 0 0 は、実施の形態 1 で説明した図

50

3の第1のトランジスタ306または第2のトランジスタ308に相当する。従って、図7の導電層718が、データ保持部として機能する。

【0148】

本実施の形態にて説明したようにオフ電流の小さいトランジスタを作製することができるため、本発明の好ましい一態様である半導体装置を実現することができる。ただし、オフ電流の小さいトランジスタは、本実施の形態にて説明したものに限定されず、データ保持部に必要な時間だけデータを保持できる程度にオフ電流が小さいトランジスタであればよく、特定の構成に限定されるものではない。

【符号の説明】

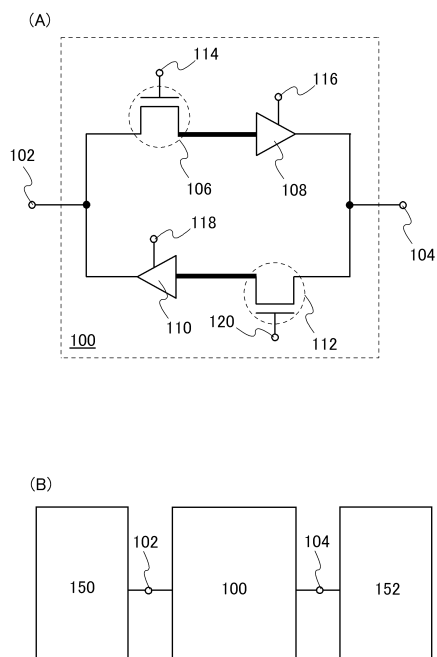
【0149】

| | | |
|-----|-----------------|----|
| 100 | 回路 | 10 |
| 102 | 第1の端子 | |
| 104 | 第2の端子 | |
| 106 | 第1のトランジスタ | |
| 108 | 第1のバッファ | |
| 110 | 第2のバッファ | |
| 112 | 第2のトランジスタ | |
| 114 | 端子 | |
| 116 | 端子 | |
| 118 | 端子 | 20 |
| 120 | 端子 | |
| 150 | 第1の論理回路 | |
| 152 | 第2の論理回路 | |
| 200 | 回路 | |
| 202 | 第1の端子 | |
| 204 | 第2の端子 | |
| 206 | 第1のトランスミッションゲート | |
| 208 | 第1のトランジスタ | |
| 210 | 第2のトランジスタ | |
| 212 | 第2のトランスミッションゲート | 30 |
| 214 | 第1の制御端子 | |
| 216 | 第2の制御端子 | |
| 218 | 端子 | |
| 220 | 端子 | |
| 222 | 端子 | |
| 224 | 端子 | |
| 226 | 第1の制御端子 | |
| 228 | 第2の制御端子 | |
| 250 | 回路 | |
| 252 | 第1の端子 | 40 |
| 254 | 第2の端子 | |
| 256 | 第1の論理積回路 | |
| 258 | 第2の論理積回路 | |
| 260 | 端子 | |
| 262 | 端子 | |
| 300 | 回路 | |
| 302 | 第1の端子 | |
| 304 | 第2の端子 | |
| 306 | 第1のトランジスタ | |
| 308 | 第2のトランジスタ | 50 |

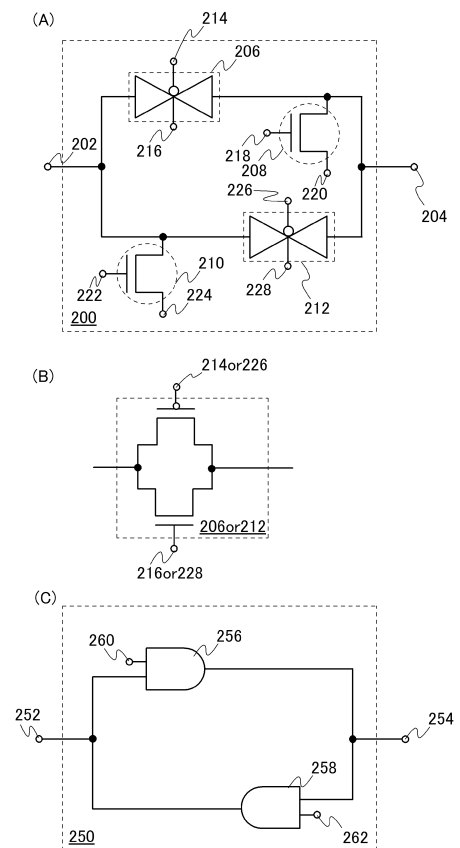
| | | |
|---------|---------------|----|
| 3 1 0 | 第 3 の端子 | |
| 3 1 2 | 論理否定回路 | |
| 3 1 4 | 第 3 のトランジスタ | |
| 3 1 6 | 第 4 のトランジスタ | |
| 3 1 8 | 第 5 のトランジスタ | |
| 3 2 0 | 第 6 のトランジスタ | |
| 4 0 0 | 半導体装置 | |
| 4 0 2 | 第 1 の論理回路 | |
| 4 0 4 | 第 1 のアイソレータ回路 | |
| 4 0 6 | 第 2 の論理回路 | 10 |
| 4 0 8 | 第 2 のアイソレータ回路 | |
| 4 1 0 | 第 3 の論理回路 | |
| 4 1 2 | 第 3 のアイソレータ回路 | |
| 4 1 4 | 信号線 | |
| 5 0 0 | 信号線 | |
| 5 0 2 | 第 1 の端子 | |
| 5 0 4 | 第 2 の端子 | |
| 6 0 0 | 素子被形成層 | |
| 6 0 2 | 絶縁層 | |
| 6 0 4 | 半導体層 | 20 |
| 6 0 6 a | 領域 | |
| 6 0 6 b | 領域 | |
| 6 0 8 | チャネル形成領域 | |
| 6 1 0 | 絶縁層 | |
| 6 1 2 | 導電層 | |
| 6 1 4 a | 絶縁層 | |
| 6 1 4 b | 絶縁層 | |
| 6 1 6 | 絶縁層 | |
| 6 1 8 a | 導電層 | |
| 6 1 8 b | 導電層 | 30 |
| 6 2 0 | 絶縁層 | |
| 6 5 0 | 素子被形成層 | |
| 6 5 2 | 導電層 | |
| 6 5 4 | 絶縁層 | |
| 6 5 6 | 絶縁層 | |
| 6 5 8 | 半導体層 | |
| 6 6 0 a | 導電層 | |
| 6 6 0 b | 導電層 | |
| 6 6 2 a | 導電層 | |
| 6 6 2 b | 導電層 | 40 |
| 6 6 4 | 絶縁層 | |
| 7 0 0 | トランジスタ | |
| 7 0 2 | トランジスタ | |
| 7 0 4 | 基板 | |
| 7 0 6 | 絶縁層 | |
| 7 0 8 | 単結晶シリコン層 | |
| 7 1 0 | 導電層 | |
| 7 1 2 | 絶縁層 | |
| 7 1 4 | 絶縁層 | |
| 7 1 6 | 絶縁層 | 50 |

7 1 8 導電層
7 2 0 絶縁層

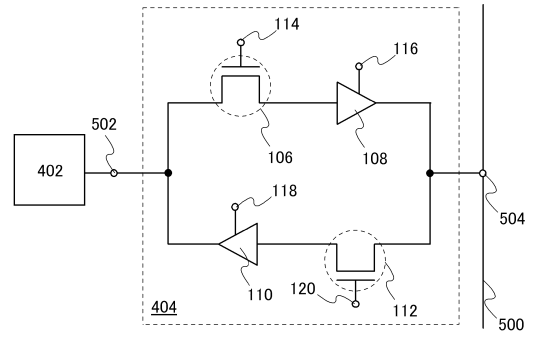
【図 1】



【図 2】



【 図 5 】



(A)

616
612
614a
614b
618a
618b
604
620
602
600
606a
608
606b
610

(B)

658
660a
660b
664
662a
662b
650
654
652
656

フロントページの続き

- (56)参考文献 国際公開第2008/111406(WO, A1)
米国特許第07287171(US, B1)
米国特許出願公開第2005/0093577(US, A1)
特開2011-129896(JP, A)
特開2011-171723(JP, A)
米国特許出願公開第2010/0079166(US, A1)
特開平08-106345(JP, A)
特開昭59-225422(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H01L 29/786