(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 4 日(04.06.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/079875 A1

(51) 国際特許分類:
H01L 21/337 (2006.01)　*H01L 27/06* (2006.01)
H01L 21/338 (2006.01)　*H01L 27/095* (2006.01)
H01L 21/822 (2006.01)　*H01L 29/808* (2006.01)
H01L 21/8232 (2006.01)　*H01L 29/812* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2014/079310

(22) 国際出願日: 2014 年 11 月 5 日(05.11.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-244133 2013 年 11 月 26 日(26.11.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 印南　航介(INNAMI Kohsuke). 寺口　信明(TERAGUCHI Nobuaki).

(74) 代理人: 特許業務法人　佐野特許事務所(SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館５Ｆ Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

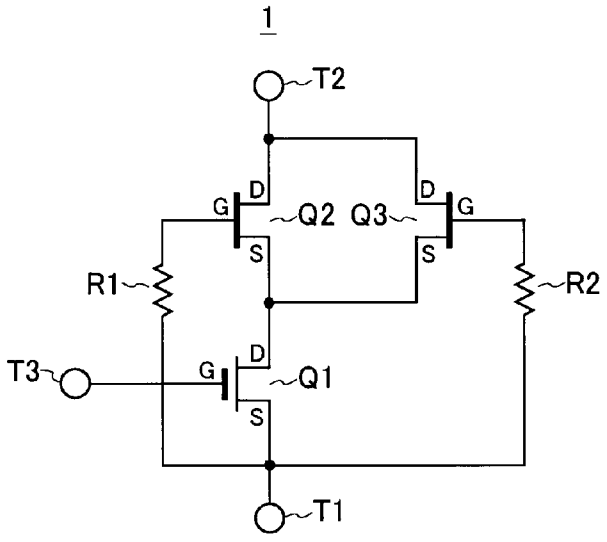
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



(57) **Abstract**: This semiconductor device is provided with: a normally off first transistor, a normally on second transistor, and a normally on third transistor. The first transistor and second transistor are cascode connected, and the third transistor is connected in parallel to the second transistor. The off-state breakdown voltages of the second transistor and third transistor are greater than that of the first transistor, and the turn-on time of the third transistor is shorter than the turn-on time of the second transistor.

(57) 要約:

[続葉有]

WO 2015/079875 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置は、ノーマリオフ型の第１のトランジスタと、ノーマリオン型の第２のトランジスタと、ノーマリオン型の第３のトランジスタとを備えている。前記第１のトランジスタと前記第２のトランジスタとがカスコード接続されており、前記第３のトランジスタが前記第２のトランジスタに対して並列に接続されている。前記第２のトランジスタ及び前記第３のトランジスタの各オフ耐圧が前記第１のトランジスタのオフ耐圧より高く、前記第３のトランジスタのターンオン時間が前記第２のトランジスタのターンオン時間より短い。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、ノーマリオフ型トランジスタとノーマリオン型トランジスタをカスコード接続した半導体装置に関し、特に過電圧保護機能を有する半導体装置に関する。

背景技術

[0002] 過電圧保護機能を有する半導体装置においては、静電気放電（ＥＳＤ：Electrostatic Discharge）等の過電圧から上記装置を保護するため、上記装置内のトランジスタの構造を上記過電圧に耐えうる構造に改良する工夫、或いは、上記装置に過電圧保護回路を設置する工夫がなされている。

[0003] ここで、半導体装置へのＥＳＤの印加について説明する。これは、半導体装置外部の物体（例えば人体や搬送装置など）に帯電した高電圧の静電気が、上記物体と上記半導体装置との接触によって上記半導体装置の内部に流れ込むものである。例えば、帯電した人体と半導体装置との接触による半導体装置へのＥＳＤの印加をモデル化したヒューマンボディモデルでは、半導体装置に印加される放電電流がピークに達するまでの立ち上がり時間が１０ｎｓｅｃで、放電電流のピーク値は数Ａ程度である。半導体装置の電源端子から上記放電電流が流れ込む場合、上記半導体装置がオフ状態であれば、上記電源端子に電荷が溜まり、上記電源端子の電位が急上昇し、上記電源端子には瞬間的に２ｋＶ程度の過電圧が印加される。

[0004] 特許文献１では、高耐圧を有するノーマリオン型のヘテロ接合電界効果トランジスタとノーマリオフ型の絶縁ゲート型電界効果トランジスタをモノリシックに形成し、それらをカスコード接続した半導体装置において、ノーマリオフ型の絶縁ゲート型電界効果トランジスタにアバランシェダイオードを並列に接続している。これにより、ノーマリオフ型の絶縁ゲート型電界効果トランジスタに高電圧が印加されることによってノーマリオフ型の絶縁ゲー

ト型電界効果トランジスタが破壊される事態を防止している。

先行技術文献

特許文献

[0005] 特許文献1：特開２００６－３５１６９１号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、ノーマリオフ型トランジスタとノーマリオン型トランジスタをカスコード接続した半導体装置において、上記装置の電源端子にＥＳＤ等の過電圧が印加された際に初めに電圧が上昇するのは、上記ノーマリオフ型トランジスタではなく上記ノーマリオン型トランジスタである。したがって、上記ノーマリオン型トランジスタに対して過電圧対策を講じる必要がある。

[0007] 上記ノーマリオン型トランジスタに講じる過電圧対策としては、以下の２つの案が考えられる。第１の案は、上記ノーマリオン型トランジスタのオフ耐圧を、上記ノーマリオン型トランジスタのドレイン－ソース間（或いはコレクター－エミッタ間）に印加される電圧より高くする方法であり、第２の案は、上記ノーマリオン型トランジスタのドレイン－ソース間（或いはコレクター－エミッタ間）に印加される電圧が上記ノーマリオン型トランジスタのオフ耐圧に達する前に、上記ノーマリオン型トランジスタをオン状態にし、上記ノーマリオン型トランジスタのドレイン－ソース間（或いはコレクター－エミッタ間）の電位差が、上記トランジスタのオフ耐圧以上になるのを回避する方法である。ここで、トランジスタのオフ耐圧とは、トランジスタがオフ状態であるときに許容されるドレイン－ソース間電圧（コレクター－エミッタ間電圧）の最大値である。

[0008] 第１の案に関しては、上記ノーマリオン型トランジスタのレイアウト構造をオフ耐圧向上に向け再設計する必要があり、この再設計にはオン抵抗増大などの特性悪化が伴う。また、上記カスコード接続した半導体装置で使用さ

れているノーマリオン型トランジスタのオフ耐圧は、１ｋＶ程度であり、ＥＳＤで印加される電圧２ｋＶ程度よりもはるかに小さい。したがって、上記ノーマリオン型トランジスタのオフ耐圧を向上させたとしても、上記装置の電源端子に印加されたＥＳＤが直に上記ノーマリオン型トランジスタのドレイン（或いはコレクタ）に印加されれば上記ノーマリオン型トランジスタが破壊される。このため、第１の案は、現実的な改善策ではない。

[0009] 第２の案に関しては、上記カスコード接続した半導体装置において大電力パワートランジスタ（最大消費電力が１０W程度以上のパワートランジスタ）として使用されているノーマリオン型トランジスタのターンオン時間が３０ｎｓｅｃ程度であるのに対し、ＥＳＤでの立ち上がり時間が上述の通り１０ｎｓｅｃ程度であることから、上記ノーマリオン型トランジスタが大電力パワートランジスタである限り実現は難しい。ここで、トランジスタのターンオン時間とは、トランジスタのゲート（或いはベース）にトランジスタをオン状態にするための電圧信号（或いは電流信号）が入力されてから、トランジスタがオン状態になるまでに要する時間のことをいう。

[0010] 本発明は、上記の状況に鑑み、ノーマリオフ型トランジスタとノーマリオン型トランジスタをカスコード接続した半導体装置であって、過電圧に対する破壊耐量の向上を図ることができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するために本発明に係る半導体装置は、ノーマリオフ型の第１のトランジスタと、ノーマリオン型の第２のトランジスタと、ノーマリオン型の第３のトランジスタとを備え、前記第１のトランジスタと前記第２のトランジスタとがカスコード接続されており、前記第３のトランジスタが前記第２のトランジスタに対して並列に接続されており、前記第２のトランジスタ及び前記第３のトランジスタの各オフ耐圧が前記第１のトランジスタのオフ耐圧より高く、前記第３のトランジスタのターンオン時間が前記第２のトランジスタのターンオン時間より短い構成（第１の構成）とする。

[0012] 上記第１の構成の半導体装置において、ダイオードと、電源端子と、グランド端子とをさらに備え、前記第１のトランジスタ、前記第２のトランジスタ、及び前記第３のトランジスタそれぞれが第１の電極、第２の電極、及び制御電極を有し、前記電源端子が前記第２のトランジスタの前記第１の電極及び前記第３のトランジスタの前記第１の電極に接続されており、前記第２のトランジスタの前記第２の電極及び前記第３のトランジスタの前記第２の電極が前記第１のトランジスタの前記第１の電極に接続されており、前記第１のトランジスタの前記第２の電極が前記グランド端子に接続されており、前記電源端子側に前記ダイオードのカソード電極が接続され、前記第３のトランジスタの前記制御電極側に前記ダイオードのアノード電極が接続されるように、前記電源端子と、前記第３のトランジスタの前記制御電極との間に、前記ダイオードが設けられており、前記ダイオードのアバランシェ電圧は、前記電源端子と前記グランド端子との間の定格電圧より大きく、前記第３のトランジスタのオフ耐圧以下である構成（第２の構成）としてもよい。

[0013] 上記第１の構成又は上記第２の構成の半導体装置において、前記第２のトランジスタ及び前記第３のトランジスタが、同一のウエハプロセスにより形成されている構成（第３の構成）としてもよい。

[0014] 上記第１から第３のいずれかの構成の半導体装置において、前記第２のトランジスタ及び前記第３のトランジスタが、一つの半導体チップ上に形成されている構成（第４の構成）としてもよい。

[0015] 上記第４の構成の半導体装置において、前記第２のトランジスタと前記第３のトランジスタとを並列接続するための電気的接続経路の全てが前記半導体チップ上に形成されている構成（第５の構成）としてもよい。

[0016] 上記第１から第５のいずれかの構成の半導体装置において、前記第２のトランジスタ及び前記第３のトランジスタそれぞれがワイドバンドギャップ半導体を用いたトランジスタである構成（第６の構成）としてもよい。

[0017] 上記第６の構成の半導体装置において、前記ワイドバンドギャップ半導体を用いたトランジスタが窒化ガリウム（ＧａＮ）系のトランジスタである構

成（第７の構成）としてもよい。

発明の効果

[0018] 本発明によれば、ノーマリオフ型トランジスタとノーマリオン型トランジスタをカスコード接続した半導体装置において、過電圧に対する破壊耐量の向上を図ることができる。

図面の簡単な説明

[0019] [図1]本発明の第１実施形態に係る半導体装置の構成を示す図である。

[図2]本発明の第２実施形態に係る半導体装置の構成を示す図である。

[図3]本発明の第３実施形態に係る半導体装置の概略構造を示す上面図である。

発明を実施するための形態

[0020] ［第１実施形態］

本発明の第１実施形態に係る半導体装置について図１を参照して説明する。

[0021] 図１は本実施形態に係る半導体装置１の構成を示す図である。本実施形態に係る半導体装置１は、ノーマリオフ型トランジスタＱ１と、ノーマリオン型トランジスタＱ２及びＱ３と、抵抗Ｒ１及びＲ２と、グランド端子Ｔ１と、電源端子Ｔ２と、制御端子Ｔ３とを備えている。ノーマリオン型トランジスタＱ２及びＱ３はノーマリオフ型トランジスタＱ１よりオフ耐圧が高いトランジスタであり、ノーマリオン型トランジスタＱ３はノーマリオン型トランジスタＱ２よりターンオン時間が短いトランジスタである。ノーマリオン型トランジスタＱ２を大電力パワートランジスタ（最大消費電力が１０W程度以上のパワートランジスタ）とし、ノーマリオン型トランジスタＱ３を大電力向けでないパワートランジスタ（最大消費電力が１０W程度未満のパワートランジスタ）とすることで、ノーマリオン型トランジスタＱ３のターンオン時間をノーマリオン型トランジスタＱ２のターンオン時間よりも短くすることができる。

[0022] ノーマリオフ型トランジスタＱ１はＮチャネルＭＯＳＦＥＴ（Metal Oxid

e Semiconductor Field Effect Transistor）であり、ノーマリオン型トランジスタＱ２及びＱ３は窒化ガリウム（ＧａＮ）系のＮチャネルヘテロ接合電界効果トランジスタである。

[0023] ノーマリオフ型トランジスタＱ１及びノーマリオン型トランジスタＱ２がカスケード接続されており、グランド端子Ｔ１と電源端子Ｔ２との間に設けられている。すなわち、グランド端子Ｔ１がノーマリオフ型トランジスタＱ１のソース電極に接続されており、ノーマリオフ型トランジスタＱ１のドレイン電極がノーマリオン型トランジスタＱ２のソース電極に接続されており、ノーマリオン型トランジスタＱ２のドレイン電極が電源端子Ｔ２に接続されている。

[0024] また、ノーマリオフ型トランジスタＱ１のゲート電極が制御端子Ｔ３に接続されており、ノーマリオン型トランジスタＱ２のゲート電極が抵抗Ｒ１を介してグランド端子Ｔ１に接続されている。

[0025] さらに、ノーマリオン型トランジスタＱ３がノーマリオン型トランジスタＱ２に対して並列に接続されている。すなわち、ノーマリオン型トランジスタＱ３のソース電極がノーマリオン型トランジスタＱ２のソース電極に接続されており、ノーマリオン型トランジスタＱ３のドレイン電極がノーマリオン型トランジスタＱ２のドレイン電極に接続されている。

[0026] また、ノーマリオフ型トランジスタＱ３のゲート電極が抵抗Ｒ２を介してグランド端子Ｔ１に接続されている。

[0027] なお、グランド端子Ｔ１とノーマリオフ型トランジスタＱ１のソース電極とは別個の導電性部材で構成されていてもよく、同一の導電性部材で構成されていてもよい。同様に、電源端子Ｔ２とノーマリオン型トランジスタＱ２及びＱ３の各ドレイン電極とは別個の導電性部材で構成されていてもよく、同一の導電性部材で構成されていてもよい。同様に、制御端子Ｔ３とノーマリオフ型トランジスタＱ１のゲート電極とは別個の導電性部材で構成されていてもよく、同一の導電性部材で構成されていてもよい。

[0028] 次に、上記構成の本実施形態に係る半導体装置１の動作について説明する

。グランド端子Ｔ１がグランド電位に保持されており、電源端子Ｔ２に電源電圧が印加されている状態において、本実施形態に係る半導体装置１は、制御端子Ｔ３への電圧印加のオン、オフに応じてスイッチング動作を行う。なお、制御端子Ｔ３への電圧印加のオン、オフを切り替える代わりに、制御端子Ｔ３に供給される電圧信号のレベルをＨｉｇｈレベルとＬｏｗレベルの２種類で切り替えても良い。

[0029] 制御端子Ｔ３への電圧印加がオンからオフに移行すると、ノーマリオフ型トランジスタＱ１のゲート－ソース間電圧が閾値電圧以上から閾値電圧未満になり、ノーマリオフ型トランジスタＱ１がオン状態からオフ状態に移行する。これにより、ノーマリオフ型トランジスタＱ１にドレイン電流が流れなくなるが、ノーマリオン型トランジスタＱ２及びＱ３はオン状態を維持しているため、ノーマリオフ型トランジスタＱ１のドレイン電極とノーマリオン型トランジスタＱ２及びＱ３の各ソース電極との間の電位が上昇する。そして、ノーマリオン型トランジスタＱ２及びＱ３の各ゲート－ソース間電圧が閾値電圧以上から閾値電圧未満になり、ノーマリオン型トランジスタＱ２及びＱ３がオン状態からオフ状態に移行する。ここで、閾値電圧とは、トランジスタがオン状態に達するときのゲート－ソース間電圧であり、ノーマリオフ型トランジスタの場合には正電圧となり、ノーマリオン型トランジスタの場合には負電圧となる。

[0030] 制御端子Ｔ３への電圧印加がオフからオンに移行すると、ノーマリオフ型トランジスタＱ１のゲート－ソース間電圧が閾値電圧未満から閾値電圧以上になり、ノーマリオフ型トランジスタＱ１がオフ状態からオン状態に移行する。これにより、ノーマリオフ型トランジスタＱ１にドレイン電流が流れ始めるが、ノーマリオン型トランジスタＱ２及びＱ３はオフ状態を維持しているため、ノーマリオフ型トランジスタＱ１のドレイン電極とノーマリオン型トランジスタＱ２及びＱ３の各ソース電極との間の電位が下降する。そして、ノーマリオン型トランジスタＱ２及びＱ３の各ゲート－ソース間電圧が閾値電圧未満から閾値電圧以上になり、ノーマリオン型トランジスタＱ２及び

Ｑ３がオフ状態からオン状態に移行する。

[0031] 本実施形態に係る半導体装置１は、オフ耐圧が高いノーマリオン型トランジスタＱ２及びＱ３を備えているため、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がそれぞれオフ状態であるときに電源端子Ｔ２とグランド端子との間に高い電圧が印加されても破壊されない。ノーマリオフ型トランジスタＱ１を、本実施形態に係る半導体装置１の定格電圧の１０分の１以下の定格電圧を有する大電力向けでないパワートランジスタ（最大消費電力が１０Ｗ程度未満のパワートランジスタ）とすることで、ノーマリオン型トランジスタＱ２のスイッチング特性、導通特性が優位となり、本実施形態に係わる半導体装置１全体としては、高耐圧でスイッチング特性、導通特性が良好であるというノーマリオン型トランジスタＱ２の長所を有し、かつ、制御端子Ｔ３に電圧印加が無い状態で、電源端子Ｔ２とグランド端子Ｔ１の間に流れる電流を遮断可能なノーマリオフ動作を行う大電力向けの半導体装置とすることが出来る。

[0032] しかしながら、瞬間的にノーマリオン型トランジスタＱ２及びＱ３のオフ耐圧よりもはるかに大きくなるＥＳＤなどの過電圧が電源端子Ｔ２に印加される場合がある。本実施形態に係る半導体装置１は、この過電圧対策をノーマリオン型トランジスタＱ３によって実現している。

[0033] ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がそれぞれオフ状態であるときに電源端子Ｔ２に過電圧が印加されると、ノーマリオン型トランジスタＱ２のドレイン電極の電位が上昇するとともに、ノーマリオン型トランジスタＱ２のドレイン－ゲート間容量が満充電状態になるまでノーマリオン型トランジスタＱ２のドレイン電極とゲート電極との間に電流が流れ、抵抗Ｒ１での電圧降下によりノーマリオン型トランジスタＱ２のゲート電極と抵抗Ｒ１との間の電位が上昇する。ノーマリオン型トランジスタＱ２のゲート電極と抵抗Ｒ１との間の電位が上昇してノーマリオン型トランジスタＱ２のゲート－ソース間電圧が閾値電圧以上になると、ノーマリオン型トランジスタＱ２がオン状態になり、ノーマリオン型ト

ランジスタＱ２のドレイン電極の電位が下降し始める。ところが、大電力パワートランジスタであるノーマリオン型トランジスタＱ２はターンオン時間が長いので、ノーマリオン型トランジスタＱ３を設けない構成にしてしまうと、ノーマリオン型トランジスタＱ２がオン状態になる前に、ノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧を超えてしまう。

[0034] 本実施形態に係る半導体装置１では、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がそれぞれオフ状態であるときに電源端子Ｔ２に過電圧が印加されると、上記の動作に加えて、ノーマリオン型トランジスタＱ３のドレイン電極の電位（＝ノーマリオン型トランジスタＱ２のドレイン電極の電位）が上昇するとともに、ノーマリオン型トランジスタＱ３のドレイン－ゲート間容量が満充電状態になるまでノーマリオン型トランジスタＱ３のドレイン電極とゲート電極との間に電流が流れ、抵抗Ｒ２での電圧降下によりノーマリオン型トランジスタＱ３のゲート電極と抵抗Ｒ２との間の電位が上昇する。ノーマリオン型トランジスタＱ３のゲート電極と抵抗Ｒ２との間の電位が上昇してノーマリオン型トランジスタＱ３のゲート－ソース間電圧が閾値電圧以上になると、ノーマリオン型トランジスタＱ３がオン状態になり、ノーマリオン型トランジスタＱ３のドレイン電極の電位（＝ノーマリオン型トランジスタＱ２のドレイン電極の電位）が下降し始める。大電力パワートランジスタでないノーマリオン型トランジスタＱ３はノーマリオン型トランジスタＱ２よりもターンオン時間が短いので、ノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧を超える前に、ノーマリオン型トランジスタＱ２のドレイン電極の電位を下げることができる。これにより、ノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧以上になってノーマリオン型トランジスタＱ２が破壊されることを防止することができる。

[0035] ノーマリオン型トランジスタＱ３がオン状態になることで、オフ状態であ

るノーマリオフ型トランジスタＱ１のドレイン電極の電位が大きくなるため、ノーマリオフ型トランジスタＱ１に対しても過電圧対策を講じることが望ましい。例えば、特許文献１と同様に、ノーマリオフ型トランジスタＱ１にアバランシェダイオードを並列に接続するようにしても良い。

[0036] ここで、ノーマリオン型トランジスタＱ３のターンオン時間は、想定する過電圧の立ち上がりによってノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧に達するのに要する時間よりも短いことが望ましい。これにより、想定する過電圧の印加（例えばＥＳＤのヒューマンボディモデル）によりノーマリオン型トランジスタＱ２が破壊されることを防止することができる。

[0037] ただし、ノーマリオン型トランジスタＱ３のターンオン時間は、想定する過電圧の立ち上がりによってノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧に達するのに要する時間よりも短い時間に限定されることはなく、ノーマリオン型トランジスタＱ２のターンオン時間よりも短ければ良い。ノーマリオン型トランジスタＱ３のターンオン時間がノーマリオン型トランジスタＱ２のターンオン時間よりも短ければ、ノーマリオン型トランジスタＱ３を設けずに過電圧が印加されるとノーマリオン型トランジスタＱ２をオン状態にする構成（上述した第２の案）に比べて、過電圧の印加によりノーマリオン型トランジスタＱ２が破壊されるおそれを低減することができる。

[0038] 本実施形態では、ノーマリオフ型トランジスタＱ１としてＭＯＳＦＥＴを用いたが、ＭＯＳＦＥＴの代わりに、ＩＧＢＴ（Insulated Gate Bipolar Transistor）などを用いても良い。ノーマリオフ型トランジスタＱ１は、制御端子Ｔ３に印加される電圧或いは電流に応じてスイッチング動作を行い、ノーマリオン型トランジスタＱ２及びＱ３よりもオフ耐圧の低いノーマリオフ型トランジスタであれば、上記において例示したトランジスタに限定されるものではない。

[0039] また、本実施形態では、ノーマリオン型トランジスタＱ２として窒化ガリ

ウム（ＧａＮ）系のヘテロ接合電界効果トランジスタを用いたが、窒化ガリウム（ＧａＮ）系のヘテロ接合電界効果トランジスタの代わりに、Ｊ－ＦＥＴ（Junction- Field Effect Transistor）などを用いても良い。ノーマリオン型トランジスタＱ２は、ノーマリオフ型トランジスタＱ１よりもオフ耐圧が高いノーマリオフ型トランジスタであれば、上記において例示したトランジスタに限定されるものではない。

[0040] なお、窒化ガリウム（ＧａＮ）やシリコンカーバイド（ＳｉＣ）などのワイドバンドギャップ半導体を用いたトランジスタは、オフ耐圧が高いので、ノーマリオン型トランジスタＱ２に好適である。また、窒化ガリウム（ＧａＮ）系のトランジスタは、飽和電子速度が大きく高速動作が可能である。したがって、ノーマリオン型トランジスタＱ２及びＱ３を窒化ガリウム（ＧａＮ）系のトランジスタとすることで、本実施形態に係る半導体装置１の高耐圧化及び高速動作化を図ることができる。ここで、ワイドバンドギャップ半導体とは、シリコン（Ｓｉ）よりもバンドギャップが広い半導体をいう。

[0041] また、本実施形態では、ノーマリオン型トランジスタＱ３としてノーマリオン型トランジスタＱ２と同様に窒化ガリウム（ＧａＮ）系のヘテロ接合電界効果トランジスタを用いたが、窒化ガリウム（ＧａＮ）系のヘテロ接合電界効果トランジスタの代わりに、Ｊ－ＦＥＴなどを用いても良い。ノーマリオン型トランジスタＱ３は、ノーマリオフ型トランジスタＱ１よりもオフ耐圧が高く、ノーマリオン型トランジスタＱ２よりもターンオン時間が短いノーマリオン型トランジスタであれば、上記において例示したトランジスタに限定されるものではない。

[0042] また、本実施形態に係る半導体装置１は、トランジスタ及び端子以外の電子部品として抵抗Ｒ１及びＲ２を備えているが、抵抗Ｒ１を備えない構成にしても良い。また、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がそれぞれオフ状態であるときに電源端子Ｔ２に過電圧が印加されると、ノーマリオン型トランジスタＱ３のゲート電極の電位が上昇する機能を確保できるのであれば、抵抗Ｒ２を備えない構成にして

も良い。また、トランジスタ及び端子以外の電子部品として抵抗Ｒ１及びＲ２以外の抵抗、コンデンサ、ダイオード、ワイヤなどを備える構成にしても良い。本実施形態に係る半導体装置１に追加しうる電子部品は、上記において例示した電子部品に限定されるものではない。

[0043] ［第２実施形態］

本発明の第２実施形態に係る半導体装置について図２を参照して説明する。なお、図２において図１と同一の部品については同一の符号を付してその説明を省略する。

[0044] 図２は本実施形態に係る半導体装置２の構成を示す図である。本実施形態に係る半導体装置２は、第１実施形態に係る半導体装置１に対してダイオードＤ１を追加した構成である。

[0045] ダイオードＤ１のカソード電極が電源端子Ｔ２に接続されており、ダイオードＤ１のアノード電極がノーマリオン型トランジスタＱ３に接続されている。ダイオードＤ１のアバランシェ電圧は、本実施形態に係る半導体装置２の定格電圧（電源端子Ｔ２－グランド端子Ｔ１間の定格電圧）より大きく、ノーマリオン型トランジスタＱ３のオフ耐圧以下である。

[0046] なお、ダイオードＤ１のカソード電極と電源端子Ｔ２並びにノーマリオン型トランジスタＱ２及びＱ３の各ドレイン電極とは別個の導電性部材で構成されていてもよく、同一の導電性部材で構成されていてもよい。同様に、ダイオードＤ１のアノード電極とノーマリオン型トランジスタＱ３のゲート電極とは別個の導電性部材で構成されていてもよく、同一の導電性部材で構成されていてもよい。

[0047] 次に、上記構成の本実施形態に係る半導体装置２の動作について説明する。グランド端子Ｔ１がグランド電位に保持されており、電源端子Ｔ２に電源電圧が印加されている状態において、本実施形態に係る半導体装置２は、制御端子Ｔ３への電圧印加のオン、オフに応じてスイッチング動作を行う。

[0048] ダイオードＤ１のアバランシェ電圧が本実施形態に係る半導体装置２の定格電圧より大きいので、本実施形態に係る半導体装置２が定格電圧の範囲内

でスイッチング動作を行っている場合、ダイオードＤ１のカソード電極とアノード電極の間に電流が流れることはない。

[0049] したがって、本実施形態に係る半導体装置２が定格電圧の範囲内でスイッチング動作を行っている場合、本実施形態に係る半導体装置２は第１実施形態に係る半導体装置１と同様のスイッチング動作を行う。すなわち、制御端子Ｔ３への電圧印加がオンからオフに移行すると、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がオン状態からオフ状態に移行する。また、制御端子Ｔ３への電圧印加がオフからオンに移行すると、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がオフ状態からオン状態に移行する。

[0050] 本実施形態に係る半導体装置２は、第１実施形態に係る半導体装置１と同様に、オフ耐圧が高いノーマリオン型トランジスタＱ２及びＱ３を備えているため、ノーマリオフ型トランジスタＱ１並びにノーマリオン型トランジスタＱ２及びＱ３がそれぞれオフ状態であるときに電源端子Ｔ２とグランド端子との間に高い電圧が印加されても破壊されない。

[0051] また、本実施形態に係る半導体装置２は、本発明の第１実施形態に係る半導体装置１と同様に、過電圧対策をノーマリオン型トランジスタＱ３によって実現している。

[0052] 電源端子Ｔ２に過電圧が印加されると、ダイオードＤ１のカソード電極－アノード電極間電圧がアバランシェ電圧以上になり、ダイオードＤ１のカソード電極とアノード電極の間に電流が流れてノーマリオン型トランジスタＱ３のゲート電極の電位が上昇する。このゲート電極の電位上昇によってノーマリオン型トランジスタＱ３がオフ状態からオン状態に移行するため、ノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧を超える前に、ノーマリオン型トランジスタＱ２のドレイン電極の電位を下げることができる。これにより、ノーマリオン型トランジスタＱ２のドレイン－ソース間電圧がノーマリオン型トランジスタＱ２のオフ耐圧以上になってノーマリオン型トランジスタＱ２が破壊される

ことを防止することができる。

[0053] なお、本実施形態に係る半導体装置２の第１実施形態に係る半導体装置１と共通する部分については、第１実施形態の説明で述べた好適例や変形例を適用することができる。

[0054] ［第３実施形態］

本発明の第３実施形態に係る半導体装置について図３を参照して説明する。本発明の第３実施形態に係る半導体装置は図１に示す第１実施形態に係る半導体装置１と同一の構成である。なお、図３において図１と同一の部品については同一の符号を付してその説明を省略する。

[0055] 図３は本実施形態に係る半導体装置３の概略構造を示す上面図である。

[0056] 本実施形態に係る半導体装置３のノーマリオン型トランジスタＱ２及びＱ３は、同一のウエハプロセスにより形成されている。

[0057] これにより、ノーマリオン型トランジスタＱ２及びＱ３の電気的特性を同程度にすることができる。特に、ノーマリオン型トランジスタＱ２及びＱ３のソース電極とドレイン電極の間のオフ耐圧が同程度になるので、ノーマリオン型トランジスタＱ２の耐圧破壊が起こさないように、ノーマリオン型トランジスタＱ３をオン状態にするタイミングを調整することが容易である。また、ノーマリオン型トランジスタＱ２及びＱ３のスイッチング特性も同程度にすることができるので、ノーマリオン型トランジスタＱ２のターンオン時間とノーマリオン型トランジスタＱ３のターンオン時間との差を設定値通りにすることが容易になる。ここで、ウエハプロセスとは、半導体装置を構成する素子を半導体ウエハ基板上に形成するプロセスのことをいい、同一のウエハプロセスとは、同一の半導体ウエハ上で同時に実施される同種類のプロセスのことをいう。

[0058] さらに、本実施形態に係る半導体装置３では、図３に示すようにノーマリオン型トランジスタＱ２及びＱ３が一つの半導体チップ４上に形成されている。

[0059] これにより、低コスト、かつ、小スペースで、本実施形態に係る半導体装

置３内にノーマリオン型トランジスタＱ２及びＱ３を配置することが可能である。また、一つの半導体チップ４上にノーマリオン型トランジスタＱ２及びＱ３を並べて配置することができるので、ノーマリオン型トランジスタＱ２及びＱ３の電気的特性をより一層同程度にすることができる。

[0060] ノーマリオン型トランジスタＱ２のゲート電極は、下部ゲート電極Ｑ２ＤＧと上部ゲート電極Ｑ２ＵＧとによって構成されている。上面視矩形領域５は下部ゲート電極Ｑ２ＤＧと上部ゲート電極Ｑ２ＵＧとの導通部分であり、半導体チップ４の厚み方向における下部ゲート電極Ｑ２ＤＧと上部ゲート電極Ｑ２ＵＧとの間に形成されている。ノーマリオン型トランジスタＱ２のソース電極は、下部ソース電極Ｑ２ＤＳと上部ソース電極Ｑ２ＵＳとによって構成されている。上面視矩形領域６は下部ソース電極Ｑ２ＤＳと上部ソース電極Ｑ２ＵＳとの導通部分であり、半導体チップ４の厚み方向における下部ソース電極Ｑ２ＤＳと上部ソース電極Ｑ２ＵＳとの間に形成されている。ノーマリオン型トランジスタＱ２のドレイン電極は、下部ドレイン電極Ｑ２ＤＤと上部ドレイン電極Ｑ２ＵＤとによって構成されている。上面視矩形領域７は下部ドレイン電極Ｑ２ＤＤと上部ドレイン電極Ｑ２ＵＤとの導通部分であり、半導体チップ４の厚み方向における下部ドレイン電極Ｑ２ＤＤと上部ドレイン電極Ｑ２ＵＤとの間に形成されている。ノーマリオン型トランジスタＱ３のゲート電極は、下部ゲート電極Ｑ３ＤＧと上部ゲート電極Ｑ３ＵＧとによって構成されている。上面視矩形領域８は下部ゲート電極Ｑ３ＤＧと上部ゲート電極Ｑ３ＵＧとの導通部分であり、半導体チップ４の厚み方向における下部ゲート電極Ｑ３ＤＧと上部ゲート電極Ｑ３ＵＧとの間に形成されている。ノーマリオン型トランジスタＱ３のソース電極は、下部ソース電極Ｑ３ＤＳと上部ソース電極Ｑ３ＵＳとによって構成されている。上面視矩形領域９は下部ソース電極Ｑ３ＤＳと上部ソース電極Ｑ３ＵＳとの導通部分であり、半導体チップ４の厚み方向における下部ソース電極Ｑ３ＤＳと上部ソース電極Ｑ３ＵＳとの間に形成されている。ノーマリオン型トランジスタＱ３のドレイン電極は、下部ドレイン電極Ｑ３ＤＤと上部ドレイン電極Ｑ３Ｕ

Ｄとによって構成されている。上面視矩形領域１０は下部ドレイン電極Ｑ３ＤＤと上部ドレイン電極Ｑ３ＵＤとの導通部分であり、半導体チップ４の厚み方向における下部ドレイン電極Ｑ３ＤＤと上部ドレイン電極Ｑ３ＵＤとの間に形成されている。

[0061] ノーマリオン型トランジスタＱ２の上部ソース電極Ｑ２ＵＳとノーマリオン型トランジスタＱ３の上部ソース電極Ｑ３ＵＳとは同一の導電層（同一の部材）によって形成されており、ノーマリオン型トランジスタＱ２の上部ドレイン電極Ｑ２ＵＤとノーマリオン型トランジスタＱ３の上部ドレイン電極Ｑ３ＵＤとは同一の導電層（同一の部材）によって形成されている。すなわち、ノーマリオン型トランジスタＱ２及びＱ３を並列接続するための電気的接続経路の全てが半導体チップ４上に形成されている。

[0062] これにより、ノーマリオン型トランジスタＱ２のターンオン時間とノーマリオン型トランジスタＱ３のターンオン時間との差を設定値通りにすることがより一層容易になる。

[0063] ＜まとめ＞

以上、本発明の実施形態につき説明したが、本発明の範囲はこれに限定されるものではなく、発明の主旨を逸脱しない範囲で種々の変更を加えて実施することができる。

[0064] 以上説明した半導体装置は、ノーマリオフ型の第１のトランジスタ（Ｑ１）と、ノーマリオン型の第２のトランジスタ（Ｑ２）と、ノーマリオン型の第３のトランジスタ（Ｑ３）とを備え、前記第１のトランジスタ（Ｑ１）と前記第２のトランジスタ（Ｑ２）とがカスコード接続されており、前記第３のトランジスタ（Ｑ３）が前記第２のトランジスタ（Ｑ３）に対して並列に接続されており、前記第２のトランジスタ（Ｑ２）及び前記第３のトランジスタ（Ｑ３）の各オフ耐圧が前記第１のトランジスタ（Ｑ１）のオフ耐圧より高く、前記第３のトランジスタ（Ｑ３）のターンオン時間が前記第２のトランジスタ（Ｑ２）のターンオン時間より短い構成（第１の構成）である。

[0065] このような構成によると、半導体装置に過電圧が印加された際に、第３の

トランジスタを素早くオフ状態からオン状態に移行させることができるので、第１のトランジスタと第２のトランジスタとの接続点の電位が大きくなり過ぎる前にその電位を下げることができる。これにより、第２のトランジスタにかかる電圧がオフ耐圧以上になって第２のトランジスタが破壊されることを防止することができる。

[0066] 上記第１の構成の半導体装置において、ダイオード（Ｄ１）と、電源端子（Ｔ２）と、グランド端子（Ｔ１）とをさらに備え、前記第１のトランジスタ（Ｑ１）、前記第２のトランジスタ（Ｑ２）、及び前記第３のトランジスタ（Ｑ３）それぞれが第１の電極、第２の電極、及び制御電極を有し、前記電源端子（Ｔ２）が前記第２のトランジスタ（Ｑ２）の前記第１の電極及び前記第３のトランジスタ（Ｑ３）の前記第１の電極に接続されており、前記第２のトランジスタ（Ｑ２）の前記第２の電極及び前記第３のトランジスタ（Ｑ３）の前記第２の電極が前記第１のトランジスタ（Ｑ１）の前記第１の電極に接続されており、前記第１のトランジスタ（Ｑ１）の前記第２の電極が前記グランド端子（Ｔ１）に接続されており、前記電源端子（Ｔ２）側に前記ダイオード（Ｄ１）のカソード電極が接続され、前記第３のトランジスタ（Ｑ３）の前記制御電極側に前記ダイオード（Ｄ１）のアノード電極が接続されるように、前記電源端子（Ｔ２）と、前記第３のトランジスタ（Ｑ３）の前記制御電極との間に、前記ダイオード（Ｄ１）が設けられており、前記ダイオード（Ｄ１）のアバランシェ電圧は、前記電源端子（Ｔ２）と前記グランド端子（Ｔ１）との間の定格電圧より大きく、前記第３のトランジスタ（Ｑ３）のオフ耐圧以下である構成（第２の構成）としてもよい。

[0067] このような構成によると、半導体装置が定格電圧の範囲内でスイッチング動作を行っている場合、ダイオードのカソード電極とアノード電極の間に電流が流れなくすることができる。また、半導体装置に過電圧が印加された際に、ダイオードのカソード電極とアノード電極の間に電流が流れ、自動的に第３のトランジスタを素早くオフ状態からオン状態に移行させることができるので、第１のトランジスタと第２のトランジスタとの接続点の電位が大き

くなり過ぎる前にその電位を下げることができる。これにより、第２のトランジスタにかかる電圧がオフ耐圧以上になって第２のトランジスタが破壊されることを防止することができる。

[0068] 上記第１の構成又は上記第２の構成の半導体装置において、前記第２のトランジスタ（Ｑ２）及び前記第３のトランジスタ（Ｑ３）が、同一のウエハプロセスにより形成されている構成（第３の構成）としてもよい。

[0069] このような構成によると、第２のトランジスタ及び第３のトランジスタの電気的特性、特に第２のトランジスタ及び第３のトランジスタのソース電極とドレイン電極の間のオフ耐圧が同程度になるので、第２のトランジスタの耐圧破壊が起こさないように、第３のトランジスタをオン状態にするタイミングを調整することが容易である。また、第２のトランジスタ及び第３のトランジスタのスイッチング特性も同程度にすることができるので、第２のトランジスタのターンオン時間と第３のトランジスタのターンオン時間との差を設定値通りにすることが容易になる。

[0070] 上記第１から第３のいずれかの構成の半導体装置において、前記第２のトランジスタ（Ｑ２）及び前記第３のトランジスタ（Ｑ３）が、一つの半導体チップ上に形成されている構成（第４の構成）としてもよい。

[0071] このような構成によると、低コスト、かつ、小スペースで、半導体装置内に第２のトランジスタ及び第３のトランジスタを配置することが可能である。また、一つの半導体チップ上に第２のトランジスタ及び第３のトランジスタを並べて配置することができるので、第２のトランジスタ及び第３のトランジスタの電気的特性をより一層同程度にすることができる。

[0072] 上記第４の構成の半導体装置において、前記第２のトランジスタ（Ｑ２）と前記第３のトランジスタ（Ｑ３）とを並列接続するための電気的接続経路の全てが前記半導体チップ上に形成されている構成（第５の構成）としてもよい。

[0073] このような構成によると、第２のトランジスタのターンオン時間と第３のトランジスタのターンオン時間との差を設定値通りにすることがより一層容

易になる。

[0074] 上記第１から第５のいずれかの構成の半導体装置において、前記第２のトランジスタ（Ｑ２）及び前記第３のトランジスタ（Ｑ３）それぞれがワイドバンドギャップ半導体を用いたトランジスタである構成（第６の構成）としてもよい。

[0075] このような構成によると、ワイドバンドギャップ半導体を用いたトランジスタは、オフ耐圧が高いので、第２のトランジスタ及び第３のトランジスタの各オフ耐圧ひいては半導体装置の耐圧を高くすることができる。

[0076] 上記第６の構成の半導体装置において、前記ワイドバンドギャップ半導体を用いたトランジスタが窒化ガリウム（ＧａＮ）系のトランジスタである構成（第７の構成）としてもよい。

[0077] このような構成によると、窒化ガリウム（ＧａＮ）系のトランジスタは、飽和電子速度が大きく高速動作が可能であるので、容易に半導体装置の高耐圧化及び高速動作化を図ることができる。

符号の説明

[0078]

１　第１実施形態に係る半導体装置

２　第２実施形態に係る半導体装置

３　第３実施形態に係る半導体装置

４　半導体チップ

５～１０　上面視矩形領域

Ｑ１　ノーマリオフ型トランジスタ

Ｑ２、Ｑ３　ノーマリオン型トランジスタ

Ｑ２ＤＧ　トランジスタＱ２の下部ゲート電極

Ｑ２ＵＧ　トランジスタＱ２の上部ゲート電極

Ｑ２ＤＳ　トランジスタＱ２の下部ソース電極

Ｑ２ＵＳ　トランジスタＱ２の上部ソース電極

Ｑ２ＤＤ　トランジスタＱ２の下部ドレイン電極

Ｑ２ＵＤ　トランジスタＱ２の上部ドレイン電極

Ｑ３ＤＧ　トランジスタＱ３の下部ゲート電極

Ｑ３ＵＧ　トランジスタＱ３の上部ゲート電極

Ｑ３ＤＳ　トランジスタＱ３の下部ソース電極

Ｑ３ＵＳ　トランジスタＱ３の上部ソース電極

Ｑ３ＤＤ　トランジスタＱ３の下部ドレイン電極

Ｑ３ＵＤ　トランジスタＱ３の上部ドレイン電極

Ｒ１、Ｒ２　抵抗

Ｔ１　グランド端子

Ｔ２　電源端子

Ｔ３　制御端子

Ｄ１　ダイオード

請求の範囲

[請求項1] ノーマリオフ型の第１のトランジスタと、

ノーマリオン型の第２のトランジスタと、

ノーマリオン型の第３のトランジスタとを備え、

前記第１のトランジスタと前記第２のトランジスタとがカスコード接続されており、

前記第３のトランジスタが前記第２のトランジスタに対して並列に接続されており、

前記第２のトランジスタ及び前記第３のトランジスタの各オフ耐圧が前記第１のトランジスタのオフ耐圧より高く、

前記第３のトランジスタのターンオン時間が前記第２のトランジスタのターンオン時間より短いことを特徴とする半導体装置。

[請求項2] ダイオードと、電源端子と、グランド端子とをさらに備え、

前記第１のトランジスタ、前記第２のトランジスタ、及び前記第３のトランジスタそれぞれが第１の電極、第２の電極、及び制御電極を有し、

前記電源端子が前記第２のトランジスタの前記第１の電極及び前記第３のトランジスタの前記第１の電極に接続されており、

前記第２のトランジスタの前記第２の電極及び前記第３のトランジスタの前記第２の電極が前記第１のトランジスタの前記第１の電極に接続されており、

前記第１のトランジスタの前記第２の電極が前記グランド端子に接続されており、

前記電源端子側に前記ダイオードのカソード電極が接続され、前記第３のトランジスタの前記制御電極側に前記ダイオードのアノード電極が接続されるように、前記電源端子と、前記第３のトランジスタの前記制御電極との間に、前記ダイオードが設けられており、

前記ダイオードのアバランシェ電圧は、前記電源端子と前記グラン

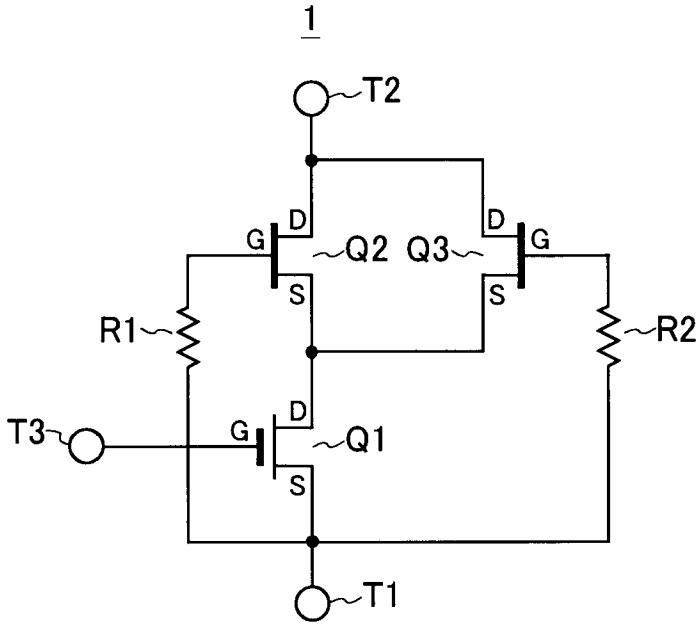
ド端子との間の定格電圧より大きく、前記第３のトランジスタのオフ耐圧以下であることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記第２のトランジスタ及び前記第３のトランジスタが、一つの半導体チップ上に形成されていることを特徴とする請求項１又は請求項２に記載の半導体装置。

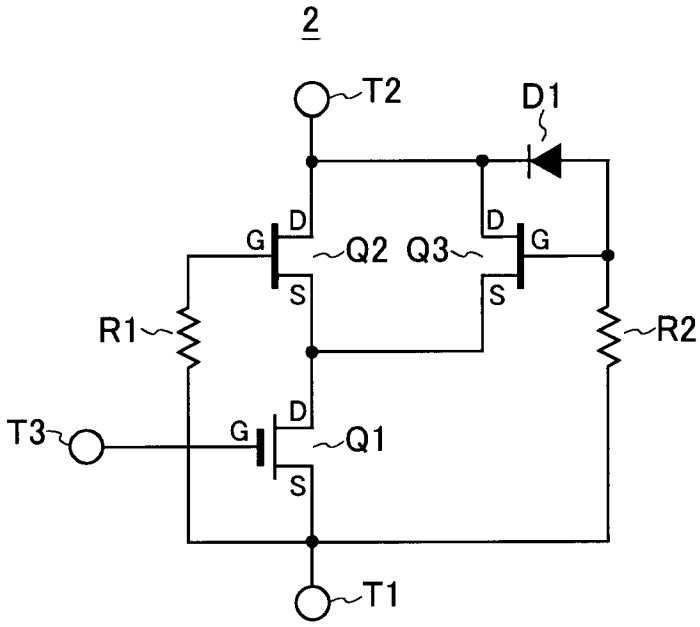
[請求項4] 前記第２のトランジスタ及び前記第３のトランジスタそれぞれがワイドバンドギャップ半導体を用いたトランジスタであることを特徴とする請求項１から請求項３のいずれか一項に記載の半導体装置。

[請求項5] 前記ワイドバンドギャップ半導体を用いたトランジスタが窒化ガリウム（ＧａＮ）系のトランジスタであることを特徴とする請求項４に記載の半導体装置。

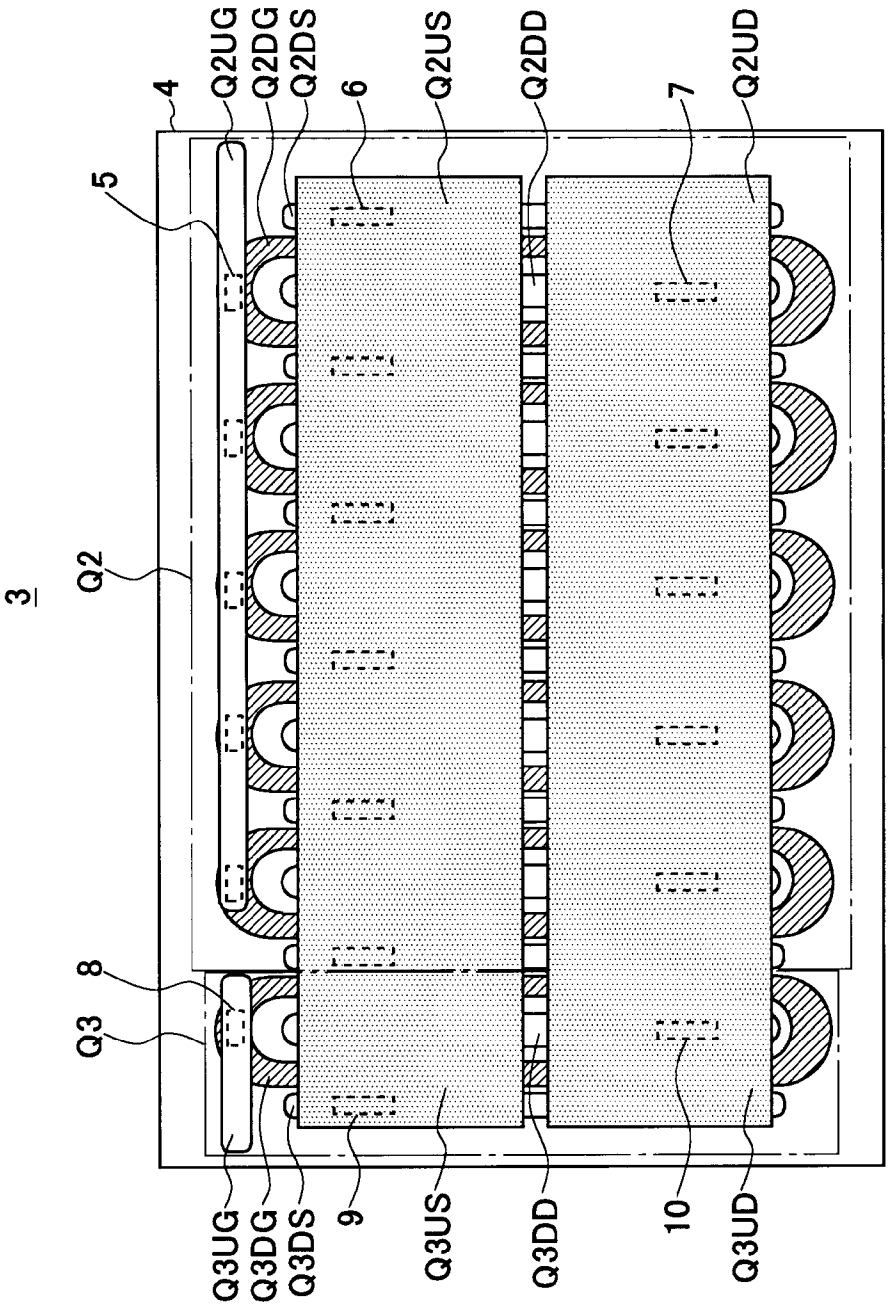
[図1]


1
T2
D
G
Q2
Q3
D
G
S
S
R1
R2
T3
D
G
Q1
S
T1

[図2]


2
T2
D1
D
G
Q2
Q3
D
G
S
S
R1
R2
T3
D
G
Q1
S
T1

[図3]


3
4
5
Q2
Q2UG
Q2DG
Q2DS
6
Q2US
Q2DD
7
Q2UD
8
Q3
Q3UG
Q3DG
Q3DS
9
Q3US
Q3DD
10
Q3UD

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/079310

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/337(2006.01)i, *H01L21/338*(2006.01)i, *H01L21/822*(2006.01)i, *H01L21/8232*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i, *H01L27/095*(2006.01)i, *H01L29/808*(2006.01)i, *H01L29/812*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/337, H01L21/338, H01L21/822, H01L21/8232, H01L27/04, H01L27/06, H01L27/095, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-235378 A (Sharp Corp.), 29 November 2012 (29.11.2012), fig. 1, 3; paragraphs [0081] to [0083] & US 2012/0280271 A1 & US 2014/0167100 A1 & EP 2521259 A2 & CN 102769451 A	1-5
Y	JP 4-10317 B2 (Nippon Telegraph and Telephone Corp.), 24 February 1992 (24.02.1992), column 4, lines 2 to 6 & JP 60-174069 A	1-5
Y	JP 7-263465 A (NEC Corp.), 13 October 1995 (13.10.1995), fig. 5; paragraph [0006] (Family: none)	2-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 January 2015 (13.01.15)	03 February 2015 (03.02.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/079310

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-530616 A (Northrop Grumman Systems Corp.), 09 September 2010 (09.09.2010), fig. 3B & JP 5520215 B & US 2008/0308838 A1 & EP 2165367 A & WO 2008/156674 A1	1-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７９３１０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/337(2006.01)i, H01L21/338(2006.01)i, H01L21/822(2006.01)i, H01L21/8232(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/095(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/337, H01L21/338, H01L21/822, H01L21/8232, H01L27/04, H01L27/06, H01L27/095, H01L29/808, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-235378 A（シャープ株式会社）2012.11.29, 図１，３、段落００８１－００８３ & US 2012/0280271 A1 & US 2014/0167100 A1 & EP 2521259 A2 & CN 102769451 A	1-5
Y	JP 4-10317 B2（日本電信電話株式会社）1992.02.24, 第４欄第２－６行 & JP 60-174069 A	1-5
Y	JP 7-263465 A（日本電気株式会社）1995.10.13, 図５、段落０００６（ファミリーなし）	2-5

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０１．２０１５	０３．０２．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　３５６６
儀同　孝信
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-530616 A（ノースロップ　グラマン　システムズ　コーポレーション）2010.09.09, 図３Ｂ & JP 5520215 B & US 2008/0308838 A1 & EP 2165367 A & WO 2008/156674 A1	1-5