

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6418246号
(P6418246)

(45) 発行日 平成30年11月7日 (2018. 11. 7)

(24) 登録日 平成30年10月19日 (2018. 10. 19)

(51) Int. Cl. F I
H O 1 C 7/04 (2006.01) H O 1 C 7/04

請求項の数 4 (全 15 頁)

(21) 出願番号 特願2016-557483 (P2016-557483)
(86) (22) 出願日 平成27年9月11日 (2015. 9. 11)
(86) 国際出願番号 PCT/JP2015/075799
(87) 国際公開番号 W02016/072154
(87) 国際公開日 平成28年5月12日 (2016. 5. 12)
審査請求日 平成29年3月29日 (2017. 3. 29)
(31) 優先権主張番号 特願2014-227249 (P2014-227249)
(32) 優先日 平成26年11月7日 (2014. 11. 7)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000006231
株式会社村田製作所
京都府長岡京市東神足1丁目10番1号
(74) 代理人 100100158
弁理士 鮫島 睦
(74) 代理人 100132252
弁理士 吉田 環
(72) 発明者 縄井 伸一郎
京都府長岡京市東神足1丁目10番1号
株式会社村田製作所内
(72) 発明者 平田 雄一
京都府長岡京市東神足1丁目10番1号
株式会社村田製作所内

審査官 田中 晃洋

最終頁に続く

(54) 【発明の名称】 サーミスタ素子

(57) 【特許請求の範囲】

【請求項 1】

長さ方向と幅方向と高さ方向とを有する素体と、
前記素体の前記長さ方向の両端部を覆っている2つの外部電極と、
前記素体内に前記高さ方向に間隔をあけて積層されている複数の内部電極と
を備え、

前記複数の内部電極は、
前記高さ方向において最も外側に配置されると共に一方の前記外部電極に接続される最
外内部電極と、

前記最外内部電極に対して前記高さ方向に重なるように隣接して配置されると共に他方
の前記外部電極に接続される隣接内部電極と
を含み、

前記素体の前記長さ方向および前記高さ方向を含む断面において、前記最外内部電極と
前記他方の外部電極との最短距離である第1距離をdとし、前記最外内部電極と前記隣接
内部電極との最短距離である第2距離をe dとしたとき、 $4 \leq (d / e d)$ を満たし、

前記高さ方向において、前記素体の表面と、前記複数の内部電極のうちの前記表面に最
も近い位置にある内部電極との間の前記素体の最小厚みを、T mとし、

前記幅方向において、前記素体の表面と、前記複数の内部電極のうちの前記表面に最も
近い位置にある内部電極との間の前記素体の最小厚みを、W mとしたとき、

$(T m / W m) \leq 0.4$ を満たすサーミスタ素子。

10

20

【請求項 2】

($d/e d$) ≤ 10 を満たす、請求項 1 に記載のサーミスタ素子。

【請求項 3】

前記一方の外部電極に接続される前記内部電極の数量、および、前記他方の外部電極に接続される前記内部電極の数量は、奇数である、請求項 1 または 2 に記載のサーミスタ素子。

【請求項 4】

前記一方の外部電極に接続される前記内部電極の数量、および、前記他方の外部電極に接続される前記内部電極の数量は、偶数である、請求項 1 または 2 に記載のサーミスタ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、サーミスタ素子に関する。

【背景技術】

【0002】

従来、サーミスタ素子としては、特許第 4985989 号（特許文献 1）に記載されたものがある。サーミスタ素子は、素体と、素体内に積層された複数の内部電極と、素体の両端部に設けられた第 1、第 2 外部電極とを有する。

【0003】

ここで、第 1 外部電極と、第 1 外部電極の極性と異なる極性を有し積層方向の最も外側に配置された最外内部電極との間の最短距離を、第 1 距離 d とする。積層方向に隣接すると共に互いに極性の異なる 2 つの内部電極の間の最短距離を、第 2 距離 t とする。このとき、 $d/t \leq 0.96$ を満たしている。

【0004】

このように、第 1 距離 d を第 2 距離 t よりも小さくすることで、素体に高電圧が印加された場合、第 1 距離 d は短いため、第 1 外部電極と最外内部電極との間で選択的に放電が生じる。したがって、極性の異なる内部電極間では放電が生じず、素体が破壊されることはないと述べられている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特許第 4985989 号

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、前記従来のサーミスタ素子を実際に製造して使用すると、サーミスタ素子の抵抗は、製品ごとにばらつくことがある。

【0007】

この原因について検討すると、素体の両端面に直交する方向における外部電極の長さは、製品ごとに異なっている。つまり、第 1 距離 d は、製品ごとに異なっている。また、第 1 距離 d は短いため、第 1 外部電極と最外内部電極との間の抵抗は小さく、製品全体の抵抗に対する第 1 外部電極と最外内部電極との間の抵抗の寄与率は大きくなる。

【0008】

したがって、第 1 距離 d が、製品ごとに異なると、第 1 外部電極と最外内部電極との間の抵抗が、製品ごとに異なり、この結果、サーミスタ素子の抵抗は、製品ごとに異なる。

【0009】

そこで、本発明の課題は、製品ごとの抵抗のバラツキを抑制することができるサーミスタ素子を提供することにある。

【課題を解決するための手段】

【0010】

前記課題を解決するため、本発明のサーミスタ素子は、
長さ方向と幅方向と高さ方向とを有する素体と、
前記素体の前記長さ方向の両端部を覆っている2つの外部電極と、
前記素体内に前記高さ方向に間隔をあけて積層されている複数の内部電極と
を備え、
前記複数の内部電極は、
前記高さ方向において最も外側に配置されると共に一方の前記外部電極に接続される最
外内部電極と、
前記最外内部電極に対して前記高さ方向に重なるように隣接して配置されると共に他方
の前記外部電極に接続される隣接内部電極と
を含み、

10

前記素体の前記長さ方向および前記高さ方向を含む断面において、前記最外内部電極と
前記他方の外部電極との最短距離である第1距離を d とし、前記最外内部電極と前記隣接
内部電極との最短距離である第2距離を $e d$ としたとき、 $4 \leq (d / e d)$ を満たす。

【0011】

本発明のサーミスタ素子によれば、 $4 \leq (d / e d)$ を満たしているので、最外内部電
極と他方の外部電極との間の距離を一定値($4 e d$)以上とでき、最外内部電極と他方の
外部電極との間の抵抗を大きくして、製品全体の抵抗に対する最外内部電極と他方の外部
電極との間の抵抗の寄与率を小さくできる。したがって、製品ごとに外部電極の長さ方向
の寸法にバラツキが生じて、製品ごとの抵抗のバラツキを抑制することができる。

20

【0012】

また、一実施形態のサーミスタ素子では、 $(d / e d) \leq 10$ を満たす。

【0013】

前記実施形態のサーミスタ素子によれば、 $(d / e d) \leq 10$ を満たしているので、最
外内部電極と他方の外部電極との間の距離を一定値($10 e d$)以下とでき、最外内部電
極と隣接内部電極との重なり面積の大きさを確保できる。したがって、最外内部電極と隣
接内部電極との間の抵抗を低く保持することができ、製品全体の抵抗を低く保持できる。

【0014】

また、一実施形態のサーミスタ素子では、
前記高さ方向において、前記素体の表面と、前記複数の内部電極のうちの前記表面に最
も近い位置にある内部電極との間の前記素体の最小厚みを、 $T m$ とし、
前記幅方向において、前記素体の表面と、前記複数の内部電極のうちの前記表面に最
も近い位置にある内部電極との間の前記素体の最小厚みを、 $W m$ としたとき、
 $(T m / W m) \leq 0.4$ を満たす。

30

【0015】

前記実施形態のサーミスタ素子によれば、 $(T m / W m) \leq 0.4$ を満たしているので
、高さ方向において素体の表面と最外内部電極との間の素体の厚みは薄くなって、最外内
部電極は他方の外部電極に接近することになる。本発明では、 $4 \leq (d / e d)$ を満たし
ているので、最外内部電極と他方の外部電極との間の距離を一定値以上とできる。例えば
、小型で低背のサーミスタ素子では、低抵抗化のために内部電極の枚数を増やす必要があ
り、素体表面と最外内部電極との間の距離は短くなり、 $(T m / W m) \leq 0.4$ を満たす
場合がある。この場合でも、製品ごとの抵抗のバラツキを抑制することができる。

40

【0016】

また、一実施形態のサーミスタ素子では、前記一方の外部電極に接続される前記内部電
極の数量、および、前記他方の外部電極に接続される前記内部電極の数量は、奇数である
。

【0017】

前記実施形態のサーミスタ素子によれば、一方の外部電極に接続される内部電極の数量
、および、他方の外部電極に接続される内部電極の数量は、奇数であるので、一方の外部

50

電極に接続される内部電極が、製造上、他方の外部電極側に片寄った構造となりやすい。つまり、最外内部電極は、他方の外部電極に接近した構造となりやすい。本発明では、 $4 \leq (d / e d)$ を満たしているので、最外内部電極と他方の外部電極との間の距離を一定値以上とできて、製品ごとの抵抗のバラツキを抑制することができる。

【0018】

また、一実施形態のサーミスタ素子では、前記一方の外部電極に接続される前記内部電極の数量、および、前記他方の外部電極に接続される前記内部電極の数量は、偶数である。

【0019】

前記実施形態のサーミスタ素子によれば、一方の外部電極に接続される内部電極の数量、および、他方の外部電極に接続される内部電極の数量は、偶数であるので、一方の外部電極に接続される内部電極が、製造上、他方の外部電極側に片寄った構造となりにくい。つまり、最外内部電極は、他方の外部電極に接近した構造となり難い。したがって、最外内部電極と他方の外部電極との間の距離を一定値以上としやすく、製品ごとの抵抗のバラツキを抑制することができる。

【発明の効果】

【0020】

本発明のサーミスタ素子によれば、 $4 \leq (d / e d)$ を満たしているので、製品ごとの抵抗のバラツキを抑制することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の第1実施形態のサーミスタ素子を示す斜視図である。

【図2】サーミスタ素子の一部破断を示す斜視図である。

【図3】サーミスタ素子のLT面での断面図である。

【図4】本発明の第2実施形態のサーミスタ素子を示す断面図である。

【図5A】サーミスタ素子のずらし量について説明する説明図である。

【図5B】サーミスタ素子の外部電極のE寸の変化率について説明する説明図である。

【図5C】サーミスタ素子のずらし量について説明する説明図である。

【発明を実施するための形態】

【0022】

以下、本発明を図示の実施の形態により詳細に説明する。

【0023】

(第1実施形態)

図1は、本発明の第1実施形態のサーミスタ素子を示す斜視図である。図2は、サーミスタ素子の一部破断を示す斜視図である。図3は、サーミスタ素子のLT面での断面図である。図1と図2と図3に示すように、サーミスタ素子1は、素体10と、素体10内に設けられている複数の内部電極21～26と、素体10の表面の一部を覆うと共に複数の内部電極21～26に電気的に接続されている第1、第2外部電極41、42とを有する。

【0024】

素体10は、長さ方向(L方向)と幅方向(W方向)と高さ方向(T方向)とを有する。具体的に述べると、素体10は、略直方体状に形成されている。

【0025】

素体10の表面は、互いに反対側に位置する第1端面15および第2端面16と、第1端面15と第2端面16との間に配置される周面17とを有する。第1端面15と第2端面16とは、略平行である。周面17は、第1側面11と第2側面12と第3側面13と第4側面14とを有する。第1側面11と第2側面12とは、セラミックス層10aの積層方向に位置し、互いに反対側に位置する。第3側面13と第4側面14とは、互いに反対側に位置する。第1側面11と第2側面12とは、略平行である。第3側面13と第4側面14とは、略平行である。第1端面15と第1側面11と第3側面13とは、互いに

直交する。

【0026】

L方向は、第2端面16から第1端面15に向かって延在する方向である。W方向は、第3側面13から第4側面14に向かって延在する方向である。T方向は、第2側面12から第1側面11に向かって延在する方向である。具体的に述べると、L方向は、第1端面15に直交する方向であり、W方向は、第3側面13に直交する方向であり、T方向は、第1側面11に直交する方向である。L方向とW方向とT方向とは、互いに直交する。

【0027】

素体10は、積層された複数のセラミックス層10aから一体的に構成される。セラミックス層10aは、例えば、負の抵抗温度特性を有するセラミックスからなる。セラミックスは、例えば、酸化マンガンを主成分とするセラミックスであり、酸化ニッケル、酸化コバルト、アルミナ、酸化鉄、酸化チタン、酸化ジルコニウムなどを含む。つまり、サーミスタ素子1は、NTC (Negative Temperature Coefficient) サーミスタであり、温度の上昇に伴って抵抗値が減少する。

【0028】

第1、第2外部電極41、42は、素体10を覆う電極層と、電極層に積層されるめっき層とを有する。電極層は、例えば、Agからなる。めっき層は、単層であってもよく、または、複数層であってもよい。単層のめっき層、および、複数層のめっき層の最外層は、例えば、SnまたはCuからなる。

【0029】

第1外部電極41は、第1端面15と周面17の第1端面15側とを覆う。第1外部電極41は、周面17の周方向の全周に対向するように設けられる。つまり、第1外部電極41は、第1側面11から第4側面14に順に対向する第1面部141から第4面部144を有する。第1面部141から第4面部144は、周面17に沿って延在する部分である。つまり、第1面部141から第4面部144は、第1外部電極41のL方向の一方の端面から他方の端面に延在する。なお、図3では、第1面部141から第4面部144をわかりやすくするために、第1面部141から第4面部144の区画を示しているが、実際、第1外部電極41は一体に成形される。

【0030】

第2外部電極42は、第2端面16と周面17の第2端面16側とを覆う。第2外部電極42は、周面17の周方向の全周に対向するように設けられる。つまり、第2外部電極42は、第1側面11から第4側面14に順に対向する第1面部141から第4面部144を有する。第1面部141から第4面部144は、周面17に沿って延在する部分である。つまり、第1面部141から第4面部144は、第2外部電極42のL方向の一方の端面から他方の端面に延在する。なお、図3では、第1面部141から第4面部144をわかりやすくするために、第1面部141から第4面部144の区画を示しているが、実際、第2外部電極42は一体に成形される。

【0031】

複数の内部電極21～26は、素体10内にT方向に間隔をあけて積層されている。内部電極21～26とセラミックス層10aとは、T方向に交互に積層される。内部電極21～26は、例えば、Ag、Pd、Cuのうちの少なくとも一つの元素を含んでいる。

【0032】

第1、第2、第3内部電極21、22、23は、T方向において、第1側面11から第2側面12に向かって順に、配置されている。第1、第2、第3内部電極21、22、23のL方向の一端部は、素体10の第1端面15から露出し、第1外部電極41に接触して電氣的に接続される。

【0033】

第4、第5、第6内部電極24、25、26は、T方向において、第1側面11から第2側面12に向かって順に、配置されている。第4、第5、第6内部電極24、25、26のL方向の一端部は、素体10の第2端面16から露出し、第2外部電極42に接触し

10

20

30

40

50

て電氣的に接続される。

【0034】

第1内部電極21と第4内部電極24とは、T方向において、同じ高さに位置し、第2内部電極22と第5内部電極25とは、T方向において、同じ高さに位置し、第3内部電極23と第6内部電極26とは、T方向において、同じ高さに位置している。

【0035】

第1内部電極21と第5内部電極25と第3内部電極23とは、T方向において、第1側面11から第2側面12に向かって順に、配置されている。第1、第5、第3内部電極21、25、23のL方向の他端部は、T方向に重なるように隣接して配置されている。

【0036】

第1内部電極21は、T方向において最も外側に配置される最外内部電極に相当する。第5内部電極25は、最外内部電極に対してT方向に重なるように隣接して配置される隣接内部電極に相当する。

【0037】

素体10のL方向およびT方向を含む断面において、第1内部電極21（最外内部電極）と第2外部電極42との最短距離である第1距離をdとし、第1内部電極21（最外内部電極）と第5内部電極25（隣接内部電極）との最短距離である第2距離をedとする。このとき、 $4 \leq (d/ed)$ を満たし、好ましくは、 $5 \leq (d/ed)$ を満たし、さらに好ましくは、 $6 \leq (d/ed)$ を満たす。また、 $(d/ed) \leq 10$ を満たす。

【0038】

具体的に述べると、第1距離dは、第1内部電極21のL方向の他端部（図3では左端部）と、第2外部電極42の第1面部141のL方向の端面（図3では右端面）との間の距離である。第2距離edは、第1内部電極21と第5内部電極25との間のT方向の距離である。

【0039】

なお、第3内部電極23のL方向の他端部と、第2外部電極42の第2面部142のL方向の端面との間の距離は、第1距離dと略同じである。第5内部電極25と第3内部電極23との間の距離は、第2距離edと略同じである。

【0040】

T方向において、素体10の表面と、複数の内部電極21～26のうちのこの表面に最も近い位置にある内部電極との間の素体10の最小厚みを、Tmとする。W方向において、素体10の表面と、複数の内部電極21～26のうちのこの表面に最も近い位置にある内部電極との間の素体10の最小厚みを、Wmとする。このとき、 $(Tm/Wm) \leq 0.4$ を満たす。

【0041】

具体的に述べると、図2に示すように、素体10の最小厚みTmは、素体10の第1側面11と第1内部電極21との間の距離である。素体10の最小厚みWmは、素体10の第3側面13と第5内部電極25との間の距離である。

【0042】

なお、素体10の第1側面11と第4内部電極24との間の距離と、素体10の第2側面12と第3内部電極23との間の距離と、素体10の第2側面12と第6内部電極26との間の距離とは、最小厚みTmと略同じである。素体10の第3側面13と第1～第4、第6内部電極21～24、26との間の距離と、素体10の第4側面14と第1～第6内部電極21～26との間の距離とは、最小厚みWmと同じである。

【0043】

サーミスタ素子1のサイズは、例えば、JIS規格0603サイズであるとする。JIS規格0603サイズとは、 $(0.6 \pm 0.03) \text{ mm}$ （L方向） $\times$ $(0.3 \pm 0.03) \text{ mm}$ （W方向）である。なお、サーミスタ素子1のサイズは、JIS規格1005サイズやJIS規格1608サイズなどの他のサイズであってもよい。

【0044】

次に、前記サーミスタ素子 1 の製造方法について説明する。

【0045】

まず、セラミックスの素材を混合粉碎して混合粉体を作製し、混合粉体に仮焼処理を施して仮焼粉を作製する。その後、仮焼粉をシート状に形成してシート体を作製し、シート体に内部電極 21～26 の材料を印刷し、シート体と内部電極 21～26 とを交互に積層して積層体を作製する。その後、積層体を焼成して、内部に内部電極 21～26 が設けられた素体 10 を作製する。その後、素体 10 の表面に第 1、第 2 外部電極 41, 42 の電極層の材料を塗布して焼き付け、電極層を作製する。その後、めっき層をめっきにより電極層に積層して、第 1、第 2 外部電極 41, 42 を作製する。これにより、サーミスタ素子 1 を作製する。内部電極 21～26 の L 方向の長さは、内部電極 21～26 の材料を印刷するときの長さにより決定される。

10

【0046】

前記サーミスタ素子 1 によれば、 $4 \leq (d / ed)$ を満たしているため、第 1 内部電極（最外内部電極）21 と第 2 外部電極 42 との間の距離を一定値（ $4ed$ ）以上とでき、第 1 内部電極 21 と第 2 外部電極 42 との間の抵抗を大きくして、製品全体の抵抗に対する第 1 内部電極 21 と第 2 外部電極 42 との間の抵抗の寄与率を小さくできる。したがって、製品ごとに第 2 外部電極 42 の L 方向の寸法にバラツキが生じても、製品ごとの抵抗のバラツキを抑制することができる。

【0047】

これに対して、 (d / ed) が 4 よりも小さいと、第 1 内部電極 21 が第 2 外部電極 42 に接近して、第 1 内部電極 21 と第 2 外部電極 42 との間の抵抗が小さくなって、製品全体の抵抗に対する第 1 内部電極 21 と第 2 外部電極 42 との間の抵抗の寄与率が大きくなる。このため、製品ごとに第 2 外部電極 42 の L 方向の寸法にバラツキが生じると、製品ごとに抵抗のバラツキが大きくなる。

20

【0048】

要するに、本願発明者は、異なる外部電極に接続された 2 つの内部電極の T 方向の重なり領域が、全体の抵抗に対して大きく寄与することを、見出した。そして、本願発明者は、抵抗に起因する要素として、互いに重なる 2 つの内部電極間の第 2 距離 ed 、および、互いに重なる 2 つの内部電極と外部電極との間の第 1 距離 d に着目した。そして、本願発明者は、これらの距離の比に着目することで、製品ごとの抵抗のバラツキを抑制する効果を実現した。

30

【0049】

また、前記サーミスタ素子 1 によれば、 $(d / ed) \leq 10$ を満たしているため、第 1 内部電極（最外内部電極）21 と第 2 外部電極 42 との間の距離を一定値（ $10ed$ ）以下とでき、第 1 内部電極 21 と第 1 内部電極 21 に隣接する第 5 内部電極 25 との重なり面積の大きさを確保できる。したがって、第 1 内部電極 21 と第 5 内部電極 25 との間の抵抗を低く保持することができ、製品全体の抵抗を低く保持できる。

【0050】

これに対して、 (d / ed) が 10 よりも大きいと、第 1 内部電極 21 が第 2 外部電極 42 から離隔して、第 1 内部電極 21 と第 5 内部電極 25 との重なり面積の大きさが低減する。したがって、第 1 内部電極 21 と第 5 内部電極 25 との間の抵抗を低く保持することができず、製品全体の抵抗を低く保持することが困難となる。なお、第 1 内部電極 21 を第 2 外部電極 42 から離隔しながら、第 5 内部電極 25 を第 1 外部電極 41 に接近させて、第 1 内部電極 21 と第 5 内部電極 25 との重なり面積の大きさを確保することが考えられる。しかし、第 5 内部電極 25 を延ばすことで、第 2 内部電極 22 が短くなりすぎて、実際の製造上、現実的でない。

40

【0051】

また、前記サーミスタ素子 1 によれば、 $(Tm / Wm) \leq 0.4$ を満たしているため、T 方向において素体 10 の表面 11 と第 1 内部電極 21 との間の素体 10 の厚み Tm は薄くなって、第 1 内部電極 21 は第 2 外部電極 42 に接近することになる。本発明では、4

50

$\leq (d/e d)$ を満たしているので、第1内部電極21と第2外部電極42との間の距離を一定値以上とできる。例えば、小型で低背のサーミスタ素子1では、低抵抗化のために内部電極の枚数を増やす必要があり、素体10の表面11と第1内部電極21との間の距離は短くなり、 $(T m/W m) \leq 0.4$ を満たす場合がある。この場合でも、製品ごとの抵抗のバラツキを抑制することができる。

【0052】

言い換えると、従前より、サーミスタ素子の小型化や低背化に伴い、内部電極の重なり面積を増やすことや、内部電極間の距離を小さくすることが求められている。しかし、内部電極間の距離を小さくすることは、技術的な難易度が高く、内部電極の重なり面積を大きくすることが必要となる。そして、重なり面積を稼ごうとすると、内部電極の周辺素体のマージンが小さくなり、異電極の内部電極と外部電極との間の素体の抵抗寄与が大きくなる。このため、外部電極の寸法のバラツキ等により初期抵抗のバラツキへの影響が顕著となる。また、外部環境の影響を受けやすい素体表面の経年劣化により抵抗の信頼性が悪くなる。そこで、本発明では、 $4 \leq (d/e d)$ を満たすことで、初期抵抗のバラツキの問題や、経年劣化による抵抗の信頼性の問題を解消することができる。

【0053】

また、前記サーミスタ素子1によれば、第1外部電極41に接続される第1、第2、第3内部電極21、22、23の数量、および、第2外部電極42に接続される第4、第5、第6内部電極24、25、26の数量は、それぞれ3つで、奇数である。したがって、第1外部電極41に接続される第1、第2、第3内部電極21、22、23が、製造上、第2外部電極42側に片寄った構造となりやすい。つまり、第1内部電極21は、第2外部電極42に接近した構造となりやすい。本発明では、 $4 \leq (d/e d)$ を満たしている

【0054】

(第2実施形態)

図4は、本発明の第2実施形態のサーミスタ素子を示す断面図である。第2実施形態は、第1実施形態とは、内部電極の数量のみが相違する。この相違する構成のみを以下に説明する。なお、第2実施形態において、第1実施形態と同一の符号は、第1実施形態と同じ構成であるため、その説明を省略する。

【0055】

図4に示すように、第2実施形態のサーミスタ素子1Aでは、第1外部電極41に接続される第1～第4内部電極21～24の数量、および、第2外部電極42に接続される第5～第8内部電極25～28の数量は、それぞれ4つで、偶数である。

【0056】

第1～第4内部電極21～24は、T方向において、上方から下方へ順に、配列されている。第5～第8内部電極25～28は、T方向において、上方から下方へ順に、配列されている。

【0057】

第1、第6、第3、第8内部電極21、26、23、28のL方向の他端部は、T方向に重なるように隣接して配置されている。第1内部電極21は、T方向において最も外側に配置される最外内部電極に相当する。第6内部電極26は、最外内部電極に対してT方向に重なるように隣接して配置される隣接内部電極に相当する。

【0058】

第1距離dは、第1内部電極21のL方向の他端部(図4では左端部)と、第2外部電極42の第1面部141のL方向の端面(図4では右端面)との間の距離である。第2距離edは、第1内部電極21と第6内部電極26との間のT方向の距離である。このとき、 $4 \leq (d/e d)$ を満たし、 $(d/e d) \leq 10$ を満たす。

【0059】

前記サーミスタ素子1Aによれば、 $4 \leq (d/e d)$ を満たしている

施形態で説明したように、製品ごとに第2外部電極42のL方向の寸法にバラツキが生じても、製品ごとの抵抗のバラツキを抑制することができる。また、 $(d/ed) \leq 10$ を満たしているので、前記第1実施形態で説明したように、第1内部電極21と第6内部電極26との間の抵抗を低く保持することができ、製品全体の抵抗を低く保持できる。

【0060】

また、前記サーミスタ素子1Aによれば、第1外部電極41に接続される第1～第4内部電極21～24の数量、および、第2外部電極42に接続される第5～第8内部電極25～28の数量は、偶数であるので、第1外部電極41に接続される第1～第4内部電極21～24が、製造上、第2外部電極42側に片寄った構造となりにくい。つまり、第1内部電極21は、第2外部電極42に接近した構造となり難い。したがって、第1内部電極21と第2外部電極42との間の距離を一定値以上としやすく、製品ごとの抵抗のバラツキを抑制することができる。

【0061】

なお、本発明は上述の実施形態に限定されず、本発明の要旨を逸脱しない範囲で設計変更可能である。

【0062】

前記実施形態では、素体の周面の横断面は、4角形であったが、3角形や5角形以上であってもよく、または、円形や楕円形や長円形であってもよい。

【0063】

前記実施形態では、 $(d/ed) \leq 10$ を満たしたが、 (d/ed) が10よりも大きくてもよい。前記実施形態では、 $(Tm/Wm) \leq 0.4$ を満たしたが、 (Tm/Wm) が0.4よりも大きくてもよい。

【実施例】

【0064】

(実施例1)

次に、本発明の第1実施形態のサーミスタ素子1の実施例1のシミュレーションによる計算値を、表1に示す。

【0065】

【表1】

ずらし量 [μm]	Tm/Wm	d/ed	抵抗変化率[%] (E寸: -20%)	抵抗変化率[%] (E寸: +20%)
-30	0.326	8.36	0.16	-0.26
-15	0.326	6.91	0.16	-0.29
0	0.326	5.49	0.19	-0.68
20	0.326	3.70	0.58	-1.91
30	0.326	2.91	1.03	-3.48

【0066】

表1は、 (d/ed) を変化させ、第2外部電極のL方向の寸法(E寸という。)を変化(バラツキ)させたときの、サーミスタ素子1の抵抗の変化率(バラツキ)を示す。 (Tm/Wm) は、0.326であり、0.4以下である。第1、第2外部電極のそれぞれに接続される内部電極の数量は、3つである。

【0067】

表1に記載のずらし量について説明する。図5Aに示すように、ずらし量とは、LT断面において、第1、第3、第5内部電極21, 23, 25の重なり領域ZのL方向の中心Cを、L方向に移動する量をいう。 (d/ed) が5.49であるときの中心Cの位置を、ずらし量0とする。ずらし量が正とは、中心Cをずらし量0から第2外部電極42側に移動させたときをいう。ずらし量が負とは、中心Cをずらし量0から第1外部電極41側に移動させたときをいう。要するに、ずらし量が大きくなるほど、中心Cが第2外部電極42に接近し、第1内部電極21が第2外部電極42に接近して、 (d/ed) が小さく

なる。

【0068】

具体的に述べると、ずらし量が $-30\ \mu\text{m}$ であるとき、 (d/ed) は 8.36 となり、ずらし量が $-15\ \mu\text{m}$ であるとき、 (d/ed) は 6.91 となり、ずらし量が $20\ \mu\text{m}$ であるとき、 (d/ed) は 3.70 となり、ずらし量が $30\ \mu\text{m}$ であるとき、 (d/ed) は 2.91 となる。

【0069】

表1に記載のE寸の変化に伴う抵抗変化率について説明する。図5Bに示すように、 (d/ed) が表1に記載の値であるときの第2外部電極42のE寸を、基準値0%とする。E寸が -20% とは、基準値0%のときのE寸から 20% 短くなった状態をいう。E寸が $+20\%$ とは、基準値0%のときのE寸から 20% 長くなった状態をいう。そして、E寸 -20% の抵抗変化率とは、E寸0%の抵抗からの変化率を示す。つまり、E寸が短くなると、 d が大きくなり、サーミスタ素子1の抵抗は増加する。E寸 $+20\%$ の抵抗変化率とは、E寸0%の抵抗からの変化率を示す。つまり、E寸が長くなると、 d が小さくなり、サーミスタ素子1の抵抗は減少する。

【0070】

具体的に述べると、 (d/ed) が 8.36 であるとき、E寸 -20% の抵抗変化率は、 0.16 となり、E寸 $+20\%$ の抵抗変化率は、 -0.26 となる。 (d/ed) が 6.91 であるとき、E寸 -20% の抵抗変化率は、 0.16 となり、E寸 $+20\%$ の抵抗変化率は、 -0.29 となる。 (d/ed) が 5.49 であるとき、E寸 -20% の抵抗変化率は、 0.19 となり、E寸 $+20\%$ の抵抗変化率は、 -0.68 となる。 (d/ed) が 3.70 であるとき、E寸 -20% の抵抗変化率は、 0.58 となり、E寸 $+20\%$ の抵抗変化率は、 -1.91 となる。 (d/ed) が 2.91 であるとき、E寸 -20% の抵抗変化率は、 1.03 となり、E寸 $+20\%$ の抵抗変化率は、 -3.48 となる。

【0071】

表1からわかるように、 $4 \leq (d/ed)$ を満たしているとき、E寸 -20% の抵抗変化率とE寸 $+20\%$ の抵抗変化率との差分は小さくなっており、第2外部電極42のE寸にバラツキが発生しても、サーミスタ素子1の抵抗のバラツキを抑制できる。

【0072】

(実施例2)

次に、本発明の第1実施形態のサーミスタ素子1の実施例2のシミュレーションによる計算値を、表2に示す。

【0073】

【表2】

ずらし量 [μm]	T_m/W_m	d/ed	抵抗変化率[%] (E寸： -20%)	抵抗変化率[%] (E寸： $+20\%$)
-30	0.163	8.18	0.14	-0.25
-15	0.163	6.69	0.18	-0.32
0	0.163	5.21	0.34	-0.59
15	0.163	3.75	0.49	-1.29
30	0.163	2.34	1.07	-3.87

【0074】

表2は、実施例1の表1とは、 (T_m/W_m) および (d/ed) の条件を変えて計算している。ずらし量および抵抗変化率は、実施例1にて説明したとおりである。表2からわかるように、 $4 \leq (d/ed)$ を満たしているとき、E寸 -20% の抵抗変化率とE寸 $+20\%$ の抵抗変化率との差分は小さくなっており、第2外部電極42のE寸にバラツキが発生しても、サーミスタ素子1の抵抗のバラツキを抑制できる。

【0075】

(実施例3)

次に、本発明の第1実施形態のサーミスタ素子1の実施例3のシミュレーションによる計算値を、表3に示す。

【0076】

【表3】

ずらし量 [μm]	T_m/W_m	d/ed	抵抗変化率[%] (E寸：-20%)	抵抗変化率[%] (E寸：+20%)
-40	0.326	9.17	0.11	-0.48
-20	0.326	7.18	0.25	-0.58
0	0.326	5.21	0.29	-0.59
20	0.326	3.27	0.39	-1.17
40	0.326	1.50	0.98	-2.64

10

【0077】

表3は、実施例1の表1とは、(d/ed)の条件を変えて計算している。ずらし量の測定は、実施例1とは異なる。なお、抵抗変化率は、実施例1にて説明したとおりである。

【0078】

図5Cに示すように、ずらし量とは、LT断面において、第1内部電極21の先端面に一致する基準線SをL方向に移動する量をいう。基準線Sが第3内部電極23の先端面に重なり、(d/ed)が5.21であるとき、ずらし量を0とする。ずらし量が正とは、基準線S(第1内部電極21の先端面)をずらし量0から第2外部電極42側に移動させたときをいう。ずらし量が負とは、基準線S(第1内部電極21の先端面)をずらし量0から第1外部電極41側に移動させたときをいう。要するに、ずらし量が大きくなるほど、基準線Sが第2外部電極42に接近し、第1内部電極21が第2外部電極42に接近して、(d/ed)が小さくなる。

20

【0079】

表3からわかるように、 $4 \leq (d/ed)$ を満たしているとき、E寸-20%の抵抗変化率とE寸+20%の抵抗変化率との差分は小さくなっており、第2外部電極42のE寸にバラツキが発生しても、サーミスタ素子1の抵抗のバラツキを抑制できる。

【0080】

30

(実施例4)

次に、本発明の第1実施形態のサーミスタ素子1の実施例4の実測値を、表4に示す。

【0081】

【表4】

ずらし量 [μm]	T_m/W_m	d/ed	抵抗値バラツキ (3CV)
-33.1	0.326	8.66	3.78
-16.6	0.326	7.06	3.78
0.0	0.326	5.49	3.30
16.6	0.326	3.92	5.71
33.1	0.326	2.69	7.46

40

【0082】

表4は、(d/ed)を変化させたときの、サーミスタ素子1の抵抗値のバラツキを示す。(T_m/W_m)は、0.326であり、0.4以下である。第1、第2外部電極のそれぞれに接続される内部電極の数量は、3つである。

【0083】

表4に記載のずらし量は、実施例1にて説明したとおりである。表4に記載の3CVは、抵抗値に関する変動係数(Coefficient of variation)を3倍したものである。変動係数は、標準偏差を算術平均で割ったものであり、相対的なバラツキを示す。

50

【0084】

表4からわかるように、 $4 \leq (d/ed)$ を満たしているとき、抵抗値のバラツキは小さくなっており、第2外部電極42のE寸にバラツキが発生しても、サーミスタ素子1の抵抗のバラツキを抑制できる。

【0085】

(実施例5)

次に、本発明の第2実施形態のサーミスタ素子1Aの実施例5のシミュレーションによる計算値を、表5に示す。

【0086】

【表5】

10

ずらし量 [μm]	T _m /W _m	d/ed	抵抗変化率[%] (E寸：-20%)	抵抗変化率[%] (E寸：+20%)
-30	0.163	9.74	0.21	-0.67
-15	0.163	8.25	0.15	-0.23
0	0.163	6.76	0.09	-0.25
20	0.163	4.60	0.21	-0.17
40	0.163	2.68	0.31	-1.31
60	0.163	1.21	1.42	-6.06

【0087】

20

表5は、実施例1の表1とは、(T_m/W_m)および(d/ed)の条件を変えて計算している。ずらし量および抵抗変化率は、実施例1にて説明したとおりである。第1、第2外部電極のそれぞれに接続される内部電極の数量は、4つである。表5からわかるように、 $4 \leq (d/ed)$ を満たしているとき、E寸-20%の抵抗変化率とE寸+20%の抵抗変化率との差分は小さくなっており、第2外部電極42のE寸にバラツキが発生しても、サーミスタ素子1Aの抵抗のバラツキを抑制できる。

【符号の説明】

【0088】

1, 1A サーミスタ素子

10 素体

30

10a セラミックス層

11 第1側面

12 第2側面

13 第3側面

14 第4側面

15 第1端面

16 第2端面

17 周面

21～28 第1～第8内部電極

41 第1外部電極

40

42 第2外部電極

141 第1面部

142 第2面部

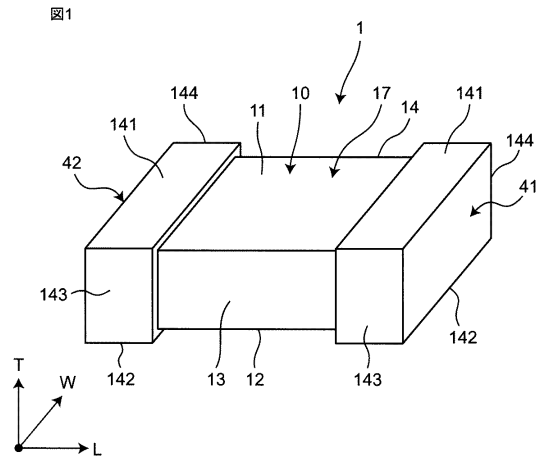
143 第3面部

144 第4面部

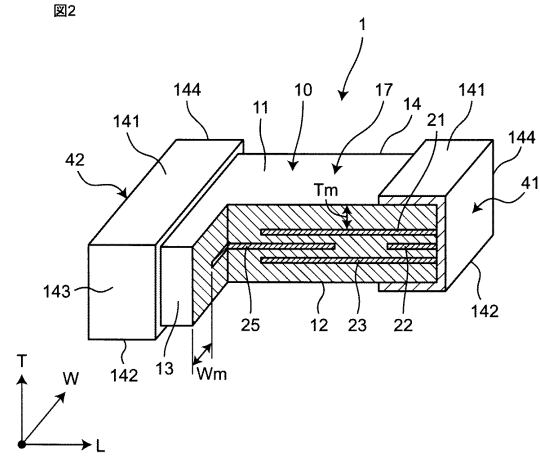
d 第1距離

ed 第2距離

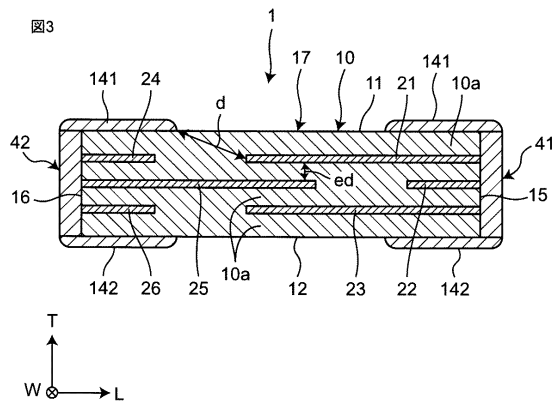
【図 1】



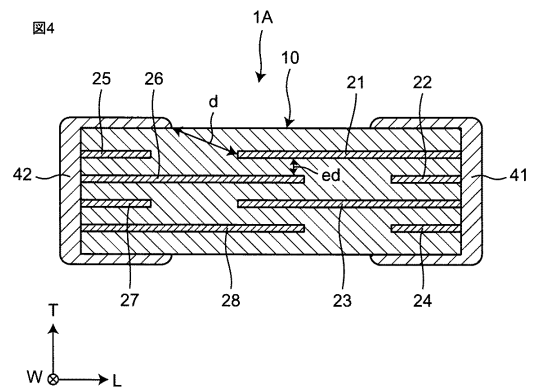
【図 2】



【図 3】



【図 4】



【図 5 B】

図5B

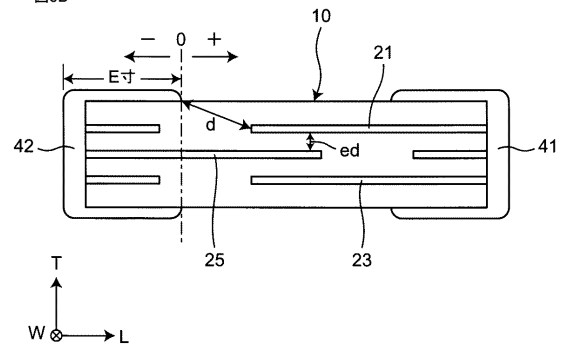
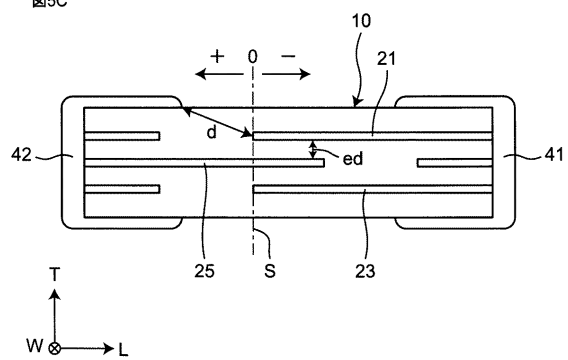


図5C



フロントページの続き

- (56)参考文献 特開平10-247601 (JP, A)
特開2010-147169 (JP, A)
特開2000-244033 (JP, A)
特開平10-261546 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01C 7/04