

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4237216号  
(P4237216)

(45) 発行日 平成21年3月11日(2009.3.11)

(24) 登録日 平成20年12月26日(2008.12.26)

(51) Int.Cl.

F 1

HO 1 L 21/3213	(2006.01)	HO 1 L 21/88	D
HO 1 L 21/28	(2006.01)	HO 1 L 21/28	E
HO 1 L 29/423	(2006.01)	HO 1 L 29/58	G
HO 1 L 29/49	(2006.01)		

請求項の数 9 (全 14 頁)

(21) 出願番号 特願2006-273865 (P2006-273865)  
 (22) 出願日 平成18年10月5日 (2006.10.5)  
 (65) 公開番号 特開2008-91824 (P2008-91824A)  
 (43) 公開日 平成20年4月17日 (2008.4.17)  
 審査請求日 平成20年6月25日 (2008.6.25)

早期審査対象出願

(73) 特許権者 302062931  
 N E C エレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部 1753 番地  
 (74) 代理人 100110928  
 弁理士 速水 進治  
 (72) 発明者 藤田 雅人  
 神奈川県川崎市中原区下沼部 1753 番地  
 N E C エレクトロニクス株式会社内  
 (72) 発明者 谷口 謙介  
 神奈川県川崎市中原区下沼部 1753 番地  
 N E C エレクトロニクス株式会社内  
 (72) 発明者 満生 彰  
 神奈川県川崎市中原区下沼部 1753 番地  
 N E C エレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板上に形成された被加工膜に第1のパターンの少なくとも一部および第2のパターンを含む所定のパターンを形成する工程を含む半導体装置の製造方法であつて、

前記被加工膜上に、第1の膜、第2の膜、および第3の膜がこの順で積層され、前記第2の膜と前記第3の膜とがエッチング選択比が取れる材料により構成された積層ハードマスク膜を形成する工程と、

第1のパターンを有する第1のレジスト膜をマスクとし前記第2の膜をエッチングストップとして前記第3の膜を選択的にドライエッチングして前記第3の膜に前記第1のパターンを形成する工程と、

前記第1のレジスト膜を除去する工程と、

前記第1のレジスト膜を除去した後、第2のパターンを有する第2のレジスト膜を前記積層ハードマスク膜上に形成し、当該第2のレジスト膜および前記第3の膜をマスクとして、前記第2の膜を選択的にドライエッチングして当該第2の膜を前記所定のパターンに形成する工程と、

前記第2の膜をマスクとして、前記第1の膜および前記被加工膜を順次選択的にドライエッチングして前記被加工膜を前記所定のパターンに形成する工程と、

前記被加工膜を前記所定のパターンに形成した後、当該被加工膜上に残った前記第1の膜を除去する工程と、

を含む半導体装置の製造方法。

**【請求項 2】**

請求項 1 に記載の半導体装置の製造方法において、

前記第 1 のレジスト膜を除去する工程と、前記第 2 の膜を前記所定のパターンに形成する工程との間に、

前記積層ハードマスク膜上に前記第 3 の膜に形成された前記第 1 のパターンの一部を除去するための第 3 のパターンを有する第 3 のレジスト膜を形成し、当該第 3 のレジスト膜をマスクとし前記第 2 の膜をエッチングストップ膜として前記第 3 の膜をさらに選択的にドライエッ칭する工程と、

前記第 3 のレジスト膜を除去する工程と、  
をさらに含む半導体装置の製造方法。

10

**【請求項 3】**

請求項 1 または 2 に記載の半導体装置の製造方法において、

前記第 2 のパターンは、平面視において前記第 1 のパターンと重なる領域を有する半導体装置の製造方法。

**【請求項 4】**

請求項 1 から 3 いずれかに記載の半導体装置の製造方法において、

前記所定のパターンは、複数のゲートパターンを含む半導体装置の製造方法。

**【請求項 5】**

請求項 1 から 4 いずれかに記載の半導体装置の製造方法において、

前記第 3 の膜に前記第 1 のパターンを形成する工程は、

20

前記積層ハードマスク膜上に、レジスト膜を形成する工程と、

前記第 1 のパターンを有するレベンソン位相シフトマスクを用いて前記第 1 のレジスト膜を形成する工程と、

をさらに含む半導体装置の製造方法。

**【請求項 6】**

請求項 1 から 5 いずれかに記載の半導体装置の製造方法において、

前記第 1 の膜は、炭素系の膜である半導体装置の製造方法。

**【請求項 7】**

請求項 1 から 6 いずれかに記載の半導体装置の製造方法において、

前記第 1 の膜は、アモルファスカーボンにより構成された半導体装置の製造方法。

30

**【請求項 8】**

請求項 6 または 7 に記載の半導体装置の製造方法において、

前記第 1 の膜を除去する工程において、アッシングにより前記第 1 の膜を除去する半導体装置の製造方法。

**【請求項 9】**

請求項 1 から 8 いずれかに記載の半導体装置の製造方法において、

前記第 1 の膜と前記第 2 の膜とがエッチング選択比が取れる材料により構成された半導体装置の製造方法。

**【発明の詳細な説明】****【技術分野】**

40

**【0001】**

本発明は、半導体装置の製造方法に関する。

**【背景技術】****【0002】**

デバイスの高集積化および高速化に伴い、リソグラフィ工程、とくにゲートパターン形成工程では、露光波長よりもはるかに小さい微細パターンの形成が要求されている。また、近年の高集積化に伴い、システム LSI には種々の回路パターンが多く搭載されるようになっている。マスク（レチクル）内に種々のパターンが存在する場合、種々のパターンのうち、それらの 1 つに最適化された露光光学条件を採用すると、他のパターンにおいて隣接効果等により光学特性が劣化し解像不良が生じやすくなる。これにより、くびれの増

50

加、寸法バラツキ悪化、配線ショート等の形状異常等欠陥を引き起こす可能性がある。

#### 【0003】

従来、このような光の近接効果を考慮して、マスクパターンを補正する技術（光近接効果補正（OPC：optical proximity correction））が知られている。しかし、回路パターンが複雑化すると、OPCが複雑化して負担が増えるという問題があった。また、OPCを行っても、元の寸法・形状変動が大きく、補正精度は悪く（補正後残渣が大きく）、電気特性に不良が生じてしまう。

#### 【0004】

微細パターンを形成する方法として、レベンソン位相シフトマスクを用いた技術が知られている。レベンソン位相シフトマスクは、とりわけ光学コントラスト・解像性能向上効果が大きく、露光波長の半分以下程度のパターンの形成に際しても有望な技術と考えられている。レベンソン位相シフトは、隣り合ったマスク開口部の透過光の位相が反転するよう位相シフタを配置し（製造的にはマスクをエッチングしてマスク厚を調整する）、正負（+ -）の光電場が干渉によって完全に相殺されることを利用して、高解像度を得る手法である。

#### 【0005】

特許文献1（特開2005-86119号公報）には、レジスト上に露光を行うための透過部と遮光部を有するフォトマスクを作製する際に、フォトマスクのパターンのライン部とコンタクト部とが隣接した領域を抽出し、当該ライン部からなる第1マスクとコンタクト部からなる第2マスクとを作製する工程と、第1のマスクを用いて第1の照明条件でレジスト上に露光する工程と、第2のマスクを用いて第2の照明条件でレジスト上に露光する工程とを含む微細パターンの形成方法が記載されている。これにより、光隣接効果により生じるレジストパターンの仕上がり寸法ずれを低減することができるとされている。

#### 【0006】

特許文献2（特開2000-227652号公報）には、位相シフトマスクを用いて、間隔の狭いパターンであってもパターンの細りを生じないようにしたパターン形成方法が記載されている。

【特許文献1】特開2005-86119号公報

【特許文献2】特開2000-227652号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【0007】

しかしながら、特許文献1に記載された技術は、微細パターンを精度よく形成できないという点で改善の余地を有していた。ライン部とコンタクト部とを異なるマスクを用いて形成することにより、これらを一つのマスクで形成する場合に比べて、レジストパターンの寸法ずれを低減することはできる。しかし、その場合でも、寸法ずれを全くなくすのは困難である。そのため、第1のマスクを用いてレジストに露光した際に、レジストにはコーナラウンディング等の寸法ずれが生じている。そのレジストに第2のマスクを用いて露光した場合、第2のマスクに対しても寸法ずれが生じるが、最初の露光でコーナラウンディング等が生じていた箇所では、寸法ずれが生じやすくなる。とくに、複数のパターンが重なり交差するような領域では、寸法ずれが生じやすい。そのため、微細パターンを精度よく形成するのが困難だった。また、特許文献2に記載の方法でも、被加工膜へのダメージを与えず精度よくパターニングを行うという点で課題があった。

#### 【課題を解決するための手段】

#### 【0008】

本発明によれば、

半導体基板上に形成された被加工膜に第1のパターンの少なくとも一部および第2のパターンを含む所定のパターンを形成する工程を含む半導体装置の製造方法であって、

前記被加工膜上に、第1の膜、第2の膜、および第3の膜がこの順で積層され、前記第2の膜と前記第3の膜とがエッチング選択比が取れる材料により構成された積層ハードマ

10

20

30

40

50

スク膜を形成する工程と、

第1のパターンを有する第1のレジスト膜をマスクとし前記第2の膜をエッティングストップとして前記第3の膜を選択的にドライエッティングして前記第3の膜に前記第1のパターンを形成する工程と、

前記第1のレジスト膜を除去する工程と、

前記第1のレジスト膜を除去した後、第2のパターンを有する第2のレジスト膜を前記積層ハードマスク膜上に形成し、当該第2のレジスト膜および前記第3の膜をマスクとして、前記第2の膜を選択的にドライエッティングして当該第2の膜を前記所定のパターンに形成する工程と、

前記第2の膜をマスクとして、前記第1の膜および前記被加工膜を順次選択的にドライエッティングして前記被加工膜を前記所定のパターンに形成する工程と、 10

前記被加工膜を前記所定のパターンに形成した後、当該被加工膜上に残った前記第1の膜を除去する工程と、

を含む半導体装置の製造方法が提供される。

#### 【0009】

このような工程とすると、異なるパターンを有する複数のレジスト膜を用いて複数回のパターニング処理により被加工膜を所定パターンに加工するので、精度よくパターニングを行うことができる。また、レジスト膜を除去する際に、第2の膜で第1の膜が保護されているので、第1の膜としてレジスト膜除去時のアッシングやSPM( $H_2SO_4 / H_2O_2$ )洗浄による洗浄時にダメージを受けやすい材料を用いても、第1の膜がダメージを受けることがない。そのため、パターン形状を精度よく第1の膜に転写することができる。  
20

#### 【0010】

このような第1の膜としては、たとえばアモルファスカーボン等の炭素系の膜を用いることができる。このような材料を用いた場合、レジスト膜を除去する際に第1の膜が表面に露出していると、アッシングやSPM洗浄により、レジスト膜の除去とともに第1の膜も膜減りするおそれがある。また、第1の膜としてアモルファスカーボンを用いた場合、アモルファスカーボンは、酸性物質の物理・化学吸着が大きいため、第1の膜直上にレジスト膜を形成すると、レジスト膜の寸法や形状異常が発生するおそれもある。しかし、第2の膜で第1の膜が保護されているので、第1の膜へのダメージを防ぐことができる。第1の膜はアモルファスカーボン膜以外に、被加工膜を加工する際のマスクになって被加工膜にダメージを加えることなくアッシングで容易に除去可能な膜であればよく、たとえば、酸素アッシングで容易に除去可能なレジスト膜やポリイミド膜等の有機高分子膜や無機系カーボン膜等を使うことができる。  
30

#### 【0011】

一方、第1の膜として炭素系の膜を用いた場合、第1の膜をアッシング等により容易に除去することができる。そのため、被加工膜がパターニングされた後に、被加工膜にダメージを与えることなく、第1の膜を除去することができる。これにより、被加工膜を精度よくパターニングすることができる。  
40

#### 【0012】

ここで、第1のレジスト膜は、所定のパターンのうちの細幅ラインパターンを形成するのに用いることができる。第2のレジスト膜は、所定パターンのうちの広幅のラインパターンおよびコンタクトパッドパターンを形成するのに用いることができる。

#### 【発明の効果】

#### 【0013】

本発明によれば、半導体装置のゲートパターンの寸法精度を高めることができる。

#### 【発明を実施するための最良の形態】

#### 【0014】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。  
50

## 【0015】

図1は、本実施の形態における半導体装置の製造方法により製造される半導体装置100の構成を示す図である。図1(a)は上面図、図1(b)は図1(a)のa-a断面図である。

## 【0016】

半導体装置100は、半導体基板102と、その上に形成されたゲート酸化膜104と、その上に形成された多結晶シリコン膜106を含む。ここで、図1(a)に示すように、多結晶シリコン膜106は、細幅の第1のライン106aおよび第2のライン106b、広幅の第3のライン106c、細幅かつ分割部分を有する第4のライン106d、ならびに細幅かつコンタクトパッドを含む第5のライン106eにより構成される。第1のライン106a、第2のライン106b、第3のライン106cおよび第4のライン106dは、ゲートパターンであり、第5のライン106eは、ゲートパターンとコンタクトパッドである。  
10

## 【0017】

以下、本実施の形態において、多結晶シリコン膜106に図1に示したようなパターンを形成する工程を説明する。まず、幅や形状等に基づきパターンをいくつかに分類する。本実施の形態においては、細幅ラインとそれ以外とに分類する。それ以外のパターンには、第3のライン106cおよび第5のライン106eのコンタクトパッド部分が含まれる。次いで、分類毎にそれぞれフォトマスク(レチクル)を用意し、フォトマスク毎に最適な光学条件を用いてレジスト膜を露光現像する。また、第4のライン106dのように分割部分を有するパターンについては、一旦ラインを形成した後に、分割部分を除去するトリムにより形成する。行う。そのため、トリム用のフォトマスクも用意する。  
20

## 【0018】

その後、以下の手順でパターンを形成する。

- (1) 細幅のラインパターンを形成
- (2) 細幅のラインパターンのうち不要部分をトリムにより除去
- (3) 広幅のラインパターンおよびコンタクトパッドパターン形成

## 【0019】

図2は、本実施の形態における半導体装置100の多結晶シリコン膜106のパターニングを行う手順を示すフローチャートである。本実施の形態において、被加工膜である多結晶シリコン膜106上にハードマスク膜を形成し、当該ハードマスク膜にパターンを転写し、ハードマスク膜をマスクとして多結晶シリコン膜106をパターニングする。本実施の形態において、ハードマスク膜として3層ハードマスク膜を用いる。ここで、3層ハードマスク膜は、互いに接する上下の膜においてエッティング選択比が取れる材料により構成される。これにより、各層へのパターニングを段階的に行うことができる。  
30

## 【0020】

まず、多結晶シリコン膜106上に、第1の膜、第2の膜、および第3の膜がこの順で積層された3層ハードマスク膜(積層ハードマスク膜)を形成する(S100)。ここで、第1の膜、第2の膜、および第3の膜は、半導体基板上の全面に形成される。本実施の形態において、第1の膜は、アモルファスカーボンにより構成することができる。  
40

## 【0021】

つづいて、第3の膜上に、レジスト膜を形成し、細幅ラインパターン(第1のパターン)を有するフォトマスクを用いて当該レジスト膜を露光現像して(第1の露光)細幅ラインパターンを有する微細パターン用レジスト膜(第1のレジスト膜)を形成する。次いで微細パターン用レジスト膜をマスクとし第2の膜をエッティングストップ膜として第3の膜を選択的にドライエッティングして、第3の膜に細幅ラインパターンを形成する(S102)。これにより、図1に示した第1のライン106a、第2のライン106b、第4のライン106d(分割部分なし)、および第5のライン106eのライン部分が形成される。次いで、微細パターン用レジスト膜をアッシング等により除去する(S104)。

## 【0022】

50

20

30

40

50

その後、第2の膜および第3の膜上にレジスト膜を形成し、第3の膜に形成された細幅ラインパターンの一部を除去するためのトリム用パターン（第3のパターン）を有するフォトマスクを用いて当該レジスト膜を露光現像して（第2の露光）トリム用レジスト膜（第3のレジスト膜）を形成する。トリム用パターンは、ステップS102で形成した細幅ラインパターンのうち、不要な箇所が開口したパターンとすることができます。つづいて、トリム用レジスト膜をマスクとし第2の膜をエッチングストップ膜として第3の膜を選択的にドライエッチングして第3の膜の不要部分を除去する（S106）。これにより、図1に示したように分割部分を有する第4のライン106dが形成される。次いで、トリム用レジスト膜をアッシング等により除去する（S108）。この段階までは、第1の膜は第2の膜により保護されている。

10

## 【0023】

その後、第2の膜および第3の膜上にレジスト膜を形成し、コンタクト用パターン（第2のパターン）を有するフォトマスクを用いて当該レジスト膜を露光現像して（第3の露光）コンタクト用レジスト膜（第2のレジスト膜）を形成する。コンタクト用パターンは、平面視において細幅ラインパターンと重なる領域、すなわち交差する領域を有する。また、コンタクト用パターンは、広幅ラインパターンおよびコンタクトパッドのパターンを含む。つづいて、コンタクト用レジスト膜および第3の膜をマスクとして第2の膜を選択的にドライエッチングする。このとき初めて第2の膜がエッチングされ、第1の膜が表面に露出する。つづいて、第2の膜をマスクとして第1の膜および被加工膜を順次選択的にドライエッチングする。これにより、被加工膜に所望のパターンが形成される（S110、S112）。

20

## 【0024】

この後、被加工膜上に残った第1の膜を除去する（S114）。本実施の形態において、第1の膜をアモルファスカーボンにより構成することにより、アッシング等により第1の膜を簡単に除去することができる。

## 【0025】

以上のように、本実施の形態における半導体装置100の製造手順によれば、ハードマスク膜にパターニングを行っている途中で、レジスト膜を除去する必要が生じても、アモルファスカーボンにより構成された第1の膜が表面に露出していないので、アッシングやアッシング後のH<sub>2</sub>SO<sub>4</sub>等の薬液での洗浄によるダメージを受けることなく、保護することができる。また、最終的に、第1の膜をアッシングにより容易に除去することもできる。これにより、

30

## 【0026】

次に、本実施の形態における半導体装置100の製造手順を図3から図11を参照して具体的に説明する。図3から図11において、図3（b）から図11（b）は、それぞれ、図3（a）から図11（a）のa-a断面図である。

## 【0027】

図3に示したように、本実施の形態において、パターニングを行う領域を4つのエリアに分割している。エリアAでは細幅のラインパターンが形成され、エリアBでは広幅のラインパターンが形成され、エリアCでは細幅のラインパターンが分割され、エリアDでは、細幅のラインパターンとコンタクトパッドとが形成される。

40

## 【0028】

まず、半導体基板102上にゲート酸化膜104および多結晶シリコン膜106（被加工膜）を形成する。つづいて、多結晶シリコン膜106上に、第1の膜108、第2の膜110、および第3の膜112がこの順で積層された3層ハードマスク膜107を形成する。第1の膜108、第2の膜110、および第3の膜112は、ハードマスクとして機能する。本実施の形態において、第1の膜108は、アモルファスカーボン膜である。

## 【0029】

第2の膜110および第3の膜112は、互いにエッチング選択比の確保が可能な材料により構成される。第2の膜110と第3の膜112との組合せとしては、第3の膜11

50

2 / 第2の膜110として、 $\text{SiO}_x/\text{Si}$ 、 $\text{Si}/\text{SiO}_x$ 、 $\text{SiN/Si}$ 、 $\text{Si/SiN}$ 、 $\text{SiN/SiO}_x$ 、 $\text{SiO}_x/\text{SiN}$ 等があげられる。ここで、xは、C、N、またはO等とすることができます。

#### 【0030】

つづいて、第3の膜112上に第1の反射防止膜114およびレジスト膜を形成する。次いで、細幅ラインパターンを有するレベンソン位相シフトマスク(不図示)を用いて当該レジスト膜の露光現像を行い、微細パターン用レジスト膜116を形成する(図4)。細幅ラインパターンは、ライン寸法が小さい細幅ラインパターンを形成するためのものであり、細幅ラインパターンが形成される箇所を保護している。また、この例では、エリアB全面も保護している。

10

#### 【0031】

その後、微細パターン用レジスト膜116をマスクとし第2の膜110をエッティングストップとして、第1の反射防止膜114および第3の膜112を選択的にドライエッティングする。

#### 【0032】

この後、微細パターン用レジスト膜116および第1の反射防止膜114を $\text{O}_2$ プラズマアッシング等のアッシングにより除去する。アッシング後、たとえばSPM等の薬剤により、半導体装置100表面を洗浄する。このとき、第1の膜108は第2の膜110により保護されているため、アッシングや薬剤によるダメージを受けることがない。以上により、第3の膜112に細幅ラインパターンが形成される(図5)。ここで、エリアB上にも第3の膜112が残っている。

20

#### 【0033】

つづいて、第2の膜110において第3の膜112を埋め込むように、第2の反射防止膜118を形成する。さらに第2の反射防止膜118上にレジスト膜を形成する。次いで、トリム用パターンを有するフォトマスク(不図示)を用い、当該レジスト膜を露光現像してトリム用パターンを有するトリム用レジスト膜120を形成する(図6)。図6(a)に示すように、トリム用レジスト膜120は、第4のライン106dの分割部分で開口している。また、トリム用レジスト膜120は、エリアB全面上でも開口している。

#### 【0034】

その後、トリム用レジスト膜120をマスクとし第2の膜110をエッティングストップとして、第3の膜112を選択的にドライエッティングする。

30

#### 【0035】

この後、トリム用レジスト膜120および第2の反射防止膜118を $\text{O}_2$ プラズマアッシング等のアッシングにより除去する。アッシング後、たとえばSPM等の薬剤により、半導体装置100表面を洗浄する。このとき、第1の膜108は第2の膜110により保護されているため、アッシングや薬剤によるダメージを受けることがない。

#### 【0036】

以上により、第3の膜112に細幅ラインパターンの一部(分割部分)が除去された、第4のライン106dに対応するパターンが形成される(図7)。このとき、エリアBの第3の膜112も除去される。すなわち、図7(b)に一点破線で示すように、図7(a)のa-a断面において、エリアBおよびエリアCの第3の膜112が除去される。

40

#### 【0037】

つづいて、第2の膜110において第3の膜112を埋め込むように、第3の反射防止膜122を形成する。さらに第3の反射防止膜122上にレジスト膜を形成し、広幅ラインパターンおよびコンタクトパッドのパターンを有するフォトマスク(不図示)を用いて当該レジスト膜の露光現像を行い、コンタクト用レジスト膜124を形成する(図8)。ここで、コンタクトパッドのパターンは、平面視において細幅ラインパターンと重なる領域、すなわち交差する領域を有する。このようにすることにより、コンタクトパッドのパターンの幅を広幅ラインパターンの幅と略等しくすることができ、精度よいパターンングを行うことができる。

50

## 【0038】

その後、コンタクト用レジスト膜124をマスクとしてドライエッティングを行う。まず、第3の反射防止膜122がエッティングされ、次いで第3の膜112および第2の膜110が露出する。このとき、第2の膜110に対するエッティングレートが第3の膜112に対するエッティングレートよりも高いエッティングガスを用いると、第3の膜112がマスクとして機能し、第2の膜110に第3の膜112のパターンとコンタクト用レジスト膜124のパターンとが反映される。このようなエッティングガスとしては、たとえば、第3の膜112／第2の膜110として、 $\text{SiO}_2/\text{Si}$ を用いた場合、 $\text{HBr}/\text{O}_2$ を用いることができる。また、たとえば、第3の膜112／第2の膜110として、 $\text{Si/SiO}_2$ を用いた場合、 $\text{CHF}_2$ または $\text{CHF}_3$ を用いることができる。本実施の形態において、第2の膜110もハードマスク膜として機能するため、コンタクト用レジスト膜124のパターンを第2の膜110に反映させることができ、交差したパターンを精度よく形成することができる。10

## 【0039】

このエッティング工程において、コンタクト用レジスト膜124、第3の反射防止膜122、第3の膜112、および第2の膜110も徐々にエッティングされる。図9および図10はこの状態を示す図である。

## 【0040】

この後、第2の膜110をマスクとして第1の膜108および多結晶シリコン膜106を順次選択的にドライエッティングする。これにより、多結晶シリコン膜106が、所望のパターンに形成される（図11）。20

## 【0041】

ここで、多結晶シリコン膜106上には第1の膜108が残っているが、本実施の形態において第1の膜108は、アモルファスカーボン膜により構成される。そのため、 $\text{O}_2$ プラズマアッティング等のアッティングにより第1の膜108を除去することができる。このようにアッティングにより第1の膜108を選択的に除去できるので、ゲート酸化膜104にはダメージが与えられず、ゲートリーク電流の発生や短絡等のような特性の劣化が抑制された半導体装置を製造することができる。

## 【0042】

とくに、本実施の形態で説明したように、複数のパターンが平面視において重なっている場合、部分的な段差が生じる。そのため、被加工膜である多結晶シリコン膜106が所定パターンに形成された後に多結晶シリコン膜106直上に部分的に残ったハードマスク膜をエッティングで除去しようとすると、多結晶シリコン膜106が露出している部分で多結晶シリコン膜106にダメージが生じるおそれがある。しかし、第1の膜108をアッティングで除去可能な材料で構成することにより、多結晶シリコン膜106へのダメージを与えることなく、ハードマスク膜を除去することができる。30

## 【0043】

この後、通常の方法により、拡散層等を形成してトランジスタ等の素子を含む半導体装置を製造する。

## 【0044】

以上、図面を参照して本発明の実施の形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。40

## 【0045】

たとえば、以上の実施の形態においては、ゲートパターンを形成する態様について説明したが、とくに限定されず、複数のレジスト膜を用いてパターニングを行う場合、種々のパターンに適用することができる。被加工膜は、多結晶シリコン膜以外に、たとえば金属膜、シリサイド膜、単結晶シリコン膜やシリコン基板、または窒化シリコン膜や酸化シリコン膜等の絶縁膜とすることもできる。第1の膜はアモルファスカーボン膜を例に説明したが、被加工膜を加工する際のマスクになって被加工膜にダメージを加えることなくアッティングで容易に除去可能な膜であればよく、たとえば、酸素アッティングで容易に除去可能50

なレジスト膜やポリイミド膜等の有機高分子膜や無機系カーボン膜等を使うことができる。

**【0046】**

以上の実施の形態においては、微細パターンを形成するための第1の露光においてフォトマスクとしてレベンソン位相シフトマスクを用いる例を示したが、ダイポール等の変形照明を用いた露光、その他通常照明条件によるハーフトーンマスクを用いた露光等とすることもできる。第2の露光および第3の露光についても、とくに制限されず、レベンソン位相シフトマスクを用いた露光、ダイポール等の変形照明を用いた露光、およびその他通常照明条件によるハーフトーンマスクを用いた露光等とすることができます。また、微細パターンを形成する際には、レベンソン位相シフトマスクを用いるとともに、他の露光を通常照明条件で行うようにすることもできる。10

**【0047】**

なお、以上の実施の形態においては、(1)細幅のラインパターンを形成、(2)細幅のラインパターンのうち不要部分をトリムにより除去、および(3)広幅のラインパターンおよびコンタクトパッドパターン形成のために3回露光処理を行う構成を示したが、(1)と(2)の処理のみ、(1)と(3)の処理のみとすることもできる。

**【図面の簡単な説明】**

**【0048】**

【図1】本発明の実施の形態における半導体装置の製造方法により製造される半導体装置の構成を示す図である。20

【図2】本発明の実施の形態における半導体装置の多結晶シリコン膜のパターニングを行う手順を示すフローチャートである。

【図3】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図4】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図5】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図6】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図7】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図8】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図9】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

【図10】本発明の実施の形態における半導体装置の製造手順を説明するための図である30

。

【図11】本発明の実施の形態における半導体装置の製造手順を説明するための図である。

。

**【符号の説明】**

**【0049】**

100 半導体装置

102 半導体基板

104 ゲート酸化膜

106 a 第1のライン

106 b 第2のライン

106 c 第3のライン

106 d 第4のライン

106 e 第5のライン

106 多結晶シリコン膜

107 3層ハードマスク膜

108 第1の膜

110 第2の膜

112 第3の膜

114 反射防止膜

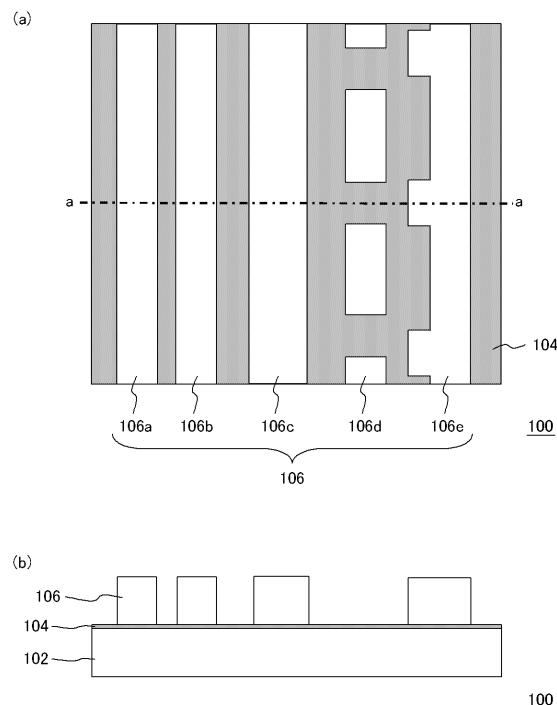
116 微細パターン用レジスト膜

40

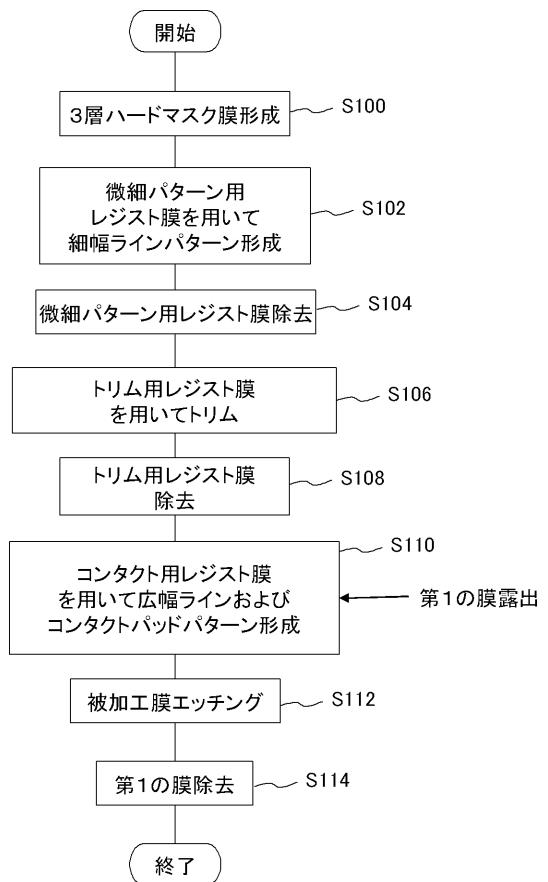
50

- 1 1 8 反射防止膜  
 1 2 0 トリム用レジスト膜  
 1 2 2 反射防止膜  
 1 2 4 コンタクト用レジスト膜

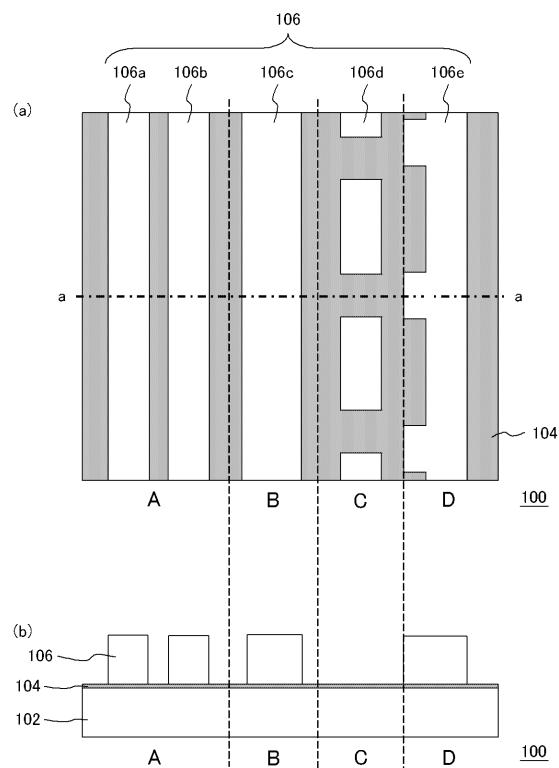
【図 1】



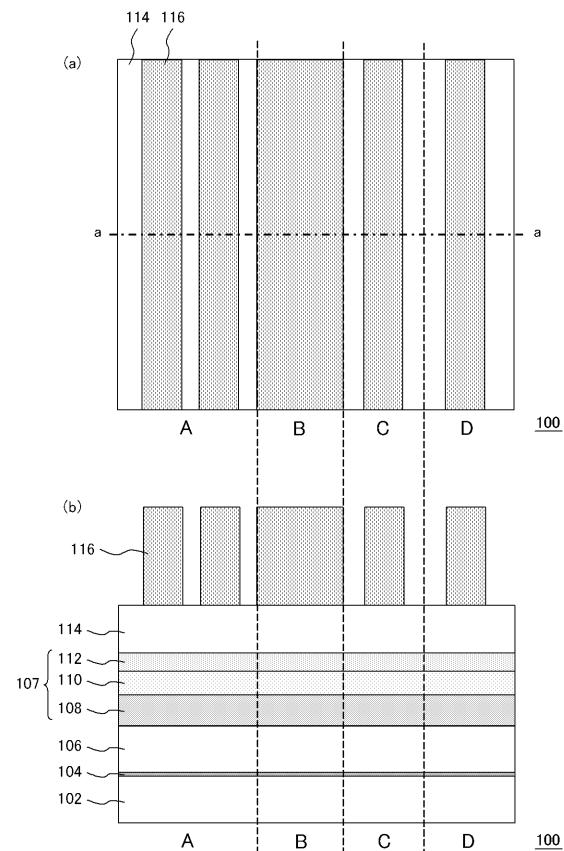
【図 2】



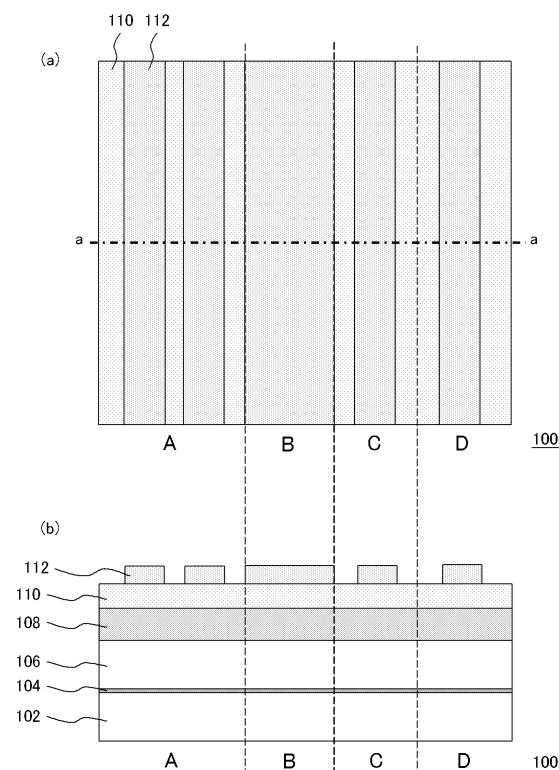
【図3】



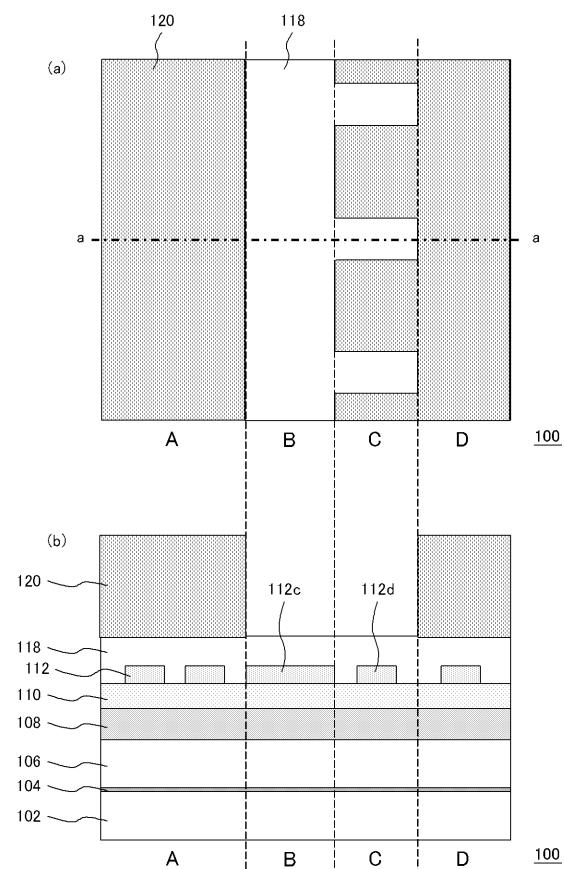
【図4】



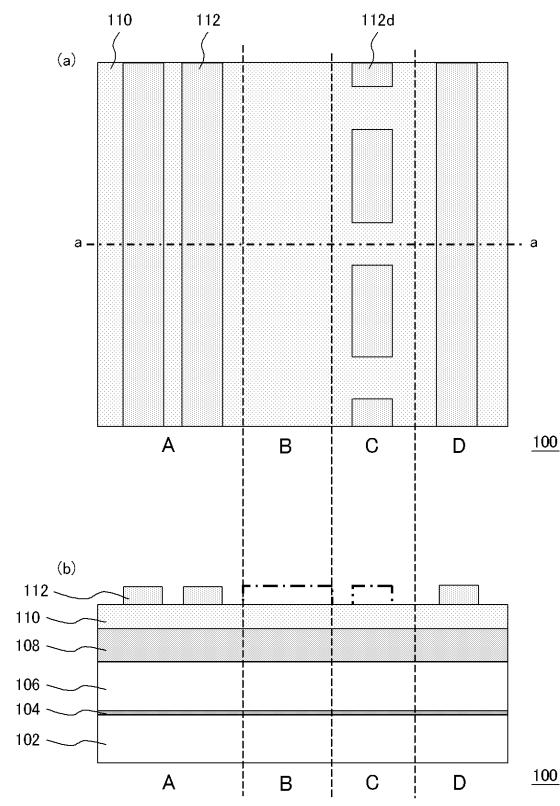
【図5】



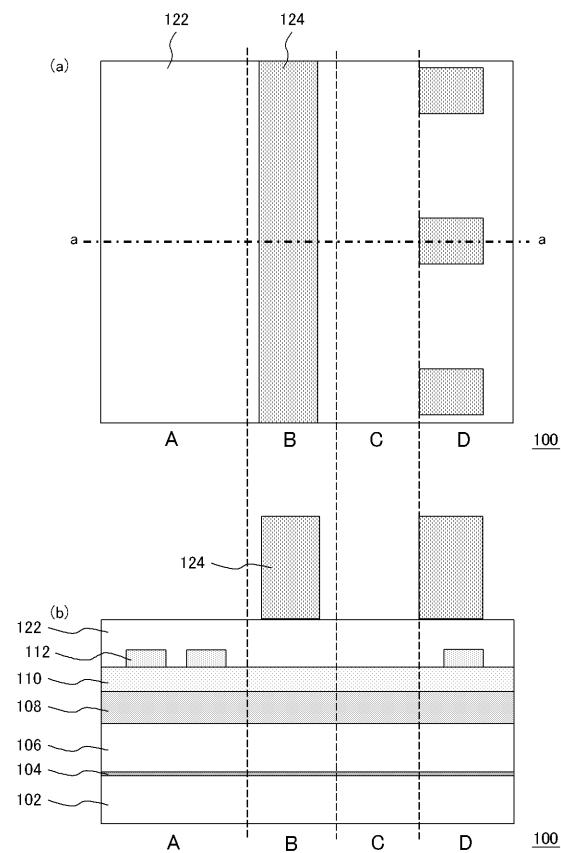
【図6】



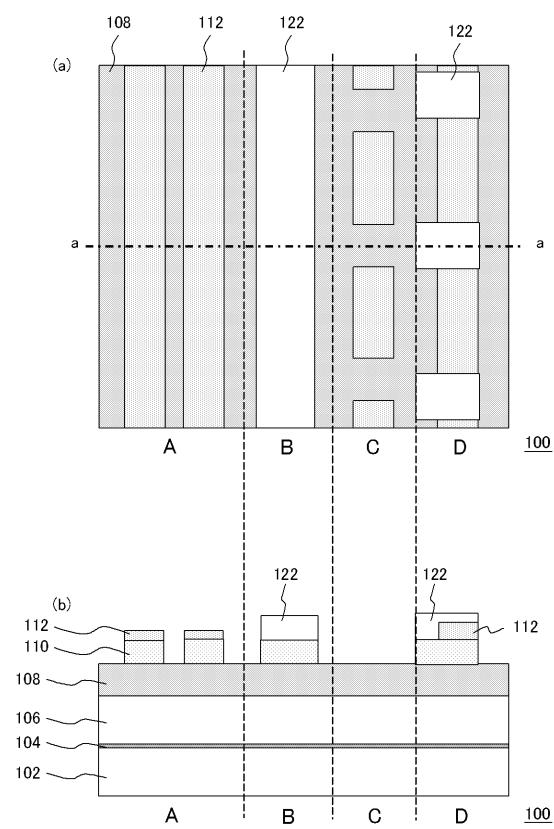
【図7】



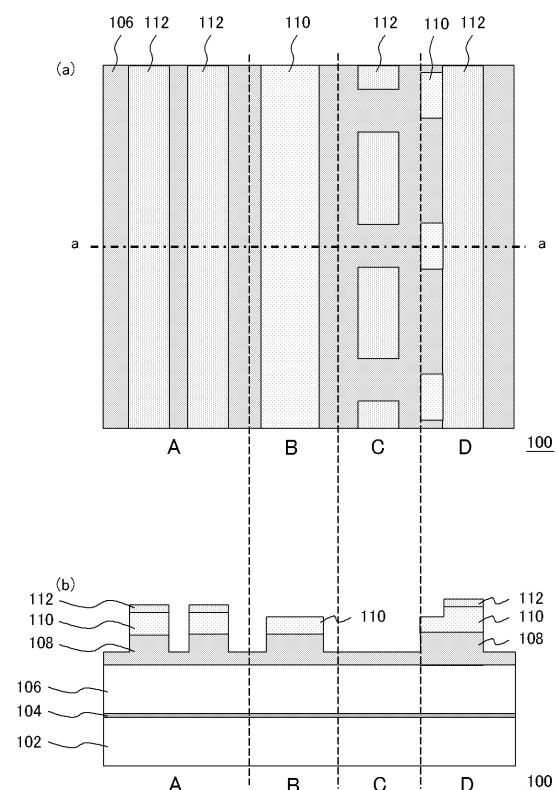
【図8】



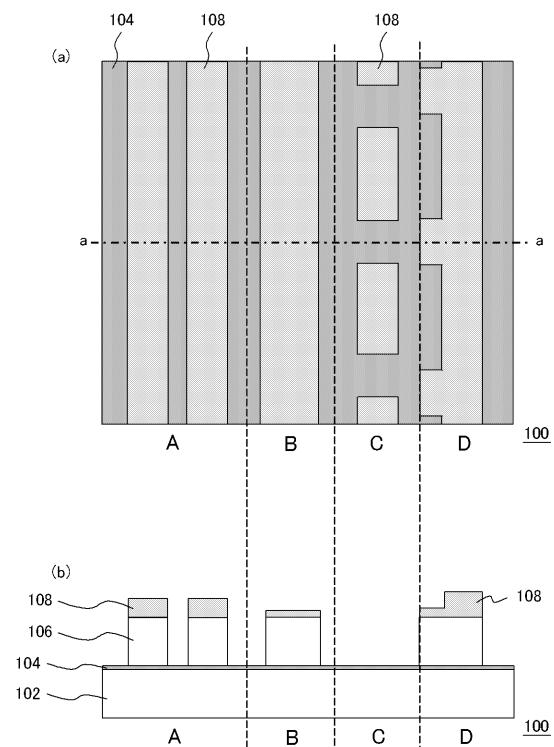
【図9】



【図10】



【図11】



---

フロントページの続き

審査官 長谷山 健

(56)参考文献 特開2002-175981(JP,A)

特開2003-318128(JP,A)

特開2005-045176(JP,A)

特開2004-133384(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3213

H01L 21/28

H01L 29/423

H01L 29/49