



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I414207 B

(45)公告日：中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：099123578

(22)申請日：中華民國 99 (2010) 年 07 月 16 日

(51)Int. Cl. : H05B37/02 (2006.01) H05B37/03 (2006.01)

(71)申請人：聚積科技股份有限公司 (中華民國) MACROBLOCK, INC. (TW)

新竹市埔頂路 18 號 6 樓之 4

(72)發明人：吳肯唐 WU, KEN TANG (TW)；李振戎 LEE, CHENG JUNG (TW)

(74)代理人：許世正

(56)參考文獻：

TW I222050

JP 2009-503778A

US 2008/0304484A1

WO 2009/095867A2

審查人員：陳昭雯

申請專利範圍項數：15 項 圖式數：25 共 0 頁

(54)名稱

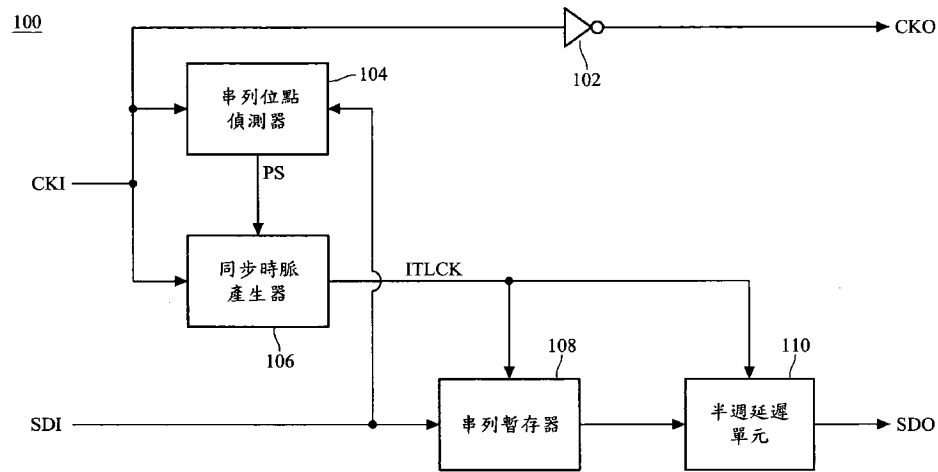
串列控制器與串列雙向控制器

SERIAL CONTROLLER AND SERIAL BI-DIRECTIONAL CONTROLLER

(57)摘要

一種串列控制器，適於接收一外部時脈及一輸入資料，並輸出一反向時脈及一輸出資料。串列控制器包含一反向器、一串列位點偵測器、一同步時脈產生器、一串列暫存器與一半週延遲單元。藉此，串列控制器能夠在反向時脈串列時，不致有資料訊號與驅動時脈不同步之問題。此外，串列雙向控制器另包括辨視單元與資料導向單元，令串列控制器將目前的狀態回傳至中央控制單元，以做為偵錯之參考。

A serial controller is adapted to receive a clock signal, an input signal and to output an inverse clock signal and an output signal. The serial controller comprises an inverter, a position detector, an internal clock generator, a shift register and a half-cycle time-delay circuit. The serial controller provides the output signal in synchronization with the inverse clock signal even though the inverse clock signal is applied. Apart from those, a serial bi-directional controller further comprising a recognition unit and a data directing unit enables the serial controller to read the current status back to the central control unit so as to increase the efficiency of debugging.



第2圖

- 100 . . . 串列控制器
- 102 . . . 反向器
- 104 . . . 串列位點偵測器
- 106 . . . 同步時脈產生器
- 108 . . . 串列暫存器
- 110 . . . 半週延遲單元
- CKI . . . 外部時脈
- CKO . . . 反向時脈
- SDI . . . 輸入資料
- SDO . . . 輸出資料
- PS . . . 位點訊號
- ITLCK . . . 同步時脈

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99123578

※申請日：93.7.13

※IPC 分類：H05B 37/02 (2006.01)
H05B 37/03 (2006.01)

一、發明名稱：(中文/英文)

串列控制器與串列雙向控制器

SERIAL CONTROLLER AND SERIAL BI-DIRECTIONAL
CONTROLLER

二、中文發明摘要：

一種串列控制器，適於接收一外部時脈及一輸入資料，並輸出一反向時脈及一輸出資料。串列控制器包含一反向器、一串列位點偵測器、一同步時脈產生器、一串列暫存器與一半週延遲單元。藉此，串列控制器能夠在反向時脈串列時，不致有資料訊號與驅動時脈不同步之問題。此外，串列雙向控制器另包括辨視單元與資料導向單元，令串列控制器將目前的狀態回傳至中央控制單元，以做為偵錯之參考。

三、英文發明摘要：

A serial controller is adapted to receive a clock signal, an input signal and to output an inverse clock signal and an output signal. The serial controller comprises an inverter, a position detector, an internal clock generator, a shift register and a half-cycle time-delay circuit.

The serial controller provides the output signal in synchronization with the inverse clock signal even though the inverse clock signal is applied. Apart from those, a serial bi-directional controller further comprising a recognition unit and a data directing unit enables the serial controller to read the current status back to the central control unit so as to increase the efficiency of debugging.

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

串列控制器	100
反向器	102
串列位點偵測器	104
同步時脈產生器	106
串列暫存器	108
半週延遲單元	110
外部時脈	CKI
反向時脈	CKO
輸入資料	SDI
輸出資料	SDO
位點訊號	PS
同步時脈	ITLCK

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種串列控制器與串列雙向控制器，尤其是一種可用以同步傳輸串列中各級資料訊號之反向時脈串列控制器與串列雙向控制器。

【先前技術】

近年來，隨著節能減碳之議題逐漸成為全球矚目之方向，在設計建築物之外觀照明、裝置照明或情境照明等商業用途時，利用發光二極體作為照明設備之趨勢亦愈加明顯。舉例而言，由於紅、藍、綠三色之發光二極體所形成之像素叢集(RGB cluster)，具有相當多樣性的光影變化效果，因此，像素叢集(RGB cluster)多被用來針對不同的照明體進行串接，以形成多級串列燈點之條狀屏、窗簾屏、或洗牆燈等，應用於長距離燈串之用途。

由於此類照明設備，多根據建築物的外觀或不同商業訴求而設計，因此，當所需照明的建築物外觀範圍越大，或照明體設計的複雜度越高的時候，設計者則必須串接數量較多的燈點、發光二極體與其驅動時脈，以形成較長串之像素叢集，進一步達到較佳的照明效果。

然而，此種串列像素叢集之問題在於，用來驅動串列中各級燈點之驅動時脈，並非單一總體訊號(Global signal)；也就是說，各級燈點之驅動時脈，皆是根據前一級燈點之驅動時脈而來。因此，當串列中某一級驅動時脈之訊號，因傳輸距離中可能發生的

電容效應或累積效應，而導致該驅動時脈之工作週期(Clock duty cycle)偏移時，如：驅動時脈之訊號，高位準的時間與低位準的時間不相等，於此情況之下，在串列多級燈點而形成串列像素叢集時，越後級燈點的驅動時脈，其訊號之波形，將會因多級累積效應而失真(distortion)的非常嚴重。

除此之外，由於串列像素叢集中，每一級燈點之間的距離都相當長，若用來驅動燈點之驅動電路，抑或是該級燈點之發光二極體發生異常故障時，則資料訊號必須要從最後一級燈點的位置，回拉至第一級燈點處，以進行偵錯步驟。此種做法不僅降低串列像素叢集之偵錯效率，如前所述，亦容易造成驅動時脈波形失真的問題。

【發明內容】

鑒於以上，本發明提供一種串列控制器，不僅可用以驅動並串列各級燈點，更可用以解決串列中各級燈點之驅動時脈波形失真的問題。其次，本發明另提供一種串列雙向控制器，以用以實現各級燈點之間，資料訊號可雙向傳輸之目的。

本發明提出一種串列控制器，適於接收一外部時脈及一輸入資料，並輸出一反向時脈及一輸出資料。串列控制器包含：一反向器、一串列位點偵測器、一同步時脈產生器、一串列暫存器與一半週延遲單元。

反向器係接收外部時脈並輸出反向時脈；

串列位點偵測器依據外部時脈及輸入資料而輸出一位點訊

號，其中位點訊號係為一奇訊號或一偶訊號；

同步時脈產生器依據位點訊號及外部時脈輸出一同步時脈，當位點訊號為奇訊號時，同步時脈與外部時脈同相，當位點訊號為偶訊號時，同步時脈與外部時脈反相；

串列暫存器依據同步時脈，接收並暫存輸入資料後將之輸出；

半週延遲單元係接收來自於串列暫存器之輸入資料、延遲同步時脈之半週期後，輸出為輸出資料。

本發明另提出一種串列雙向控制器，包括：一反向器、一輸入接點、一串列位點偵測器、一同步時脈產生器、一串列暫存器、一辨視單元、一半週延遲單元、一輸出接點與一資料導向單元。

反向器係用以接收一外部時脈，並將之反相後輸出一反向時脈；

輸入接點係用以接收一輸入資料；

串列位點偵測器係依據外部時脈及輸入資料而輸出一位點訊號，其中位點訊號係為一奇訊號或一偶訊號；

同步時脈產生器係依據位點訊號及外部時脈而輸出一同步時脈，其中當位點訊號為奇訊號時，同步時脈與外部時脈同相，而當位點訊號為偶訊號時，同步時脈與外部時脈反相；

串列暫存器具有一接收端及一傳出端，且串列暫存器係依據同步時脈，而將接收端所收到之訊號暫存後，自傳出端輸出；

辨視單元係依據輸入資料及同步時脈，輸出一控制訊號，其中控制訊號包含一回傳命令；

半週延遲單元具有一輸入點及一輸出點，其中輸入點耦接於傳出端，且半週延遲單元將來自輸入點之資料延遲同步時脈之半週期後，從輸出點輸出；

當資料導向單元接收到回傳命令時，資料導向單元將輸出接點耦接於接收端，並將輸出點耦接於輸入接點，而當資料導向單元未接收到回傳命令時，則將輸入接點耦接於接收端，並將輸出點耦接於輸出接點。

是故，根據本發明之串列控制器形成串列叢集時，可令各級串列控制器之輸出資料同步傳輸於輸入資料。其次，根據本發明之又一串列雙向控制器形成串列雙向叢集時，更可達到各級串列雙向控制器之間資料可雙向傳輸(即寫入下一級或讀回上一級)之目的。

以上有關於本發明的內容說明，與以下的實施方式係用以示範與解釋本發明的精神與原理，並且提供本發明的專利申請範圍更進一步的解釋。有關本發明的特徵、實作與功效，茲配合圖示作較佳實施例詳細說明如下。

【實施方式】

「第 1A 圖」與「第 1B 圖」係為根據本發明第一實施例之串列控制器之應用架構示意圖，其係將串列控制器 100 應用於串列叢集 1000，其中串列叢集 1000 係包括複數個串列控制器 100。根據本發明第一實施例之串列控制器 100，可以如「第 1A 圖」所示，用以驅動發光二極體 10；抑或如「第 1B 圖」所示，用以驅動舞

台燈光控制器(例如但不限於類似 DMX 512 控制器之功能)，但其應用領域不以此為限。舉例而言，串列叢集 1000 不僅可用來串列並傳輸資料訊號 SDI0、SDI1、SDI2...SDIn 至各級串列控制器 100，亦可以將傳到各級串列控制器 100 的資料訊號，經過轉換後輸出為脈衝調變訊號(Pulse Width Modulation Signal, PWM)，或轉換為亮暗訊號、馬達驅動訊號等，以驅動發光二極體 10 或舞台燈光。

其中「第 1A 圖」與「第 1B 圖」中，連接中央控制單元，並接收資料訊號 SDI0 者，係為串列叢集 1000 中第零級之串列控制器 100；而連接於第零級之串列控制器 100，並以第零級之串列控制器 100 輸出之資料訊號 SDI1 作為其輸入資料訊號者，係為串列叢集 1000 中第一級之串列控制器 100。

「第 2 圖」係為根據本發明第一實施例之串列控制器 100 之功能方塊示意圖，其中串列控制器 100 適於接收一外部時脈 CKI 及一輸入資料 SDI，並輸出一反向時脈 CKO 及一輸出資料 SDO。以「第 1A 圖」之串列叢集 1000 中的第零級之串列控制器 100 為例，則「第 2 圖」中之外部時脈 CKI 與反向時脈 CKO 係各自相應於「第 1A 圖」中之時脈訊號 CKI0 與 CKI1；「第 2 圖」中之輸入資料 SDI 與輸出資料 SDO 係各自相應於「第 1A 圖」中資料訊號 SDI0 與 SDI1。以下之詳細說明係以串列叢集 1000 中的第零級之串列控制器 100 為例，但非以此為限，串列叢集 1000 中之任一級串列控制器 100 皆為本發明之保護範圍，唯以第零級之串列控制器 100 作為以下說明之實施例而已。

串列控制器 100 包括一反向器 102、一串列位點偵測器 104、一同步時脈產生器 106、一串列暫存器 108 與一半週延遲單元 110。

反向器 102 接收外部時脈 CKI 並輸出反向時脈 CKO，如「第 3A 圖」所示，令反向時脈 CKO 之相位於任一個工作週期 T0、T1、T2、T3 時，皆會反相於外部時脈 CKI。

由於外部時脈 CKI 在串列叢集 1000 中的每一傳輸級之間，皆會被反相而輸出反向時脈 CKO，因此，如果在傳輸過程中，外部時脈 CKI 之工作週期(Clock duty cycle)有不平均的現象時，該現象即可藉由下一級之串列控制器 100 而被平衡回來。是以，根據本發明之實施例，係用此方式解決因多級累積效應，而引起外部時脈 CKI 波形失真的問題。

串列位點偵測器 104 之輸入端用以接收外部時脈 CKI 及輸入資料 SDI，並據以輸出一位點訊號 PS，其中位點訊號 PS 係為一奇訊號或一偶訊號。如「第 4A 圖」所示，當外部時脈 CKI 於其第一上升邊緣 RE(Rising Edge)時，若串列位點偵測器 104 偵測到輸入資料 SDI 為低位準時，串列位點偵測器 104 即輸出偶訊號為位點訊號 PS；否則，如「第 4B 圖」所示，當外部時脈 CKI 於其第一上升邊緣 RE(Rising Edge)時，若串列位點偵測器 104 偵測到輸入資料 SDI 為高位準時，則串列位點偵測器 104 輸出奇訊號為位點訊號 PS。根據本發明第一實施例之串列控制器 100，奇訊號與偶訊號係各別用以指示該級串列控制器 100 之位點位置係位於串列叢集 1000 中之偶級傳輸點(第 0 級、第 2 級...)或奇級傳輸點(第

1 級、第 3 級)。

同步時脈產生器 106 係依據位點訊號 PS 及外部時脈 CKI 而輸出一同步時脈 ITLCK，舉例而言，當串列位點偵測器 104 輸出之位點訊號 PS 為奇訊號時，如「第 5A 圖」所示，同步時脈 ITLCK 與外部時脈 CKI 同相，而當位點訊號 PS 為偶訊號時，則如「第 5B 圖」所示，同步時脈 ITLCK 則與外部時脈 CKI 反相。

請參閱「第 6 圖」，係為根據本發明第一實施例串列控制器 100，其內部之詳細電路示意圖。同步時脈產生器 106 可包括一第一反向單元 502 與一選擇器 504，其中第一反向單元 502 係用以接收外部時脈 CKI，並將外部時脈 CKI 反相後輸出至選擇器 504。選擇器 504 之二輸入端係各自連接於第一反向單元 502 與外部時脈 CKI，也就是說，選擇器 504 可選擇性地以外部時脈 CKI 或經由第一反向單元 502 反相後之外部時脈 CKI 為其輸出。承前例而言，即當位點訊號 PS 為奇訊號時，選擇器 504 即將外部時脈 CKI 輸出為同步時脈 ITLCK；而當位點訊號 PS 為偶訊號時，選擇器則將第一反向單元 502 之輸出(即反相後之外部時脈 CKI)做為同步時脈 ITLCK。藉此，無論串列控制器 100 係位於串列叢級 1000 中之奇級傳輸點或偶級傳輸點，同步時脈產生器 106 皆可用以產生一不受傳輸點位置限制之同步時脈 ITLCK，於此，同步時脈 ITLCK 即與第零級(或偶數級)傳輸點之串列控制器 100 所接收到的時脈相位差一百八十度。(以確保在資料傳輸過程中有足夠的設定時間(setup time)與保持時間(hold time))。

串列暫存器 108 係依據同步時脈 ITLCK，接收並暫存輸入資料 SDI，再將輸入資料 SDI 輸出至半週延遲單元 110，完成串列中各級資料訊號之傳輸。除此之外，如「第 1A 圖」與「第 1B 圖」所示，當串列控制器 100 用來作為驅動發光二極體 10 或舞台燈光控制器(DMX 512)之驅動電路時，串列暫存器 108 亦可將其內部暫存之輸入資料 SDI，經緩衝處理(意即將串列暫存器 108 中的輸入資料 SDI 緩存於一緩衝暫存器)後，輸出為脈衝調變訊號(Pulse Width Modulation Signal, PWM)，即將緩衝暫存器中的資料轉為 PWM 訊號，以驅動發光二極體 10。又或是將緩衝暫存器中的資料轉為亮暗、馬達驅動訊號等，以驅動其他電子零組件，如：舞台燈光執行其預設功能。

由於反向時脈 CKO 係為外部時脈 CKI 之反相(意即各級串列控制器 100 之輸入時脈係反相於上一級串列控制器 100 之輸入時脈)，因此各級串列控制器 100 之輸出資料 SDO 皆會比預期提早半個週期到達其下一級之串列控制器 100。

如「第 3B 圖」所示，則輸入資料 SDI1 會於時脈訊號 CKI0 於工作週期 T1 之下降邊緣 FE(Falling edge)時即被觸發，而提前半個週期到達第一級串列控制器 100。依此而言，若串列叢集 1000 中串列有 n 個串列控制器 100，則第 n 級串列控制器 100 之輸出資料 SDO 即會提早 $n/2$ 週期到達其下一級之串列控制器 100。為了解決此一問題，根據本發明之第一實施例，半週延遲單元 110 係用以接收來自串列暫存器 108 之輸入資料 SDI，並將輸入資料 SDI

以同步時脈 ITLCK 之半週期延遲後，再輸出為輸出資料 SDO。

如「第 6 圖」所示，根據本發明之第一實施例，半週延遲單元 110 包括一第二反向單元 602 與一暫存器 604。第二反向單元 602 係接收同步時脈 ITLCK，並將同步時脈 ITLCK 反相後輸出至暫存器 604。暫存器 604 之一端用以接收輸入資料 SDI，並且根據被第二反向單元 602 反相後之同步時脈 ITLCK 觸發後，再輸出資料 SDO。藉此，半週延遲單元 110 可將自串列暫存器 108 輸出之訊號(即半週延遲單元 110 接收到之訊號)，延遲同步時脈 ITLCK 之半週期後(亦即讓下降邊緣 FE 往後延半個週期的時間)，如此一來，暫存器 604 所輸出的輸出資料 SDO 即可與反向時脈 CKO 同步，以達到串列叢集 1000 中各級串列控制器 100 之輸出資料 SDO 皆可同步於輸入資料 SDI 之目的。

請配合參閱「第 1A 圖」、「第 1B 圖」與「第 3C 圖」，當串列叢集 1000 中，第零級串列控制器 100 之輸入資料 SDI0 於工作週期 T1 內傳輸至第一級串列控制器 100 時，第一級串列控制器 100 即可於工作週期 T2 內接收到其輸入資料 SDI1，以完成各級串列控制器 100 同步傳輸之目的。

其次，由於串列叢集 1000 係為各級串列控制器 100 串接傳輸，其資料訊號(輸入資料 SDI 與輸出資料 SDO)皆為一級一級往後傳遞，因此各級串列控制器 100 皆需要透過其內部之解碼機制，以辨識資料訊號是否屬於該級串列控制器 100 所讀取。當串列叢集 1000 在長距離傳輸中有雜訊(noise)干擾，或遭遇熱插拔等情

況，串列控制器 100 之解碼機制可能會出錯並造成混亂。為了解決此一問題，根據本發明第二實施例，如「第 7A 圖」所示，串列控制器 100a 更可包括一逾時偵測器 700，逾時偵測器 700 用以接收外部時脈 CKI，並在外部時脈 CKI 滿足一特定條件時，輸出一重置訊號 RESET 予串列暫存器 108，令串列控制器 100a 即使遇到熱插拔或雜訊干擾，亦可經過重置訊號 RESET 之觸發，而重新恢復其解碼機制。

「第 8A 圖」係為根據本發明第二實施例，逾時偵測器 700 之狀態機示意圖。逾時偵測器 700 包括步驟 S802、S804、S806、S808、S810 與 S812。逾時偵測器 700 首先執行步驟 S802 等待外部時脈 CKI，當外部時脈 CKI 產生時，逾時偵測器 700 於步驟 S804 中判斷該外部時脈 CKI 產生時，其間隔前一個外部時脈 CKI 之時間是否達一第一預定時間。若是，則逾時偵測器 700 於步驟 S806 中繼續等待下一個外部時脈 CKI 產生；否則，則回到步驟 S802 重新開始其狀態。

逾時偵測器 700 於步驟 S806 繼續等待下一個外部時脈 CKI 後，續於步驟 S808 中判斷其等待時間是否已達一第二預定時間。若是，則逾時偵測器 700 執行步驟 S812，輸出重置訊號 RESET；否則，逾時偵測器 700 進入步驟 S810，判斷外部時脈 CKI 是否產生，其中若外部時脈 CKI 已產生，逾時偵測器 700 即回到步驟 S802 重新開始其狀態機制；若外部時脈 CKI 仍未產生，則逾時偵測器 700 回到步驟 S806 繼續等待。

舉例而言，請一併參閱「第 8B 圖」與「第 8C 圖」，其中「第 8B 圖」之相對時序波形圖，係為逾時偵測器 700 之狀態機沿著步驟 S802、S804、S806、S808 至 S812 輸出重置訊號 RESET；而「第 8C 圖」係為逾時偵測器 700 之狀態機沿著步驟 S802、S804、S806、S808，S810 而回到 S802 重新開始其判斷機制(連續二個外部時脈間隔之時間未達第二預定時間，致使逾時偵測器 700 沿著步驟 S808 到 S810 而回到 S802)。其中第一預定時間與第二預定時間可分別由使用者自行預定，例如：第一預定時間可為 100 個時脈週期時間(Clock cycle)、第二預定時間為 50 個時脈週期時間(Clock cycle)等等。

「第 7B 圖」係為根據本發明第三實施例之串列控制器 100b，其功能方塊示意圖。其中逾時偵測器 700 可與串列位點偵測器 104 整合為單一電路方塊，以降低電路額外之製作成本及減少部分晶片之使用面積。於此，串列位點偵測器 104 亦可透過偵測重置訊號 RESET 與外部時脈 CKI 來判斷串列控制器 100b 於串列叢集 1000 中之位點位置。

舉例而言，請參閱「第 9A 圖」，當逾時偵測器 700 產生重置訊號 RESET 時，若此時串列位點偵測器 104 偵測到的外部時脈 CKI 係為高位準，則串列位點偵測器 104 輸出奇訊號為位點訊號 PS；否則，即如「第 9B 圖」所示，當逾時偵測器 700 產生重置訊號 RESET 時，若串列位點偵測器 104 偵測到的外部時脈 CKI 係為低位準，則串列位點偵測器 104 輸出偶訊號為位點訊號 PS。

由此，根據本發明第三實施例之串列控制器 100b，不僅可將逾時偵測器 700 整合於串列位點偵測器 104 中，達到單一電路方塊之目的，更提供了另一種根據重置訊號 RESET 以判斷串列控制器 100b 位點位置的方法。

為了達到串列控制器 100 中之資料可雙向傳輸之目的，「第 10A 圖」與「第 10B 圖」係為根據本發明第四實施例之串列雙向控制器之應用架構示意圖，其係將串列雙向控制器 900 應用於串列雙向叢集 9000，其中串列雙向叢集 9000 包括複數個串列雙向控制器 900。根據本發明第四實施例之串列雙向控制器 900，可以如「第 10A 圖」所示，用以驅動發光二極體 10；抑或如「第 10B 圖」所示，用以驅動舞台燈光控制器(例如但不限於類似 DMX 512 控制器之功能)，但其應用領域不以此為限。舉例而言，串列雙向叢集 9000 不僅可用來串列並雙向傳輸資料訊號 SDI0、SDI1、SDI2...SDIn 於各級串列雙向控制器 900 之間，亦可以將傳到各級串列雙向控制器 900 的資料訊號 SDI0、SDI1、SDI2...SDIn，經過轉換後輸出為脈衝調變訊號(Pulse Width Modulation Signal，PWM)，或轉換為亮暗訊號、馬達驅動訊號等，以驅動發光二極體 10 或舞台燈光。

「第 11 圖」係為根據本發明第四實施例之串列雙向控制器 900 之功能方塊示意圖，串列雙向控制器 900 包括一反向器 902、一輸入接點 903、一串列位點偵測器 904、一同步時脈產生器 906、一串列暫存器 908、一辨視單元 909、一半週延遲單元 910、一輸出

接點 911、與一資料導向單元 912。

反向器 902 接收外部時脈 CKI 並輸出反向時脈 CKO，如「第 12 圖」所示，令反向時脈 CKO 之相位於任一個工作週期 T0、T1、T2、T3 時，皆會反相於外部時脈 CKI。

輸入接點 903 係用以接收一輸入資料 SDI。串列位點偵測器 904 之輸入端用以接收外部時脈 CKI 及輸入資料 SDI，並據以輸出一位點訊號 PS，位點訊號 PS 係為一奇訊號或一偶訊號。其中串列位點偵測器 904 輸出之位點訊號 PS 為奇訊號或偶訊號之判斷方式，可如第一、二實施例，根據外部時脈 CKI 於其第一上升邊緣 RE(Rising Edge)時，輸入資料 SDI 之高或低位準來決定。

同步時脈產生器 906 係依據位點訊號 PS 及外部時脈 CKI 而輸出一同步時脈 ITLCK，舉例而言，當串列位點偵測器 904 輸出之位點訊號 PS 為奇訊號時，同步時脈 ITLCK 與外部時脈 CKI 同相；而當位點訊號 PS 為偶訊號時，同步時脈 ITLCK 則與外部時脈 CKI 反相。

請參閱「第 13 圖」，係為根據本發明第四實施例串列雙向控制器 900，其內部之詳細電路示意圖。同步時脈產生器 906 可包括一第一反向單元 1202 與一選擇器 1204，其中第一反向單元 1202 係用以接收外部時脈 CKI，並將外部時脈 CKI 反相後輸出至選擇器 1204。選擇器 1204 之二輸入端係各自連接於第一反向單元 1202 與外部時脈 CKI，也就是說，選擇器 1204 可選擇性地以外部時脈 CKI 或經由第一反向單元 1202 反相後之外部時脈 CKI 為其輸出。

承前例而言，當位點訊號 PS 為奇訊號時，選擇器 1204 即將外部時脈 CKI 輸出為同步時脈 ITLCK；而當位點訊號 PS 為偶訊號時，選擇器則將第一反向單元 1202 之輸出(即反相後之外部時脈 CKI)做為同步時脈 ITLCK。藉此，無論串列雙向控制器 900 係位於串列雙向叢級 9000 中之奇級傳輸點或偶級傳輸點，同步時脈產生器 906 皆可用以產生一不受傳輸點位置限制之同步時脈 ITLCK，於此，同步時脈 ITLCK 即與第零級(或偶數級)傳輸點之串列雙向控制器 900 所接收到的時脈相位差一百八十度。(以確保在資料傳輸過程中有足夠的設定時間(setup time)與保持時間(hold time))。

串列暫存器 908 具有一接收端 91 及一傳出端 92，串列暫存器 908 係依據同步時脈 ITLCK，將自接收端 91 所收到之訊號暫存後再由傳出端 92 輸出。其次，如前一實施例所述，如「第 10A 圖」與「第 10B 圖」所示，當串列雙向控制器 900 用來作為驅動發光二極體 10 或舞台燈光控制器(DMX 512)之驅動電路時，串列暫存器 908 亦可將其內部暫存之輸入資料 SDI，經緩衝處理(意即將串列暫存器 908 中的輸入資料 SDI 緩存於一緩衝暫存器)後，輸出為脈衝調變訊號(Pulse Width Modulation Signal, PWM)，即將緩衝暫存器中的資料轉為 PWM 訊號，以驅動發光二極體 10。又或是將緩衝暫存器中的資料轉為亮暗、馬達驅動訊號等，以驅動其他電子零組件，如：舞台燈光執行其預設功能。

半週延遲單元 910 具有一輸入點 93 及一輸出點 94，其中輸入點 93 耦接於傳出端 92，且半週延遲單元 910 係將來自輸入點 93

之資料以同步時脈 ITLCK 之半週期延遲後，再從輸出點 94 輸出。如「第 13 圖」所示，半週延遲單元 910 可包括一第二反向單元 1302 與一暫存器 1304。第二反向單元 1302 係接收同步時脈 ITLCK，並將同步時脈 ITLCK 反相後輸出至暫存器 1304。暫存器 1304 之一端連接輸入點 93，並且根據被第二反向單元 1302 反相後之同步時脈 ITLCK 觸發後，再將訊號輸出至輸出點 94。藉此，半週延遲單元 910 可將自傳出端 92 輸出之訊號(即輸入點 93 接收到之訊號)，延遲同步時脈 ITLCK 之半週期後，再由輸出點 94 輸出，以達到自輸出點 94 輸出之訊號可同步於輸入資料 SDI 之目的。

辨視單元 909 係用以接收資料導向單元 912 之輸出資料(初始狀態預設為寫入下一級傳輸點，故資料導向單元 912 之輸出資料即為輸入資料 SDI)及同步時脈 ITLCK，並據此輸出一控制訊號 CS，其中控制訊號 CS 包含一回傳命令 Readmode。舉例而言，輸入資料 SDI 中可含有資訊標語 Header，辨視單元 909 即可藉由對輸入資料 SDI 中的資訊標語 Header 進行解碼，以辨識輸入資料 SDI 是要被傳輸並寫入下一級串列雙向控制器 900，或是讀回該級串列雙向控制器 900 的狀態值。於此，為減少晶片之使用面積，設計者可於設計電路時，選擇將辨視單元 909 與串列暫存器 908 整合為單一電路方塊，並據以降低電路額外之製作成本。

當資料導向單元 912 接收到回傳命令 Readmode 時，資料導向單元 912 即將輸出接點 911 耦接於串列暫存器 908 之接收端 91(亦即將輸出接點 911 的訊號傳給接收端 91)，並將半週延遲單元 910

之輸出點 94 耦接於輸入接點 903，以將輸出接點 911 之訊號同步回傳至輸入接點 903。

而當資料導向單元 912 未接收到回傳命令 Readmode 時，資料導向單元 912 則將輸入接點 903 耦接於串列暫存器 908 之接收端 91，並且將半週延遲單元 910 之輸出點 94 耦接於輸出接點 911，以將輸入接點 903 之輸入資料 SDI 同步寫至串列雙向叢集 9000 中後一級之串列雙向控制器 900。

資料導向單元 912 可包括一入切換開關(輸入雙向緩衝器)142、一出切換開關(輸出雙向暫存器)144 與一選擇器 146。入切換開關 142 具有一第一端 41、一第二端 42 及一第三端 43，且第一端 41 耦接於輸入接點 903。出切換開關 144 具有一第一腳 51、一第二腳 52 及一第三腳 53，且第一腳 51 耦接於輸出接點 911，第三腳 53 耦接於輸出點 94 與第三端 43。選擇器 146 具有一第一入端 61、一第二入端 62 及一輸出端 63，且第一入端 61 耦接於第二腳 52，第二入端 62 耦接於第二端 42，輸出端 63 耦接於接收端 91。

更明確地說，當資料導向單元 912 接收到回傳命令 Readmode 時，入切換開關 142 令第一端 41 耦接於第三端 43，出切換開關 144 令第一腳 51 耦接於第二腳 52，且選擇器 146 令第一入端 61 耦接於輸出端 63，以將第一腳 51 之訊號(即輸出接點 911)同步回傳至第一端 41(即輸入接點 903)。

而當資料導向單元 912 未接收到回傳命令 Readmode 時，入切

換開關 142 則令第一端 41 耦接於第二端 42，出切換開關 144 令第一腳 51 耦接於第三腳 53，且選擇器 146 令第二入端 62 耦接於輸出端 63，以將第一端 41(即輸入接點 903)之訊號同步寫入第一腳 51(即輸出接點 911)，以作為串列雙向叢集 9000 中下一級串列雙向控制器 900 之輸入資料 SDI。

為了解決串列雙向叢集 9000 在長距離傳輸中，受到雜訊(noise)干擾，或遭遇熱插拔等情況，而致使串列雙向控制器 900 之解碼機制可能出錯並造成混亂的問題，根據本發明第五實施例，如「第 14A 圖」所示，串列雙向控制器 900a 更可包括一逾時偵測器 1500，逾時偵測器 1500 用以接收外部時脈 CKI，並在外部時脈 CKI 滿足一特定條件時，輸出一重置訊號 RESET 予串列暫存器 908，令串列雙向控制器 900a 即使遇到熱插拔或雜訊干擾，亦可經過重置訊號 RESET 之觸發，而重新恢復其解碼機制。其中逾時偵測器 1500 之狀態機示意圖，係同第二、三實施例之逾時偵測器 700，故在此不再重述。

其次，如同本發明第三實施例(請參閱「第 7B 圖」)，為了降低電路額外之製作成本及減少晶片之使用面積，請參閱「第 14B 圖」，根據本發明第六實施例之串列雙向控制器 900b，逾時偵測器 1500 係可選擇整合於串列位點偵測器 904 中，以達到單一電路方塊之目的。藉此，串列位點偵測器 904 亦可透過偵測重置訊號 RESET 與外部時脈 CKI 來判斷該級串列雙向控制器 900 之位點位置係位於串列雙向叢集 9000 中之奇級或偶級傳輸點，其判斷方式

係同本發明第三實施例，故在此不在贅述。

是以，根據本發明之第一實施例，利用串接各級串列控制器 100 以形成串列叢集 1000 時，同步時脈產生器 106 可用以產生一不受串列控制器 100 之傳輸位點影響之同步時脈 ITLCK。其次，串列控制器 100 更可透過半週延遲單元 110，以實現長距離串列中各級串列控制器 100 之資料訊號同步傳輸的目的。除此之外，根據本發明第四實施例之串列雙向控制器 900，更可進一步達到各級串列雙向控制器 900 之間資料訊號雙向傳輸之目的，以在串列雙向控制器 900 工作異常時，提高串列雙向叢集 9000 之偵錯效率。

雖然本發明以前述的較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神與範圍內，當可作些許更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖與第 1B 圖係為根據本發明第一實施例之串列叢集之應用架構示意圖；

第 2 圖係為根據本發明第一實施例之串列控制器之功能方塊示意圖；

第 3A 圖係為根據本發明第一實施例外部時脈與反向時脈之波形示意圖；

第 3B 圖係為根據第 3A 圖之各輸入資料提前半週期之波形示意圖；

第 3C 圖係為根據本發明第一實施例串列叢集之輸入資料與輸出資料之波形示意圖；

第 4A 圖與第 4B 圖係為根據本發明第一實施例決定位點訊號之波形示意圖；

第 5A 圖與第 5B 圖係為根據本發明第一實施例同步時脈之波形示意圖；

第 6 圖係為根據本發明第一實施例之串列控制器之詳細電路示意圖；

第 7A 圖係為根據本發明第二實施例之串列控制器之功能方塊示意圖；

第 7B 圖係為根據本發明第三實施例之串列控制器之功能方塊示意圖；

第 8A 圖至第 8C 圖係為根據本發明第二、三實施例，逾時偵測器之狀態機示意圖；

第 9A 圖與第 9B 圖係為根據本發明第三實施例決定位點訊號之波形示意圖；

第 10A 圖與第 10B 圖係為根據本發明第四實施例之串列雙向叢集之應用架構示意圖；

第 11 圖係為根據本發明第四實施例之串列雙向控制器之功能方塊示意圖；

第 12 圖係為根據本發明第四實施例外部時脈與反向時脈之波形示意圖；

第 13 圖係為根據本發明第四實施例之串列雙向控制器之詳細電路示意圖；

第 14A 圖係為根據本發明第五實施例之串列雙向控制器之功能方塊示意圖；以及

第 14B 圖係為根據本發明第六實施例之串列雙向控制器之功能方塊示意圖。

【主要元件符號說明】

●	發光二極體	10
	第一端	41
	第二端	42
	第三端	43
	第一腳	51
	第二腳	52
	第三腳	53
●	第一入端	61
	第二入端	62
	輸出端	63
	接收端	91
	傳出端	92
	輸入點	93
	輸出點	94
	串列控制器	100,100a,100b

反向器	102,902
串列位點偵測器	104,904
同步時脈產生器	106,906
串列暫存器	108,908
半週延遲單元	110,910
入切換開關	142
出切換開關	144
選擇器	146,504,1204
第一反向單元	502,1202
第二反向單元	602,1302
暫存器	604,1304
逾時偵測器	700,1500
串列雙向控制器	900,900a,900b
輸入接點	903
辨視單元	909
輸出接點	911
資料導向單元	912
串列叢集	1000
串列雙向叢集	9000
資料訊號	SDI0,SDI1,SDI2,SDIn
外部時脈	CKI
反向時脈	CKO

時脈訊號	CKIO,CKI1,CKI2,CKIn
輸入資料	SDI
輸出資料	SDO
工作週期	T0,T1,T2,T3
位點訊號	PS
第一上升邊緣	RE
下降邊緣	FE
同步時脈	ITLCK
重置訊號	RESET
控制訊號	CS

七、申請專利範圍：

1. 一種串列控制器，適於接收一外部時脈及一輸入資料，並輸出一反向時脈及一輸出資料，該串列控制器包含：
 - 一反向器，係接收該外部時脈並輸出該反向時脈；
 - 一串列位點偵測器，依據該外部時脈及該輸入資料而輸出一位點訊號，該位點訊號係為一奇訊號或一偶訊號；
 - 一同步時脈產生器，依據該位點訊號及該外部時脈而輸出一同步時脈，當該位點訊號為該奇訊號時，該同步時脈與該外部時脈同相，當該位點訊號為該偶訊號時，該同步時脈與該外部時脈反相；
 - 一串列暫存器，係依據該同步時脈而接收並暫存該輸入資料後將之輸出；以及
 - 一半週延遲單元，係接收來自於該串列暫存器之該輸入資料、延遲該同步時脈之半週期後，輸出為該輸出資料。
2. 如請求項 1 所述之串列控制器，其中當該外部時脈於一第一上升邊緣，且該輸入資料為高位準時，該串列位點偵測器輸出該奇訊號為該位點訊號，反之，則輸出該偶訊號為該位點訊號。
3. 如請求項 1 所述之串列控制器，其中該同步時脈產生器於該位點訊號為該奇訊號時，將該外部時脈輸出為該同步時脈，當該位點訊號為該偶訊號時，該同步時脈產生器將該外部時脈反相後輸出為該同步時脈。
4. 如請求項 3 所述之串列控制器，其中該同步時脈產生器包含：

一第一反向單元，接收該外部時脈並將之反相後輸出；以及

一選擇器，當該位點訊號為該奇訊號時，該選擇器係將該外部時脈輸出為該同步時脈，當該位點訊號為該偶訊號時，該選擇器將該第一反向單元之輸出做為該同步時脈。

5. 如請求項 1 所述之串列控制器，其中該半週延遲單元包含：

一第二反向單元，係將該同步時脈反相；以及

一暫存器，依據被反相之該同步時脈接收該輸入資料後將之輸出。

6. 如請求項 1 所述之串列控制器，另包含一逾時偵測器，該逾時偵測器係於該外部時脈滿足一條件時，輸出一重置訊號予該串列暫存器。

7. 如請求項 6 所述之串列控制器，其中當該逾時偵測器輸出該重置訊號，且該外部時脈為高位準時，該串列位點偵測器輸出該奇訊號為該位點訊號，反之，則輸出該偶訊號為該位點訊號。

8. 一種串列雙向控制器，包含：

一反向器，接收一外部時脈並將之反相後輸出一反向時脈；

一輸入接點，接收一輸入資料；

一串列位點偵測器，依據該外部時脈及該輸入資料而輸出一位點訊號，該位點訊號係為一奇訊號或一偶訊號；

一同步時脈產生器，依據該位點訊號及該外部時脈而輸出

一同步時脈，當該位點訊號為該奇訊號時，該同步時脈與該外部時脈同相，當該位點訊號為該偶訊號時，該同步時脈與該外部時脈反相；

一串列暫存器，具有一接收端及一傳出端，該串列暫存器依據該同步時脈，而將該接收端所收到之訊號暫存後自該傳出端輸出；

一辨視單元，依據該輸入資料及該同步時脈，而輸出一控制訊號，該控制訊號包含一回傳命令；

一半週延遲單元，具有一輸入點及一輸出點，該輸入點耦接於該傳出端，該半週延遲單元將自該輸入點之資料延遲該同步時脈之半週期後，從該輸出點輸出；

一輸出接點；以及

一資料導向單元，當接收到該回傳命令時，該資料導向單元將該輸出接點耦接於該接收端，並將該輸出點耦接於該輸入接點，當該資料導向單元未接收到該回傳命令時，將該輸入接點耦接於該接收端，並將該輸出點耦接於該輸出接點。

9. 如請求項8所述之串列雙向控制器，其中該資料導向單元包含：

一入切換開關，具有一第一端、一第二端及一第三端，該第一端耦接於該輸入接點；

一出切換開關，具有一第一腳、一第二腳及一第三腳，該第一腳耦接於該輸出接點，該第三腳耦接於該輸出點及該第三端；以及

一選擇器，具有一第一入端、一第二入端及一輸出端，該第一入端耦接於該第二腳，該第二入端耦接於該第二端，該輸出端耦接於該接收端；

其中，當接收到該回傳命令時，該入切換開關使該第一端耦接於該第三端、該出切換開關使該第一腳耦接於該第二腳、且該選擇器使該第一入端耦接於該輸出端，當未接收到該回傳命令時，該入切換開關使該第一端耦接於該第二端、該出切換開關使該第一腳耦接於該第三腳、且該選擇器使該第二入端耦接於該輸出端。

10. 如請求項 8 所述之串列雙向控制器，其中該同步時脈產生器於該位點訊號為該奇訊號時，將該外部時脈輸出為該同步時脈，當該位點訊號為該偶訊號時，該同步時脈產生器將該外部時脈反相後輸出為該同步時脈。

11. 如請求項 10 所述之串列雙向控制器，其中該同步時脈產生器包含：

一第一反向單元，接收該外部時脈並將之反相後輸出；以及

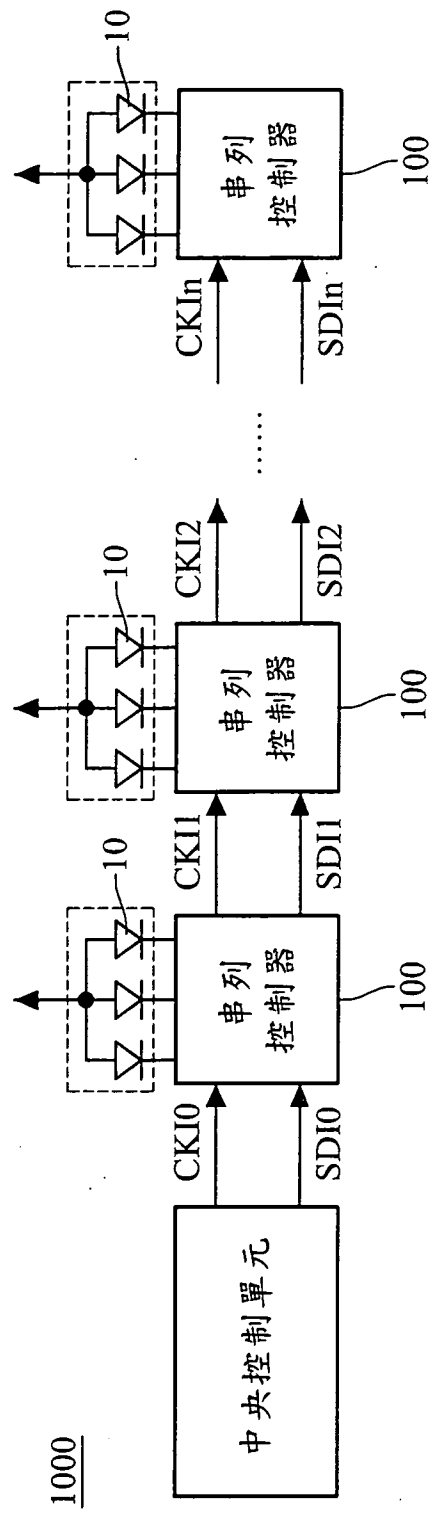
一選擇器，當該位點訊號為該奇訊號時，該選擇器係將該外部時脈輸出為該同步時脈，當該位點訊號為該偶訊號時，該選擇器將該第一反向單元之輸出做為該同步時脈。

12. 如請求項 8 所述之串列雙向控制器，其中該半週延遲單元包含：

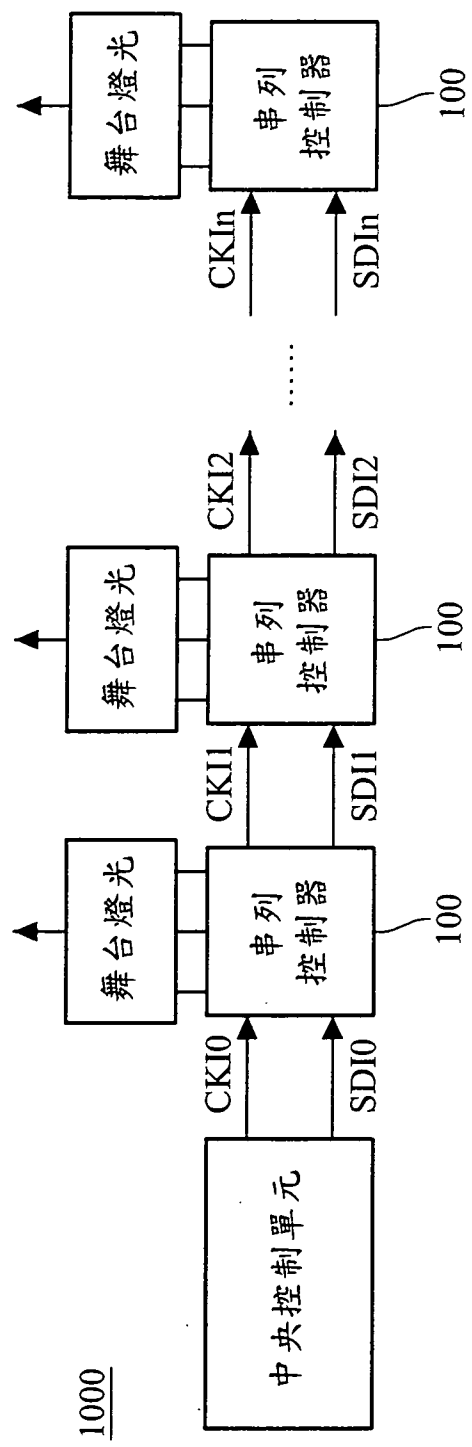
一第二反向單元，係將該同步時脈反相；以及

一暫存器，依據被反相之該同步時脈接收該輸入點之訊號並將之輸出。

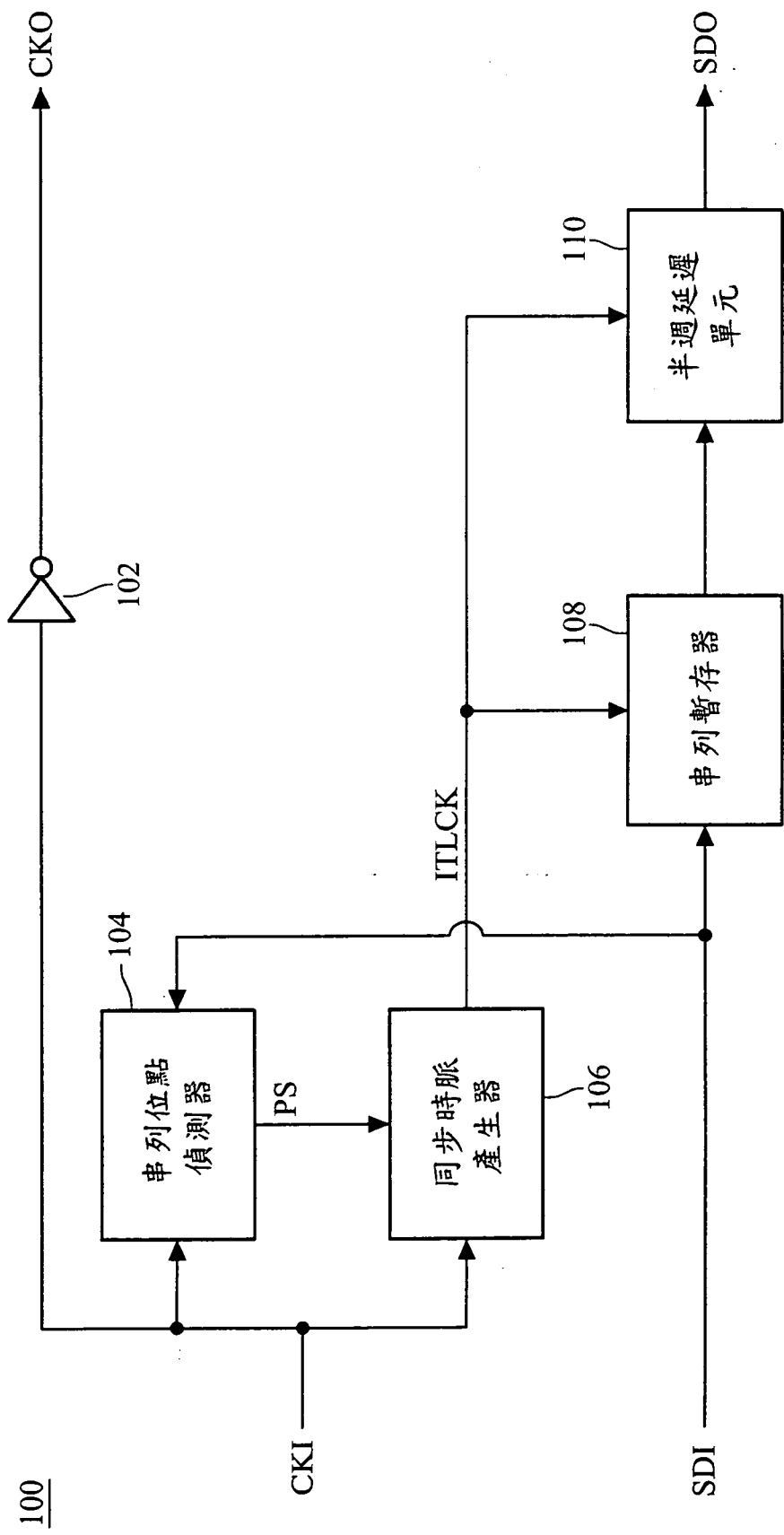
13. 如請求項 8 所述之串列雙向控制器，其中當該外部時脈於一第一上升邊緣，且該輸入資料為高位準時，該串列位點偵測器輸出該奇訊號為該位點訊號，反之，則輸出該偶訊號為該位點訊號。
14. 如請求項 8 所述之串列雙向控制器，另包含一逾時偵測器，該逾時偵測器係於該外部時脈滿足一條件時，輸出一重置訊號予該串列暫存器。
15. 如請求項 14 所述之串列雙向控制器，其中當該逾時偵測器輸出該重置訊號，且該外部時脈為高位準時，該串列位點偵測器輸出該奇訊號為該位點訊號，反之，則輸出該偶訊號為該位點訊號。



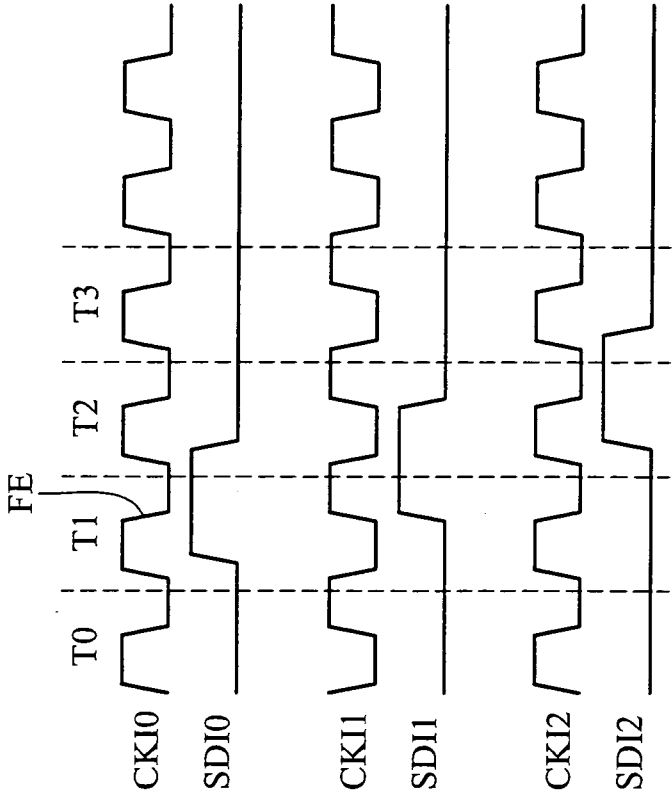
第1A圖



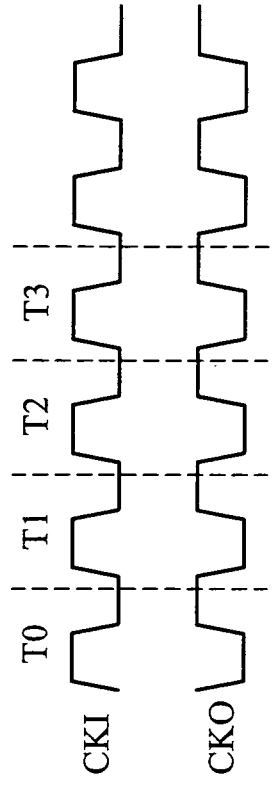
第1B圖



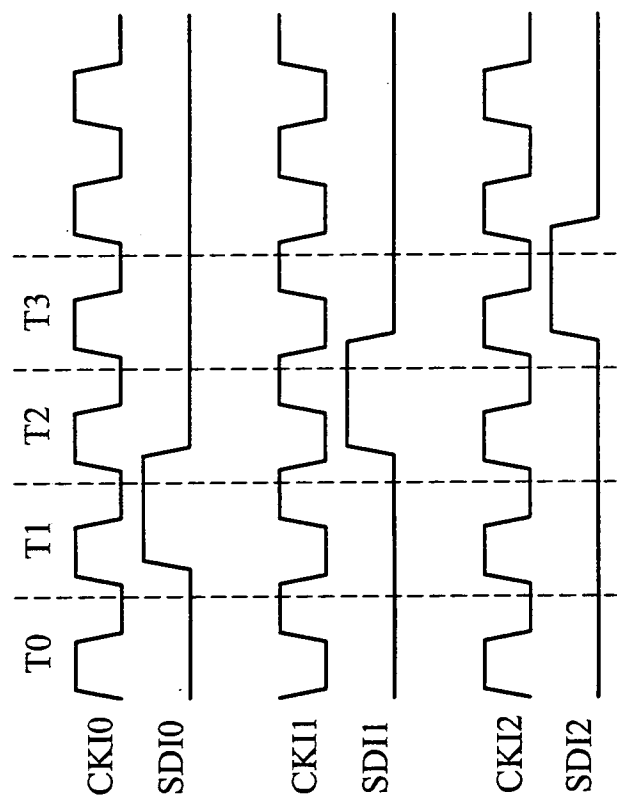
第2圖



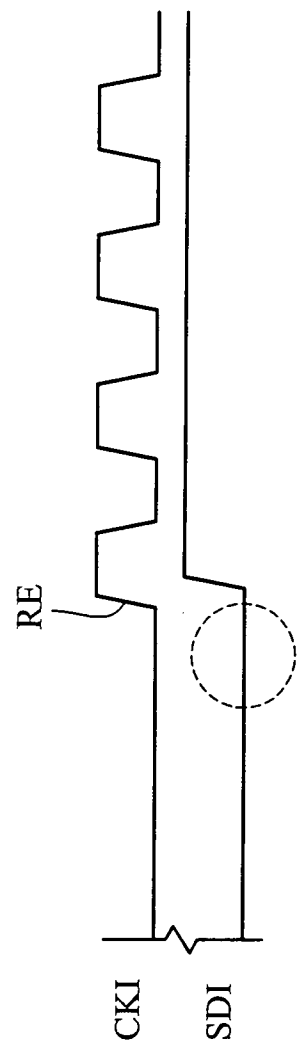
第3B圖



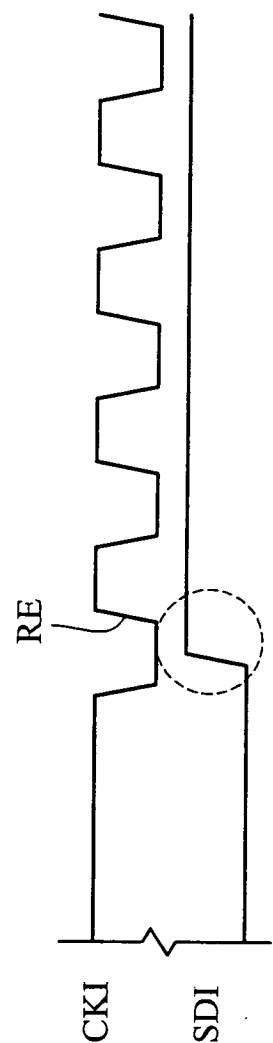
第3A圖



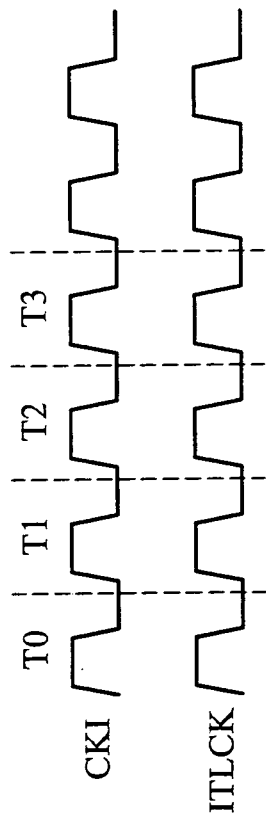
第3C圖



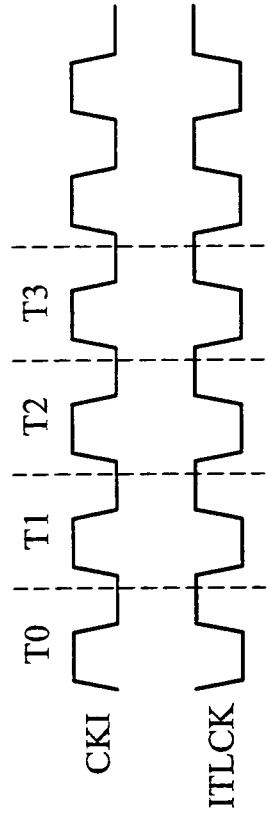
第4A圖



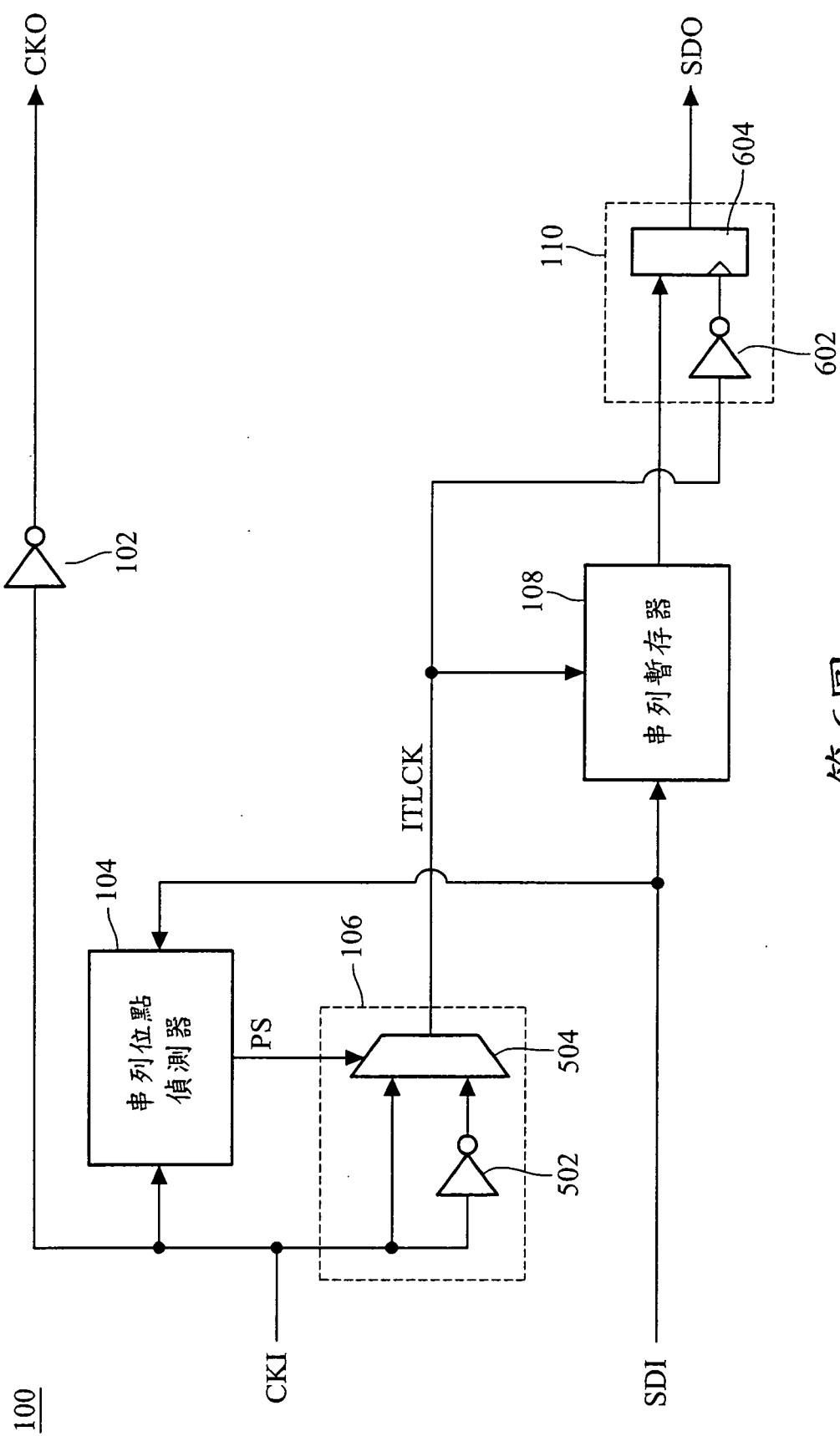
第4B圖



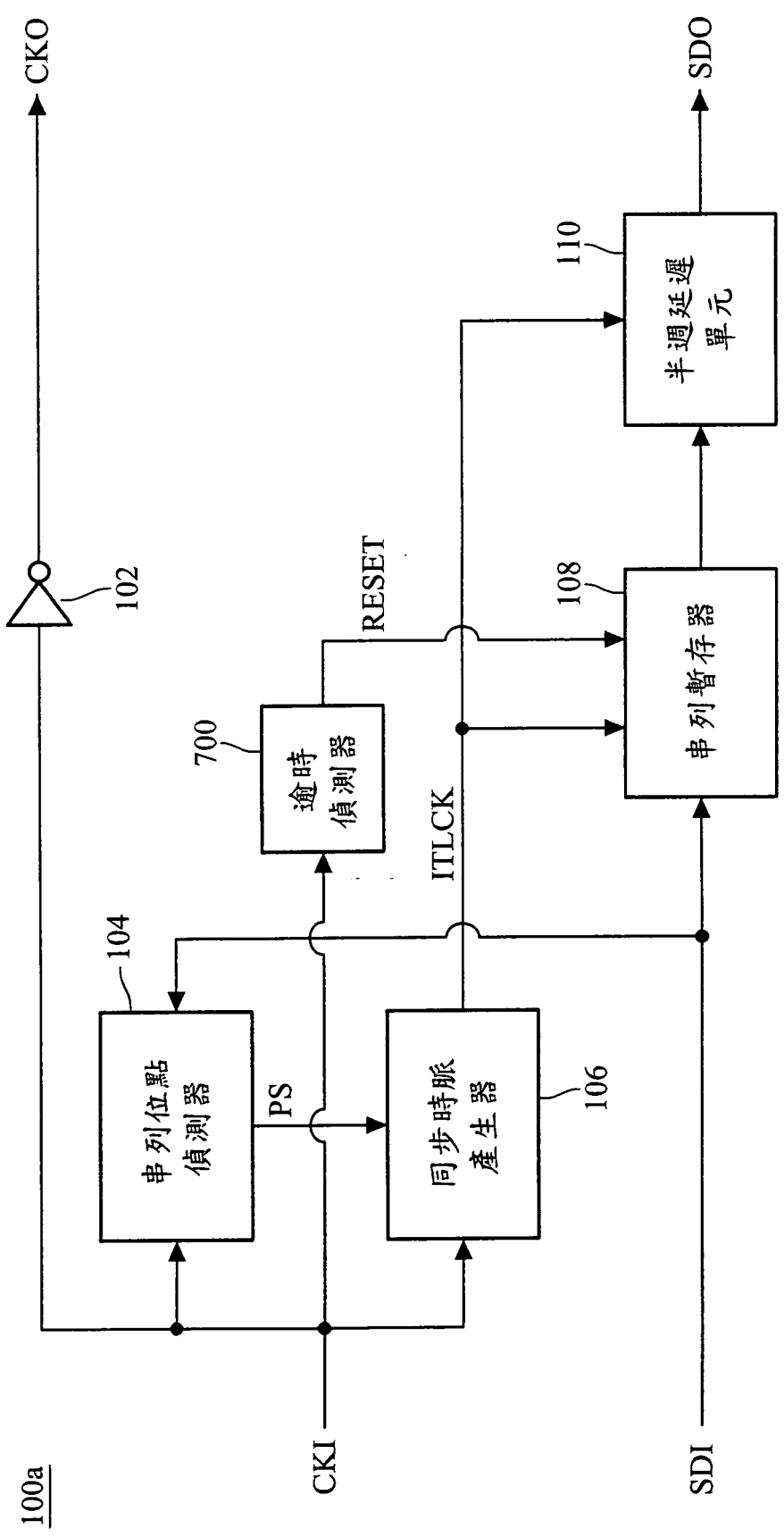
第5A圖



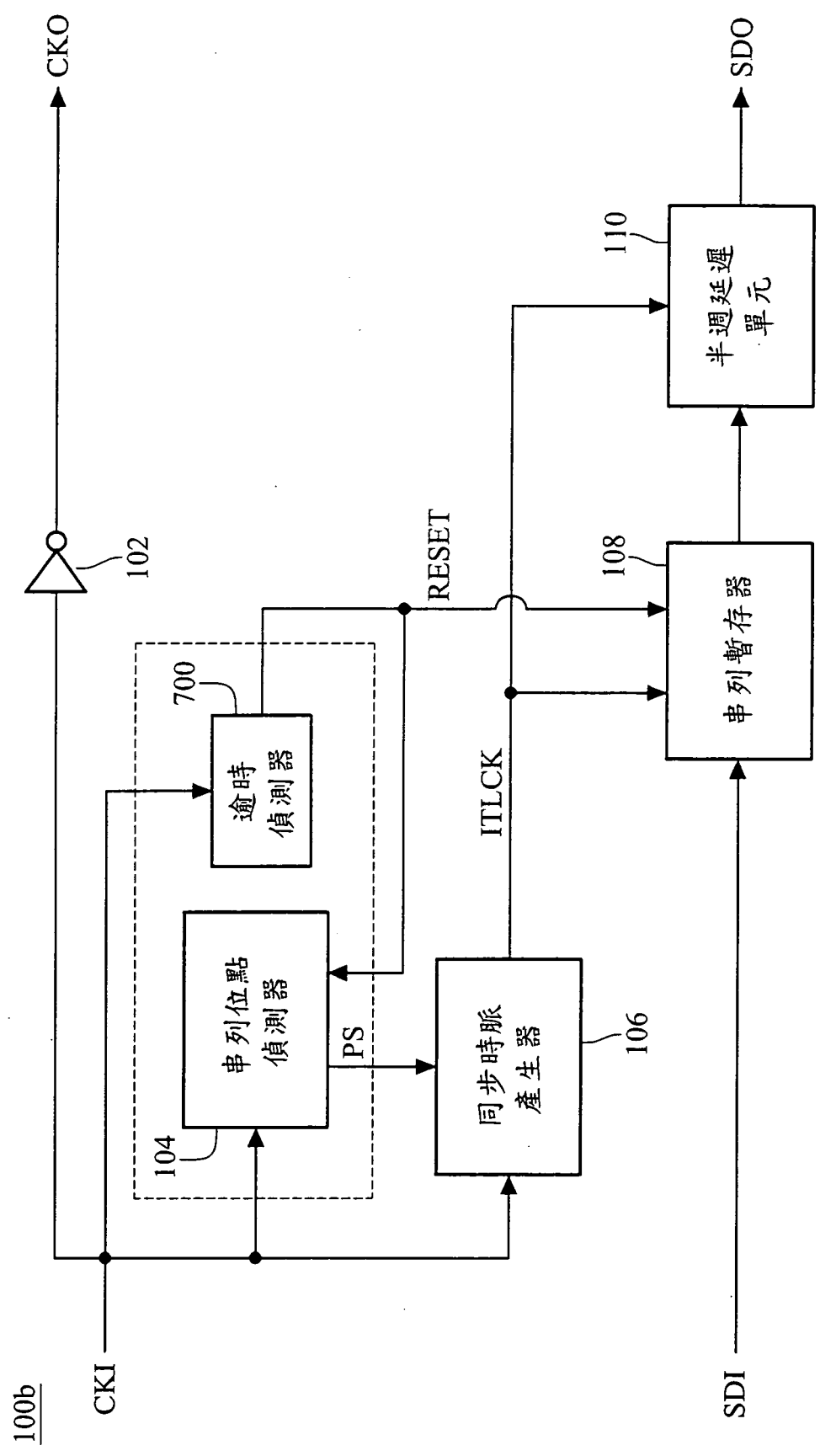
第5B圖



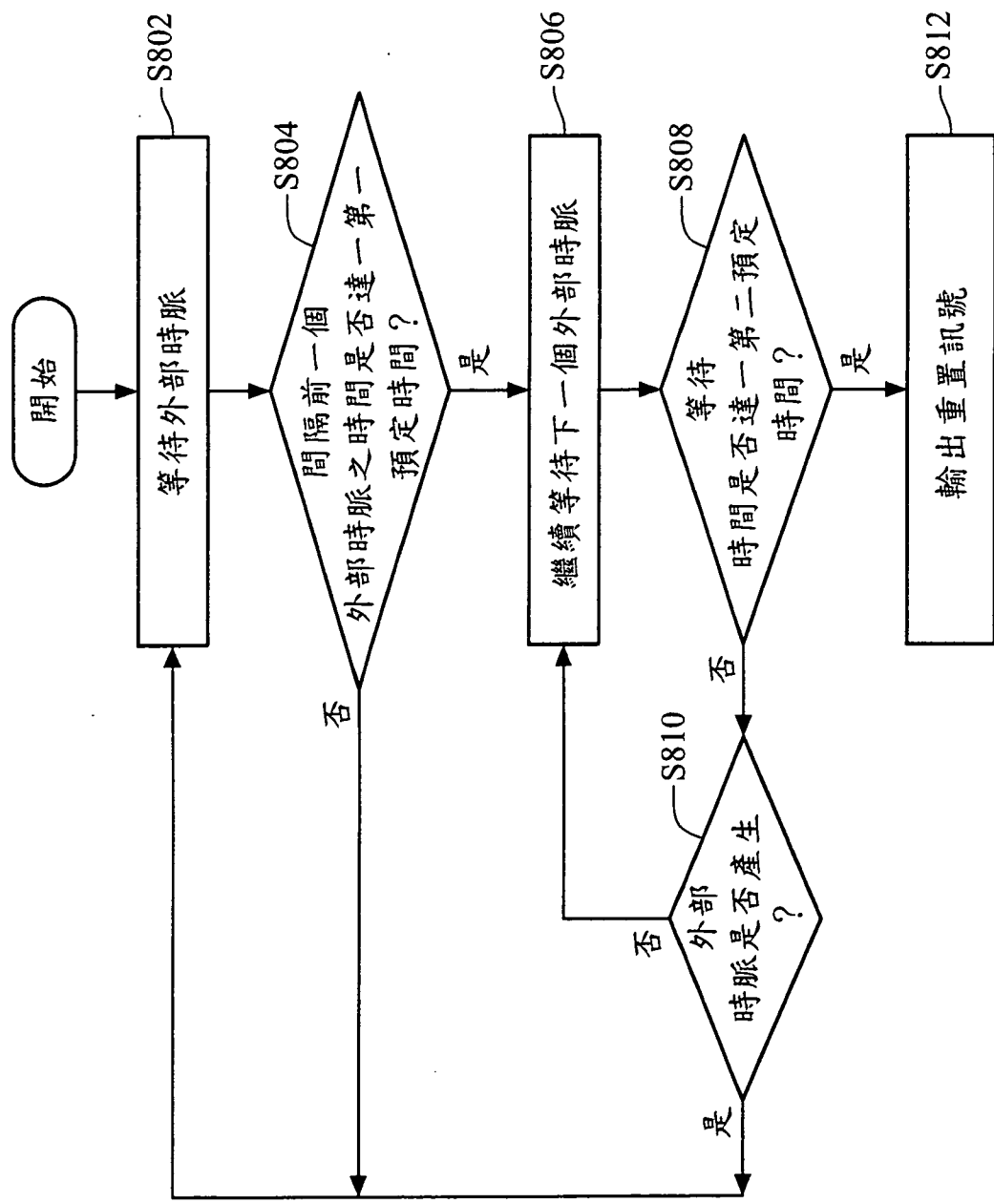
第6圖



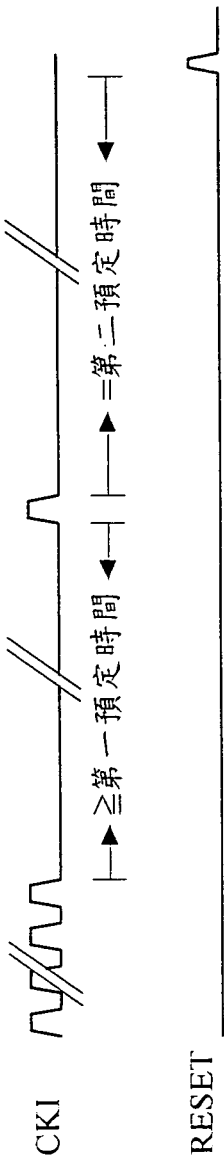
第7A圖



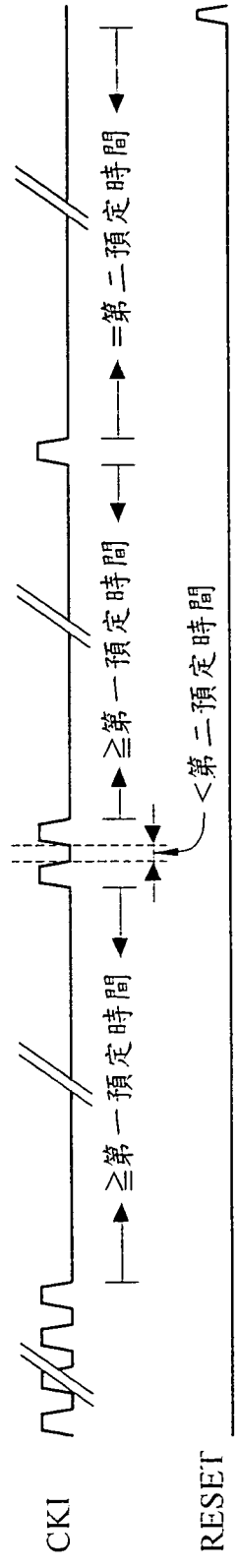
第7B圖



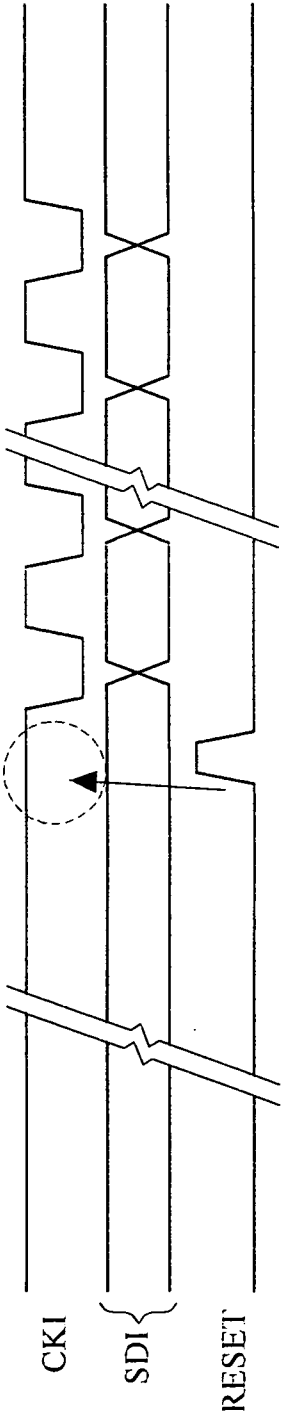
第8A圖



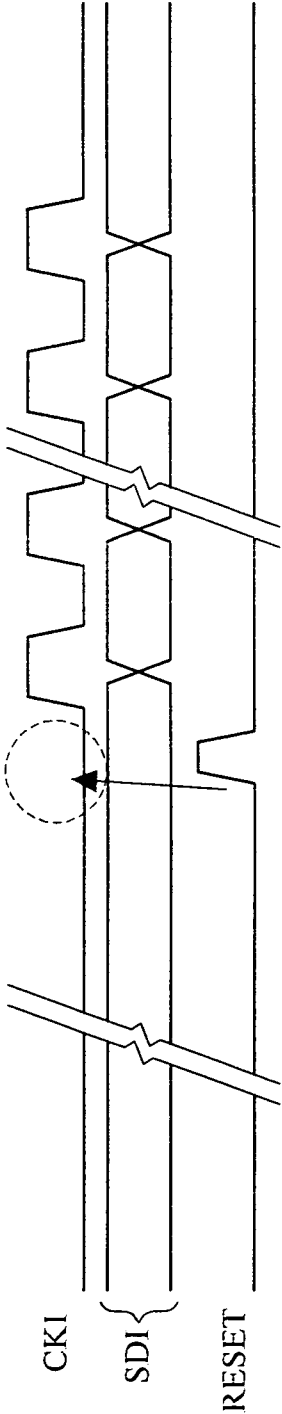
第8B圖



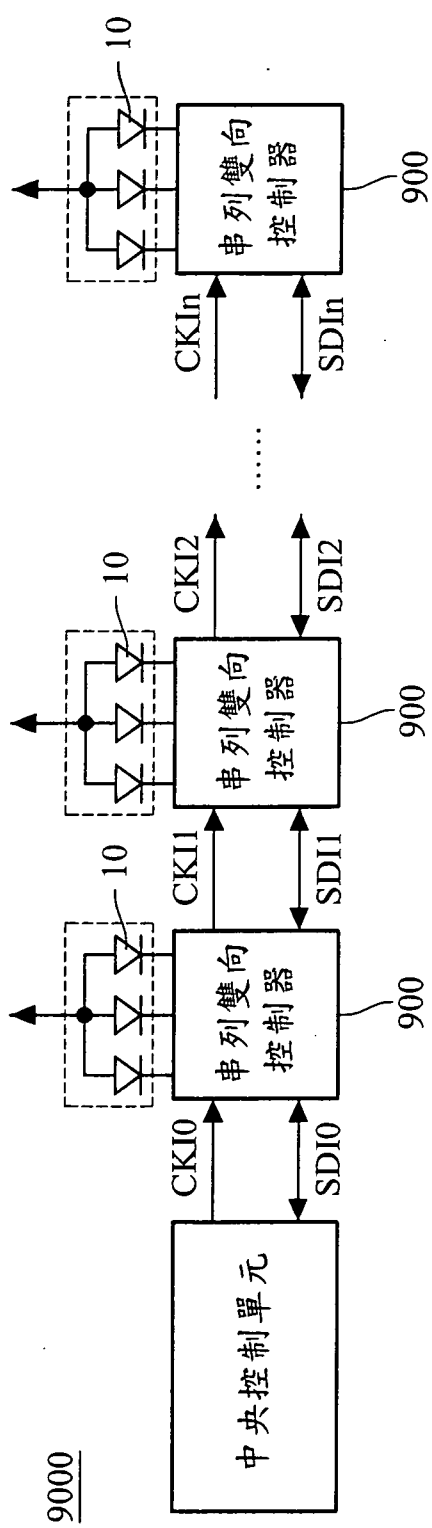
第8C圖



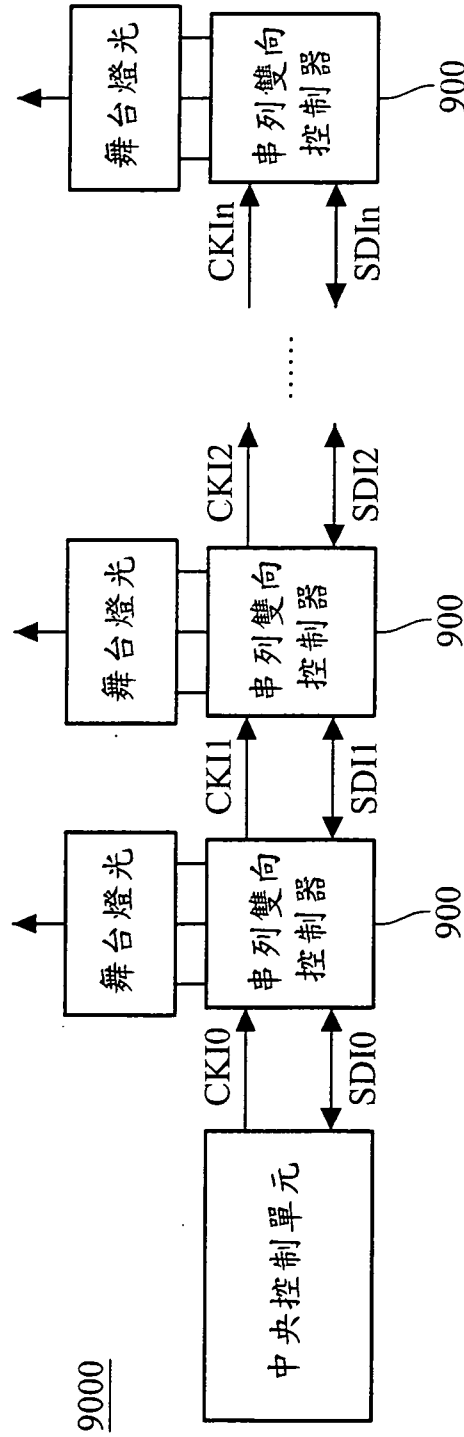
第9A圖



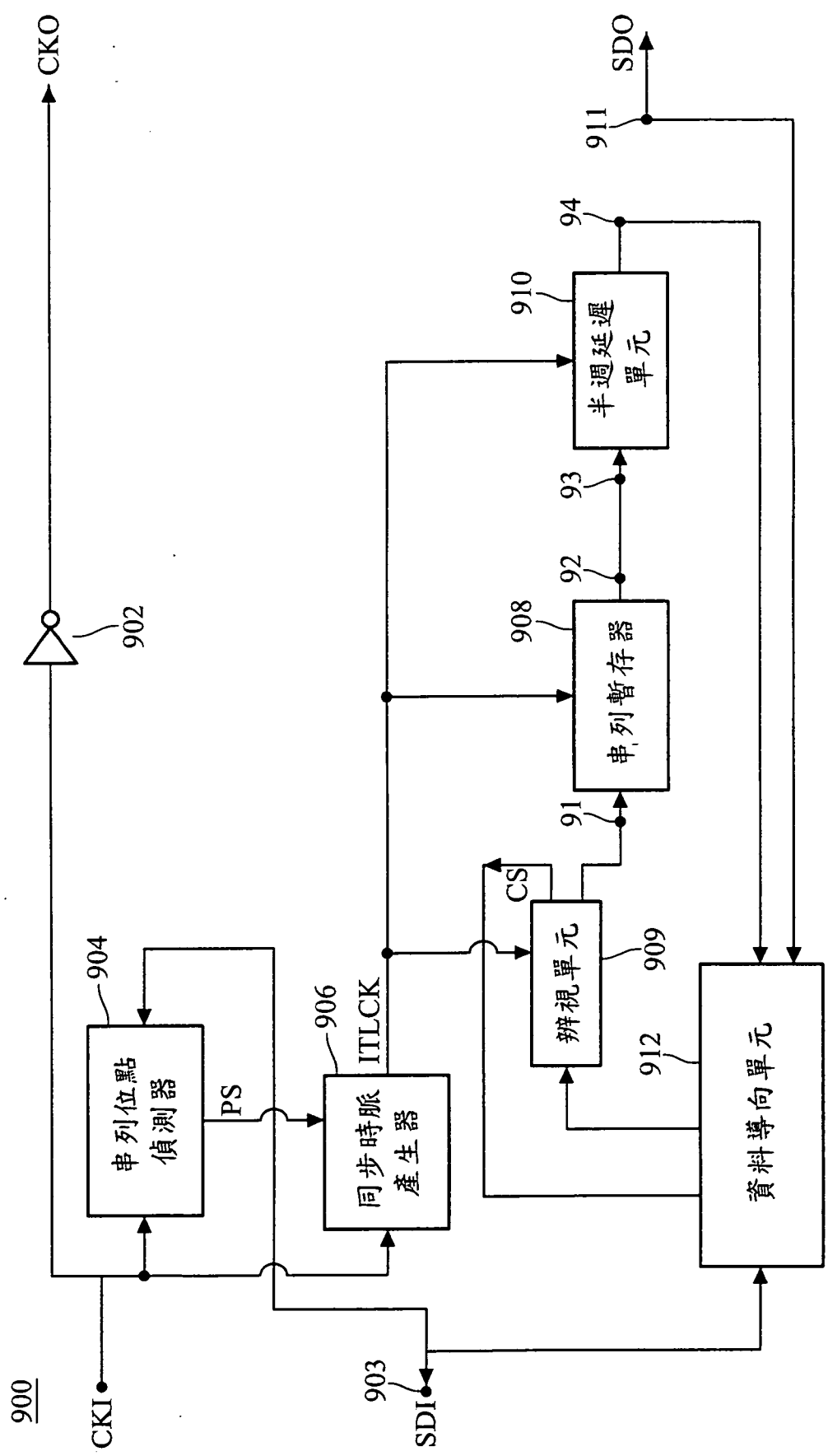
第9B圖



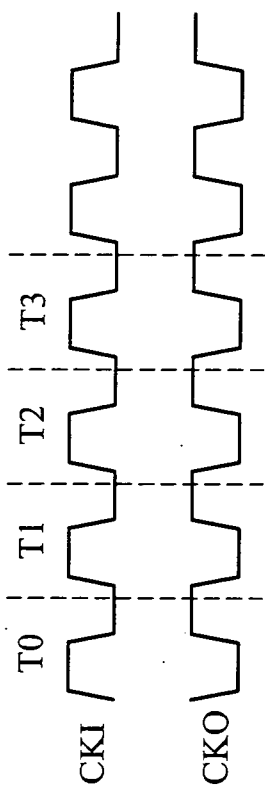
第10A圖



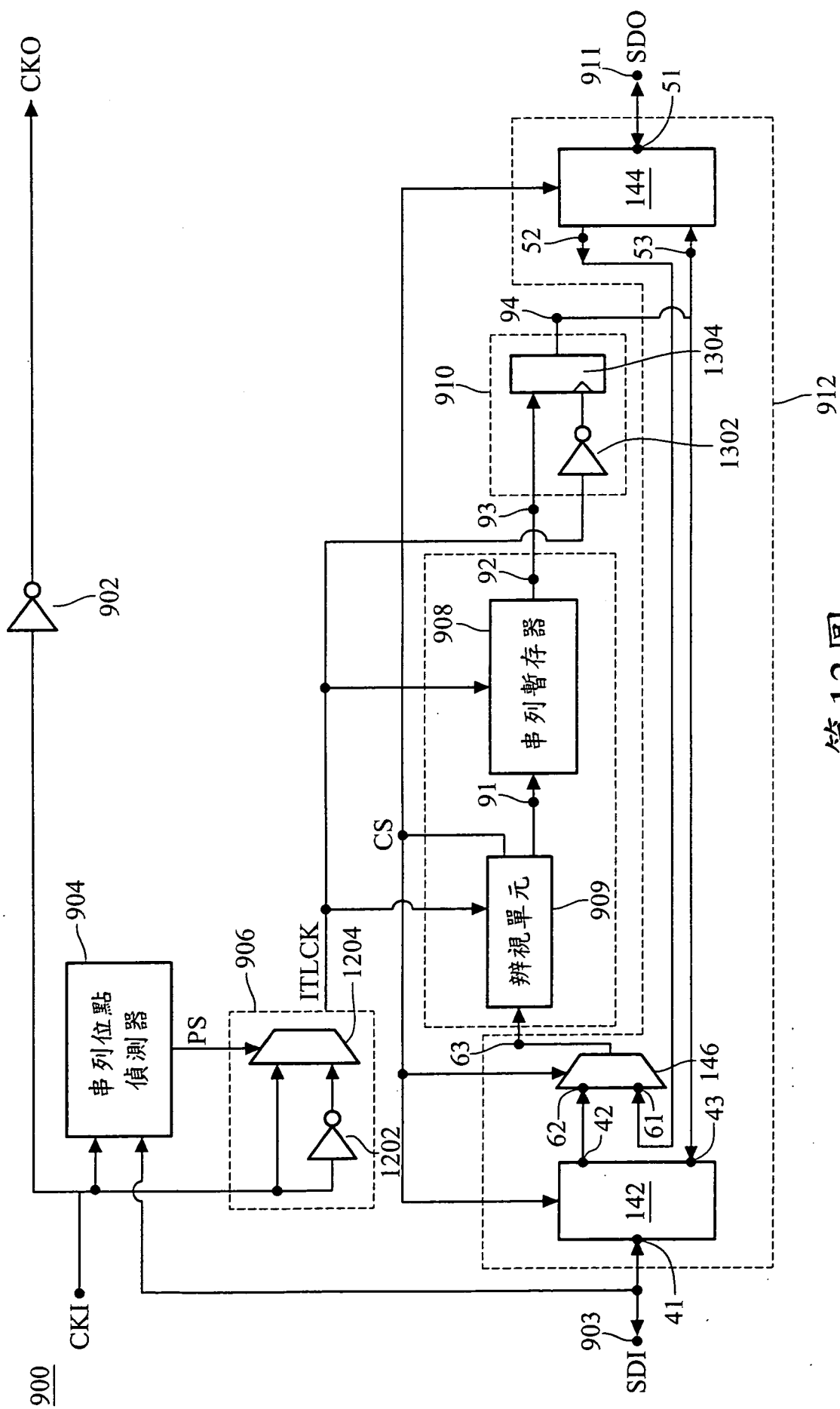
第10B圖



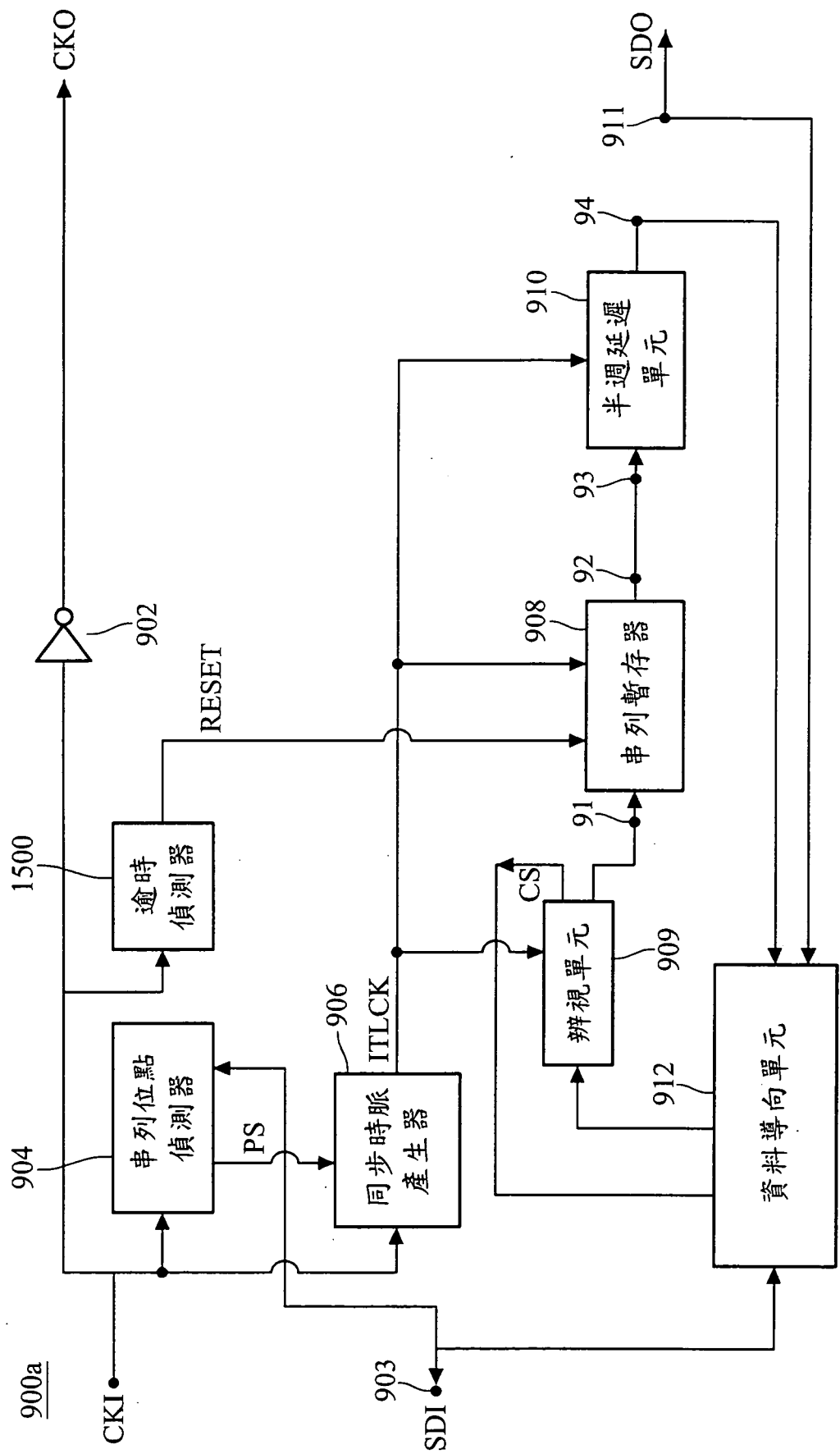
第11圖



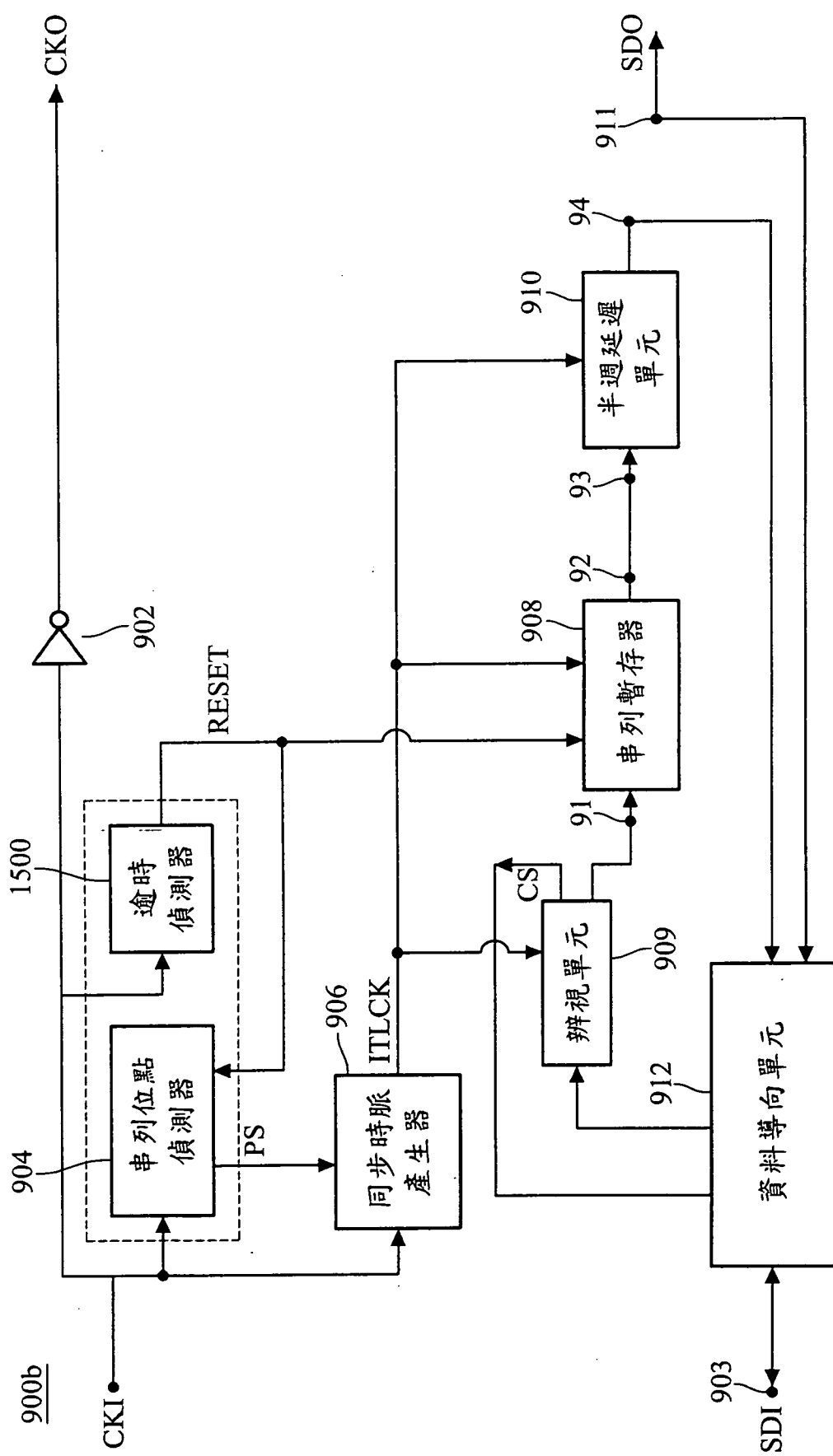
第12圖



第13圖



第14A圖



第14B圖