

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-194301

(P2009-194301A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl.

H01L 21/331 (2006.01)

H01L 29/732 (2006.01)

F I

H01L 29/72

P

テーマコード(参考)

5F003

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2008-35973 (P2008-35973)

(22) 出願日 平成20年2月18日(2008.2.18)

(71) 出願人 00001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 506227884

三洋半導体株式会社

群馬県邑楽郡大泉町坂田一丁目1番1号

(71) 出願人 501464440

三洋半導体製造株式会社

新潟県小千谷市大字千谷甲3000番地

(74) 代理人 100091605

弁理士 岡田 敬

(72) 発明者 三田 恵司

新潟県小千谷市大字千谷甲3000番地

三洋半導体製造株式会社内

最終頁に続く

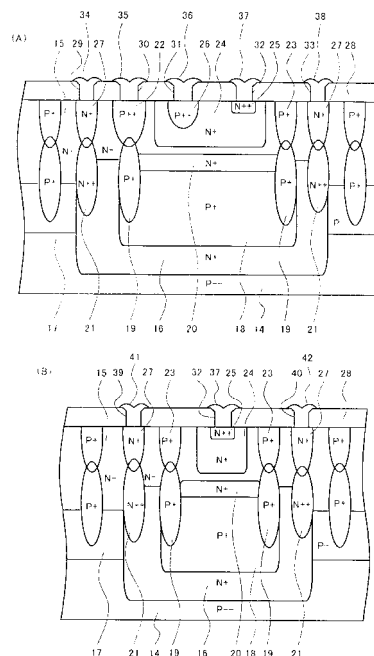
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】従来の半導体装置では、パワー用半導体素子としての縦型PNPトランジスタが飽和領域で用いられることで、基板へのリーク電流が発生するという問題があった。

【解決手段】本発明の半導体装置では、コレクタ領域としてのP型の拡散層22、23が、ベース領域としてのN型の拡散層24の周囲に形成される。そして、P型の拡散層23は、P型の拡散層22よりも不純物濃度が低く、その拡散幅が狭く形成される。この構造により、縦型PNPトランジスタがオン動作した際に、P型の拡散層23が形成された領域が、主に、寄生電流の経路となる。そして、基板14、N型の埋込層16、P型の埋込層18から成る寄生トランジスタのオン動作を抑止し、基板14へのリーク電流が防止される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

少なくとも一導電型のベース拡散層と、前記ベース拡散層と重畳して形成される一導電型のベース導出拡散層と、前記ベース拡散層と重畳して形成される逆導電型のエミッタ拡散層と、前記ベース拡散層の周囲に形成される逆導電型のコレクタ拡散層とが形成される半導体層を有する半導体装置において、

前記コレクタ拡散層は、逆導電型の第 1 の拡散層と、前記第 1 の拡散層よりも不純物濃度が濃く形成される逆導電型の第 2 の拡散層とを有し、

前記第 1 の拡散層は、前記エミッタ拡散層を介さず前記ベース導出拡散層と対向する領域を有することを特徴とする半導体装置。

10

【請求項 2】

前記第 2 の拡散層は、前記第 1 の拡散層よりも拡散幅が広く形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の拡散層と前記ベース導出拡散層との間には、前記エミッタ拡散層が配置されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記半導体層上には絶縁層が形成され、

前記第 2 の拡散層上の絶縁層にのみコレクタ電極と接続するためのコンタクトホールが形成されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

20

【請求項 5】

前記ベース拡散層、前記ベース導出拡散層及び前記エミッタ拡散層は、それぞれ前記第 2 の拡散層に対して対称に配置され、

前記ベース導出拡散層は、前記第 2 の拡散層に対し前記エミッタ拡散層よりも離れた領域に配置されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 6】

前記半導体層には、前記コレクタ拡散層の周囲に形成される一導電型の拡散層と、前記一導電型の拡散層と連結する一導電型の埋込拡散層と、前記コレクタ拡散層と連結する逆導電型の埋込拡散層とが形成され、

前記一導電型の拡散層には前記コレクタ拡散層よりも高い電位が印加され、且つ、前記一導電型の埋込拡散層と前記逆導電型の埋込拡散層とは重畳して形成されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

30

【請求項 7】

少なくとも一導電型のベース拡散層と、前記ベース拡散層と重畳して形成される一導電型のベース導出拡散層と、前記ベース拡散層と重畳して形成される逆導電型のエミッタ拡散層と、前記ベース拡散層の周囲に形成される逆導電型のコレクタ拡散層とが形成される半導体層を有する半導体装置において、

前記コレクタ拡散層は、逆導電型の第 1 の拡散層と、前記第 1 の拡散層よりも拡散幅が広く形成される逆導電型の第 2 の拡散層とを有し、

前記第 1 の拡散層は、前記エミッタ拡散層を介さず前記ベース導出拡散層と対向する領域を有することを特徴とする半導体装置。

40

【請求項 8】

前記第 2 の拡散層と前記ベース導出拡散層との間には、前記エミッタ拡散層が配置されることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記半導体層上には絶縁層が形成され、

前記第 2 の拡散層上の絶縁層にのみコレクタ電極と接続するためのコンタクトホールが形成されることを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記ベース拡散層、前記ベース導出拡散層及び前記エミッタ拡散層は、それぞれ前記第 2

50

の拡散層に対して対称に配置され、

前記ベース導出拡散層は、前記第2の拡散層に対し前記エミッタ拡散層よりも離れた領域に配置されることを特徴とする請求項7に記載の半導体装置。

【請求項11】

前記半導体層には、前記コレクタ拡散層の周囲に形成される一導電型の拡散層と、前記一導電型の拡散層と連結する一導電型の埋込拡散層と、前記コレクタ拡散層と連結する逆導電型の埋込拡散層とが形成され、

前記一導電型の拡散層には前記コレクタ拡散層よりも高い電位が印加され、且つ、前記一導電型の埋込拡散層と前記逆導電型の埋込拡散層とは重畳して形成されることを特徴とする請求項7に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー用半導体素子として用いられる縦型PNPトランジスタの基板へのリーク電流を低減する半導体装置に関する。

【背景技術】

【0002】

従来の半導体装置の一実施例として、下記の縦型PNPトランジスタが知られている。そして、図8は、従来の縦型PNPトランジスタを説明するための断面図である。

【0003】

図8に示す如く、P型のシリコン基板111上には、N型のエピタキシャル層112が形成される。シリコン基板111とエピタキシャル層112には、N型の埋込拡散層（以下、埋込層と呼ぶ。）113とP型の埋込層114とが重畳して形成される。そして、エピタキシャル層112には、コレクタ領域としてのP型の拡散層115、116及びベース領域としてのN型の拡散層117が形成される。P型の拡散層115、116は、P型の埋込層114と連結する。そして、N型の拡散層117には、エミッタ領域としてのP型の拡散層118及びベース導出領域としてのN型の拡散層119が形成される。

【0004】

そして、エピタキシャル層112上には、酸化膜120が形成される。コンタクトホール121、122、123、124、125が、酸化膜120に形成される。コンタクトホール121～125を介して、電極126、コレクタ電極127、128、エミッタ電極129及びベース電極130が形成される（例えば、特許文献1参照。）。

【特許文献1】特開2004-207702号公報（第6-7頁、第2図）

【発明の開示】

【発明が解決しようとする課題】

【0005】

図8に示す縦型PNPトランジスタを飽和領域にて使用する場合に発生する問題を説明する。例えば、エミッタ電極129に電源電圧（13.0V）が印加され、コレクタ電極127、128に電源電圧とほぼ同等な電圧（電源電圧との電位差が0.3V以下の電圧（12.9V））が印加され、ベース電極130には所望な電圧が印加される。尚、P型の拡散層115、116の外側に位置するエピタキシャル層112と接続する電極126には、電源電圧（13.0V）が印加される。

【0006】

先ず、ベース電極130に12.3Vを印加し、エミッタ-ベース領域間が順方向電圧となることで、縦型PNPトランジスタがオン動作する。そして、ベース電極130に印加される電圧（12.1V）を下げ、ベース電流を増大させると、N型の埋込層113、P型の埋込層114及びN型の拡散層117から成る寄生NPNTランジスタTr11（以下、寄生Tr11と呼ぶ。）がオン動作する。このとき、ベース領域としてのP型の埋込層114には12.9Vが印加され、エミッタ領域としてのN型の拡散層117には12.1Vが印加され、コレクタ領域としてのN型の埋込層113には13.0Vが印加さ

10

20

30

40

50

れる。

【0007】

一方、N型の拡散層131、132（P型の拡散層115の外側に位置するエピタキシャル層112を含む）、P型の拡散層115及びN型の拡散層117から成る寄生NPNトランジスタTr12（以下、寄生Tr12と呼ぶ。）にも、実質、寄生Tr11と同様な電圧が印加される。しかしながら、寄生Tr12では、トランジスタ動作を阻害する2つの要因が存在する。第1の要因は以下の通りである。N型の拡散層119の周囲にP型の拡散層118が配置されることで、寄生Tr12のエミッタ領域での寄生抵抗が高くなる。そして、エミッタ領域とベース領域とのPN接合領域に印加される電圧が低下することである。第2の要因は以下の通りである。P型の拡散層115は、縦型PNPトランジスタのコレクタ領域として用いられるため、その不純物濃度は高くなる。そして、寄生Tr12のエミッタ領域としてのN型の拡散層117から注入された電子は、ベース領域としてのP型の拡散層115内の正孔と再結合する確立が高いことである。こうした要因により、寄生Tr11が、寄生Tr12よりも優先的にオン動作する。

10

【0008】

次に、寄生Tr11がオン動作することで、N型の埋込層113では電位降下（13.0Vから11.5Vへと電位降下）が起こる。そして、P型の半導体基板111、N型の埋込層113及びP型の埋込層114から成る寄生PNPトランジスタTr13（以下、寄生Tr13と呼ぶ。）がオン動作する。このとき、ベース領域としてのN型の埋込層113には11.5Vが印加され、エミッタ領域としてのP型の埋込層114には12.9Vが印加され、コレクタ領域としてのP型の半導体基板111には0Vが印加される。その結果、寄生Tr13は、オン動作し続ける。

20

【0009】

つまり、縦型PNPトランジスタを飽和領域にて使用することで、電源ラインからグラウンドラインへと電流がリークし、グラウンド電位に設定された半導体基板111の電位が変動してしまう。そして、同一の半導体基板111に形成された周辺回路のラッチアップによる誤動作を招く恐れがある。その結果、高出力用回路では、図8に示す構造の縦型PNPトランジスタは、上記リーク電流により使用し難いという問題がある。

【課題を解決するための手段】

【0010】

本発明の半導体装置は、上述した各事情に鑑みて成されたものであり、少なくとも一導電型のベース拡散層と、前記ベース拡散層と重畳して形成される一導電型のベース導出拡散層と、前記ベース拡散層と重畳して形成される逆導電型のエミッタ拡散層と、前記ベース拡散層の周囲に形成される逆導電型のコレクタ拡散層とが形成される半導体層を有する半導体装置において、前記コレクタ拡散層は、逆導電型の第1の拡散層と、前記第1の拡散層よりも不純物濃度が濃く形成される逆導電型の第2の拡散層とを有し、前記第1の拡散層は、前記エミッタ拡散層を介さず前記ベース導出拡散層と対向する領域を有することを特徴とする。従って、本発明では、コレクタ拡散層が、不純物濃度及び拡散幅の異なる2つの拡散層から構成されることで、半導体層表面近傍で寄生トランジスタをオン動作させ、基板へのリーク電流が防止される。

40

【発明の効果】

【0011】

本発明では、コレクタ拡散層が、ベース拡散層の周囲に形成され、コレクタ拡散層は、不純物濃度及び拡散幅の異なる2つの拡散層から構成される。この構造により、寄生電流が半導体層表面近傍を流れ、基板を含む寄生トランジスタのオン動作を防止し、基板へのリーク電流が防止される。

【0012】

また、本発明では、縦型PNPトランジスタのコレクタ領域として用いる拡散層が、エミッタ領域として用いる拡散層の近傍に配置されることで、寄生抵抗が低減され、縦型PNPトランジスタの電流能力が向上される。

50

【 0 0 1 3 】

また、本発明では、縦型 P N P トランジスタのコレクタ領域として用いる拡散層上のみコンタクトホールが配置される。この構造により、縦型 P N P トランジスタの寄生抵抗を低減させつつ、半導体層表面近傍に寄生電流を発生させる。

【 0 0 1 4 】

また、本発明では、縦型 P N P トランジスタのコレクタ領域として用いる拡散層において、ベース導出領域としての拡散層の周囲に寄生トランジスタとして用いる拡散層がコの字形状に配置される。この構造により、寄生電流が、優先的に半導体層表面近傍を流れ、基板へのリーク電流が防止される。

【 0 0 1 5 】

また、本発明では、電源電圧が印加された N 型の拡散層により、P 型の半導体基板とコレクタ拡散層とを分離することで、基板へのリーク電流が防止される。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下に、本発明の一実施の形態である半導体装置について、図 1 ~ 図 4 を参照し、詳細に説明する。図 1 は、本実施の形態における縦型 P N P トランジスタを説明するための平面図である。図 2 (A) は、本実施の形態における縦型 P N P トランジスタを説明するための図であり、図 1 に示す A - A 線方向の断面図である。図 2 (B) は、本実施の形態における縦型 P N P トランジスタを説明するための図であり、図 1 に示す B - B 線方向の断面図である。図 3 (A) は、本実施の形態における縦型 P N P トランジスタが用いられる回路を説明するための回路図である。図 3 (B) は、本実施の形態における縦型 P N P トランジスタ内の寄生トランジスタ動作を説明するための断面図である。図 4 は、本実施の形態における縦型 P N P トランジスタでの基板へのリーク電流を説明するための図である。

【 0 0 1 7 】

図 1 に示す如く、実線 1 は、分離領域の端部を示し、実線 1 により囲まれた領域が縦型 P N P トランジスタの形成領域となる。点線 2、3 により囲まれる領域は、分離領域とコレクタ領域との間のエピタキシャル層に形成される N 型の拡散層を示す。実線 4 により囲まれる領域及び実線 4、一点鎖線 5、6 により囲まれる領域は、コレクタ領域としての P 型の拡散層を示す。二点鎖線 7 により囲まれる領域は、ベース領域としての N 型の拡散層を示す。実線 8 により囲まれる領域は、エミッタ領域としての P 型の拡散層を示す。そして、実線 9 により囲まれる領域は、ベース導出領域としての N 型の拡散層を示す。

【 0 0 1 8 】

図示したように、コレクタ領域としての P 型の拡散層は、ベース領域としての N 型の拡散層（二点鎖線 7 により囲まれる領域）を囲むように配置される。そして、コレクタ領域では、P 型の拡散層（実線 4、一点鎖線 5、6 により囲まれる領域）の拡散幅 W_1 、 W_2 、 W_3 が、P 型の拡散層（実線 4 により囲まれる領域）の拡散幅 W_4 よりも狭くなる。更に、P 型の拡散層（実線 4、一点鎖線 5、6 により囲まれる領域）が、N 型の拡散層（二点鎖線 7 により囲まれる領域）の 3 辺 10、11、12 に対応して配置され、P 型の拡散層（実線 4 により囲まれる領域）が、N 型の拡散層（二点鎖線 7 により囲まれる領域）の 1 辺 13 に対応して配置される。そして、エミッタ領域としての P 型の拡散層（実線 8 により囲まれる領域）は、上記 1 辺 13 を介して P 型の拡散層（実線 4 により囲まれる領域）と対峙するように配置される。この構造により、ベース導出領域としての N 型の拡散層（実線 9 により囲まれる領域）と P 型の拡散層（実線 4、一点鎖線 5、6 により囲まれる領域）とが、上記 3 辺 10 ~ 12 を介して対峙する領域が増大される。詳細は後述するが、縦型 P N P トランジスタがオン動作することで、寄生 N P N トランジスタ T_{r1} （以下、寄生 T_{r1} と呼ぶ。）（図 3 (B) 参照）がオン動作する。そして、エピタキシャル層 15（図 2 (A) 参照）表面近傍に位置する P 型の拡散層（実線 4、一点鎖線 5、6 により囲まれる領域）が、主に、寄生 T_{r1} の電流経路となる。

【 0 0 1 9 】

面側へと這い上がる。一方、N型の埋込層21は、N型の埋込層16の端部に一環状に形成される。そして、N型の埋込層20の周囲には、P型の埋込層19が配置され、N型の埋込層20とP型の埋込層19とは一部領域が重畳する。また、N型の埋込層21は、P型の埋込層18、19の周囲に配置される。

【0028】

この構造により、N型の埋込層20の形成領域では、P型の埋込層18の這い上がり幅を1.5~3.5 μm 程度抑制し、所望のベース領域幅を確保した縦型PNPトランジスタが形成される。所望のベース領域幅を確保することで縦型PNPトランジスタの耐圧性を維持しつつ、エピタキシャル層15の膜厚を薄くすることも可能である。そして、デバイスサイズ(厚み方向サイズ)の縮小が実現される。

10

【0029】

P型の拡散層22、23は、例えば、イオン注入法により、エピタキシャル層15に形成される。P型の拡散層22、23は、P型の埋込層19と連結する。図示したように、P型の拡散層22の拡散幅は、P型の拡散層23の拡散幅よりも広く、P型の拡散層22の不純物濃度は、P型の拡散層23の不純物濃度よりも高くなる。具体的には、P型の拡散層22の表面近傍では、その拡散幅W4(図1参照)が14 μm 程度であり、その不純物濃度が $5.0 \times 10^{18} \sim 2.0 \times 10^{20} / \text{cm}^3$ 程度である。また、P型の拡散層23の表面近傍では、その拡散幅W2(図1参照)が7 μm 程度であり、その不純物濃度が $5.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ 程度である。尚、P型の拡散層22は、図1の実線4により囲まれる領域に対応し、P型の拡散層23は、図1の実線4、一点鎖線5、6により囲まれる領域に対応する。

20

【0030】

N型の拡散層24、25は、エピタキシャル層15に形成される。N型の拡散層25は、ベース導出領域として用いられる。N型の拡散層25を形成することで、コンタクト抵抗が低減される。尚、N型の拡散層24は、図1の二点鎖線7により囲まれる領域に対応し、N型の拡散層25は、図1の実線9により囲まれる領域に対応する。

【0031】

P型の拡散層26は、N型の拡散層24に形成される。尚、P型の拡散層26は、図1の実線8により囲まれる領域に対応する。

【0032】

N型の拡散層27は、エピタキシャル層15に形成される。N型の拡散層27は、P型の拡散層22、23を取り囲むように一環状に形成される。N型の拡散層27とN型の埋込層21とは連結する。つまり、N型の拡散層27が、コレクタ領域であるP型の拡散層22、23の外周に配置されることで、エピタキシャル層15表面が反転し、コレクタ電流が分離領域を介して基板14へと流れることを防止する。尚、N型の拡散層27は、図1の点線2、3により囲まれる領域に対応する。

30

【0033】

絶縁層28が、エピタキシャル層15上に形成される。そして、例えば、 CHF_3 または CF_4 系のガスを用いたドライエッチングにより、絶縁層28にコンタクトホール29~33が形成される。

40

【0034】

コンタクトホール29~33には、アルミ合金、例えば、Al-Si膜が選択的に形成され、電極34、38、コレクタ電極35、エミッタ電極36及びベース電極37が形成される。

【0035】

図2(B)では、図1に示すB-B線方向の断面図を示し、図2(A)を用いて説明した縦型PNPトランジスタの構成要素には同一の符番を付し、その説明を割愛する。そして、図2(B)に示す断面構造では、ベース領域としてのN型の拡散層24とコレクタ領域としてのP型の拡散層23との間にエミッタ領域としてのP型の拡散層26(図2(A)参照)が配置されない領域を有する構造が、図2(A)に示す断面構造と異なる。

50

【0036】

縦型PNPトランジスタでは、P型の拡散層23とN型の拡散層24との間に、エミッタ領域としてのP型の拡散層26（図2（A）参照）が配置されない領域を有する。詳細は後述するが、この領域において、縦型PNPトランジスタがオン動作する際に、N型の拡散層27（P型の拡散層23の外側に位置するN型のエピタキシャル層15を含む）、P型の拡散層23及びN型の拡散層24、25（P型の拡散層23の内側に位置するN型のエピタキシャル層15を含む）により成る寄生Tr1（図3（B）参照）を積極的にオン動作させることで、基板14へのリーク電流を防止できる。

【0037】

尚、絶縁層28には、例えば、 CHF_3 または CF_4 系のガスを用いたドライエッチングにより、コンタクトホール39、40が形成される。そして、コンタクトホール39、40には、アルミ合金、例えば、Al-Si膜が選択的に形成され、N型の拡散層27と接続する電極41、42が形成される。

【0038】

図3（A）に示す如く、図1及び図2を用いて説明した縦型PNPトランジスタが、飽和領域で用いられる回路について説明する。尚、図3（B）を、適宜、参照し、縦型PNPトランジスタ及び縦型PNPトランジスタ内で駆動する寄生トランジスタについて説明する。そして、図3（B）は、図2（A）と同様に、図1のA-A線方向の断面を図示している。

【0039】

図示したように、縦型PNPトランジスタのエミッタ電極36には、電源電圧V1（例えば、13.0V）が印加される。コレクタ電極35には、抵抗R1（例えば、12k）により電圧調整され、電源電圧V1とほぼ同等な電圧（電源電圧V1との電位差が0.3V以下の電圧（例えば、12.9V））が印加される。そして、ベース電極37には、可変電圧V2により所望の電圧（例えば、12.3V）が印加され、縦型PNPトランジスタがオン動作する。尚、P型の拡散層22、23の外側に位置するエピタキシャル層15と接続する電極34、38には、電源電圧V1が印加される。

【0040】

次に、縦型PNPトランジスタがオン動作し、ベース電極37に印加される電圧（12.1V）を下げ、ベース電流を増大させると、N型の拡散層27（P型の拡散層23の外側に位置するN型のエピタキシャル層15を含む）、P型の拡散層23及びN型の拡散層24、25（P型の拡散層23の内側に位置するN型のエピタキシャル層15を含む）から成る寄生Tr1がオン動作する。

【0041】

このとき、N型の埋込層16、P型の埋込層18及びN型の埋込層20から成る寄生PNPトランジスタTr2（以下、寄生Tr2と呼ぶ。）にも寄生Tr1とほぼ同等な電圧が印加される。しかしながら、寄生Tr1は、寄生Tr2よりもベース幅が狭く、ベース領域での不純物濃度も低いため、ベース電流が低減されることで、電流増幅率（hFE）が高くなる。この構造により、寄生Tr1がオン動作し、P型の拡散層23が配置されるエピタキシャル層15表面近傍領域が、主に、寄生Tr1の電流経路となる。

【0042】

同様に、N型の拡散層27（P型の拡散層22の外側に位置するN型のエピタキシャル層15を含む）、P型の拡散層22及びN型の拡散層24、25（P型の拡散層22の内側に位置するN型のエピタキシャル層15を含む）から成る寄生PNPトランジスタTr3（以下、寄生Tr3と呼ぶ。）にも寄生Tr1とほぼ同等な電圧が印加される。図1にて上述したようにP型の拡散層22の拡散幅は、P型の拡散層23の拡散幅よりも広く、P型の拡散層22の不純物濃度は、P型の拡散層23の不純物濃度よりも高い。そのため、寄生Tr3では、エミッタ領域としてのN型の拡散層27から注入された電子が、ベース領域としてのP型の拡散層22内の正孔と再結合する確立が高くなる。そして、寄生Tr3は、寄生Tr1よりもベース電流が増大し、寄生Tr3は、寄生Tr1よりも電流増

10

20

30

40

50

幅率 (h F E) が低くなる。この構造により、寄生 T r 1 がオン動作し、P 型の拡散層 2 3 が配置されるエピタキシャル層 1 6 表面近傍領域が、主に、寄生電流経路となる。

【 0 0 4 3 】

更に、寄生 T r 3 のエミッタ電極は、縦型 P N P トランジスタのベース電極 3 7 となるが、N 型の拡散層 2 5 と P 型の拡散層 2 2 との間には、P 型の拡散層 2 6 が配置される。そのため、寄生 T r 3 のエミッタ領域での寄生抵抗が高くなり、エミッタ領域とベース領域との P N 接合領域に印加される電圧が低下する。そして、寄生 T r 1 が、寄生 T r 3 よりも優先的にオン動作することとなる。その一方で、縦型 P N P トランジスタでは、主に、P 型の拡散層 2 2 が電流経路となることで、コレクタ領域でのコンタクト抵抗値の低減、寄生抵抗値の低減を実現できる。

10

【 0 0 4 4 】

つまり、寄生 T r 1 では、P 型の拡散層 2 3 と N 型の拡散層 2 5 との間に P 型の拡散層 2 6 が配置されない領域を有する。そして、P 型の拡散層 2 3 と N 型の拡散層 2 5 とが対峙する領域が、主に、寄生電流の経路となる。上述した P 型の拡散層 2 3 の不純物濃度、その拡散形状及び配置領域により、寄生 T r 1 は、寄生 T r 2、T r 3 よりも優先的にオン動作する。

【 0 0 4 5 】

上述したように、縦型 P N P トランジスタがオン動作する際、寄生 T r 1 がオン動作し、寄生 T r 2 がオン動作することを抑止できる。そして、寄生 T r 2 の N 型の埋込層 1 6 に電流が流れることを抑止し、N 型の埋込層 1 6 での電位降下が抑止できる。その結果、P 型のシリコン基板 1 4、N 型の埋込層 1 6 及び P 型の埋込層 1 8 から成る寄生 P N P トランジスタ T r 4 (以下、寄生 T r 4 と呼ぶ。) では、ベース領域としての N 型の埋込層 1 6 とエミッタ領域としての P 型の埋込層 1 8 との P N 接合領域に、この接合領域が動作する順方向電圧が印加されることがない。そして、寄生 T r 4 のオン動作が抑止されることで、基板 1 4 へのリーク電流を防止できる。つまり、電源ラインからグラウンドラインへと電流がリークすることを防止し、グラウンド電位に設定された基板 1 4 の電位が変動することを防止できる。そして、同一の基板 1 4 に形成された周辺回路のラッチアップによる誤動作が防止される。

20

【 0 0 4 6 】

図 4 では、実線で示す本実施の形態の縦型 P N P トランジスタと点線で示す従来の実施の形態の縦型 P N P トランジスタにおいて、それぞれ飽和領域にて駆動させた場合の基板へのリーク電流を示す。そして、横軸は、縦型 P N P トランジスタのベース電流を示し、縦軸は、縦型 P N P トランジスタでの基板へのリーク電流を示す。そして、それぞれの縦型 P N P トランジスタサイズや印加される電圧等の測定条件は、実質、同等である。

30

【 0 0 4 7 】

尚、本実施の形態の縦型 P N P トランジスタの構造は、図 1 ~ 図 3 を用いて上述した構造である。一方、従来の実施の形態の縦型 P N P トランジスタの構造は、図 8 を用いて説明したように、エミッタ領域としての P 型拡散層 1 1 8 が、ベース導出領域としての N 型の拡散層 1 1 9 の周囲を一環状に囲む構造である。更に、コレクタ領域としての P 型の拡散層 1 1 5、1 1 6 の不純物濃度及び拡散幅が、実質、同一となる構造である。

40

【 0 0 4 8 】

図示したように、本実施の形態の縦型 P N P トランジスタでは、寄生 T r 1 (図 3 (B) 参照) がオン動作することで、寄生 T r 4 (図 3 (B) 参照) のオン動作を抑止し、基板 1 4 (図 3 (B) 参照) へのリーク電流を防止することができる。一方、従来の実施の形態の縦型 P N P トランジスタでは、例えば、ベース電流が 3 0 m A までは基板 1 1 1 (図 8 参照) へのリーク電流を防止することができる。しかしながら、ベース電流を増大させるにつれて、基板 1 1 1 へのリーク電流が増大する。これは、縦型 P N P トランジスタのベース電流が増大することで、N 型の埋込層 1 1 3 (図 8 参照) での電位降下が起こる。そして、寄生 T r 1 3 (図 8 参照) のベース電位が低下することで、寄生 T r 1 3 がオン動作し、寄生 T r 1 3 の電流値が増大する動作に起因するからである。

50

【 0 0 4 9 】

つまり、本実施の形態の縦型 P N P トランジスタでは、P 型の拡散層 2 2、2 3 (図 3 (B) 参照) の不純物濃度、拡散幅を変えることで、エピタキシャル層 1 5 (図 3 (B) 参照) 表面近傍が寄生電流経路となる。そして、N 型の埋込層 1 6 での電位低下を抑止し、寄生 $T_r 4$ のオン動作を抑止することで、基板 1 4 へのリーク電流を防止できる。

【 0 0 5 0 】

尚、本実施の形態では、コレクタ領域としての P 型の拡散層 (実線 4 により囲まれる領域) が、コレクタ領域としての P 型の拡散層 (実線 4、一点鎖線 5、6 により囲まれる領域) よりも、その拡散幅が広く、その不純物濃度が高い場合について説明したが、この場合に限定するものではない。例えば、コレクタ領域としての P 型の拡散層 (実線 4 により 10 囲まれる領域) が、コレクタ領域としての P 型の拡散層 (実線 4、一点鎖線 5、6 により 10 囲まれる領域) よりも、その拡散幅が広がる構造のみにおいて、上記基板 1 4 へのリーク電流を防止する効果を得る場合でも良い。あるいは、コレクタ領域としての P 型の拡散層 (実線 4 により 10 囲まれる領域) が、コレクタ領域としての P 型の拡散層 (実線 4、一点鎖線 5、6 により 10 囲まれる領域) よりも、その不純物濃度が高くなる構造のみにおいて、上記基板 1 4 へのリーク電流を防止する効果を得る場合でも良い。

【 0 0 5 1 】

また、本実施の形態では、ベース領域としての N 型の拡散層 (二点鎖線 7 により 20 囲まれる領域) の 1 辺 1 3 に対応して、コレクタ領域としての P 型の拡散層 (実線 4 により 20 囲まれる領域) が配置される場合について説明したが、この場合に限定するものではない。例えば、コレクタ領域としての P 型の拡散層 (実線 4 により 20 囲まれる領域) が、N 型の拡散層 (二点鎖線 7 により 20 囲まれる領域) の 2 辺 1 0、1 2 側において、エミッタ領域としての P 型の拡散層 (実線 8 により 20 囲まれる領域) と対向する領域にまで配置される場合でも良い。この場合には、縦型 P N P トランジスタのコレクタ領域としての P 型の拡散層 (実線 4 により 20 囲まれる領域) の形成領域が増大し、コレクタ領域での寄生抵抗が低減し、電流能力が向上される。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 0 0 5 2 】

以下に、本発明の他の実施の形態である半導体装置について、図 5 ~ 図 7 を参照し、詳細に説明する。本実施の形態では、ベース導出領域としての N 型の拡散層及びエミッタ領域 30 としての P 型の拡散層が、コレクタ領域としての P 型の拡散層を挟むように、それぞれ対称に配置され、縦型 P N P トランジスタの電流能力を増大させた点が、図 1 ~ 図 4 を用いて上述した一実施の形態の縦型 P N P トランジスタと異なる。しかしながら、図 3 (A) に示す回路図のように、縦型 P N P トランジスタを飽和領域で用いた際に、電源ラインからグラウンドラインへのリーク電流を防止する特徴は同様である。そして、図 5 は、本実施の形態における縦型 P N P トランジスタを説明するための平面図である。図 6 は、本実施の形態における縦型 P N P トランジスタを説明するための図であり、図 5 に示す C - C 線方向の断面図である。図 7 は、本実施の形態における縦型 P N P トランジスタを説明するための図であり、図 5 に示す D - D 線方向の断面図である。尚、本実施の形態の説明の際に、適宜、図 3 (A) に示す回路図を参照する。 40

【 0 0 5 3 】

図 5 に示す如く、実線 5 1 は、分離領域の端部を示し、実線 5 1 により 40 囲まれた領域が縦型 P N P トランジスタの形成領域となる。点線 5 2、5 3 により 40 囲まれる領域は、分離領域とコレクタ領域との間のエピタキシャル層に形成される N 型の拡散層を示す。実線 5 4 により 40 囲まれる領域及び実線 5 4、一点鎖線 5 5 ~ 5 8 により 40 囲まれる領域は、コレクタ領域としての P 型の拡散層を示す。二点鎖線 5 9、6 0 により 40 囲まれる領域は、ベース領域としての N 型の拡散層を示す。実線 6 1、6 2 により 40 囲まれる領域は、エミッタ領域としての P 型の拡散層を示す。そして、実線 6 3、6 4 により 40 囲まれる領域は、ベース導出領域としての N 型の拡散層を示す。

【 0 0 5 4 】

10

20

30

40

50

図示したように、コレクタ領域としてのP型の拡散層（実線54により囲まれる領域）は、縦型PNPトランジスタの形成領域の中央領域に配置される。ベース領域としてのN型の拡散層（二点鎖線59、60）は、上記P型の拡散層（実線54により囲まれる領域）に対して対称に配置される。同様に、エミッタ領域としてのP型の拡散層（実線61、62により囲まれる領域）及びベース導出領域としてのN型の拡散層（実線63、64により囲まれる領域）も上記P型の拡散層（実線54により囲まれる領域）に対して対称に配置される。

【0055】

コレクタ領域では、P型の拡散層（実線54、一点鎖線55、56により囲まれる領域）とP型の拡散層（実線54、一点鎖線57、58により囲まれる領域）とが、上記P型の拡散層（実線54により囲まれる領域）に対して対称に配置される。そして、P型の拡散層（実線54、一点鎖線55～58により囲まれる領域）の拡散幅W6、W7、W8、W9、W10、W11が、P型の拡散層（実線54により囲まれる領域）の拡散幅W5よりも狭くなる。

10

【0056】

更に、P型の拡散層（実線54、一点鎖線55、56により囲まれる領域）が、N型の拡散層（二点鎖線59により囲まれる領域）の3辺65、66、67に対応して配置され、P型の拡散層（実線54により囲まれる領域）が、N型の拡散層（二点鎖線59により囲まれる領域）の1辺68に対応して配置される。そして、エミッタ領域としてのP型の拡散層（実線61により囲まれる領域）は、上記1辺68を介してP型の拡散層（実線54により囲まれる領域）と対峙するように配置される。この構造により、ベース導出領域としてのN型の拡散層（実線63により囲まれる領域）とP型の拡散層（実線54、一点鎖線55、56により囲まれる領域）とが、上記3辺65～67を介して対峙する領域が増大される。同様に、P型の拡散層（実線54、一点鎖線57、58により囲まれる領域）においても、ベース導出領域としてのN型の拡散層（実線64により囲まれる領域）とP型の拡散層（実線54、一点鎖線57、58により囲まれる領域）とが、3辺69、70、71を介して対峙する領域が増大される。

20

【0057】

そして、詳細は後述するが、縦型PNPトランジスタがオン動作することで、寄生NPNトランジスタTr5、Tr6、Tr7、Tr8（以下、寄生Tr5、寄生Tr6、寄生Tr7、寄生Tr8と呼ぶ。）（図6及び図7参照）がオン動作する。そして、エピタキシャル層73（図6参照）表面近傍に位置するP型の拡散層（実線54、一点鎖線55～58により囲まれる領域）が、主に、寄生Tr5～Tr8の電流経路となる。

30

【0058】

次に、長方形内にx印が記載された領域は、コンタクトホールの形成領域を示す。そして、コレクタ領域では、P型の拡散層（実線54により囲まれる領域）上にはコンタクトホールが配置される。一方、P型の拡散層（実線54、一点鎖線55～58により囲まれる領域）上にはコンタクトホールは配置されない。この構造により、上記P型の拡散層の拡散幅W5は、上記P型の拡散層の拡散幅W6～W11よりも広くなる。詳細は後述するが、上記P型の拡散層の拡散幅W6～W11が狭められることで、P型の拡散層（実線54、一点鎖線55～58により囲まれる領域）は、主に、寄生Tr5～Tr8の電流経路となる。

40

【0059】

その一方で、P型の拡散層（実線54により囲まれる領域）は、高不純物濃度であり、拡散幅が広い拡散層となることで、主に、縦型PNPトランジスタのコレクタ領域として機能する。そして、縦型PNPトランジスタのコレクタ領域でのコンタクト抵抗の低減、寄生抵抗の低減が実現される。更に、コンタクトホールが配置されるコレクタ領域としてのP型の拡散層（実線54により囲まれる領域）が、それぞれエミッタ領域としてのP型の拡散層（実線61、62により囲まれる領域）の近傍に配置される。この構造により、縦型PNPトランジスタの電流経路が短くなり、寄生抵抗が低減され、電流能力が向上さ

50

れる。

【0060】

図6では、図5に示すC-C線方向の断面図を示し、縦型PNPトランジスタは、主に、P型の単結晶シリコン基板72と、N型のエピタキシャル層73と、N型の埋込層74と、P型の埋込層75と、コレクタ領域として用いられるP型の埋込層76、77と、ベース領域として用いられるN型の埋込層78と、N型の埋込層79と、コレクタ領域として用いられるP型の拡散層80~82と、ベース領域として用いられるN型の拡散層83~86と、エミッタ領域として用いられるP型の拡散層87、88と、N型の拡散層89から構成される。

【0061】

N型のエピタキシャル層73は、P型の単結晶シリコン基板72上に形成される。尚、基板72の比抵抗値は、 $40 \sim 60 \text{ } \cdot \text{ cm}$ 程度であり、P型不純物濃度としては、 3.0×10^{14} 程度のものが使用される。

【0062】

N型の埋込層74は、基板72とエピタキシャル層73とに渡り形成される。N型の埋込層74は、P型の埋込層76よりも基板72の深部まで形成される。そして、N型の埋込層74は、基板72とP型の埋込層76のそれぞれとPN接合領域を形成し、基板72とP型の埋込層76とをPN接合分離する。

【0063】

P型の埋込層75が、チップ全面に形成され、例えば、基板72表面から $15 \sim 20 \mu\text{m}$ 程度の深さまで形成される。P型の埋込層75は、P型不純物、例えば、ホウ素(B)を導入量 $1.0 \times 10^{12} \sim 1.0 \times 10^{14} / \text{cm}^2$ でイオン注入し、形成される。そのため、P型の埋込層75は、低不純物濃度の拡散領域であり、N型の拡散領域と重畳する領域では、その重畳領域はN型領域となる。そして、基板72にP型の埋込層75を形成することでグランド抵抗の増大を防ぎ、ラッチアップ等の問題を解決する。P型の埋込層75の不純物濃度は、所望のグランド抵抗となるように、種々の設計変更が可能である。

【0064】

P型の埋込層76は、基板72とエピタキシャル層73に渡り形成される。そして、P型の埋込層76が、基板72及びエピタキシャル層73まで形成され、コレクタ抵抗が低減される。

【0065】

P型の埋込層77は、エピタキシャル層73に形成される。P型の埋込層77は、P型の埋込層76の端部近傍に一環状に形成され、P型の埋込層76と重畳して形成される。

【0066】

N型の埋込層78は、少なくともP型の埋込層76の上面からエピタキシャル層73表面側へと這い上がる。一方、N型の埋込層79は、N型の埋込層74の端部に一環状に形成される。そして、N型の埋込層78の周囲及びその中央領域には、P型の埋込層77が配置され、N型の埋込層78とP型の埋込層77とは一部領域が重畳する。また、N型の埋込層79は、P型の埋込層76、77の周囲に配置される。

【0067】

この構造により、N型の埋込層78の形成領域では、P型の埋込層76の這い上がり幅を $1.5 \sim 3.5 \mu\text{m}$ 程度抑制し、所望のベース領域幅を確保した縦型PNPトランジスタが形成される。所望のベース領域幅を確保することで縦型PNPトランジスタの耐压特性を維持しつつ、エピタキシャル層73の膜厚を薄くすることも可能である。そして、デバイスサイズ(厚み方向サイズ)の縮小が実現される。

【0068】

P型の拡散層80~82は、例えば、イオン注入法により、エピタキシャル層73に形成される。P型の拡散層80~82は、P型の埋込層77と連結する。図示したように、P型の拡散層80の拡散幅は、P型の拡散層81、82の拡散幅よりも広く、P型の拡散

10

20

30

40

50

層 80 の不純物濃度は、P 型の拡散層 81、82 の不純物濃度よりも高くなる。具体的には、P 型の拡散層 80 の表面近傍では、その拡散幅 W5 (図 5 参照) が $14 \mu\text{m}$ 程度であり、その不純物濃度が $5.0 \times 10^{18} \sim 2.0 \times 10^{20} / \text{cm}^3$ 程度である。また、P 型の拡散層 81、82 の表面近傍では、その拡散幅 W7、W10 (図 5 参照) が $7 \mu\text{m}$ 程度であり、その不純物濃度が $5.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ 程度である。尚、P 型の拡散層 80 は、図 5 の実線 54 により囲まれる領域に対応し、P 型の拡散層 81、82 は、図 5 の実線 54、一点鎖線 55 ~ 58 により囲まれる領域に対応する。

【0069】

N 型の拡散層 83 ~ 86 は、エピタキシャル層 73 に形成される。N 型の拡散層 85、86 は、ベース導出領域として用いられる。N 型の拡散層 85、86 を形成することで、10
コンタクト抵抗が低減される。尚、N 型の拡散層 83、84 は、図 5 の二点鎖線 59、60 により囲まれる領域に対応し、N 型の拡散層 85、86 は、それぞれ図 5 の実線 63、64 により囲まれる領域に対応する。

【0070】

P 型の拡散層 87、88 は、それぞれ N 型の拡散層 83、84 に形成される。尚、P 型の拡散層 87、88 は、それぞれ図 5 の実線 61、62 により囲まれる領域に対応する。

【0071】

N 型の拡散層 89 は、エピタキシャル層 73 に形成される。N 型の拡散層 89 は、P 型の拡散層 81、82 を取り囲むように一環状に形成される。N 型の拡散層 89 と N 型の埋込層 79 とは連結する。つまり、N 型の拡散層 89 が、コレクタ領域である P 型の拡散層 20
81、82 の外周に一環状に配置されることで、エピタキシャル層 73 表面が反転し、コレクタ電流が分離領域を介して基板 72 へと流れることを防止する。尚、N 型の拡散層 89 は、図 5 の点線 52、53 により囲まれる領域に対応する。

【0072】

絶縁層 90 が、エピタキシャル層 73 上に形成される。そして、例えば、 CHF_3 または CF_4 系のガスを用いたドライエッチングにより、絶縁層 90 にコンタクトホール 91 ~ 97 が形成される。

【0073】

コンタクトホール 91 ~ 97 には、アルミ合金、例えば、Al-Si 膜が選択的に形成され、電極 98、104、コレクタ電極 101、エミッタ電極 100、102 及びベース電極 99、103 が形成される。30

【0074】

図 7 では、図 5 に示す D-D 線方向の断面図を示し、図 6 を用いて説明した縦型 PNP トランジスタの構成要素には同一の符番を付し、その説明を割愛する。そして、図 7 に示す断面構造では、ベース導出領域としての N 型の拡散層 86 とコレクタ領域としての P 型の拡散層 82 との間にエミッタ領域としての P 型の拡散層 87、88 (図 6 参照) が配置されない構造が、図 6 に示す断面構造と異なる。

【0075】

コンタクトホール 105、106 が、公知のフォトリソグラフィ技術を用い、例えば、 CHF_3 または CF_4 系のガスを用いたドライエッチングにより、絶縁層 90 に形成される。そして、コンタクトホール 105、106 には、アルミ合金、例えば、Al-Si 膜が選択的に形成され、N 型の拡散層 89 と接続する電極 107、108 が形成される。図示したように、P 型の拡散層 82 上にはコレクタ電極が形成されることがなく、P 型の拡散層 82 は、主に、寄生 Tr7、8 の電流経路となる。40

【0076】

図 3 (A) を用いて上述したように、図 5 ~ 図 7 を用いて説明した縦型 PNP トランジスタが、飽和領域で用いられる場合について説明する。

【0077】

図 6 に示すように、縦型 PNP トランジスタのエミッタ電極 100、102 には、電源電圧 V1 (例えば、13.0V) が印加される。コレクタ電極 101 には、抵抗 R1 (例 50

えば、12k)により電圧調整され、電源電圧V1とほぼ同等な電圧(電源電圧V1との電位差が0.3V以下の電圧(例えば、12.9V))が印加される。そして、ベース電極99、103には、可変電圧V2により所望の電圧(例えば、12.3V)が印加され、縦型PNPトランジスタがオン動作する。尚、P型の拡散層81、82の外側に位置するエピタキシャル層73と接続する電極98、104には、電源電圧V1が印加される。

【0078】

次に、縦型PNPトランジスタがオン動作し、ベース電極99、103に印加される電圧(12.1V)を下げ、ベース電流を増大させると、N型の拡散層89(P型の拡散層81、82の外側に位置するN型のエピタキシャル層73を含む)、P型の拡散層81、82及びN型の拡散層83~86(P型の拡散層81、82の内側に位置するN型のエピタキシャル層73を含む)から成る寄生Tr5、6がオン動作する。

10

【0079】

このとき、N型の埋込層74、P型の埋込層76及びN型の埋込層78から成る寄生PNPトランジスタTr9(以下、寄生Tr9と呼ぶ。)にも寄生Tr5、6とほぼ同等な電圧が印加される。しかしながら、寄生Tr5、6は、寄生Tr9よりもベース幅が狭く、ベース領域での不純物濃度も低いため、ベース電流が低減されることで、電流増幅率(hFE)が高くなる。この構造により、寄生Tr5、6がオン動作し、P型の拡散層81、82が配置されるエピタキシャル層73表面近傍領域が、寄生Tr5、6の電流経路となる。

20

【0080】

上述したように、縦型PNPトランジスタがオン動作する際、寄生Tr5~8がオン動作し、寄生Tr9が駆動することを抑止できる。そして、寄生Tr9のN型の埋込層74に電流が流れることを抑止し、N型の埋込層74での電位降下が抑止できる。その結果、基板72、N型の埋込層74及びP型の埋込層76から成る寄生PNPトランジスタTr10(以下、寄生Tr10と呼ぶ。)では、ベース領域としてのN型の埋込層74とエミッタ領域としてのP型の埋込層76とのPN接合領域に、この接合領域が動作する順方向電圧が印加されることがない。そして、寄生Tr10のオン動作が抑止されることで、基板72へのリーク電流を防止できる。つまり、電源ラインからグラウンドラインへと電流がリークすることを防止し、グラウンド電位に設定された基板72の電位が変動することを防止することができる。

30

【0081】

尚、本実施の形態では、コレクタ領域としてのP型の拡散層(実線54により囲まれる領域)が、コレクタ領域としてのP型の拡散層(実線54、一点鎖線55~58により囲まれる領域)よりも、その拡散幅が広く、その不純物濃度が高い場合について説明したが、この場合に限定するものではない。例えば、コレクタ領域としてのP型の拡散層(実線54により囲まれる領域)が、コレクタ領域としてのP型の拡散層(実線54、一点鎖線55~58により囲まれる領域)よりも、その拡散幅が広がる構造のみにおいて、上記基板72へのリーク電流を防止する効果を得る場合でも良い。あるいは、コレクタ領域としてのP型の拡散層(実線54により囲まれる領域)が、コレクタ領域としてのP型の拡散層(実線54、一点鎖線55~58により囲まれる領域)よりも、その不純物濃度が高くなる構造のみにおいて、上記基板72へのリーク電流を防止する効果を得る場合でも良い。

40

【0082】

また、本実施の形態では、ベース領域としてのN型の拡散層(二点鎖線59、60により囲まれる領域)の2辺68、109に対応してコレクタ領域としてのP型の拡散層(実線54により囲まれる領域)が配置される場合について説明したが、この場合に限定するものではない。例えば、コレクタ領域としてのP型の拡散層(実線54により囲まれる領域)が、N型の拡散層(二点鎖線59、60により囲まれる領域)の辺65、67、69、71側において、エミッタ領域としてのP型の拡散層(実線61、62により囲まれる

50

領域)と対向する領域にまで配置される場合でも良い。この場合には、縦型PNPトランジスタのコレクタ領域としてのP型の拡散層(実線54により囲まれる領域)の形成領域が増大し、コレクタ領域での寄生抵抗値が低減し、電流能力が向上される。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【図面の簡単な説明】

【0083】

【図1】本発明の実施の形態における半導体装置を説明するための平面図である。

【図2】本発明の実施の形態における半導体装置を説明するための(A)断面図、(B)断面図である。

【図3】本発明の実施の形態における(A)半導体装置が用いられる回路を説明するための回路図であり、(B)半導体装置内の寄生トランジスタ動作を説明するための断面図である。

10

【図4】本発明の実施の形態における基板へのリーク電流を説明するための図である。

【図5】本発明の実施の形態における半導体装置を説明するための平面図である。

【図6】本発明の実施の形態における半導体装置を説明するための断面図である。

【図7】本発明の実施の形態における半導体装置を説明するための断面図である。

【図8】従来の実施の形態である半導体装置を説明するための断面図である。

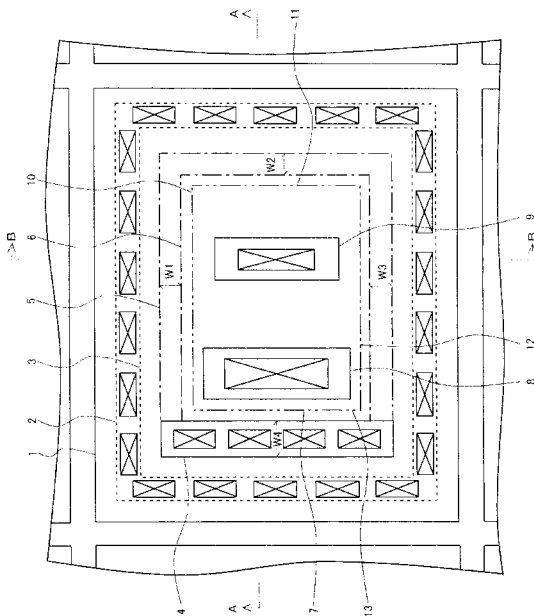
【符号の説明】

【0084】

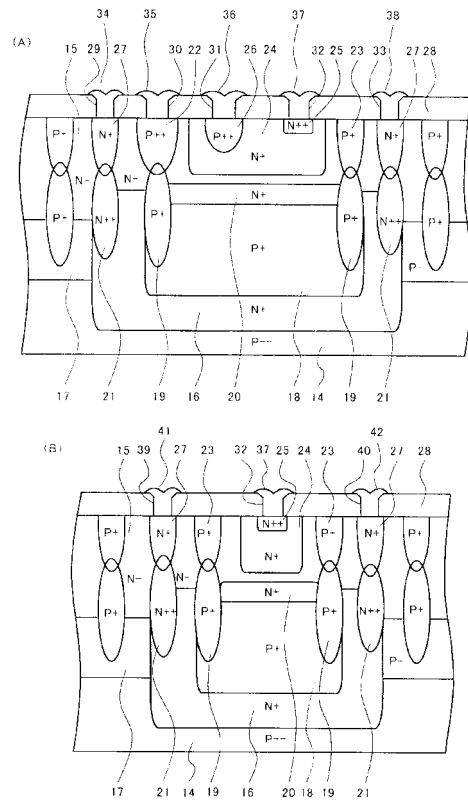
- 14 P型の単結晶シリコン基板
- 15 N型のエピタキシャル層
- 22 P型の拡散層
- 23 P型の拡散層
- 25 N型の拡散層

20

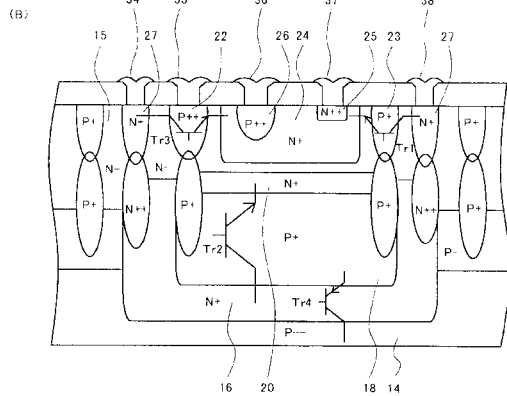
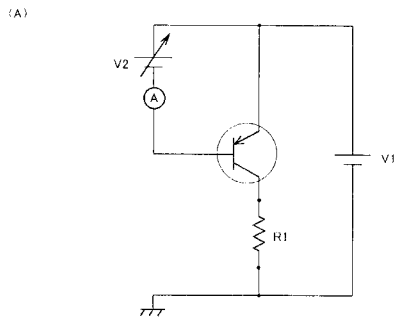
【図1】



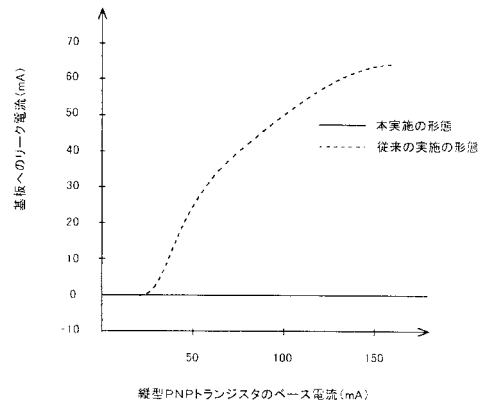
【図2】



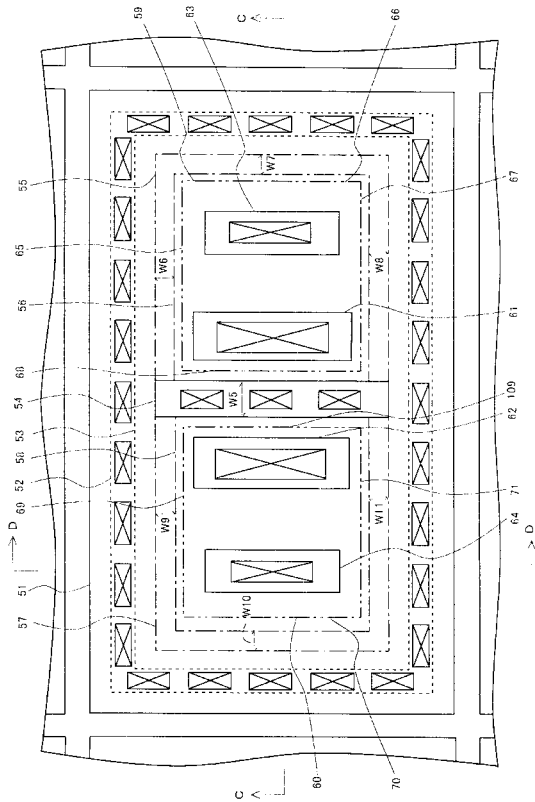
【 図 3 】



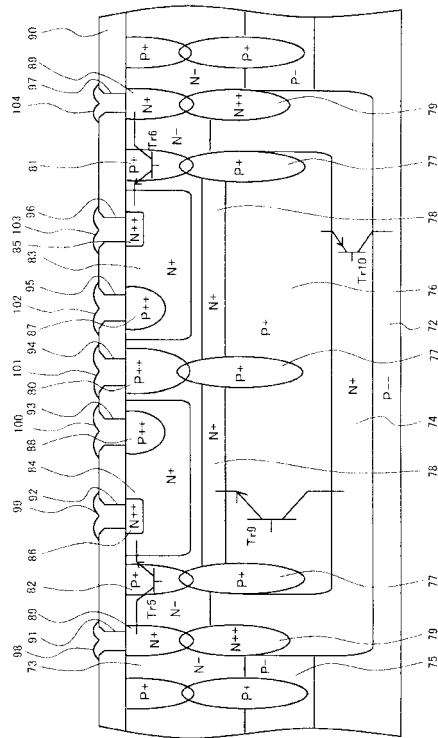
【 図 4 】



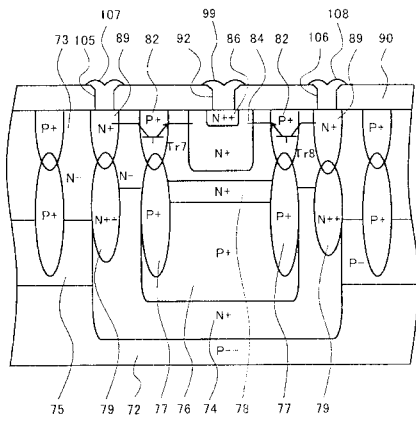
【 図 5 】



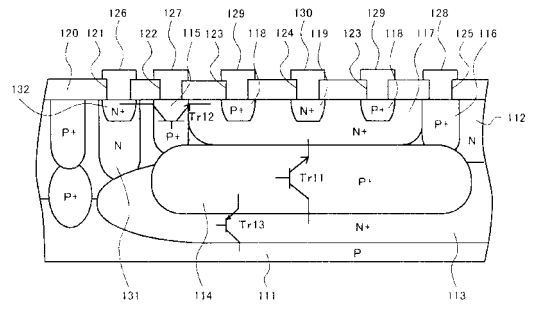
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 高橋 政男

新潟県小千谷市大字千谷甲3000番地 三洋半導体製造株式会社内

(72)発明者 新井 貴雄

新潟県小千谷市大字千谷甲3000番地 三洋半導体製造株式会社内

Fターム(参考) 5F003 AP04 BC01 BC02 BC05 BC08 BC90 BG03 BP01 BP11 BP21
BP31