

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 丹尼爾 C 庫特曼
GUTERMAN, DANIEL C.
2. 尼馬 蒙克雷西
MOKHLESI, NIMA
3. 育平 逢
FONG, YUPIN

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 伊朗 IRAN
3. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004 年 01 月 27 日；10/766,786

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係針對用於非揮發性記憶體之技術。

【先前技術】

半導體記憶體裝置已變得愈來愈風行地用於各種電子裝置中。例如，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其它裝置。電可擦可程式唯讀記憶體(EEPROM)及快閃記憶體為最風行之非揮發性半導體記憶體。

EEPROM及快閃記憶體皆利用一定位於半導體基板中之通道區域上方且與其絕緣之浮動閘極。該浮動閘極定位於源極區域與汲極區域之間。在浮動閘極上提供一控制閘極且使該控制閘極與該浮動閘極絕緣。藉由保留在浮動閘極上之電荷量來控制電晶體之臨限電壓。意即，在電晶體接通之前必須向控制閘極施加最小量之電壓以允許其源極與汲極之間的傳導由浮動閘極上之電荷量來控制。

某些EEPROM及快閃記憶體裝置具有一用以儲存兩個範圍之電荷的浮動閘極，且因此記憶體單元可在兩個狀態之間被程式化/擦除。當程式化EEPROM或快閃記憶體裝置時，通常將一程式電壓施加至控制閘極且將位元線接地。將來自通道之電子注入該浮動閘極。當電子在浮動閘極中聚集時，該浮動閘極變成帶負電且記憶體單元之臨限電壓升高。

通常，施加至控制閘極之程式電壓作為一系列脈衝而施

加。該等脈衝之量值隨每一連續脈衝而增加一預定步長(例如 0.2 v)。在該等脈衝之間的週期中，進行核對操作。意即，在連續程式化脈衝之間讀取正被並行程式化之一群單元中的每一者的程式化位準以判定其是等於還是大於其被程式化至之核對位準。一用於核對程式化之方法為在特定比較點處測試傳導性。將經核對被充分程式化之單元(例如在 NAND 單元中)藉由使位元線電壓自 0 升高至 Vdd(例如，2.5 伏特)而鎖定以停止用於彼等單元之程式化過程。在某些情況下，脈衝數目將受到限制(例如，20 個脈衝)且若最後之脈衝未完全程式化一給定之記憶體單元，則假定一誤差。在某些建構中，在程式化之前將記憶體單元擦除(成組塊或其它單位)。關於程式化之更多資訊可於以下專利中發現：2003 年 3 月 5 日申請之標題為 "Self Boosting Technique" 的美國專利申請案 10/379,608；及 2003 年 7 月 29 日申請之標題為 "Detecting Over Programmed Memory" 的美國專利申請案 10/629,068，該等申請案皆以全文引用之方式併入本文中。

圖 1 展示了一施加至快閃記憶體單元之控制閘極(或在某些情況下為導引閘極)之程式電壓訊號 V_{pgm}。程式電壓訊號 V_{pgm} 含量值隨時間增加之一系列脈衝。在程式脈衝開始時，將待程式化之所有單元的位元線(例如，連接至汲極)接地，藉此自閘極至通道產生了 V_{pgm}-0 v 之電壓差。一旦一單元達到目標電壓(通過程式核對)，個別位元線電壓即升高至 Vdd 以使記憶體單元處於程式抑制模式(例如，至彼單元之程式停止)。

藉由識別由禁用電壓範圍分隔之多個不同的所允許之臨限電壓範圍來建構多狀態快閃記憶體單元。例如，圖2展示了對應於三個資料位元的八個臨限範圍(0,1,2,3,4,5,6,7)。其它記憶體單元可使用多於八個之臨限範圍或少於八個之臨限範圍。每一不同之臨限電壓範圍均對應於該組資料位元之預定值。在某些建構中，使用格雷碼指派而將此等資料值(例如，邏輯狀態)指派至臨限範圍使得若浮動閘極之臨限電壓錯誤地移至其鄰近物理狀態，則僅有一個位元將受到影響。被程式化於記憶體單元內之資料與該單元之臨限電壓範圍之間的特定關係視為該等單元而採用之資料編碼機制而定。例如，美國專利第6,222,762號及2003年6月13日申請之"Tracking Cells For A Memory System"的美國專利申請案第10/461,244號皆描述了用於多狀態快閃記憶體單元之各種資料編碼機制，該等專利皆以全文引用之方式併入本文中。

如上文所描述，當程式化快閃記憶體單元時，在程式化脈衝之間核對該等記憶體單元以查看其是否達到目標臨限值。一種用於核對之方法為在對應於目標臨限值之字元線處施加一脈衝且判定該記憶體單元是否接通。若如此，則記憶體單元已達到其目標臨限電壓值。對於快閃記憶體單元之陣列而言，並行地核對諸多單元。對於多狀態快閃記憶體單元之陣列而言，該等記憶體單元將執行每一狀態之核對步驟以判定記憶體單元處於哪一狀態。例如，能夠在八個狀態中儲存資料之多狀態記憶體單元可能需要對七個

比較點執行核對操作。圖3展示了三個程式化脈衝10a、10b及10c(每一脈衝亦描繪於圖1中)。在程式化脈衝之間為七個核對脈衝以執行七次核對操作。基於該等七次核對操作，系統可判定記憶體單元之狀態。

在每一程式化脈衝之後執行七次核對操作使程式化過程變慢。一種用於減少核對之時間負擔的方法為使用更有效之核對過程。例如，2002年12月5日申請之"Smart Verify for Multi-State Memories"的美國專利申請案第10/314,055號中揭示了一智慧核對方法，該案以全文引用之方式併入本文中。在使用智慧核對過程之程式化/核對序列期間用於多狀態記憶體之寫入序列的例示性實施例中，在該過程開始時在核對階段期間僅檢驗所選記憶體單元正在被程式化至其之多狀態範圍的最低狀態(例如圖2之狀態1)。一旦一或多個記憶體單元達到第一儲存狀態(例如圖2之狀態1)，即將多狀態序列中之下一狀態(圖2之狀態2)添加至該核對過程。此下一狀態可在最快單元達到該序列中之此前一狀態時立即添加，或因為記憶體通常設計為具有若干程式化步驟以自一狀態移至另一狀態，所以亦可在延遲了若干循環之後再添加。延遲量可固定或使用一基於建構之參數，其允許延遲量可根據裝置特徵而設定。按上述繼續將狀態添加至核對階段中正檢驗的組直至已添加了最高狀態。類似地，可自該核對組移除較低狀態，因為趨向此等位準之所有記憶體單元成功核對至彼等目標值且該等記憶體單元被鎖定以防進一步程式化。

除了以合理之速度程式化之外，為達成多狀態單元之適當資料儲存，應藉由充足餘量將多狀態記憶體單元之多個範圍的臨限電壓位準相互分隔以使記憶體單元之位準可程式化且以明確方式讀取。此外，建議一緊密臨限電壓分佈。為達成緊密臨限電壓分佈，通常已使用小的程式步，藉此更緩慢地程式化單元之臨限電壓。所要之臨限分佈愈緊密，則步愈小且程式化過程愈緩慢。

一種用於在沒有不合理地減緩程式化過程情況下達成緊密臨限分佈之解決方法為使用兩階段程式化過程。第一階段(粗程式化階段)包含嘗試以較快方式升高臨限電壓且相對較少地關注達成緊密臨限分佈。第二階段(細程式化階段)嘗試以較慢方式升高臨限電壓以達到目標臨限電壓同時亦達成較緊密之臨限分佈。可於下列以全文引用之方式併入本文中的專利文獻中找到粗/細程式化方法之實例：2002年1月22日申請之"Non-Volatile Semiconductor Memory Device Adapted to Store A Multi-Valued Data in a Single Memory Cell"的美國專利申請案第10/051,372號；美國專利6,301,161、美國專利5,712,815、美國專利第5,220,531號及美國專利第5,761,222號。當在程式化期間核對記憶體單元時，某些先前解決方法將首先為粗模式執行核對過程且接著隨後為細模式執行核對過程。此核對過程增加了核對所需之時間。粗/細程式化方法可與上文所描述之智慧核對過程結合使用。

隨著記憶體裝置變得愈來愈小且愈來愈密集，對較緊密

之臨限分佈及合理之程式化時間的需求已增加。儘管粗/細程式化方法提供了對某些現存問題之解決方法，但是進一步需要改良粗/細程式化方法以提供所要之較緊密的臨限分佈及合理的程式化時間。

【發明內容】

大致描述之本發明係關於用於非揮發性記憶體之技術。更具體言之，本文所描述之技術可用以提供一經改良之粗/細程式化方法。

本發明之一實施例包含一用於程式化非揮發性儲存元件之設備。該設備包含與一程式化電路及一或多個核對選擇電路進行通訊之非揮發性儲存元件。該等核對選擇電路導致第一子集之非揮發性儲存元件經受粗核對，同時導致第二子集之非揮發性儲存元件經受細核對。

本發明之某些實施例包括：一感測電路，其與非揮發性儲存元件進行通訊；一程式化模式指示電路，其基於該感測電路提供指示非揮發性元件是處於粗程式化模式還是細程式化模式之輸出；及一第一選擇電路，其與該程式化模式指示電路進行通訊。若非揮發性儲存元件處於粗程式化模式，則該第一選擇電路向非揮發性儲存元件施加一粗核對訊號，且若非揮發性儲存元件處於細程式化模式，則該第一選擇電路向非揮發性儲存元件施加一細核對訊號。

在一建構之一實例中，該設備執行一包括判定非揮發性儲存元件是處於粗程式化模式還是細程式化模式之步驟的方法。若判定彼非揮發性儲存元件處於粗程式化模式，則

為非揮發性儲存元件執行粗核對，而無需對非揮發性儲存元件執行細核對。若判定彼非揮發性儲存元件處於細程式化模式，則為彼非揮發性儲存元件執行細核對，而無需對非揮發性儲存元件執行粗核對。

本發明中之另一實施例包含一具有一閘極及一組控制終端之非揮發性儲存元件。該設備亦包含一與至少一控制終端進行通訊之可轉換電流流入裝置。若該非揮發性儲存元件處於粗程式化模式，則該可轉換電流流入裝置將粗電流流入提供給該控制終端，且若該非揮發性儲存元件處於細程式化模式，則該可轉換電流流入裝置將細電流流入提供給該控制終端。在某些實施例中，在細程式化模式期間而非在粗程式化模式期間提供電流流入。

本發明之另一實施例包含：一感測電路，其與非揮發性儲存元件進行通訊；一程式化模式指示電路，其基於該感測電路提供指示非揮發性儲存元件是處於粗程式化模式還是細程式化模式之輸出；及一可轉換電流流入裝置，其與該程式化模式指示電路及該非揮發性儲存元件進行通訊。若非揮發性儲存元件處於粗程式化模式，則該可轉換電流流入裝置將粗電流流入提供給非揮發性儲存元件，且若非揮發性儲存元件處於細程式化模式，則該可轉換電流流入裝置將細電流流入提供給非揮發性儲存元件。在一實施例中，一設備將一共同程式化訊號施加至一非揮發性儲存元件之閘極、在粗程式化期間自非揮發性儲存元件流入第一電流、判定非揮發性儲存元件之臨限電壓已達到第一核對

水平且轉換該流入以搜尋第二電流從而回應於判定非揮發性儲存元件之臨限電壓是否已達到第一核對位準。

本發明之另一實施例包括：一感測電路，其與非揮發性儲存元件進行通訊；一程式化模式指示電路，其基於該感測電路提供一指示非揮發性儲存元件是處於粗程式化模式還是細程式化模式之輸出；及一可轉換電荷封包量測電路，其與該程式化模式指示電路及該非揮發性儲存元件進行通訊。該可轉換電荷封包量測電路向非揮發性儲存元件提供了一經量測之電荷以回應指示非揮發性儲存元件處於細程式化模式之程式化模式指示電路。

本發明之又一實施例包含一組非揮發性儲存元件及一與該等非揮發性儲存元件進行通訊之獨立可轉換電荷封包量測系統。將該獨立可轉換電荷封包量測系統獨立地轉換以向處於細程式化模式之程式化非揮發性儲存元件提供特定經量測之電荷，而不提供彼特定經量測之電荷以程式化處於粗程式化模式之非揮發性儲存元件。一實施例包含對非揮發性儲存元件執行一粗程式化過程、判定非揮發性儲存元件應轉換至細程式化過程及作出響應而執行細程式化過程。該細程式化過程之一建構包含預充電一非揮發性儲存元件之控制線及經由該非揮發性儲存元件對彼控制線進行放電以程式化彼非揮發性儲存元件。

本發明之此等及其它目標及優點將自下列描述變得更顯而易見，其中本發明之較佳實施例已結合圖式而闡明。

【實施方式】

I. 記憶體系統

圖4之方塊圖中大致說明了一可併入本發明之各種態樣的例示性記憶體系統。本發明亦可使用不同於圖4之架構的架構。大量獨立可定址記憶體單元11排列成列與行之陣列。藉由線15將沿陣列11之行延伸的位元線與位元線解碼器、驅動器及感測放大器電路13電連接。藉由線17將沿陣列11之列延伸的字元線電連接至字元線解碼器及驅動器電路19。藉由線23將沿呈陣列11之記憶體單元的行延伸之導引閘極電連接至導引閘極解碼器及驅動器電路21。每一電路13、19及21經由匯流排25自控制器27接收位址。亦將解碼器及驅動電路13、19及21經由個別控制及狀態訊號線29、31及33而連接至控制器27。經由將控制器及驅動器電路13及21互連之匯流排22而使施加至導引閘極及位元線之電壓一致。在某些實施例中，控制器27包含一狀態機以使本文所描述之功能的效能一致。在其它實施例中，狀態機獨立於控制器而操作。

可藉由線35將控制器27連接至一主機裝置(未圖示)。該主機可為個人電腦、筆記型電腦、掌上型裝置、數位相機、音訊播放器、蜂巢式電話或各種其它裝置。可根據若干現存的物理及電氣標準中之一者而在一卡中建構圖4之記憶體系統，該標準諸如PCMCIA、CompactFlashTM Association、MMCTM Association、Smart Media、Secure DigitalTM、Memory Stick及其它標準中之一者。當呈卡之形式時，線35終止於卡上之與主機裝置之互補連接器形成介面的連接器中。或

者，可將圖4之記憶體系統嵌入該主機裝置。在又一替代例中，可將控制器27嵌入該主機裝置，同時使記憶體系統之其它組件位於一可移除卡上。在其它實施例中，記憶體系統可位於封裝中而非卡中。例如，記憶體系統可位於一或多個積體電路、一或多個電路板或其它封裝中。

根據個別控制及狀態線29、31及33中之控制訊號，如經由匯流排25定址，解碼器及驅動器電路13、19及21在陣列11之其各自線中產生適當電壓以執行程式化、讀取及擦除功能。包含電壓位準及其它陣列參數之狀態訊號經由相同之控制及狀態線29、31及33而由陣列11提供給控制器27。電路13內之複數個感測放大器接收可指示陣列11內已定址記憶體單元之狀態的電流或電壓位準。在讀取操作期間，感測放大器經由線41向控制器27提供關於記憶體單元狀態之資訊。通常使用大量感測放大器以便能夠並行地讀取大量記憶體單元之狀態。

II. 記憶體單元

圖5係記憶體陣列11之一部分之第一實施例的平面圖。圖6係自截面A-A截取之記憶體陣列的部分橫截面圖。對基板及導電元件進行了說明，同時略微描述了存在於其兩者之間的介電層以將圖簡化。然而，應瞭解在導電層自身之間及導電層與基板之間將包含適當之氧化層。

矽基板45包含平坦頂端表面47。藉由最初之離子植入及隨後之擴散穿過表面47而在基板45內形成伸長之擴散部分49、51及53。伸長之擴散部分49、51及53充當記憶體單元

之源極與汲極。為了對此描述提供一慣例，將該等擴散部分展示為在第一"x"方向上被隔開，而長度在第二"y"方向上延伸。此等"x"及"y"方向基本上相互垂直。跨越基板表面47包含呈列與行之陣列的大量浮動閘極，其間存在適當之閘極介電質。一系列浮動閘極55、56、57、58、59、60鄰近且平行於另一列浮動閘極62、63、64、65、66、67。一行浮動閘極69、55、62、71及73鄰近且平行於一行浮動閘極75、56、63、77及79。該等浮動閘極由第一層經導電摻雜之多晶體矽("多晶矽")形成，該第一層多晶體矽沉積於表面上且然後藉由使用一或多個光罩步驟被蝕刻成個別浮動閘極而得以分離。

藉由線15將位元線解碼器及驅動器電路13(參見圖4)與陣列之所有位元線的源極/汲極擴散部分連接，該等擴散部分包含圖5之擴散部分49、51及53。將個別記憶體單元之行的源極及汲極連接至適當操作電壓以進行讀取或程式化從而回應於經由匯流排25所供應之位址及經由線29所供應之控制訊號。

圖5及圖6之結構使用一用於每兩行浮動閘極之導引閘極。導引閘極81、83及85在"y"方向上伸長且在"x"方向上具有一延伸跨過兩行鄰近浮動閘極及一定位於其之間的源極/汲極擴散部分的寬度。任何兩個導引閘極之間的間隔均至少與被兩個導引閘極所覆蓋之鄰近浮動閘極行之間的"x"方向上之間隔相同，以便允許一閘極隨後形成於此間隔中之基板處。藉由蝕刻第二層經導電摻雜之多晶矽而形成導

引閘極，該第二層經導電摻雜之多晶矽沉積於第一多晶矽層及一合適之多晶矽層間之介電質上的整個表面上。導引閘極解碼器及驅動器電路21(參見圖4)藉由線23而連接至所有導引閘極且其能夠獨立控制其電壓以回應於匯流排25上所提供之位址、線33上所提供之控制訊號及來自驅動器及感測放大器13之資料。

字元線91、92、93、94及95在"x"方向上伸長且在導引閘極上方延伸，其中"y"方向上位於其間之間隔使每一字元線對準一系列浮動閘極。藉由蝕刻第三層經導電摻雜之多晶矽而形成該等字元線，該第三層經導電摻雜之多晶矽沉積於一首先形成於第二多晶矽層及導引閘極之間所曝露之區域上的介電質頂端上的整個表面上。字元線允許選擇其列中之所有記憶體單元以進行讀取或寫入。選擇閘極解碼器及驅動器電路19(參看圖4)與每一字元線連接以獨立選擇一系列記憶體陣列。然後藉由位元線及導引閘極解碼器及驅動器電路13及21(參看圖4)而使所選列內之個別單元能夠讀取或寫入。

雖然前述結構中之閘極較佳由經摻雜之多晶矽材料製成，但是可使用其它合適之導電材料以替代所描述之該等三個多晶矽層中的一或多者。例如，自其形成字元線及選擇閘極之第三層可為多酸材料，其為在其頂端具有諸如鎢之導電耐熔金屬矽化物的多晶矽以增強其導電性。通常不使用多酸來替代第一或第二多晶矽層，因為由多酸所形成之多晶體矽間氧化物的品質通常不能令人滿意。

圖5及圖6中未展示的為金屬導體層。因為擴散部分及多晶矽元件通常具有一顯著小於金屬導電性之導電性，所以將金屬導體包含於獨立層中並藉由任何中間層以定期間隔沿多晶矽元件及擴散部分之長度而連接至個別金屬線。因為圖5-6之實施例之所有擴散部分及多晶矽元件需要獨立驅動，所以在此等金屬線之數目與擴散部分及多晶矽元件之數目之間通常存在一對一之對應。

圖7描繪了一等效於圖6之結構的等效電路，其中等效元件由與圖5及圖6之參考數字相同的參考數字識別，但是添加了撇號(')。所說明之結構與相鄰結構共用源極及汲極擴散部分。由三個不同區域中之不同閘極元件控制貫穿基板中位於鄰近擴散部分49與51之間的通道之傳導。向左之第一區域(T1-左)具有直接位於其上方之浮動閘極56及以電容方式與其耦合之導引閘極81。藉由浮動閘極57及導引閘極83以相似之方式控制向右之第二區域(T1-右)。藉由為字元線92之一部分的選擇閘極99來控制T1-左與T1-右之間的第三區域T2。

因此電子穿過擴散部分49與51之間之通道的導電位準受電場影響，該等電場由此等不同閘極元件藉由施加於閘極上之電壓而給予其個別通道區域。浮動閘極上之電壓取決於其所攜帶之淨電荷加上自其它閘極及節點以電容方式耦合之所有位移電荷的量。允許穿過浮動閘極下方之通道部分的導電位準由彼浮動閘極上之電壓控制。選擇閘極99上之電壓僅關閉通道且變成目標導電位準，以選擇個別單元

以與其源極/汲極區域連接。在一實施例中，個別記憶體單元可被視為三個電晶體之一系列連接，每一電晶體用於通道之三個不同區域(T1-左、T2、T1-右)中的每一者。在其它實施例中，每一浮動閘極可被視為一記憶體單元。

選擇單一記憶體單元之兩個浮動閘極中的一者，以藉由施加一電壓於該單元之另一(非選擇)浮動閘極上之導引閘極上而進行程式化或讀取，無論彼另一浮動閘極攜帶何種電荷(此與其狀態相關)，該電壓皆足以使該另一浮動閘極下方之通道區域變得充分具有導電性。當藉由一施加至其字元線之充足電壓來接通單元之選擇電晶體時，僅所選之浮動閘極回應於針對該單元之讀取或程式化操作。在讀取一浮動閘極之狀態期間，在其源極與汲極之間穿過該單元之電流因而取決於由所選之浮動閘極所攜帶之電荷而不考慮另一浮動閘極上之電荷。雖然施加於未選擇浮動閘極上方之導引閘極上，以使非選擇浮動閘極下之通道部分具有導電性之電壓，亦藉由相同之導引閘極而耦合至鄰近單元之鄰近浮動閘極，但是藉由施加合適電壓條件於該鄰近單元之其它元件上而避免了對該鄰近單元之影響。

圖5-7之實施例之浮動閘極較佳藉由施加電壓於其位元線(源極及汲極擴散部分)及其兩個導引閘極上而得以程式化，其導致產生跨過閘極介電質而待被注入所選浮動閘極中之電子從而在基板通道區域中獲得足夠能量。用於此之較佳技術為"源極側注入(source side injection)"，其描述於美國專利第5,313,421號及第5,712,180號，該等專利以全文

引用之方式併入本文中。

為了擦除圖5-7之實施例之記憶體單元，可設計且操作該等記憶體單元使得電子自所選之浮動閘極移除至通道或字元線之選擇閘極。若擦除至選擇閘極，則浮動閘極邊緣103與選擇閘極99之間的介電質較佳為氧化物薄層，該氧化物薄層已在浮動閘極邊緣上生長且當將適當電壓施加於該單元之各種元件上時電子隧穿該氧化物薄層。浮動閘極邊緣105與選擇閘極99之間亦提供相同物。當設計為被擦除至選擇閘極99時，應注意確保跨過選擇閘極與基板表面47之間的閘極介電質之所得電壓梯度仍然充分低於彼介電質之崩潰位準。此問題至關重要，因為在擦除期間字元線通常升高至超過10伏特之位準且有時至20伏特或更高之位準，同時施加至單元之其它電壓通常為5伏特或更小。可藉由使選擇閘極介電質變厚來減小跨過該選擇閘極介電質之電壓梯度或可選擇該選擇閘極介電質以具有一大於通常所使用之介電常數的介電常數。後者可對選擇電晶體之操作產生不利影響。

若單元將被擦除至通道，則應稍微修改圖5-7之實施例。首先，將選擇閘極99與鄰近浮動閘極邊緣103及105之間的介電質製得較厚以防止將浮動閘極擦除至選擇閘極。第二，將浮動閘極之下側與基板表面47之間的介電質之厚度製得較薄(諸如約100埃)以有利於電子隧穿其。第三，將待被同時擦除之單元作為一區塊沿行或在區塊內聚集在一起。在一實施例中，一區塊在基板上與其它區塊隔離。此

通常藉由三阱過程來完成，其中在p基板中形成n阱且將一載運單元區塊之p阱定位於將區塊與其它區塊隔離之n阱內。然後將一合適擦除電壓施加至待擦除之區塊的p阱，同時不會影響其它區塊。

關於圖4-7之結構的更多細節可在美國專利6,151,248中找到，該案以全文引用的方式併入本文中。

圖4-7之記憶體結構係一適當記憶體單元之一實例。其它結構亦可用於建構本發明。例如，一實施例可使用一包含一電荷儲存介電質之多層式介電質。本發明之其它實施例可使用NAND型快閃記憶體單元或NOR型快閃記憶體單元。下列美國專利/專利申請案中提供了NAND型快閃記憶體及其操作之相關實例：美國專利第5,570,315號、美國專利第5,774,397號、美國專利第6,046,935號、美國專利第5,386,422號、美國專利第6,456,528號及美國專利申請案第09/893,277(公告號為第US 2003/0002348號)，所有該等專利/專利申請案以全文引用之方式併入本文中。下列專利描述了NOR型快閃記憶體且該等專利以全文引用之方式併入本文中：美國專利第5,095,344號、第5,172,338號、第5,890,192號及第6,151,248號。亦可使用其它類型之快閃記憶體單元及其它類型之非揮發性儲存元件。

III. 記憶體陣列操作

圖8之表格中提供了用以程式化、讀取及擦除陣列11之記憶體單元的例示性操作電壓。表格行(2)係關於被擦除至選擇閘極(字元線)之類型的單元的操作，而表格行(8)展示了

對操作被擦除至基板之類型的單元的修改。在此等實例中，形成有單元之基板部分含有p型摻雜且位元線擴散部分為n型。在此等操作過程中將該基板保持在接地電位。

在圖8表格之表格行(1)中，給出一未選擇之列的電壓狀態。藉由驅動器電路19(圖4)使未選擇列之字元線處於接地電位。對於沿未選擇列之單元的位元線(擴散部分)及導引閘極而言，行中之"X"指示彼等元件上之電壓無關-"不可用"情形。因為對於該陣列之元件而言不存在由電路13、19及21中之任何一者所產生之負電壓，所以在此實施例中列之選擇閘極上的零電壓確保沿彼列之單元皆未啟用。沒有電流可流過其通道。程式化或讀取不同列之相同行中的其它單元可在不影響其字元線上具有零電壓之列的情況下進行。

表格之第二表格行(2)提供了用於擦除被設計為擦除至字元線之選擇閘極的類型之單元的一組例示性電壓。藉由驅動器電路19將在10-25伏特範圍內之高擦除電壓 V_E (例如20伏特)施加至其浮動閘極將被擦除的所有字元線。此通常係包含呈大量毗連列之所有單元的至少一經界定之單元區塊。然而，在較佳之應用中，可同時擦除更少或更多單元。或者，可甚至將該擦除區塊限制於單一系列之單元。藉由驅動電路21將沿一或多個所選列之單元的導引閘極設定為低電壓(例如，零伏特)以藉由導引閘極與浮動閘極之間的高度電容耦合而將浮動閘極之電壓維持於一低位準。浮動閘極與其個別選擇閘極(字元線)之間的所得電位差致使電子隧

穿中間介電質。關於擦除之更多資訊可於美國專利 5,270,979 中找到，該案以引用之方式併入本文中。

圖 5 之表格中的表格行 (3) 及 (4) 提供了用於讀取一記憶體單元之兩個浮動閘極的狀態的例示性電壓：表格行 (3) 用於左浮動閘極且表格行 (4) 用於右浮動閘極。在每一情況下，藉由被升高至電壓 V_{SR} 的選擇閘極來啟用單元，該電壓 V_{SR} 足以接通單元之選擇電晶體從而使電流能夠流過通道。此電壓通常比選擇電晶體之臨限值高 1 伏特。

當讀取一浮動閘極之電壓狀態時，如圖 8 之表格的表格行 (3) 及 (4) 中所示，正讀取之浮動閘極上方之導引閘極具有一施加至其之電壓 V_M 且另一浮動閘極上方之導引閘極被升高至 V_{BR} 。使電壓 V_{BR} 足夠高 (例如 8 伏特) 以使未選擇浮動閘極下方之單元的通道部分充分具有導電性，而不論該未選擇浮動閘極之程式化狀態如何。為讀取所選浮動閘極之狀態，在讀取步驟期間，使電壓 V_M 階躍多個電壓 (下文所述)，且其值在單元電流穿過一經界定之臨限時由電路 13 內之感測放大器偵測。

圖 8 之表格的表格行 (5) 及 (6) 中給出了用於程式化雙浮動閘極單元之一浮動閘極的例示性電壓。為選擇用於操作之單元，充分地升高選擇閘極以接通單元之選擇電晶體。電壓 V_{SP} 可不同於讀取期間所使用之電壓 V_{SR} 以使源極側注入程式化速度最佳化。一實例為當選擇電晶體之臨限值為一伏特時 $V_{SP}=2.2$ 伏特。在程式化操作期間將與經選擇以被程式化之浮動閘極相同的單元側上之位元線擴散部分升高至

最大位元線電壓(例如，5伏特)。使此電壓足夠高以跨過浮動閘極通道與選擇閘極通道之間的間隙能夠建立一充足的場從而獲得源極側熱電子程式化。在程式化期間將在與未選擇浮動閘極相同之單元側上的位元線擴散部分偏壓於零伏特或接近零伏特。

在浮動閘極電壓之程式化窗範圍內，將未選擇浮動閘極上之導引閘極升高至足以使未選擇浮動閘極下之通道區域具有充分導電性之電壓 V_{BP} (例如 $V_{BP}=8$ 伏特)以便不會對目標浮動閘極之程式化造成干擾，而不管未選擇浮動閘極上存在何浮動閘極電壓。將電壓 V_P 施加至所選浮動閘極上方之導引閘極，該電壓 V_P 之位準可將所選浮動閘極驅動至一在通道中輔助創建所要場條件且低於其之電壓以進行熱電子程式化。例如，電壓 V_P 可在5-12伏特之範圍內。在程式化操作期間此電壓可改變。通常，將一組適當之程式化電壓首先施加至一擦除單元，接著施加一組適當之讀取電壓，且若讀取步驟未指示所選浮動閘極已被程式化至所要電壓狀態(該狀態可為用於二進位儲存之程式化狀態或用於多位準儲存之可變儲存狀態中之一狀態)，則再次施加程式化電壓，該等程式化電壓可部分地不同於該較早組。

圖8之表格的表格行(7)展示了施加至經選擇用於程式化但其本身並未被程式化之一列內的彼等單元之電壓。例如，在陣列之一列分段部分內同時被程式化之若干數目的單元沿其間具有未被程式化之其它單元的列而另外被間隔。正是此等未被程式化之其它單元來接收圖8之表格的表

格行(7)之電壓。將相對之位元線擴散部分維持於相同電壓下以防止任何電流在通道中流動(例如，均在零伏特下或均在5伏特下)。如藉由表格行(1)中所使用之標記，"x"指示此等單元之導引閘極上的電壓為無關電壓。

在經設計以被擦除至基板的記憶體陣列之情況下，應用表格行(8)之擦除電壓條件來替代表格行(2)之彼等條件。將含有待被擦除之單元區塊的p阱及其周圍之n阱升高至擦除電壓 V_E ，該電壓 V_E 在10-25伏特之例示性範圍內(例如較佳為20伏特)。在讀取及程式化此等單元期間，將其阱維持於接地電位。在擦除期間較佳將正電壓 V_{SE} 施加至選擇閘極以便減小跨過選擇閘極介電質而施加之電壓，因為基板與選擇閘極之間之過大電壓差可破壞介電質材料或導致其比另外所要之用於操作單元的材料厚。因為此電壓自選擇閘極部分地耦合至經搜尋以被擦除之相鄰浮動閘極，所以此電壓不能太高，否則浮動閘極與基板通道之間的電壓差(其很高以實現擦除)會減小得太快。視 V_E 之位準而定， V_{SE} 之例示性範圍為3-12伏特。當 $V_E=20$ 伏特時， $V_{SE}=10$ 伏特為較佳。

圖8中所提供之值為一組實例。熟習此項技術者將能夠使用用於操作記憶體系統之其它適當值及方法。

IV. 粗/細程式化

圖9A提供了臨限電壓(V_{TH})對時間及位元線電壓(V_{BL})對時間的圖表以指示如何執行粗/細程式化過程之一實例。亦可使用粗/細程式化方法的各種替代例及實施例。圖9A中所描繪的方法始於執行程式化過程之粗階段的程式化過程。

當記憶體單元之臨限電壓達到電壓 V_{LA} 時，則藉由將單元之位元線電壓升高至 V_I 值而使記憶體單元進入細程式化階段以便使程式化過程減慢。與粗程式化階段相比，在細程式化階段期間，程式化過程被減慢。因此，在細程式化階段期間每一程式步之臨限電壓的改變很可能變小。記憶體單元將保持於細程式化階段中直至記憶體單元之臨限電壓已達到目標臨限電壓位準 V_V 。當記憶體單元之臨限電壓達到 V_V 時，記憶體單元之位元線電壓升高至 V_{dd} 以抑制彼單元之進一步程式化。在一實施例中， V_{LA} 較 V_V 低了一 V_{pgm} 步長。在其它實施例中， V_{LA} 與 V_V 之間的差值較大。

圖9A所描繪之過程假定一粗程式化模式及一細模式。在其它實施例中，可使用多個粗模式及/或多個細模式。例如，圖9B展示了三個模式。在其它實施例中，可使用三個以上之模式。圖9B之實施例展示了第一模式(最粗模式)，其直至記憶體單元之臨限電壓達到 V_{LA2} 時才得以執行。在彼時記憶體單元轉變為中間程式化模式(比最粗模式細且比最細模式粗)，在此時位元線升高至 V_{I1} 。記憶體單元將保持於中間模式中直至記憶體單元之臨限電壓達到 V_{LA1} ，此時記憶體單元將進入最細程式化模式並且位元線將升高至 V_{i2} 。記憶體單元將保持於最細程式化模式中直至記憶體單元之臨限電壓達到 V_V 。當記憶體單元之臨限電壓達到 V_V 時，位元線將升高至 V_{dd} 以抑制彼記憶體單元之進一步程式化。如上所討論，在其它實施例中，可使用三個以上之模式(例如4個模式、5個模式等)。

圖 10 為一描述粗/細程式化過程之一實施例的流程圖。在步驟 202 中，選擇待程式化之記憶體的部分。在一建構中，此可為適合記憶體結構之一或多個寫入單元。寫入單元之一實例被稱為頁。在其它實施例中，亦可使用其它單元及/或結構。在步驟 204 中，有時使用預程式化過程，其中已定址之記憶體單元被給予視非資料而定之程式化以將儲存元件損耗變平且為隨後之擦除提供更一致之起始點。在步驟 206 中，執行擦除過程，如適合於所使用之類型的儲存元件。美國專利第 5,095,344 號描述了合適之智慧擦除過程的一實例，該案以全文引用的方式併入本文中。步驟 208 包含一軟程式化過程，對於實際寫入階段而言其經設計以將擦除之記憶體單元的臨限電壓設為更一致之起始範圍。在一實施例中，若任何記憶體單元在擦除期間(或在軟程式化期間)均無法進行核對，則可將其映射出邏輯位址空間。此時記憶體為資料條件性程式化階段作好了準備。

在步驟 210 中，將程式電壓(V_{pgm})設定為初始值。例如，在某些實施例中，使用圖 1 之階梯形波形且步驟 210 包含設定初始脈衝。同樣，在步驟 210 中，將程式計數器(PC)初始化為零。在步驟 220 中，施加程式脈衝。例如，步驟 220 之一重複可包含施加圖 3 之程式脈衝 10A。在步驟 222 中，同時執行粗及細核對過程。以一在時間上與核對一或多個記憶體單元以進行細程式化重疊的方式來核對一或多個記憶體單元以進行粗程式化。例如，關於二進位記憶體單元(例如，兩個狀態)，當核對某些記憶體單元以進行粗程式化

時，核對其它記憶體單元以進行細程式化。關於多狀態記憶體單元，當核對某些記憶體單元從而為一特定狀態進行粗程式化時，核對其它記憶體單元從而為相同之特定狀態進行細程式化。在有關多狀態記憶體單元之其它實施例中，可為不同狀態而同時程式化/核對不同的記憶體單元，其中核對某些記憶體單元以進行粗程式化同時核對其它記憶體單元以進行細程式化。下文將描述步驟222之更多細節。

在步驟224中，判定所有記憶體單元是否已核對其臨限電壓在彼記憶體單元之最終目標電壓下。若如此，則在步驟226中成功地完成程式化過程(狀態=通過)。若並未完全核對所有記憶體單元，則判定程式計數器(PC)是否小於20。若程式計數器(PC)不小於20(步驟228)，則程式化過程已失敗(步驟230)。若程式計數器(PC)小於20，則在步驟230中將程式計數器(PC)增加1且程式電壓升壓至下一脈衝。步驟230之後，該過程返回至步驟220且將下一程式脈衝施加至記憶體單元。

V.核對

圖11提供了一描述一用於同時執行粗核對與細核對(參看圖10之步驟222)之過程的一實施例的流程圖。在圖11之步驟302中，系統將檢驗暫存器(或其它儲存裝置)以判定特定快閃記憶體單元是處於粗程式化模式還是細程式化模式。若記憶體單元處於粗階段(步驟304)，則在步驟306中執行粗核對。例如，參看圖9A，記憶體單元可將其臨限電壓

與電壓 V_{LA} 進行比較。若記憶體單元之臨限電壓高於 V_{LA} (步驟308)，則記憶體單元已通過粗核對測試。若記憶體單元之臨限電壓小於 V_{LA} ，則記憶體單元未通過該核對測試。若記憶體單元未通過粗核對測試，則記憶體單元保持於粗程式化模式中(步驟310)。若記憶體單元通過粗核對測試，則記憶體單元將程式化模式變為細程式化模式(步驟312)。

在步驟304中，若判定記憶體單元處於細程式化模式，則在步驟320中將執行細核對過程。例如，參看圖9A，可將記憶體單元之臨限電壓與最終目標臨限電壓 V_V 進行比較。若記憶體單元之臨限電壓高於目標電壓 V_V (步驟322)，則已通過細核對測試且在步驟324中將抑制記憶體單元程式化。用於抑制記憶體單元進一步程式化之一實施例為將位元線升高至 V_{dd} 。亦可使用用於鎖定記憶體單元之其它方法。在步驟322中，若判定核對測試未通過(例如，因為記憶體單元之臨限電壓小於目標電壓 V_V)，則將不會抑制記憶體單元進一步程式化(步驟326)。

對個別單元執行圖11中之過程。在諸多實施例中，將同時程式化多個單元。因此，將同時對多個單元執行圖11之過程。在此程式化期間，某些單元將處於粗程式化過程而其它單元將處於細程式化過程。因此，某些單元將執行粗核對步驟306而其它單元將執行細核對步驟320。例如，被程式化至狀態2(參看圖2)之一組單元可使某些單元之程式化比其它單元快。較快程式化之單元可率先進入細階段。彼等處於細階段之單元將使其臨限電壓與狀態2之核對點

V_V 進行比較，而處於粗階段之記憶體單元可使其臨限電壓與狀態 2 之 V_{LA} 進行比較。由於在每一核對步驟任一給定單元將僅執行粗核對或僅執行細核對而不是同時執行兩者，所以圖 11 之過程提供了效率。另一方面，先前系統可按順序進行粗核對及細核對。藉由本發明之一實施例，若記憶體單元為多狀態單元且必須對多狀態進行核對測試，則將對多個狀態進行粗核對或將對多個狀態進行細核對。然而，不會對一特定記憶體單元之多個狀態進行粗核對及細核對兩者。例如，返回至圖 3，描繪了七個核對脈衝。在八狀態之記憶體單元中，七個核對脈衝將用於粗核對過程或七個核對脈衝將用於細核對過程。在某些先前技術之裝置中，若存在八個狀態，則其需要十四個核對脈衝，其中七個脈衝用於粗階段且七個脈衝用於細階段。因此，圖 11 中之過程可減少所需核對脈衝之數目。

圖 12 為一描繪用以建構圖 11 之過程之一實施例的組件的方塊圖。圖 12 展示了一用於一位元線之電路。在一實施例中，將存在用於每一位元線之此電路。在另一實施例中，將存在用於一對位元線之此電路。圖 12 展示了一連接至開關 400 及電容器 402 之位元線。該電容器亦接地。開關 400 自多工器 404 接收一訊號。將自多工器 404 所接收之訊號用於程式化。多工器 404 接收兩個訊號 V_{pc} 及 V_{pf} ，且基於來自 C/F 暫存器 420 之指示而在彼等兩個訊號之間進行選擇。開關 400 亦連接至感測放大電路 410 之輸入端。訊號 V_{erf} 亦連接至感測放大電路 410 之輸入端。感測放大電路 410 之輸出

端向 C/F 暫存器 420 提供資料。C/F 暫存器 420 之輸出端向多工器 404、鎖定暫存器 422 及多工器 430 提供資料。多工器 430 接收訊號 Tc 及 Tf，且基於來自 C/F 暫存器 420 之資料而在兩個訊號之間進行選擇。多工器 430 之輸出連接至感測放大電路 410 之另一輸入端。

圖 12 之組件之操作係基於位元線放電核對過程。首先，將位元線充電。然後，向附著至彼位元線之記憶體單元的控制閘極(或導引閘極)提供一核對脈衝。然後允許位元線放電。基於放電速率，可判定記憶體單元是高於還是低於一特定臨限電壓位準。

圖 13 展示了位元線電壓 (V_{bl}) 對時間之圖表。在一建構中，允許位元線隨一段時間 T 而放電。在時間 T 處，將位元線之電壓與參考電壓 V_{ref} 進行比較。若位元線電壓高於 V_{ref} ，則記憶體單元具有較低驅動能力且比目標臨限電壓更易於程式化。若在時間 T 處位元線電壓小於 V_{ref} ，則記憶體單元之臨限電壓小於目標臨限值。在另一實施例中，可允許位元線放電直至其達到 V_{ref} ，而非在固定時間 T 之後量測位元線上之電壓。然後，將此放電時間與一組預定時間進行比較以判定臨限電壓是高於還是低於目標臨限值。在一使用粗/細方法而得以程式化之單元中，在一實施例中，可藉由使一 V_{ref} 用於粗程式化且使另一 V_{ref} 用於細程式化而使該比較點可在粗與細之間改變。在一替代性實施例中，時間 T 之量可改變使得存在一時間 T1 以用於與粗程式化關聯之放電且存在在細程式化期間與放電關聯之另一時間

T2。在另一實施例中，可改變位元線之預充電使得存在一用於粗程式化之預充電值及另一用於細程式化之預充電值。或者，可使用上文之組合。

在另一實施例中，可利用一利用電流比較器之靜態感測方法。在彼實施例中，以一組特定用於粗/細程式化之參考電流來取代固定參考 V_{ref} 。對於一給定記憶體單元而言，當參考電流超過單元電流時，相關聯之感測放大器將指示一比目標電壓更易於程式化的單元臨限電壓。在美國專利第6,222,762號中可找到進一步之資訊，該案以全文引用之方式併入本文中。

在圖12所描繪之設備的一實施例中，C/F暫存器420為1-位元暫存器，其指示特定記憶體單元是處於粗程式化模式還是處於細程式化模式。在程式化期間，若記憶體單元處於粗程式化模式，則多工器404經由開關400將粗模式程式化電壓(V_{pc})發送至位元線。若記憶體單元處於細程式化模式，則多工器404經由開關400將細模式程式化電壓(V_{pf})發送至位元線。在核對期間，感測放大器410將包含一比較位元線電壓與參考電壓 V_{ref} 之電路。在核對期間，若記憶體單元處於粗模式，則多工器430將基於C/F暫存器420選擇粗時間選通 T_c 。感測放大器410將判定在 T_c 指示之時間內位元線是否放電至固定參考值 V_{ref} 。若感測放大器判定記憶體單元已通過粗核對(因為在 T_c 指示之時間內位元線已放電至固定參考值 V_{ref})，則向C/F暫存器420發送一訊號以改變彼暫存器從而指示記憶體單元現在處於細程式化模式。此

時，多工器 404 及 430 將接著改變其選擇使得多工器 404 在下次程式化該單元時將電壓 V_{pf} 發送至位元線，且多工器 430 在下一次進行核對操作之比較時將時間選通 T_f 發送至感測放大器 410。在細模式期間，若感測放大電路 410 判定已成功通過細核對過程（因為在 T_f 指示之時間內位元線已放電至固定參考值 V_{rf} ），則感測放大器 410 將向 C/F 暫存器 420 如此指示，其將然後致使鎖定暫存器 422 指示應鎖定（抑制）該單元以防進一步程式化。

圖 14 為用於執行核對之第二實施例。使用一對參考電流源而非使用一對感測時間，其中一固定參考電壓用於與位元線電壓進行比較。對於一給定記憶體單元而言，當參考電流超過其單元電流時，相關之感測放大器將指示此條件，此條件反映記憶體單元被程式化以滿足目標臨限條件。因此，多工器 430 將基於 C/F 暫存器 420 之輸出選擇是提供用於粗階段之電流源 (I_c) 還是用於細階段之電流源 (I_f)。

圖 15 描繪了另一替代實施例。在圖 15 中，多工器 448 將選擇一用於粗程式化階段之參考電壓 (V_{rc}) 或用於細程式化階段之參考電壓 (V_{rf}) 以提供給感測放大器 410。在此實施例中，感測放大器 410 又將基於 C/F 暫存器 420 比較在一固定時間段 (T) 之後放電位元線上之電壓與自多工器 448 所接收之電壓參考。

VI. 電流流入

如上所述，一種用於將記憶體單元自粗程式化模式轉變為細程式化模式之方法為升高位元線上之電壓。升高位元

線上之電壓往往會減慢程式化過程。因此，將以較小增量升高細程式化模式中記憶體單元之臨限電壓，且可達成較緊密之臨限電壓分佈。另一用於將記憶體單元自粗程式化階段轉變為細程式化階段之方法為改變穿過記憶體單元之通道的電流量。在程式化期間，如由選擇閘極之導電特性支配，記憶體單元之源極將升高至接地以上。可將電流流入端連接至源極以控制電流將流過通道之量。流入電流愈大，則穿過通道之電流愈大且記憶體單元將程式化得愈快。當電流流入減弱(流入較少之電流)時，則通道中之電流將下降且記憶體單元將程式化得更緩慢。例如，若在粗階段電流流入端流入1000 nA，且然後在細階段流入100 nA，則通道電流將下降至其原始值之1/10且記憶體單元之程式化將減慢約十倍。

圖16為相關臨限電壓增加(V_t)對階梯形控制閘極程式脈衝之圖表，其遵循一系列250 mV階梯形控制閘極程式化脈衝及1000 nA電流流入，藉此建立一穩定狀態之程式化條件。圖16展示了一使用不同電流流入而被程式化之記憶體單元的5條程式化曲線500、502、504、506及508。與圖表500相關聯之記憶體單元具有1,000 nA之電流流入，其繼續穩定狀態之程式化操作。與曲線502相關聯之記憶體單元具有降低至562 nA之電流流入。與曲線504相關聯之記憶體單元具有降低至316 nA之電流流入。與曲線506相關聯之記憶體單元具有降低至178 nA之電流流入。與曲線508相關聯之記憶體單元具有降低至100 nA之電流流入。如自圖16之圖

表可看出，電流流入愈大，則記憶體單元將程式化得愈快。例如，在第一程式脈衝之後，與曲線508相關聯之記憶體單元的臨限電壓增加了20 mV，與曲線506相關聯之記憶體單元的臨限電壓增加了33 mV，與曲線504相關聯之記憶體單元的臨限電壓增加了68 mV，與曲線502相關聯之記憶體單元的臨限電壓增加了112 mV且與曲線500相關聯之記憶體單元的臨限電壓增加了234 mV，其反映根據步控制閘極程式化階梯形對250 mV之穩定狀態回應。在第二程式化脈衝之後，與曲線508相關聯之記憶體單元具有47 mV之臨限電壓，與曲線506相關聯之記憶體單元具有90 mV之臨限電壓，與曲線504相關聯之記憶體單元具有159 mV之臨限電壓且與曲線502相關聯之記憶體單元具有270 mV之臨限電壓。在第三程式化脈衝之後，與曲線508相關聯之記憶體單元的臨限電壓為87 mV，與曲線506相關聯之記憶體單元的臨限電壓為159 mV且與曲線504相關聯之記憶體單元的臨限電壓為271 mV。在第四程式化步驟之後，與曲線508相關聯之記憶體單元具有144 mV之臨限電壓且與曲線506相關聯之記憶體單元具有249 mV之臨限電壓。在第五程式化步驟之後，與曲線508相關聯之記憶體單元的臨限電壓為221 mV。

因此，如圖16所描述，藉由降低電流流入之量可減緩程式化之速率。因此，在一實施例中，將兩個電流流入之間的改變用於在粗模式與細模式之間進行改變。例如，粗模式可具有大電流流入(例如，1000 nA)且細模式可具有較小

電流流入(例如，100 nA)。或者，粗模式可沒有電流流入，而細模式具有一電流流入以減小程式化之速度。亦可使用其它組態。

圖17描繪了根據圖7之示意圖的記憶體元件，其中添加了連接至右位元線或控制線(BL右，終端51')之電流流入端600。在圖17之建構中，浮動閘極56'正被程式化。在某些實施例中，51'及49'處之控制線皆被認為是位元線。在其它實施例中，終端51'處之控制線可被認為是源極線或一不同之控制線。電流流入端600連接至C/F暫存器420(上文所描述)。在一實施例中，電流流入端600為可變電流流入端。意即，電流流入端600可流入不同位準之電流。例如，電流流入端可流入兩個不同位準之電流，一位準之電流用於細模式且另一位準之電流用於粗模式。基於來自C/F暫存器420之指示，將選擇適當之電流流入值。例如，若C/F暫存器420指示浮動閘極56'處於粗模式，則將由電流流入端600選擇用於粗模式之適當電流流入。若C/F暫存器420指示浮動閘極56'處於細模式，則電流流入端600將選擇用於細模式之適當流入值。在另一實施例中，電流流入端600將僅用以流入用於細模式之電流，且在終端51'與接地電源之間將存在一開關以在粗模式期間繞過電流流入端600。基於儲存於C/F暫存器420中之值來控制彼開關。在圖17之實施例中，將程式電壓(例如，上文所描述之階梯形控制閘極程式化電壓)施加至左導引閘極81'。

在另一實施例中，圖17之電流流入端600為一可變電流流

入，其可為多狀態記憶體單元之每一狀態流入不同組之粗值及細值。例如，若存在七個程式化狀態，則電流流入端600將能夠流入十四個(或，若存在重疊則少於十四個)不同位準之電流。或者，可存在十四個(或，若存在重疊則少於十四個)不同電流流入。對不同狀態採用不同組之電流流入值允許程式化過程更有效，從而使得需要較少程式化脈衝(例如，200 mV步長)且在不致使將目標為待程式化至較低狀態(例如，程式化至狀態1)之單元過度程式化之情況下，將較快地程式化已較大程度地程式化之記憶體單元(例如，程式化至狀態7)。上文所描述之機制之一建構可在每一程式化脈衝之後核對所有狀態，而非使用上文所提及之智慧核對機制。

下文之表格提供了一組例示性電流流入值。應注意，為細模式提供了兩個選項。視設計細模式之電路設計者希望減緩細模式中之程式化的程度而定，該設計者可選擇任一選項，其中選項2對應於當自粗模式轉變為細模式時，對程式化之更強減緩。

假定狀態至狀態分流為500 mV				
狀態	VT	粗電流流入值(nA)	細電流流入值(選項1) (nA)	細電流流入值(選項2) (nA)
7	3.5	1000.19	409.67	167.79
6	3.0	409.67	167.79	68.73
5	2.5	167.79	68.73	28.15
4	2.0	68.73	28.15	11.53
3	1.5	28.15	11.53	4.72
2	1.0	11.53	4.72	1.93
1	0.5	4.72	1.93	0.79

在為進行比較之任何兩個機制而使狀態至狀態餘量保持

相同的情況下，可將狀態至狀態分流減少至可使程式化分佈緊密之相同程度。為此目的，下一表格描繪了在狀態至狀態分流為400 mV之情況下用以程式化七個狀態所必需之恆定電流流入值的範圍。

假定狀態至狀態分流為400 mV				
狀態	VT	粗電流流入值 (nA)	細電流流入值 (選項1) (nA)	細電流流入值 (選項2) (nA)
7	2.8	1000.15	489.71	239.78
6	2.4	489.71	239.78	117.40
5	2.0	239.78	117.40	57.48
4	1.6	117.40	57.48	28.14
3	1.2	57.48	28.14	13.78
2	0.8	28.14	13.78	6.74
1	0.4	13.78	6.74	3.30

應注意，上文若干組電流流入值僅出於舉例之目的且視特定建構而定亦可使用諸多其它不同值。進一步應注意到，對於一不同之狀態而言用於細模式中之電流流入的諸多值與用於粗模式中之電流流入值相同。例如，細模式(選項1)之狀態5的電流流入值及粗模式之狀態4的電流流入值皆為117.40 nA。此重疊可減少建構此特徵所需之邏輯，且在某些情況下可減小電流流入端之數目或該(該等)電流流入端之複雜性。

圖18用圖表描繪了一替代實施例，其中C/F暫存器420用以控制開關620。開關620在兩個電流流入端622與624之間選擇。電流流入端622流入用於粗模式之電流且電流流入端624流入用於細模式之電流。若C/F暫存器420指示浮動閘極56'在粗模式中被程式化，則其將一訊號發送至開關628以選擇電流流入端622。若浮動閘極56'在細模式中被程式化，則

C/F暫存器420將指示開關620選擇電流流入端624。因此，藉由轉換電流流入端得以執行自粗程式化模式至細程式化模式之轉換。吾人期待與用於粗模式之電流流入端622相比用於細模式之電流流入端624將流入較少電流。

圖19為一描述一使用本文所描述之電流流入技術之過程的流程圖。在步驟650中，記憶體單元將在粗程式化模式中開始程式化。該粗程式化模式將繼續直至達到第一臨限電壓核對位準。為了執行粗程式化模式，在步驟652中電流流入機制將被設定為粗模式電流流入設定。在某些實施例中，在粗模式中將不使用電流流入。步驟652可包含適當地控制圖17中之電流流入端600或選擇圖18中之電流流入端622。步驟650及步驟652將繼續直至完成粗模式(此為步驟652下方之箭頭為虛線之原因)。當完成粗模式時(由於已達到了粗核對位準)，在步驟654中將開始細程式化模式。作為細程式化模式之一部分，在步驟656中電流流入端將被設定為細模式電流流入設定。在一實施例中，步驟656包含適當地設定圖17中之電流流入端600。在另一實施例中，步驟656包含選擇圖18中之電流流入端624。圖19之過程係用於一記憶體單元。吾人期待多個記憶體單元將同時執行圖19之過程，其中某些記憶體單元處於粗程式化模式而其它記憶體單元則處於細程式化模式。

除了圖17及圖18中所描繪之彼等記憶體單元之外，可將圖19之過程連同本文所描述之電流流入技術用於其它類型之記憶體單元。例如，圖17及圖18包含每一記憶體單元中

之雙浮動閘極。如本文所描述之電流流入技術可用於一僅具有一浮動閘極之記憶體單元，在此情況下該電流流入端較佳連接至該一個浮動閘極之源極側。電流流入技術亦可用於具有兩個以上浮動閘極之記憶體單元。通常，將電流流入應用於相對於正被程式化之浮動閘極之源極側。然而，在其它實施例中，其可連接至其它控制線從而藉此支配程式化速度。例如，在某些結構中可任意地設計源極及汲極且因此本發明並不限於"源極"側。

應注意，可將上述用於粗/細程式化之電流流入與較早所描述之同時的粗/細核對過程組合使用。在替代模式中，可在不使用較早所描述之同時的粗/細核對過程之情況下使用用於進入細模式對粗模式之電流流入過程。此外，可在使用或不使用較早所描述之智慧核對過程之情況下使用本文所描述之電流流入技術(其與同時之粗/細核對組合或不與同時之粗/細核對組合)。此外，在不將電流流入用於在粗/細之間改變之情況下，亦可將智慧核對過程與同時之粗/細核對過程一同使用。

VII. 電荷封包量測

參考圖 20-25 描述了用於使一記憶體單元進入細程式化模式之另一組實施例。此等實施例藉由限制程式化一記憶體單元可用之電荷而提供一細程式化模式。例如，圖 20 展示了呈其中浮動閘極 56' 正被程式化之組態的圖 7 之記憶體單元。附著至位元線右終端 51' 的為一由 C/F 暫存器 420 控制之開關 700。開關 700 具有兩個輸入端。第一輸入端由參考

數字702標記。當C/F暫存器420指示浮動閘極56'處於粗模式時，開關700將選擇輸入端702，在粗程式化模式期間該輸入端將為連接至位元線之標準組件。意即，在粗程式化模式期間，在一實施例中，不存在電荷封包量測。若如C/F暫存器420所指示浮動閘極56'處於細程式化模式，則開關700將終端51'連接至開關708及電容器710。將電容器710之相對側連接至參考電位(例如接地)。將開關708連接至預充電電源(例如，電壓電源)712。組件708、710及712用於作為兩步式方法之一部分的細程式化模式。在第一步驟中，電容器710經由開關708連接至電源712且被充電至預充電電壓(程式化源極偏壓)。在第二步驟中，電容器710自電壓電源712斷開接著一控制閘極程式化電壓脈衝被施加至左導引閘極81'。儲存於電容器710中之預充電電壓經由穿過記憶體單元之電流而被放電，且電子被注入浮動閘極56'。當電容器被充分放電時，熱電子注入停止且程式化中斷。因此，儲存於電容器710上之相對電荷量限制了發生程式化之程度。電容器上之較少的相對電荷意謂臨限電壓將移動較小量。例如，與一預充電至相同電壓值之具有電容C的電容器相比，被預充電至相同電壓值之具有兩倍大的電容(例如2C)之電容器儲存兩倍之相關電荷且進行多達兩倍之程式化。圖20展示了用於一位元線之組件420及700-712。在一實施例中，存在用於每一位元線之一組類似的組件。

圖21提供了兩個圖表。上圖表展示了終端51'處之電壓對時間。下圖表展示了選擇閘極處之電壓對時間。在時間 t_0

處，電容器710預充電，因此預充電終端51'處之控制線。當選擇閘極在時間 t_1 處接通時，圖20之電容器710將開始流入電流，且其電壓將升高從而減小電流。最終，當電容器充分放電時通道中之電流停止流動。

圖22為一描述一用於執行上文所描述之電荷量測之過程的一實施例的流程圖。在步驟740中，選擇適當之預充電電路。在一實施例中，僅存在一用於細模式之預充電電路且不存在用於粗模式之預充電電路。其它實施例可使用一用於粗模式之第一預充電電路及一用於細模式之第二預充電電路。在步驟742中，將允許預充電之開關(例如開關708)閉合以開始預充電。在步驟744中，斷開開關，結束預充電。在步驟746中，施加供應給導引閘極之脈衝且將選擇閘極接通使得電流流過通道且將電子注入浮動閘極直至電容器被充分放電。

圖23提供了一替代實施例之方塊圖，其使用一用於粗程式化模式之預充電電路及另一用於細程式化模式之預充電電路。開關780連接至終端51'且由C/F暫存器420控制。若C/F暫存器420指示浮動閘極56'處於粗程式化模式，則開關780將選擇組件782、784及786。若C/F暫存器420指示浮動閘極56'處於細程式化模式，則開關780將選擇組件790、792及794。

預充電電源786連接至開關782，該開關782連接至電容器784。當開關782閉合時，預充電電源786為粗程式化模式而對電容器784充電。在對電容器784充電之後，斷開開關782

且允許電容器784藉由記憶體單元放電(經由開關780)以程式化浮動閘極56'。

當開關790閉合時預充電電源794用於對電容器792進行預充電。在對電容器792預充電之後，斷開開關790，藉此允許電容器792在細程式化模式期間藉由記憶體單元放電以便程式化浮動閘極56'。在一實施例中，預充電電源786較預充電電源794而言將處於一較低電壓下使得與被充電以用於細程式化模式之電容器792相比電容器784被充電至相對較大值以用於粗程式化模式。電容器上之電荷值愈大，將發生愈多之程式化。因此，可允許為粗模式而進行較多程式化且可允許為細模式而進行較少程式化。電源(電壓或其它類型之電源)及電容器之精確值基於特定需要及裝置最優化、模擬及/或裝置特徵化以及用於區別粗程式化對細程式化之目標來判定。

圖24提供了一用於量測記憶體單元內之電荷的替代性實施例。圖24展示了連接至可變預充電電源800之C/F暫存器420。預充電電源800可供應至少兩個不同電源位準，一位準用於粗程式化模式且另一位準用於細程式化模式。基於C/F暫存器420中之值，向開關802供應適當之位準。開關802亦連接至電容器804及終端51'。因此，在粗程式化階段期間，將預充電電源800用於將一粗充電位準發送至電容器804以用於程式化浮動閘極56'。在細程式化模式期間，預充電電源800將提供一用於程式化浮動閘極56'之細充電(其與粗充電相比具有相對較小之量值)。

圖 25 提供了用於如上文所描述之電荷量測的又一替代實施例。圖 25 之實施例包含使用一用於粗模式及細模式兩者之共同預充電電源 848。然而，開關 840 用以在兩個不同電容器之間進行選擇。電容器 842 用於在粗模式期間進行程式化且電容器 844 用於在細模式期間進行程式化，該電容器 844 之電容小於電容器 842 之電容。基於儲存於 C/F 暫存器 420 中之值，開關 840 在電容器 842 與 844 之間進行選擇。

應注意，在某些實施例中，使用電容器預充電控制線(例如 51')將使控制線接地。當將脈衝供應給導引閘極時，預充電致使電流流入至電容器，且電壓將升高直至該裝置最終將其自身關閉。當電流流入電容器時，終端 51' 處之電壓將增加直至其達到足夠高之值從而有效停止程式化。在程式化期間為每一脈衝執行此充電限制操作。

在施加了每一脈衝之後，核對記憶體單元。視情況可將上文所描述之電荷封包量測技術與上文所描述之智慧核對過程及/或同時之粗/細核對過程組合使用。

應注意，在某些實施例中，同時之粗/細核對、程式化期間之電流流入及程式化期間之電荷量測皆涵蓋一共同訊號(例如 Vpgm 階梯訊號)，該共同訊號被提供給多個記憶體單元之字元線或導引閘極(視記憶體單元結構而定)。

已為說明及描述之目的呈現了本發明之前述詳細描述。其並不意欲具有窮舉性或將本發明限制至所揭示之精確形式。根據上文之教示可做出諸多修改及變化。所描述之實施例經選擇以最好地解釋本發明之原理及其實際應用，從

而藉此使得其它熟習此項技術者能夠在各種實施例中以如適合於所期待之特定應用的各種修改來最好地利用本發明。意欲藉由附加至其之申請專利範圍來界定本發明之範疇。

【圖式簡單說明】

圖1描繪了一用以程式化非揮發性記憶體單元之程式電壓的實例。

圖2描繪了一用於非揮發性記憶體裝置之狀態空間的實例。

圖3描繪了用於程式化快閃記憶體單元之程式電壓脈衝及該等程式脈衝之間的核對脈衝之實例。

圖4係一可建構本發明之快閃記憶體系統之一實施例的方塊圖。

圖5係圖4之系統之記憶體單元陣列的一部分的一實施例之平面圖。

圖6係在截面A-A處截取之圖5的記憶體單元陣列之部分橫截面圖。

圖7係圖3之結構的等效電路。

圖8係為一種用以操作記憶體單元之方式而提供例示性電壓的表格。

圖9A包含用於粗/細程式化之臨限電壓及位元線電壓對時間的圖表。

圖9B包含用於粗/細程式化之臨限電壓及位元線電壓對時間的替代圖表。

圖 10 係一描述一用於程式化非揮發性記憶體之過程之一實施例之流程圖。

圖 11 係一描述一用於執行粗/細核對之過程之一實施例之流程圖。

圖 12 係用以核對非揮發性記憶體單元之組件的方塊圖。

圖 13 係用於感測之位元線電壓對時間的圖表。

圖 14 係用以核對非揮發性記憶體單元之組件的替代方塊圖。

圖 15 係用以核對非揮發性記憶體單元之組件的替代方塊圖。

圖 16 係臨限電壓對程式脈衝之圖表。

圖 17 係使用電流流入之第一實施例之非揮發性記憶體的示意圖。

圖 18 係使用電流流入之第二實施例之非揮發性記憶體的示意圖。

圖 19 係一描述一使用電流流入之粗/細程式化過程之一實施例之流程圖。

圖 20 係使用電荷封包量測之第一實施例之非揮發性記憶體的示意圖。

圖 21 描繪了電壓對時間的圖表。

圖 22 係一描述一使用電荷封包量測之粗/細程式化過程之一實施例的流程圖。

圖 23 係使用電荷封包量測之第二實施例的非揮發性記憶體之示意圖。

圖 24 係使用電荷封包量測之第三實施例的非揮發性記憶體之示意圖。

圖 25 係使用電荷封包量測之第四實施例的非揮發性記憶體之示意圖。

【主要元件符號說明】

11	陣列
13、19、21	電路
15、17、29、31、33、 35、41	線路
22、25	匯流排
27	控制器
45	基板
47	基板表面
49、49'、51、51'、53、 55、55'、56、56'、57、 57'、58、58'、59、60、 62、63、64、65、66、 67、75、76、77、78、79	擴散
81、81'、83、83'、85	浮置閘極
91、92、92'、93、94、95	導引閘極
99、99'	字元線
103、105	選擇閘極
400、620、700、708、 780、782、790、802、	浮置閘極邊緣 開關

846	
402、710、784、792、	電 容 器
804、842、844	
404、430、448	多 工 器
410	感 測 放 大 器 電 路
420	C/F 暫 存 器
422	鎖 閉 暫 存 器
600、622、624	電 流 流 入 端
702	輸 入 端
712、786、794、800、848	預 充 電 電 源

五、中文發明摘要：

藉由首先執行一粗程式化過程且隨後執行一細程式化過程而將一非揮發性記憶體裝置程式化。藉由使用一有效核對機制來增強粗/細程式化方法，該核對機制允許為粗程式化過程核對某些非揮發性記憶體單元，同時為細程式化過程核對其它非揮發性記憶體單元。該細程式化過程可使用電流流入、電荷封包量測或其它適當之方法完成。

六、英文發明摘要：

十、申請專利範圍：

1. 一種用於程式化之設備，其包括：

一非揮發性儲存元件，其具有一閘極及兩個控制終端；及

一可轉換電流流入裝置，其與該等控制終端中之一者進行通訊，若該非揮發性儲存元件處於一粗程式化模式，則該可轉換電流流入裝置向該等控制終端中之該一者提供一粗電流流入，且若該非揮發性儲存元件處於一細程式化模式，則該可轉換電流流入裝置向該等控制終端中之該一者提供一細電流流入。

2. 如請求項1之設備，其中：

該粗電流流入為一大於該細電流流入之電流流入。

3. 如請求項1之設備，其中：

該可轉換電流流入裝置包含一可在兩個電流流入模式中運作之單一電流流入。

4. 如請求項1之設備，其進一步包括：

一感測電路，其與該非揮發性儲存元件進行通訊；及

一程式化模式指示電路，其基於該感測電路提供一指示該非揮發性儲存元件是處於該粗程式化模式還是該細程式化模式之輸出，該可轉換電流流入裝置與該程式化模式指示電路進行通訊，且基於一來自該程式化模式指示電路之輸出而在該粗電流流入與該細電流流入之間進行轉換。

5. 如請求項1之設備，其中：

該可轉換電流流入裝置包含：一第一電流流入單元，其提供該粗電流流入；一第二電流流入單元，其提供該細電流流入；及一開關，其用於選擇該第一電流流入單元或該第二電流流入單元。

6. 如請求項5之設備，其進一步包括：

一感測電路，其與該非揮發性儲存元件進行通訊；及
一程式化模式指示電路，其基於該感測電路提供一指示該非揮發性儲存元件是處於該粗程式化模式還是該細程式化模式之輸出，該開關與該程式化模式指示電路進行通訊，且基於來自該程式化模式指示電路之資訊而在該第一電流流入單元與該第二電流流入單元之間進行轉換。

7. 如請求項1之設備，其進一步包括：

一感測電路，其與該非揮發性儲存元件進行通訊；
一程式化模式指示電路，其基於該感測電路提供一指示該非揮發性儲存元件是處於該粗程式化模式還是該細程式化模式之輸出，該可轉換電流流入裝置與該程式化模式指示電路進行通訊；及

一選擇電路，其與該程式化模式指示電路及該感測電路進行通訊，若該非揮發性儲存元件處於該粗程式化模式，則該選擇電路向該感測電路提供一粗參考訊號，且若該非揮發性儲存元件處於該細程式化模式，則該選擇電路向該感測電路提供一細核對訊號。

8. 如請求項7之設備，其中：

該感測電路基於來自該程式化模式指示電路之輸出將該粗參考訊號或該細參考訊號與該非揮發性儲存元件之資料進行比較，以判定該非揮發性儲存元件是否已達到一特定核對位準。

9. 如請求項8之設備，其中：

該程式化模式指示電路包含一儲存單元，該儲存單元儲存能指示該非揮發性儲存元件是處於該粗程式化模式還是該細程式化模式之資料。

10. 如請求項7之設備，其中：

該感測電路包含用以執行一位元線放電分析以判定該非揮發性儲存元件是否滿足一核對要求的電子電路。

11. 如請求項1之設備，其中：

該等兩個控制終端為位元線。

12. 如請求項1之設備，其中：

該等控制終端中之該一者為一源極端子。

13. 如請求項1之設備，其中：

該非揮發性儲存元件為一快閃記憶體元件。

14. 如請求項1之設備，其中：

該非揮發性儲存元件為一多狀態快閃記憶體元件。

15. 如請求項1之設備，其中：

該非揮發性儲存元件為一多狀態儲存元件；及

該可轉換電流流入裝置對於不同狀態向該等控制終端中之該一者提供不同之粗電流流入，且對於不同狀態向該等控制終端中之該一者提供不同之細電流流入。

16. 一種用於程式化一非揮發性儲存元件之設備，其包括：

一感測電路，其與該非揮發性儲存元件進行通訊；

一程式化模式指示電路，其基於該感測電路提供一指示該非揮發性儲存元件是處於一粗程式化模式還是處於一細程式化模式之輸出；及

一可轉換電流流入裝置，其與該程式化模式指示電路及該非揮發性儲存元件進行通訊，若該非揮發性儲存元件處於該粗程式化模式，則該可轉換電流流入裝置電路向該非揮發性儲存元件提供一粗電流流入，且若該非揮發性儲存元件處於該細程式化模式，則該可轉換電流流入裝置電路向該非揮發性儲存元件提供一細電流流入。

17. 如請求項16之設備，其中：

該粗電流流入為一大於該細電流流入之電流流入。

18. 如請求項15之設備，其中：

該可轉換電流流入裝置包含一可在兩個電流流入模式中運作之單一電流流入。

19. 如請求項16之設備，其中

該可轉換電流流入裝置包含：一第一電流流入單元，其提供該粗電流流入；一第二電流流入單元，其提供該細電流流入；及一開關，其用於選擇該第一電流流入單元或該第二電流流入單元；及

該開關與該程式化模式指示電路進行通訊且基於來自該程式化模式指示電路之資訊而在該第一電流流入單元與該第二電流流入單元之間進行轉換。

20. 如請求項16之設備，其中：

該可轉換電流流入裝置與該非揮發性儲存元件之一源極端子進行通訊。

21. 如請求項16之設備，其中：

該可轉換電流流入裝置與該非揮發性儲存元件之一位元線進行通訊。

22. 如請求項16之設備，其中：

該可轉換電流流入裝置與該非揮發性儲存元件之一控制線進行通訊。

23. 如請求項16之設備，其中：

該非揮發性儲存元件為一快閃記憶體元件。

24. 如請求項16之設備，其中：

該非揮發性儲存元件為一多狀態快閃記憶體元件。

25. 如請求項16之設備，其中：

該可轉換電流流入裝置對於不同狀態提供不同之粗電流流入且對於不同狀態提供不同之細電流流入。

26. 一種用於程式化非揮發性儲存元件之設備，其包括：

一程式化電路，其與該等非揮發性儲存元件進行通訊；及

一或多個可轉換電流流入電路，其與該等非揮發性儲存元件進行通訊，該或該等電流流入電路使處於一粗程式化階段之該等非揮發性儲存元件的一第一子集經受一第一電流流入，同時使處於一細程式化階段之該等非揮發性儲存元件的一第二子集經受一第二電流流入。

27. 如請求項26之設備，其中：

該程式化電路向該等非揮發性儲存元件提供一共同導引訊號。

28. 如請求項26之設備，其中對於一特定非揮發性儲存元件而言，該等可轉換電流流入電路中之一者包括：

一感測電路，其與該特定非揮發性儲存元件進行通訊；

一程式化模式指示電路，其基於該感測電路提供一指示該特定非揮發性儲存元件是處於該粗程式化階段還是處於該細程式化階段之輸出；及

一可轉換電流流入裝置，其與該程式化模式指示電路及該特定非揮發性儲存元件進行通訊，若該特定非揮發性儲存元件處於該粗程式化階段，則該可轉換電流流入裝置向該特定非揮發性儲存元件提供該第一電流流入，且若該特定非揮發性儲存元件處於該細程式化階段，則該可轉換電流流入裝置向該特定非揮發性儲存元件提供該第二電流流入。

29. 如請求項28之設備，其中：

該第一電流流入為一大於該第二電流流入之電流流入。

30. 如請求項28之設備，其中：

該可轉換電流流入裝置包含一可在兩個電流流入模式中運作之單一電流流入。

31. 如請求項28之設備，其中：

該等非揮發性儲存元件為快閃記憶體元件。

32. 如請求項28之設備，其中：

該等非揮發性儲存元件為多狀態快閃記憶體元件。

33. 一種用於程式化之設備，其包括：

用於為非揮發性儲存元件執行粗程式化階段之構件；

用於在該粗程式化階段期間流入一第一電流之構件；

及

用於藉由將該流入轉換至一第二電流而為該非揮發性儲存元件轉換至細程式化之構件。

34. 如請求項26之設備，其中：

該或該等可轉換電流流入電路包含每一非揮發性儲存元件之一可轉換電流流入電路。

35. 一種用於程式化之方法，其包括：

為一非揮發性儲存元件而執行一粗程式化階段，該粗程式化階段包含流入一第一電流；及

藉由轉換至一第二電流之該流入而為該非揮發性儲存元件轉換至一細程式化階段。

36. 如請求項35之方法，其進一步包括：

判定該非揮發性儲存元件之一臨限電壓是否已達到一第一核對位準，當該非揮發性儲存元件之該臨限電壓已達到該第一核對位準時，開始該轉換步驟；及

判定該非揮發性儲存元件之該臨限電壓是否已達到一第二核對位準，當該非揮發性儲存元件之該臨限電壓已達到該第二核對位準時，完成該細程式化階段。

37. 如請求項35之方法，其中：

該第一電流大於該第二電流。

38. 如請求項35之方法，其中：

該非揮發性儲存元件為一快閃記憶體元件。

39. 如請求項35之方法，其中：

該非揮發性儲存元件為一多狀態快閃記憶體元件。

40. 如請求項35之方法，其中：

與該粗程式化階段相比，在該細程式化階段期間，該非揮發性儲存元件之一臨限電壓的變化減小。

41. 一種用於程式化之方法，其包括：

將一程式電壓訊號施加至一非揮發性儲存元件；

自該非揮發性儲存元件流入一第一電流以執行粗程式化；

判定該非揮發性儲存元件之一臨限電壓已達到一第一核對位準；及

轉換該流入以流入一第二電流以回應於判定該非揮發性儲存元件之該臨限電壓已達到該第一核對位準，該轉換步驟致使該非揮發性儲存元件執行細程式化。

42. 如請求項41之方法，其中：

該第一電流大於該第二電流。

43. 如請求項41之方法，其中：

該非揮發性儲存元件為一快閃記憶體元件。

44. 如請求項41之方法，其中：

該非揮發性儲存元件為一多狀態快閃記憶體元件。

45. 如請求項41之方法，其中：

將該程式電壓施加至該非揮發性儲存元件之一控制閘極。

46. 一種用於程式化之方法，其包括：

為多狀態非揮發性儲存元件而執行一粗程式化階段，該粗程式化階段包含流入一第一組電流，使得被程式化至不同狀態之非揮發性儲存元件流入該第一組電流之不同電流；及

藉由將該流入轉換至一第二組電流而為該等非揮發性儲存元件轉換至一細程式化階段，使得被程式化至不同狀態之非揮發性儲存元件流入該第二組電流之不同電流。

十一、圖式：

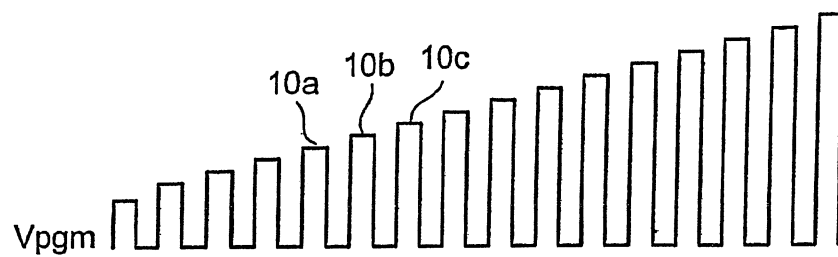


圖 1

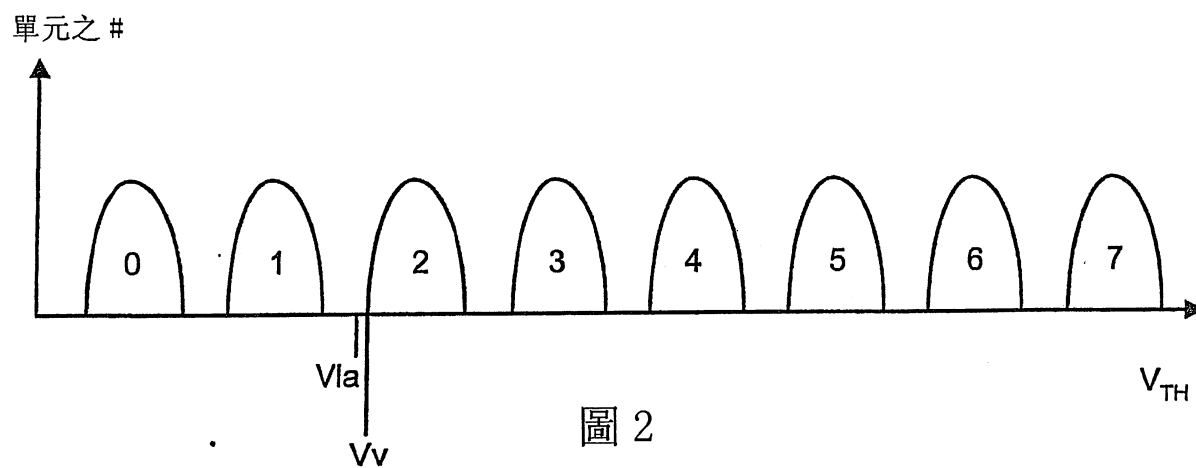


圖 2

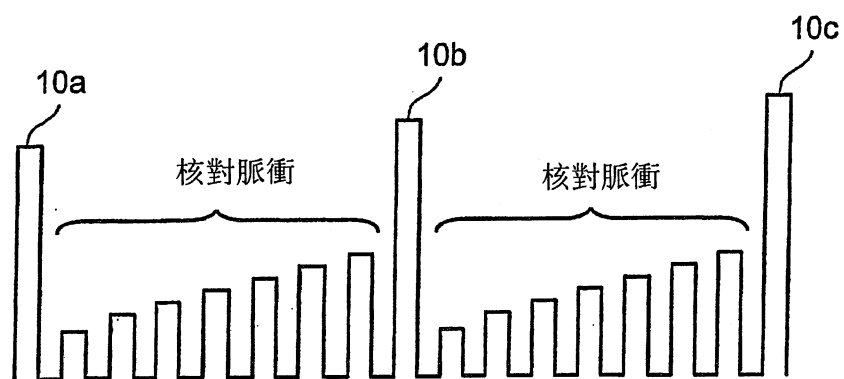


圖 3

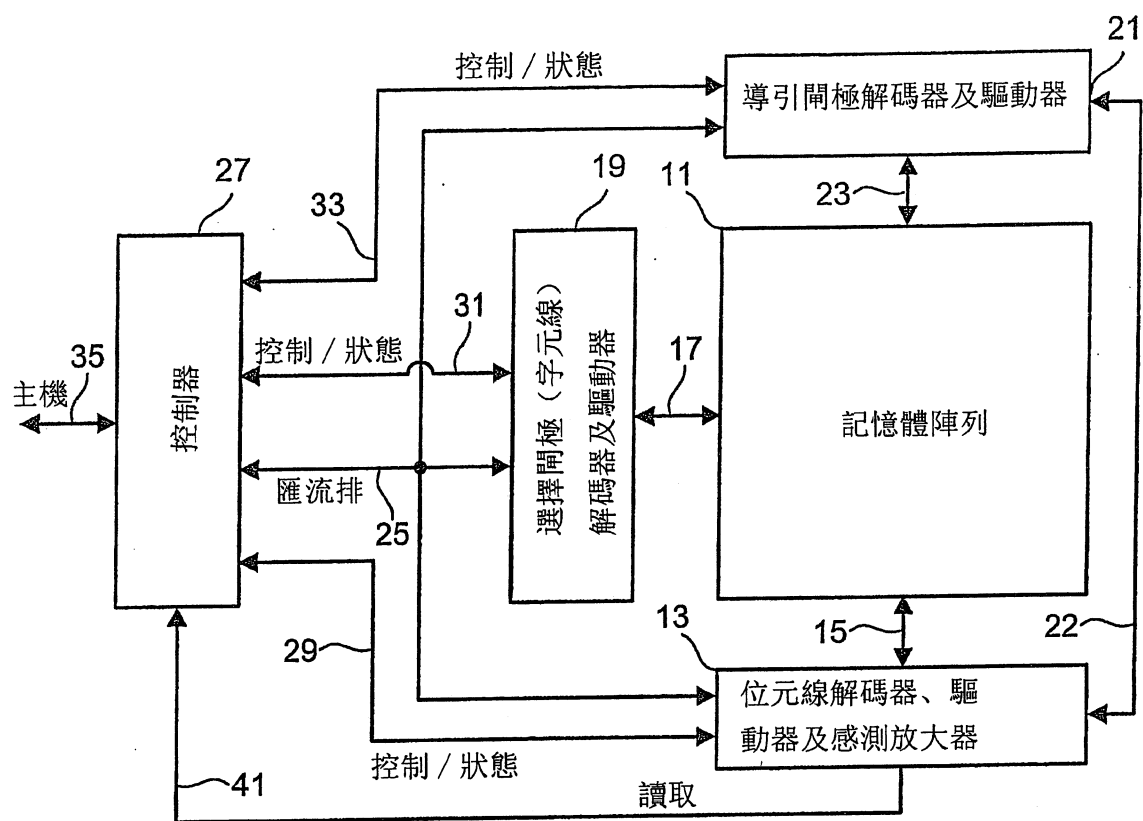


圖 4

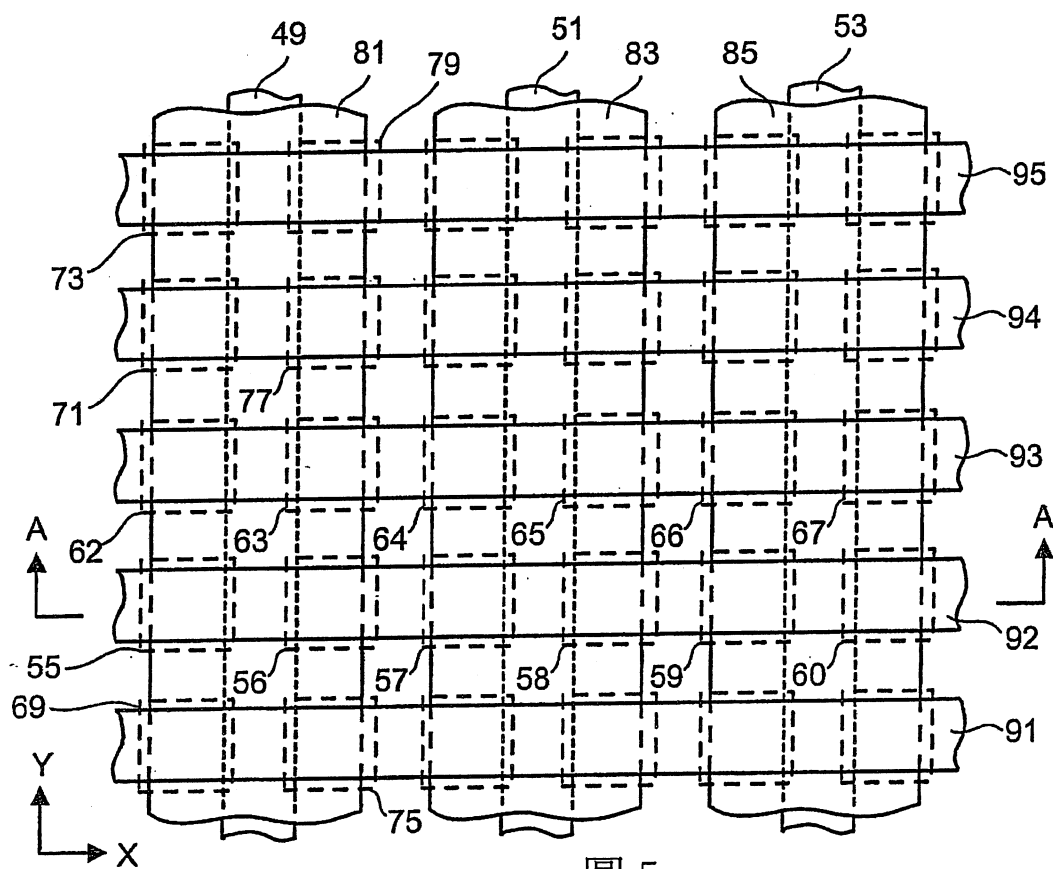


圖 5

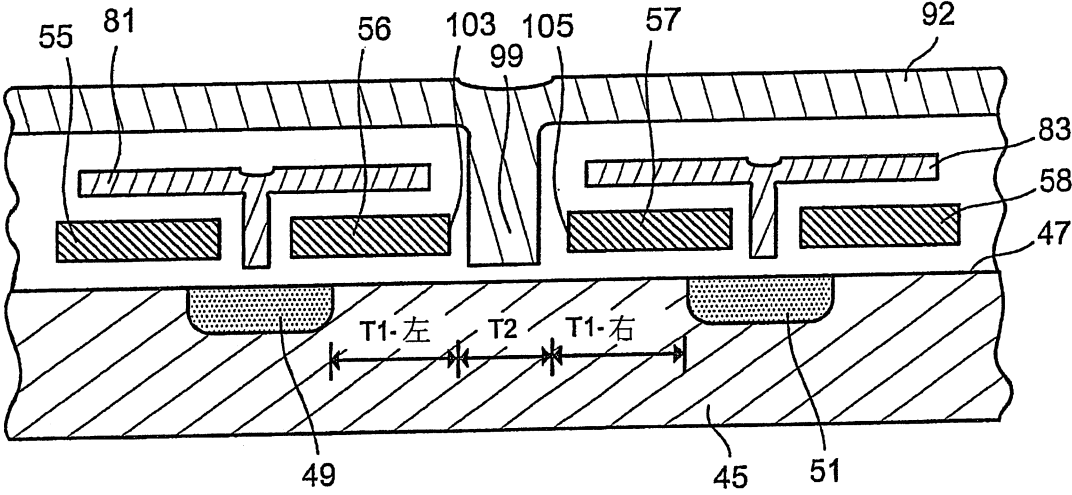


圖 6

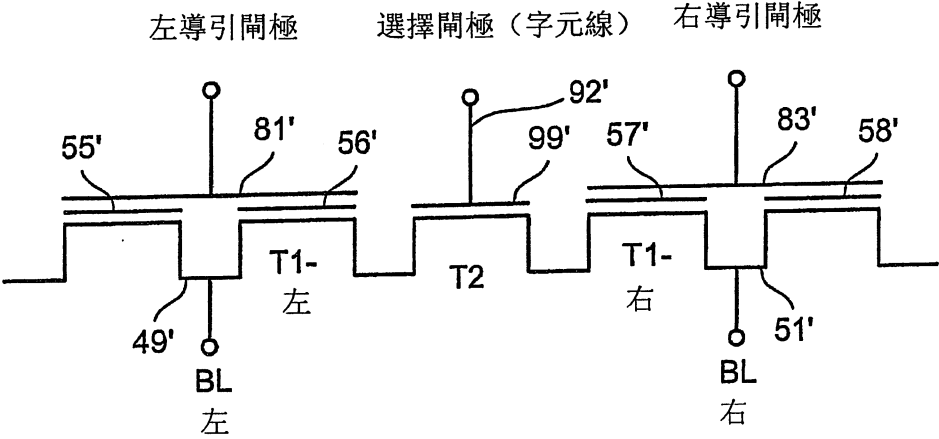


圖 7

對單元執行之功能	選擇閘極 (字元線)	左位元線 (BL- 左)	左導引閘極	右導引閘極	右位元線 (BL- 右)
(1) 未選擇之列 (2) 擦除 (至字元線) (3) 讀取左浮動閘極 (4) 讀取右浮動閘極 (5) 程式化左浮動閘極 (6) 程式化右浮動閘極 (7) 在所選列中沒有程式化	0 V _E V _{SR} V _{SR} V _{SP} V _{SP} V _{SP}	X 5 0 1 5 0 0 5	X 0 V _M V _{BR} V _P V _{BP} X X	X 0 V _{BR} V _M V _{BP} V _P X X	X 5 1 0 0 5 0 5
(8) 擦除 (至通道) [p 阱及 n 阱 之電壓皆等於 V _E , 且基板處於零 伏特下]	V _{SE}	浮動	0	0	浮動

圖 8

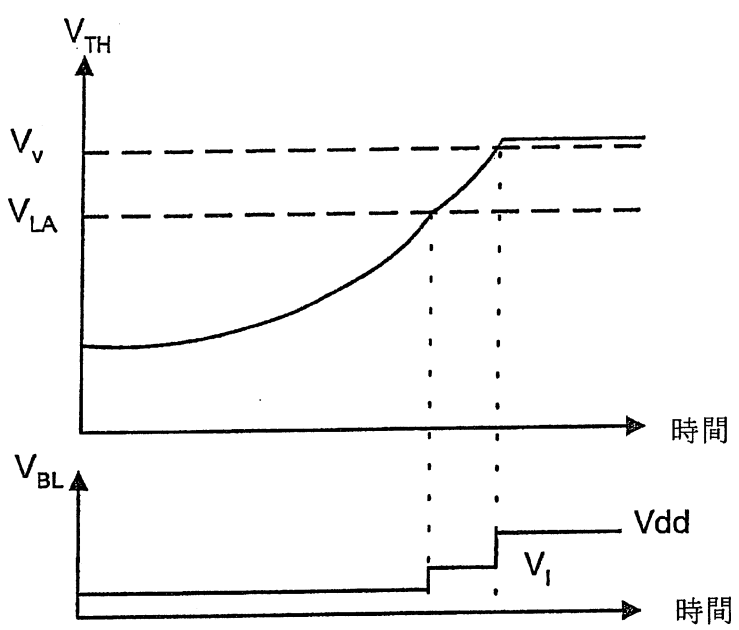


圖 9A

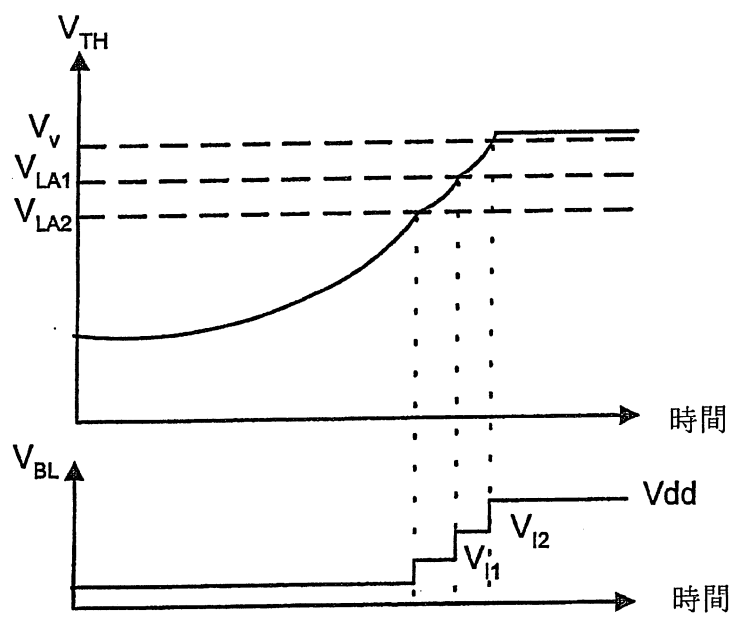


圖 9B

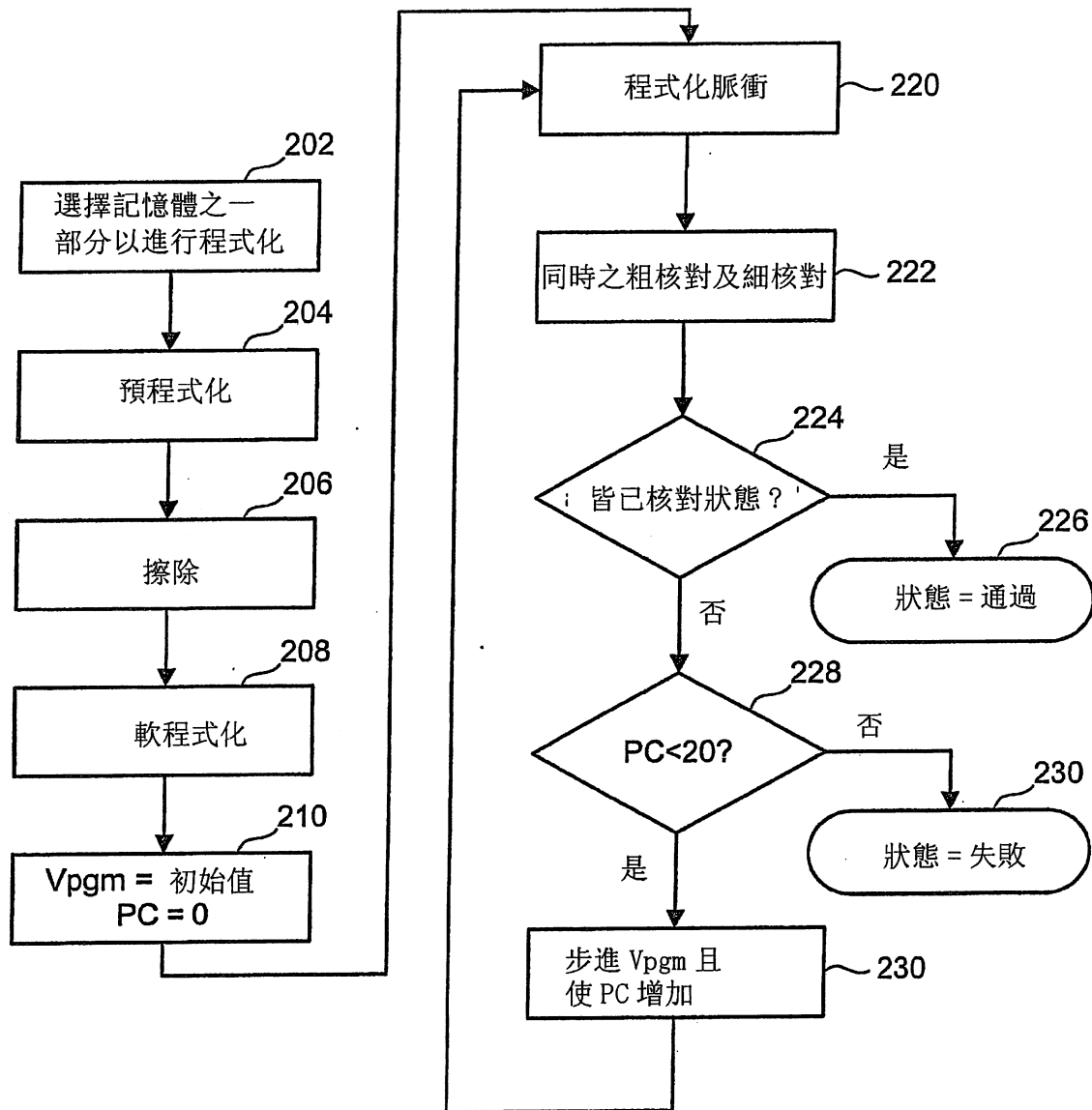


圖 10

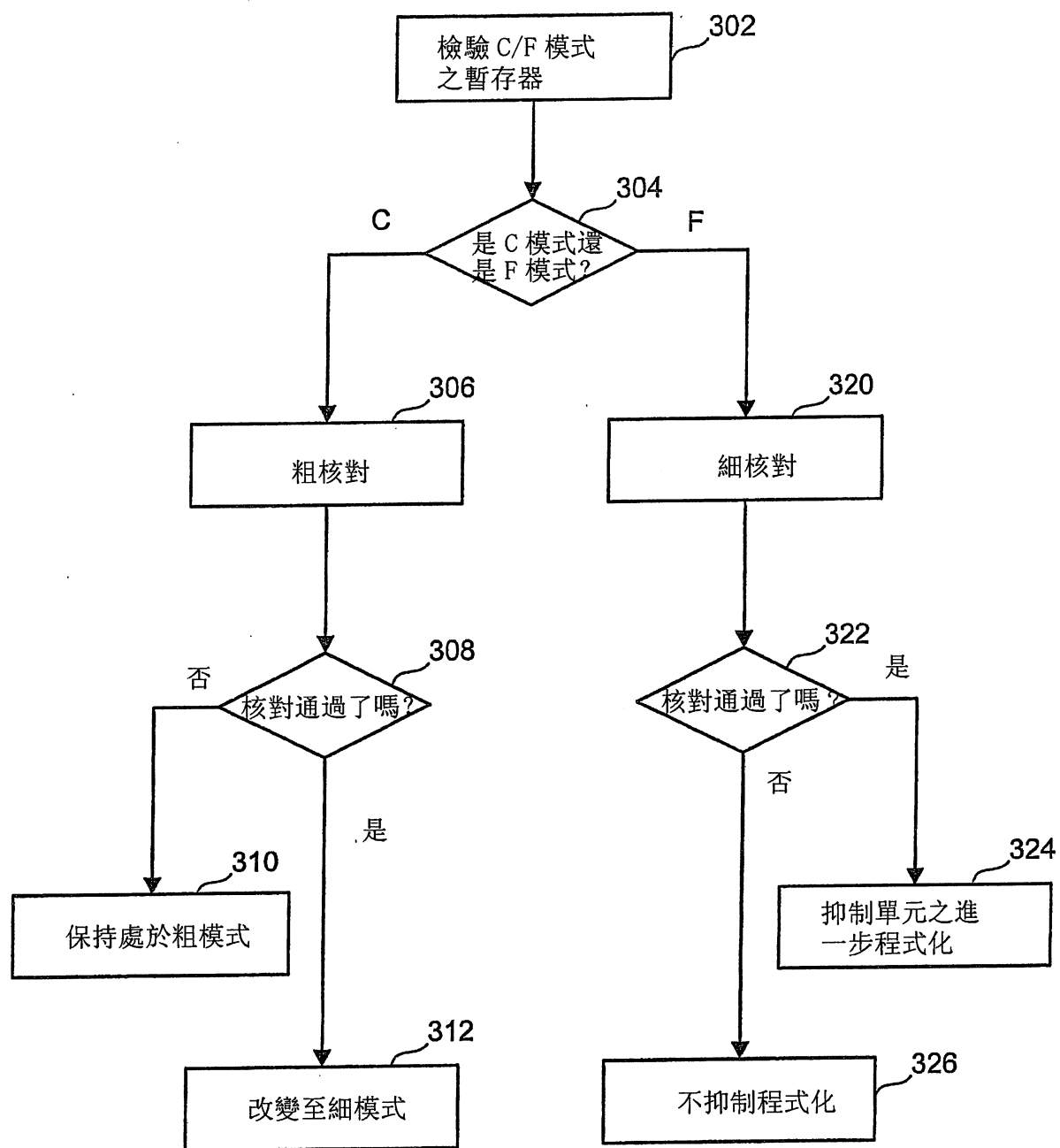


圖 11

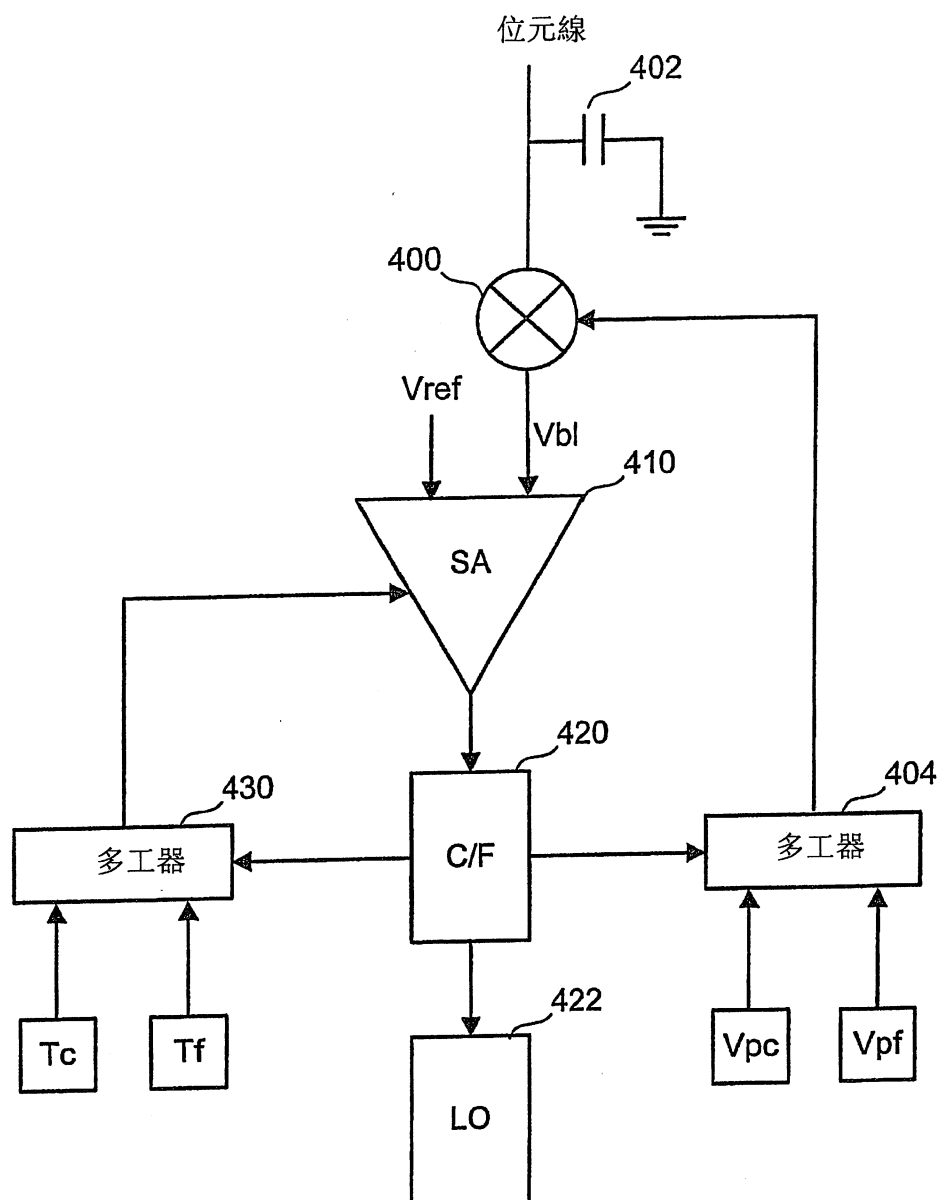


圖 12

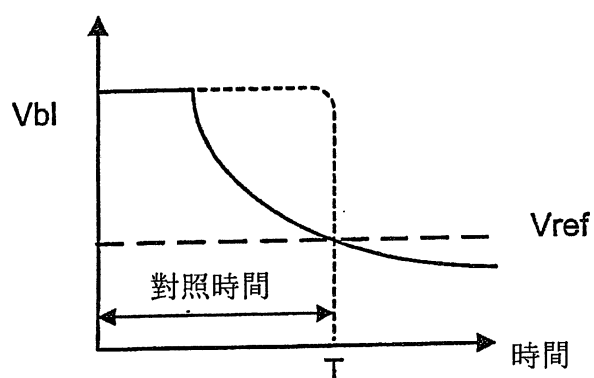


圖 13

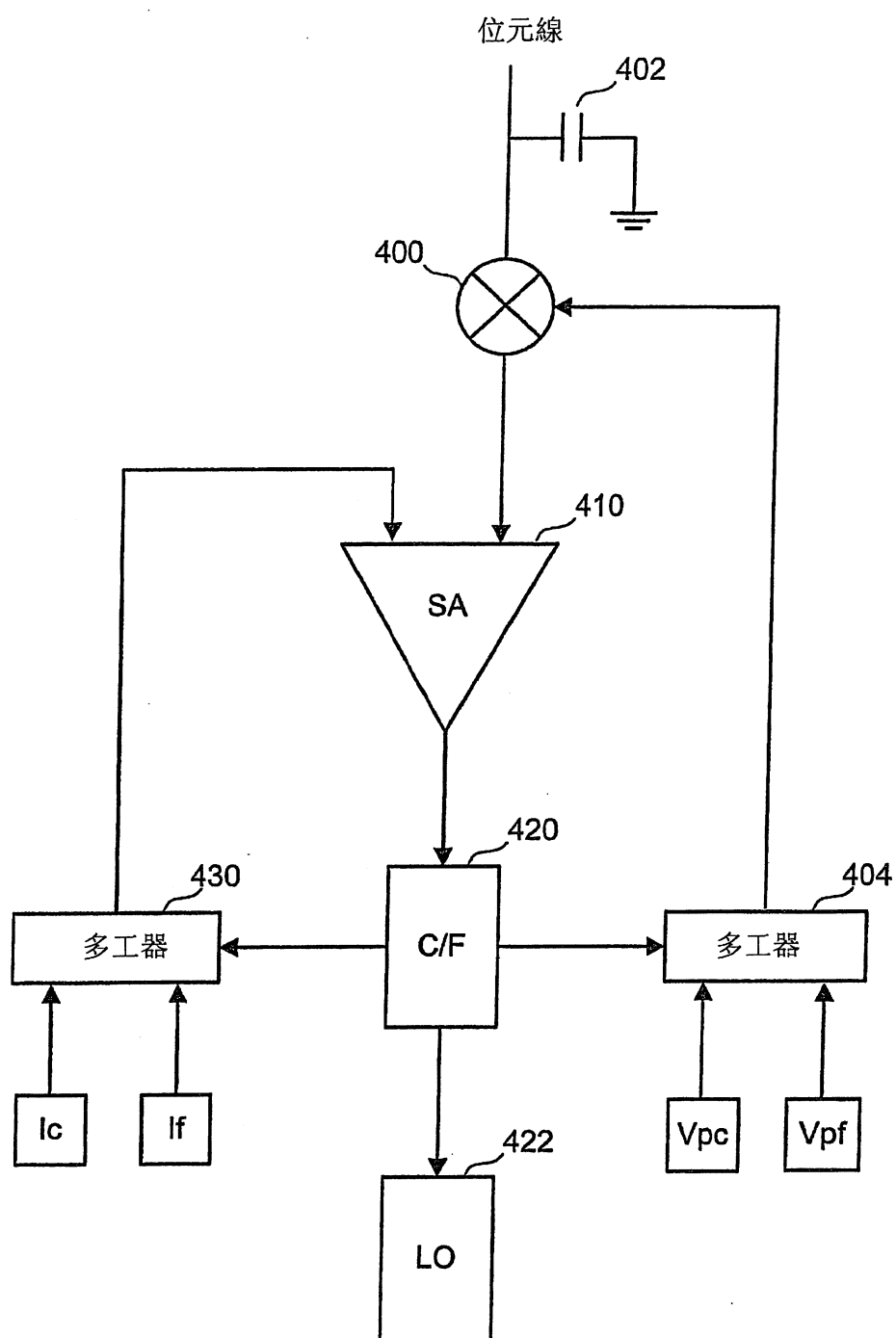


圖 14

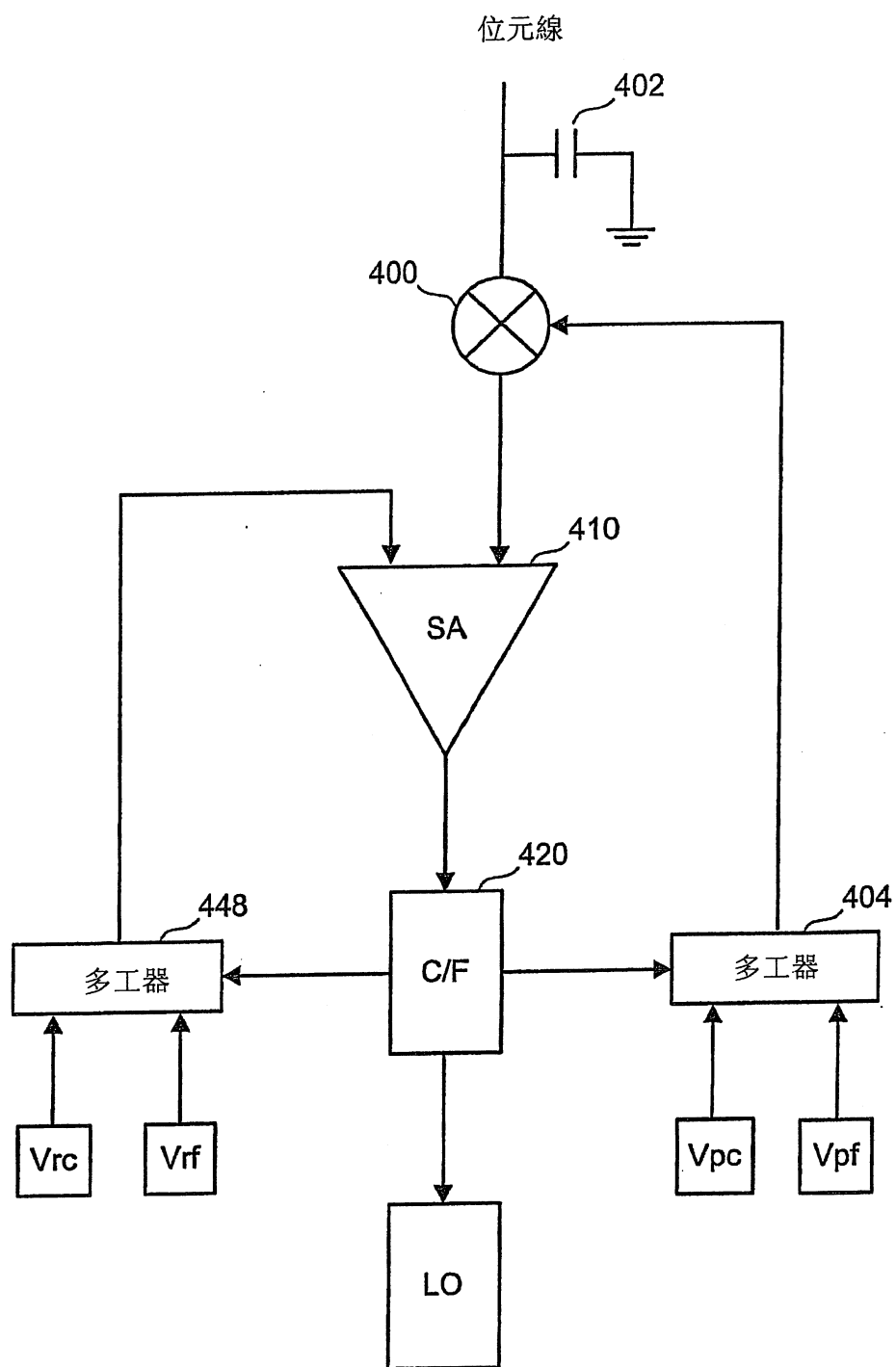


圖 15

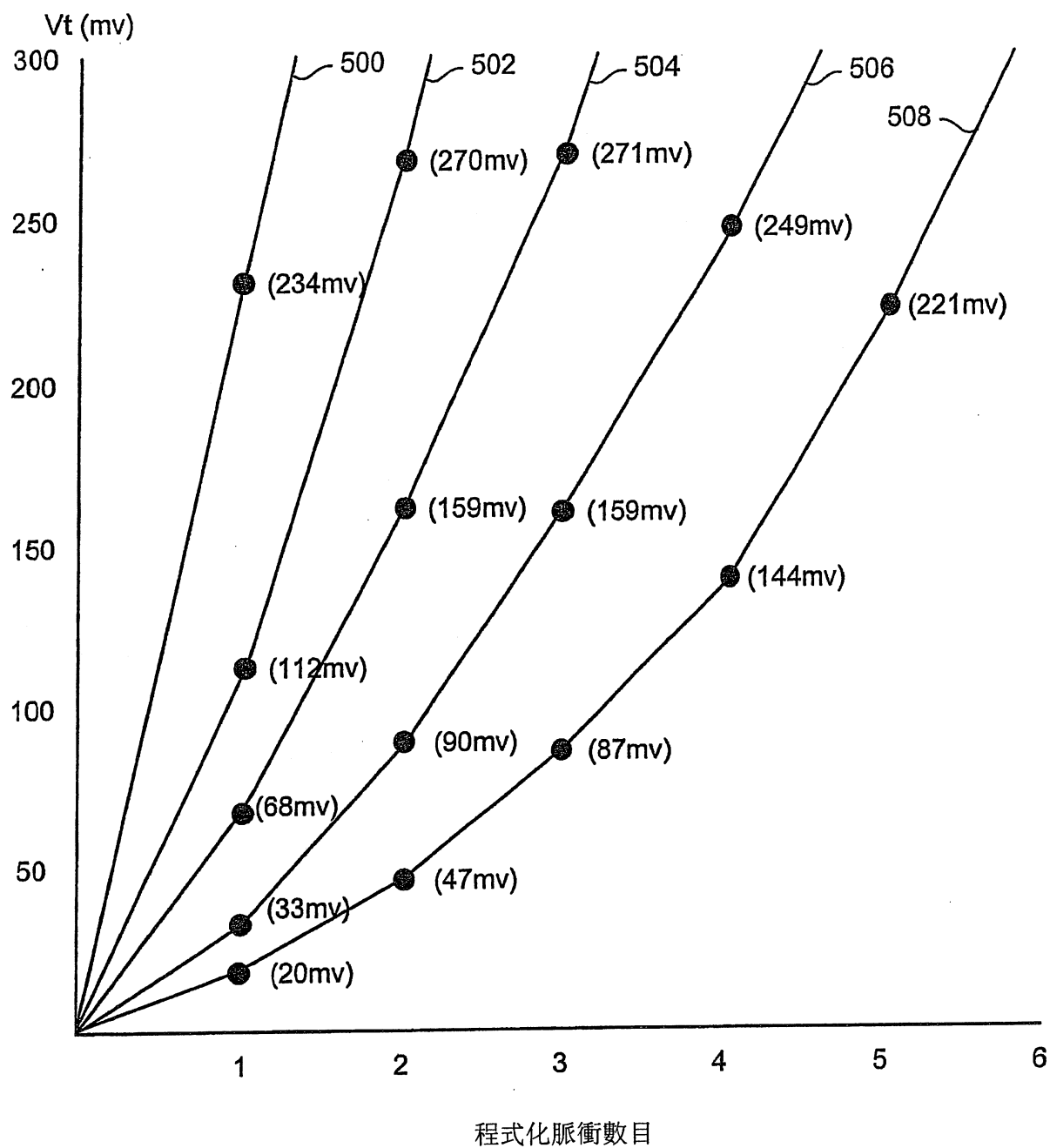


圖 16

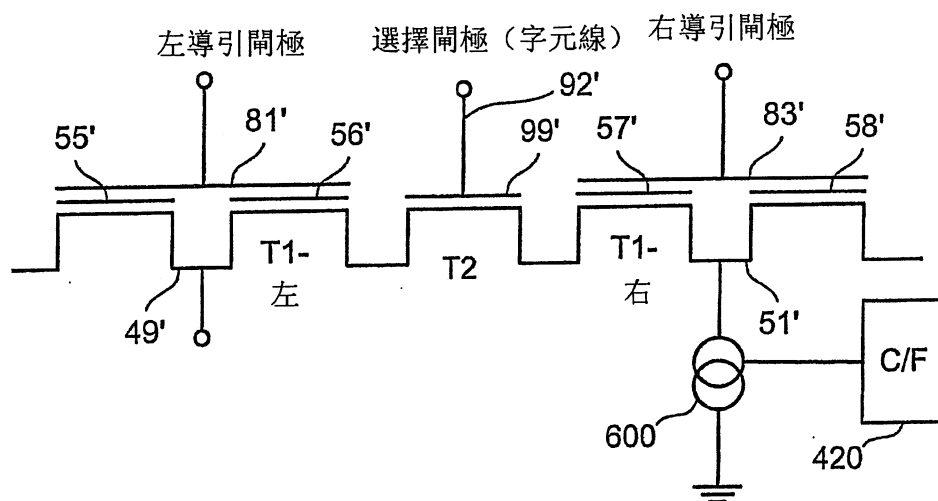


圖 17

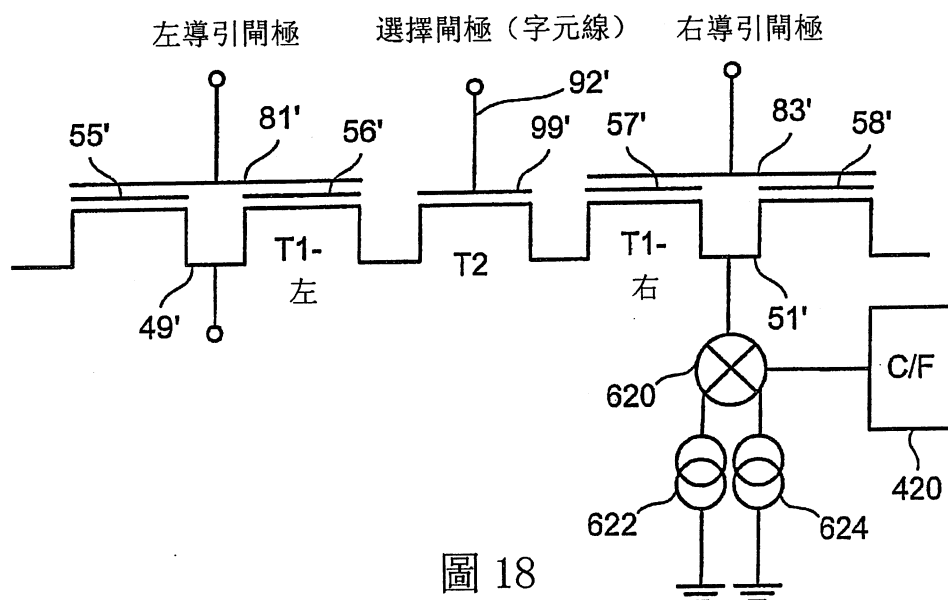


圖 18

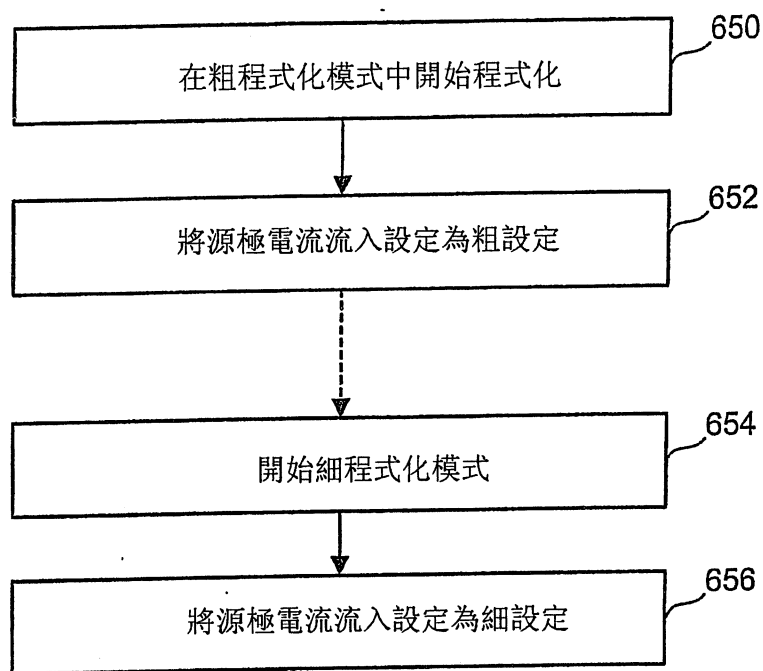


圖 19

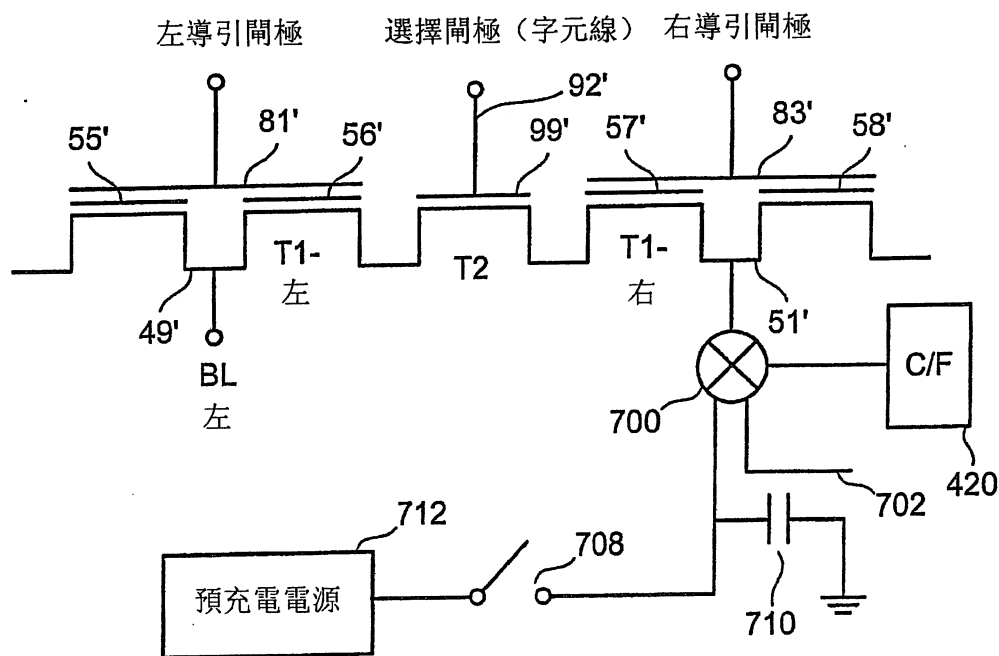


圖 20

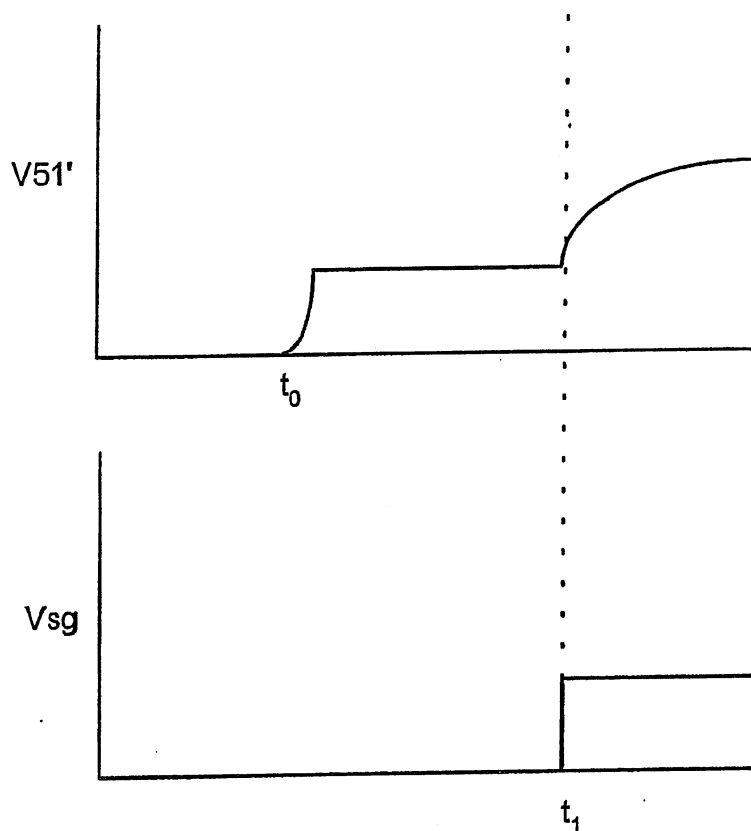


圖 21

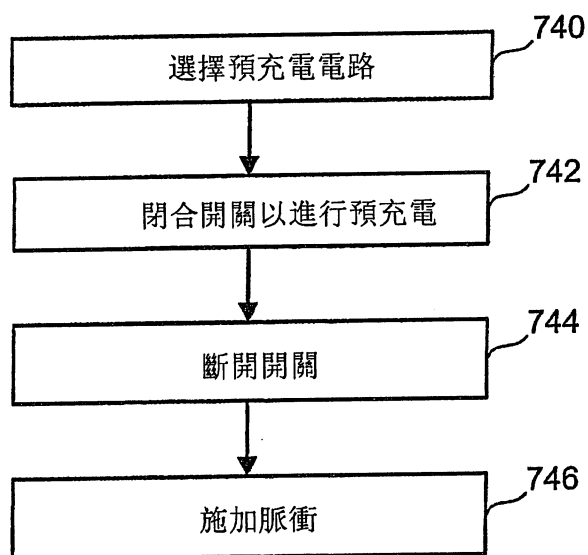


圖 22

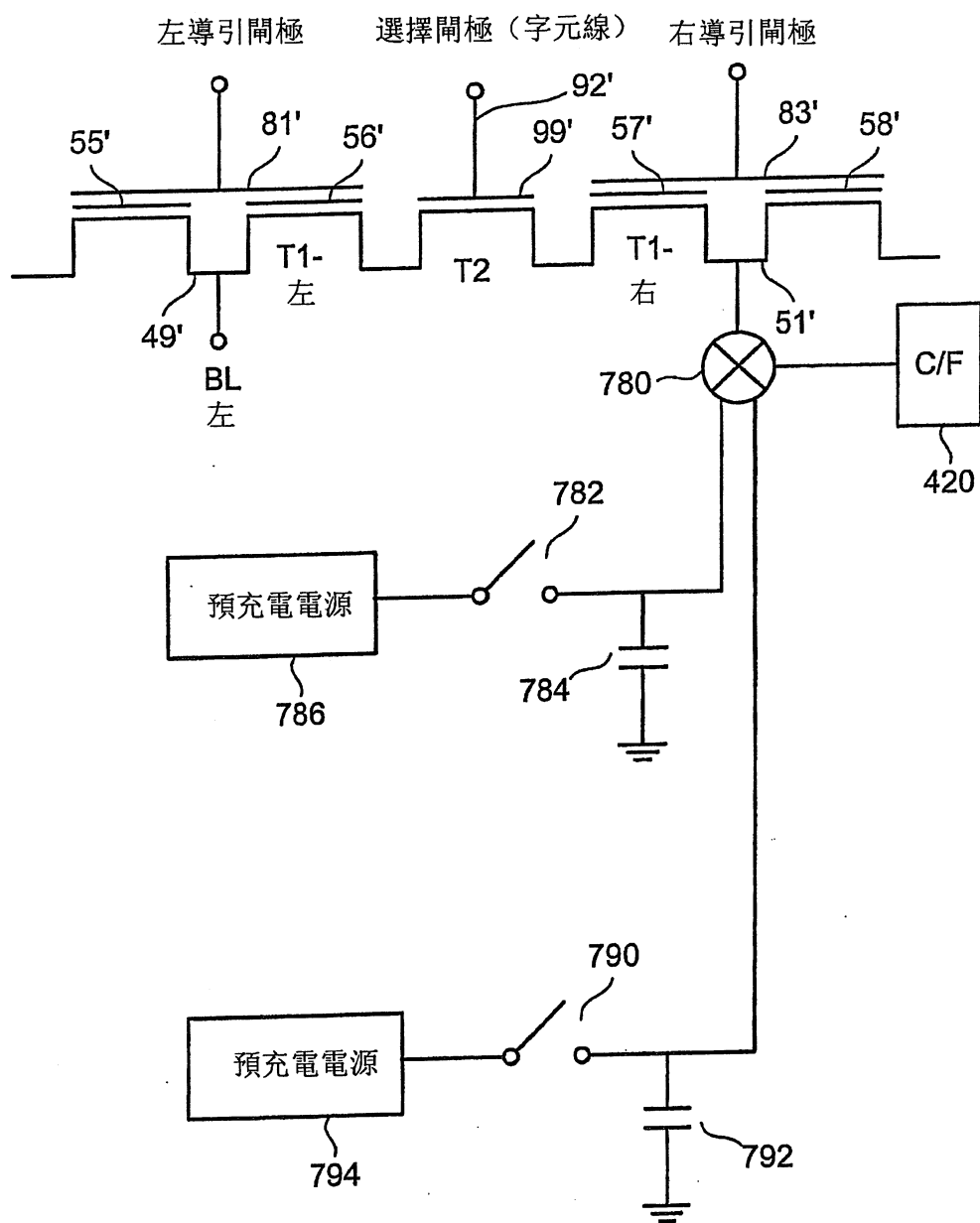


圖 23

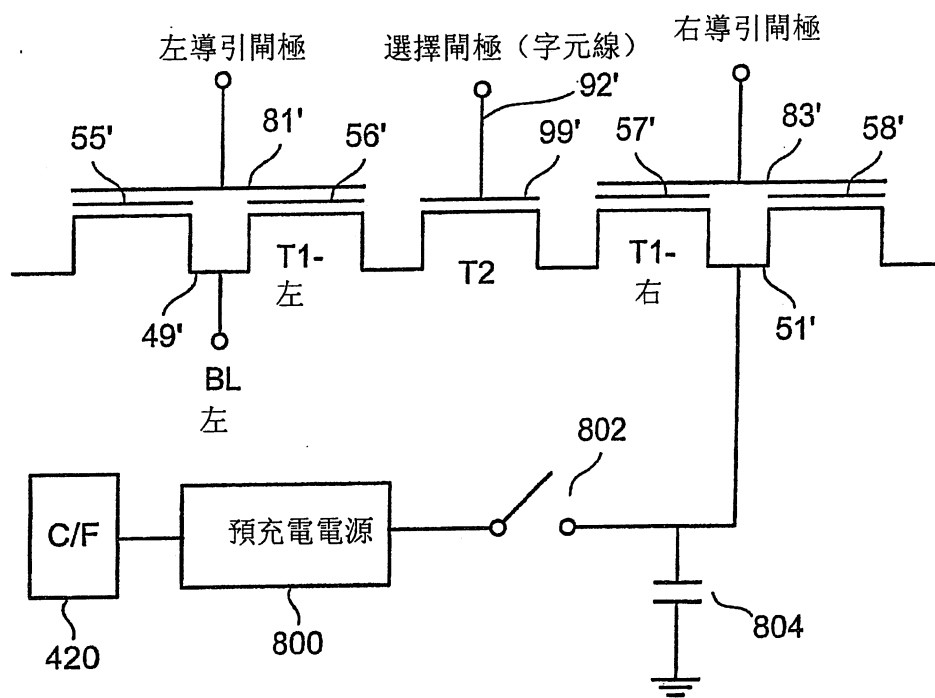


圖 24

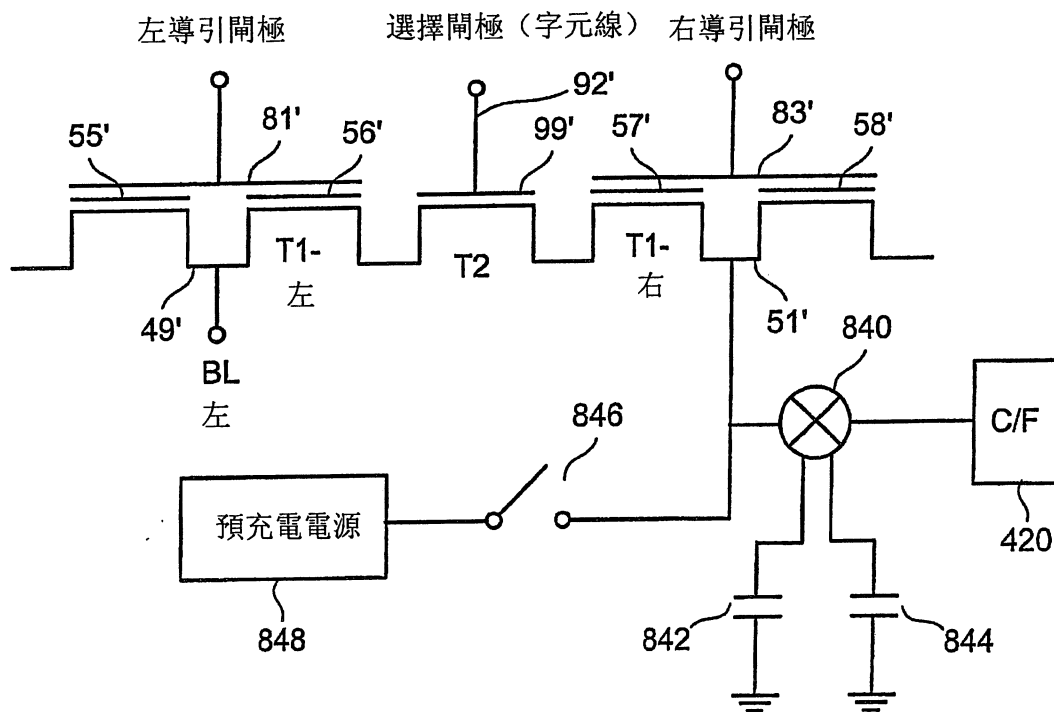


圖 25

七、指定代表圖：

(一)本案指定代表圖為：第（ 19 ）圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

94 7 8

中文說明書替換頁(94 年 7 月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094102484

※ 申請日期：94.1.27

※IPC 分類：G11C 16/10

一、發明名稱：(中文/英文)

用於非揮發性記憶體之粗/細程式化之可變電流之流入
VARIABLE CURRENT SINKING FOR COARSE/FINE
PROGRAMMING OF NON-VOLATILE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 查爾斯 樊 歐登

VAN ORDEN, CHARLES

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特 140 號
140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.