



POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

58406

Patent dodatkowy
do patentu: _____

Kl. 42 d, 2/50

Zgłoszono: 29. XII. 1967 (P 124 409)

Pierwszeństwo: _____

MKP G 01 d 249

Opublikowano: 30. X. 1969

UKD

Współtwórcy wynalazku: inż. Bogdan Głębocki, inż. Jan Wysocki

Właściciel patentu: Zakłady Radiowe im. Marcina Kasprzaka (Zakład
Doświadczalny Aparatury Elektronicznej), Warszawa
(Polska)

Dekada licząca ze stałym odczytem

1

Przedmiotem wynalazku jest dekada licząca ze stałym odczytem, przeznaczona do urządzeń techniki cyfrowej, w których informacje o wyniku pomiaru przekazuje się w postaci szeregu cyfr. Wynalazek będzie przydatny zwłaszcza w urządzeniach cyfrowych, od których wymaga się stałej kontroli parametrów badanych układów, na przykład w licznikach częstotliwości.

Znane układy liczące z odczytem cyfrowym mają podstawową wadę — migotanie cyfr, uniemożliwiającą odczytanie wyniku pomiaru w czasie zliczania. Ponadto po zakończeniu pomiaru wynik musi być skasowany, aby układ mógł zliczać ponownie.

Celem wynalazku jest umożliwienie stałego odczytu wyniku pomiaru bez przerw w trakcie zliczania, zaś zadaniem wynalazku jest opracowanie odpowiedniego układu elektrycznego przeznaczonego dla spełnienia tego celu.

Cel ten został osiągnięty przez opracowanie dekady liczącej zawierającej zestaw dwójek liczących na tranzystorowych przerzutnikach dwustanowych oraz deszyfrator tranzystorowo-oporowy i dołączoną do niego lampę cyfrową tym znamiennej, że pomiędzy deszyfratorem i każdą z dwójek liczących ma włączony element układu pamięci oraz blokujący ten element przełącznik elektroniczny, który dla każdego stanu zawiera diodę połączoną z wejściem układu pamięci oraz diodę połączoną ze źródłem impulsów, dołączone jedno-

2

imiennymi elektrodami do opornika, połączonego z wyjściem dwójki liczącej. Diody są tak włączone, że w czasie pomiaru układ pamięci, deszyfrator i lampa cyfrowa są odłączone od zestawu dwójek liczących. Układ pamięci zachowuje w czasie pomiaru poprzedni wynik. Po zakończeniu zliczania przez otwarcie przełącznika elektronicznego przekazana zostaje informacja o wyniku pomiaru do układu pamięci, który koryguje wskazania.

Zastosowanie układu będącego przedmiotem wynalazku zmniejsza w znacznym stopniu wpływ zakłóceń spowodowanych przełączaniem kolejnych cyfr na układy zliczające w czasie pomiaru, co zwiększa dokładność i niezawodność pomiaru w przyrządzie, w którym zastosowano dekadę liczącą ze stałym odczytem, jak również umożliwia łatwą nie męczącą obserwację wyników oraz skracając cykl pomiaru.

Wynalazek zostanie bliżej objaśniony na przykładzie wykonania uwidocznionym na rysunku, który przedstawia układ blokowy dekady liczącej oraz schemat połączeń przełącznika elektronicznego i elementu pamięci dla jednej dwójki liczącej.

W układzie blokowym przedstawionym na rysunku, układ liczący 1 zawiera dwójki liczące 2, 3, 4 i 5 w postaci znanych tranzystorowych przerzutników dwustanowych. Wejście 6 układu liczącego 1 połączone jest z bramką 7, lub też

z wyjściem poprzedniej dekady liczącej, zaś wyjście 8, z wejściem następnej dekady. W zestawie przełączników elektronicznych 9, przełączniki 10, 11, 12, 13 połączone są z jednej strony z dwójkami liczącymi 2, 3, 4, 5, zaś z drugiej strony w układzie pamięci 14 z elementami pamięci 15, 16, 17, 18. Układ pamięci 14 połączony jest z deszyfratorem 19 w układzie tranzystorowo-oporowym, z którym połączona jest lampa cyfrowa 20, na przykład typu „Nixie”, zasilana napięciem U1.

Na rysunku przedstawiono schemat połączeń dla przełącznika elektronicznego 10 oraz dla elementu pamięci 15.

Przełącznik elektroniczny 10 zawiera diody D1, D2, których katody są połączone ze sobą oraz z opornikiem R1, połączonym z wyjściem 21 dwójki liczącej 2. Z wyjściem 22 tejże dwójki poprzez opornik R2 połączony jest punkt złączenia katod diod D3 i D4. Anody diod D1, D3, dołączone są do wejścia 23 połączonego z bramką 7, skąd wysyłane są sygnały polaryzujące. Anoda diody D2 połączona jest z wejściem 24 elementu pamięci, zaś anoda diody D3 z wejściem 25. Wyjścia 26, 27 elementu pamięci 15 (16, 17, 18) połączone są z deszyfratorem 20.

Element układu pamięci stanowi przerzutnik na tranzystorach T1, T2, zasilanych napięciem U2.

Działanie dekady liczącej jest następujące.

Po otwarciu bramki 7 dodatnie impulsy doprowadzane są na wejście 6 i zliczane w układzie liczącym 1. Na okres liczenia do anod diod D1, D3, w przełącznikach elektronicznych 10, 11, 12, 13, doprowadzony jest z bramki 7 długotrwały impuls dodatni, dzięki czemu elementy pamięci 15, 16, 17, 18, w układzie pamięci 14 są odłączone od dwójek liczących 2, 3, 4, 5. W czasie zliczania układ pamięci 14, a co za tym idzie deszyfrator, utrzymują wynik poprzedniego pomiaru, wskazany przez lampę cyfrową 20.

Po zamknięciu bramki 7, z zacisku 23 zostaje zdjęty dodatni potencjał, diody D2 i D4 zostaną odblokowane i informacja z dwójki liczącej 2 (3, 4, 5) przekazana zostanie na bazy tranzystorów T1, T2, elementu 15 (16, 17, 18) układu pamięci 14. W układzie pamięci 14 otrzymana informacja porównana zostanie z otrzymaną uprzednio i ewen-

tualne zmiany uwidocznione w lampie cyfrowej 20. Następnie zapis w układzie liczącym 1 jest kasowany do zera.

Każdorazowy odczyt jest dokonywany w czasokresie zliczania impulsów przez dwójki w układzie liczącym 1.

W znanych układach odczyt na lampie cyfrowej dokonywany jest po zakończeniu zliczania przez dwójki liczące i dla umożliwienia dokonania odczytu bramka 7 jest zamykana na przeciąg 2 do 3 sek. Po zakończeniu odczytu wynik pomiaru jest na lampie cyfrowej kasowany jednocześnie z kasowaniem do zera stanu dwójek liczących 2, 3, 4, 5 w układzie liczącym 1.

Wynalazek w przykładzie wykonania ma układ pamięci zbudowany na przerzutnikach tranzystorowych; układ pamięci może być wykonany również na innych elementach, na przykład na rdzeniach ferrytowych.

Zastrzeżenia patentowe

1. Dekada licząca ze stałym odczytem, zawierająca zestaw dwójek liczących na przerzutnikach dwustanowych oraz deszyfrator i dołączoną do niego lampę cyfrową, **znamienna tym**, że pomiędzy deszyfratorem i każdą z dwójek liczących ma włączony element układu pamięci oraz blokujący ten element przełącznik elektroniczny.
2. Dekada według zastrz. 1 **znamienna tym**, że przełącznik elektroniczny (10, 11, 12, 13) zawiera diodę (D2), której anoda jest połączona z wejściem (24) na element pamięci (15, 16, 17, 18) oraz diodę (D1), której anoda jest połączona z wejściem (23), połączonym z bramką (7), dołączone katodami do opornika (R1) połączonego z wyjściem (21) dwójki liczącej (2, 3, 4, 5), podczas gdy z wyjściem (22) jest połączony opornik (R2) dołączony do katody diody (D4), połączonej z wejściem (25) elementu pamięci i katody diody (D3), połączonej z wejściem (23) z bramki (7).
3. Dekada według zastrz. 1 i 2, **znamienna tym**, że ma jako układ pamięci (14) zestaw przerzutników dwustanowych na tranzystorach (T1, T2).

